

可编程单片机外围器件

PSD8XXF系列

闪速、在系统可编程微控制器外围器件

数据手册

一．引言

PSD8XXF系列可编程微控制器（MCU）外围器件的闪速（Flash）存储器和可编程逻辑具有在系统可编程特性（In-System-Programmability, ISP），这有助于实现嵌入式设计的简单而灵活的设计解决方案。PSD8XXF器件把许多外围器件的功能组合在一起，基于应用的MCU具有这些功能，它们包括：1兆位的主闪速存储器、次EEPROM或闪速存储器、超过3000门的闪速可编程逻辑、SRAM、可配置的I/O端口以及可编程的电源管理。

PSD8XXF器件集成了优化的“微控制器宏单元（micro controller macrocell）”逻辑结构，它被称为Micro<=>Cell™。Micro<=>Cell可满足嵌入式系统设计的独特要求。它允许在系统地址/数据总线和内部PSD寄存器之间直接连接，大大简化了MCU和其它支持器件之间的通信。

PSD8XXF系列包括JTAG串行编程接口，它允许在系统内编程（ISP）整个器件。此特性减少了开发时间，简化了制造流程，并大大降低了现场升级的费用。使用WSI专用的快速JTAG（Fast-JTAG）编程工具，可以在短至7秒的时间内把设计编程到PSD8XXF器件中。

创新的闪速PSD8XXF系列解决了设计师在管理分立的闪速存储器器件时所遇到的大部分问题，诸如首次编程，复杂的地址译码，以及同时对闪速存储器读和写。PSD8XXF的串行JTAG接口允许在系统编程（ISP）并不需要引导EPROM或外部编程器。为了简化闪速存储器的更新，当主闪速存储器被更新时，PSD813F1和PSD813F2器件完成来自次EEPROM（F1）或闪速（F2）存储器块程序的执行。这种解决方案避免了实现系统内闪速存储器更新所需的复杂电路和软件。

PSDsoft软件开发工具产生设计文件和用于控制PSD8XXF的ANSI-C固件。此代码也被MCU用于实现PSD8XXF的并行在系统编程。

PSD8XXF有52引脚的PLCC封装可供使用。

二．关键特性

使用多路复用或非多路复用总线的简单、可编程、至8位微控制器的接口。总线接口逻辑直接译码微控制器控制信号。支持的部分MCU系列包括Intel 8031、80196、80186、80C251以及80386EX；Motorla 68HC11、68HC16、68HC12以及683XX；Philips 8031和8051XA；National 16000；Zilog Z80和Z8；以及NEURON® 3150 CHIP™。

容量为1兆的内部主闪速存储器。闪速存储器被分为8个大小相同的块，可由用户规定的地址访问。访问时间包括地址锁存和PLD译码。闪速存储器包括低功耗选项。

内部单独的256K位EEPROM（F1）或256K位闪速引导存储器（F2），它们能在对主闪速存储器编程时由MCU同时执行。EEPROM/闪速引导存储器被分为四个大小相等的块，可由用户规定的地址访问。

64个字节的一次性在系统可编程（ISP）存储器（仅在F1内），用于产生配置，校准等等。

闪速或EEPROM/引导闪速存储器的同时编程。在执行来自一个存储器（的代码）的同时对另一个编程。

内部16K位SRAM。掉电时通过切换到备用电源，SRAM可保持数据。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：<http://www.p8s.com>

邮编：430079

传真：(86) (027) 87491166, 87493493

带有16个输出宏单元(Micro \leftrightarrow Cell)和24个输入宏单元(Micro \leftrightarrow Cell)的基于闪速(Flash-based) PLD。PSD8XXF PLD可有效地用于实现多种逻辑功能,包括用于内部和外部控制的状态机和地址译码器。PLD也提供三种专用的外部芯片选择输出,从而允许多达19个外部芯片选择。

嵌入式输入和输出宏单元(Micro \leftrightarrow Cells)使用户定义的系统逻辑功能能有效地实现,这些逻辑功能要求微控制器软件和硬件的交互作用。

零功耗(Zero-Power) CMOS技术,它把器件待机状态电流的典型值减少到10 μ A。

27种独立可配置I/O端口引脚。端口可用作MCU I/O、PLD I/O、锁存MCU地址输出或特殊功能I/O。16个I/O端口引脚可配置为漏极开路输出。

内置的JTAG从属串口使得能在工厂或现场进行空白器件的在系统编程(ISP)或器件的重新编程。

100,000次擦除/写入。

10年的数据保存期。

页寄存器使微控制器地址空间扩展256倍。

保密位禁止PSD8XXF配置和PLD逻辑以及闪速存储器和EEPROM内容的复制。

可编程的电源管理单元(Power Management Unit, PMU)支持两种单独的低功耗工作方式,它们允许用低至10 μ A(在5V V_{cc} 时)的电流工作。器件可自动检测微控制器活动的停止并使PSD置入低功耗方式。

器件是52引脚塑料(J)芯片封装。

WSI基于PC的PSDsoft™软件系统支持PSD8XXF系列开发。软件与MS-Windows, Windows95 Windows NT兼容。套装开发工具包括PSDabel (ABEL),它规定PLD逻辑以及有效的装配器。工具还包括来自SIMUCAD™的PSDsilosIII模拟器,以及可对任何PSD器件编程的WSI Magic proIII编程器。

三. 一般信息

PSD8XXF系列结构允许所有存储器、PLD逻辑以及器件配置等在系统编程(ISP)。嵌入式输入和输出宏单元(Micro \leftrightarrow Cells)使用户定义的逻辑功能能够有效地实现,这些功能需要软件和硬件的交互作用。器件不需要分立的连接('glue')逻辑并允许只使用少数集成的器件便可进行整个系统的开发。

四. PSD8XXF系列

在PSD8XXF系列中有四种器件。它们是:

PSD813F1 提供并行操作的闪速存储器(1兆位)和EEPROM存储器(256K位)及JTAG/ISC、闪速PLD、SRAM(16K位)和I/O端口。

PSD813F2 提供并行操作的两个闪速存储器阵列(1兆位和256K位)及JTAG/ISC、闪速PLD、SRAM(16K位)和I/O端口。

PSD813F3 提供闪速存储器(1兆位)、JTAG/ISC、闪速PLD、SRAM以及I/O端口。

PSD813F3R 提供闪速存储器(1兆位)、JTAG/ISC、闪速PLD以及I/O端口。

每种器件的特性列在表1中,两个PSD8XXF器件可用于与16位多路复用和非多路复用总线结构接口。

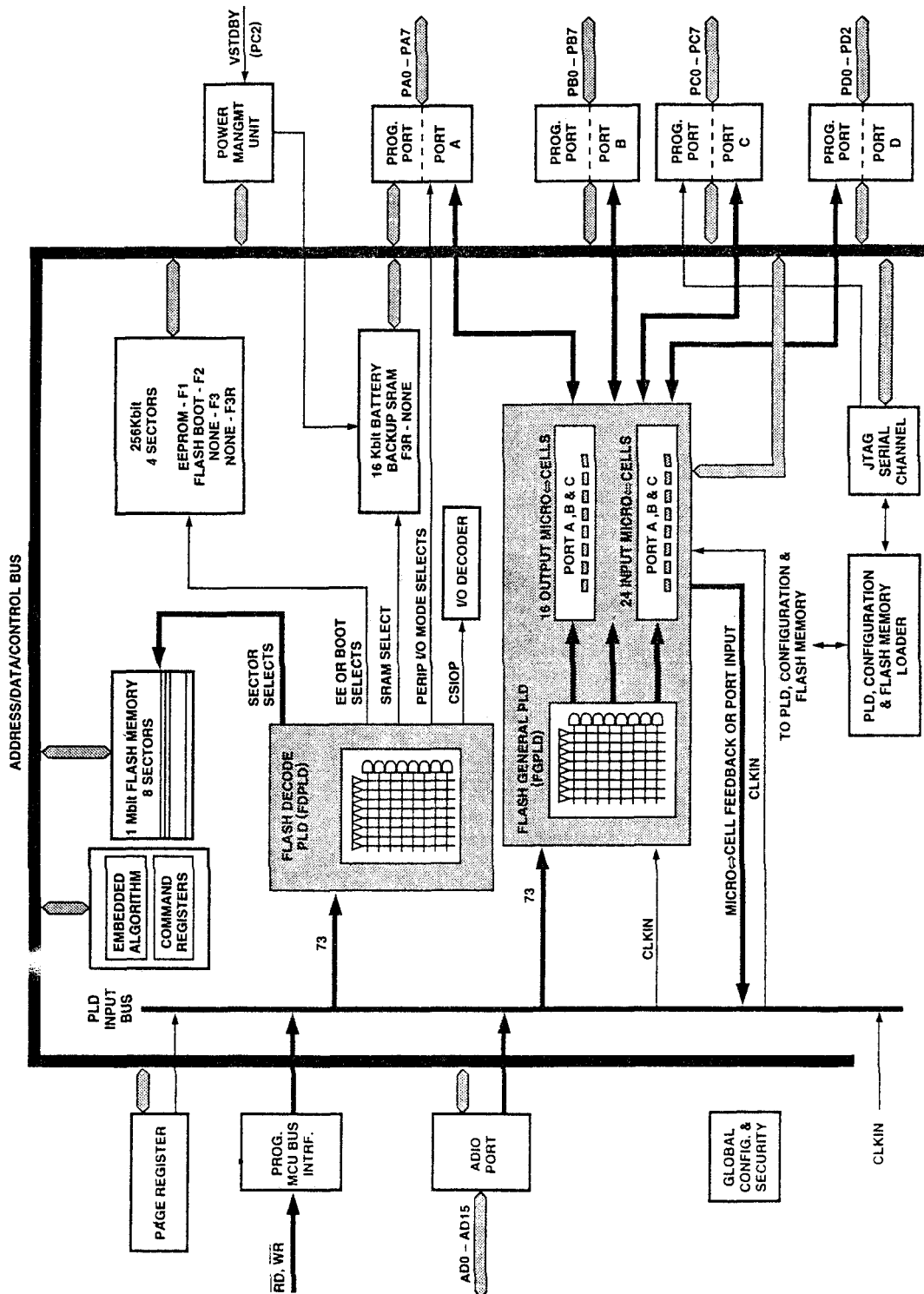


图1 PSD813F1/F2/F3方框图

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号	P&S网网址：http://www.p8s.com
信箱：武汉市70020信箱	邮编：430079
电话：(86) (027) 87493500 - 87493506	传真：(86) (027) 87491166, 87493493

表1 PSD813F产品阵列

器件号	I/O引脚	输出/输入微控制器宏单元	串行ISP JTAG/ISC端口	闪速主存储器k位(8个区)	用于引导和/或数据的附加存储器(4个区)	SRAM K位
PSD813F1	27	16/24	有	1024	256k位EEPROM	16
PSD813F2	27	16/24	有	1024	256k位闪速	16
PSD813F3	27	16/24	有	1024	无	16
PSD813F3R	27	16/24	有	1024	无	无

五· PSD813F结构概述

PSD8XXF包括几个主要的功能块。图1表示PSD8XXF器件系列的结构。在以下各小节中简要地叙述每个块的功能。许多块可实现多种功能，且是用户可定义的。

5.1 存储器

PSD8XXF包含1兆位的主闪速存储器以及可选的次存储器，次存储器是EEPROM（仅对F1）或引导闪速存储器（仅对F2），或者没有次存储器（F3），PSD8XXF还包含电池备用的SRAM。1兆位闪速存储器被分为8个大小相等的区。

EEPROM（仅对F1）容量是256K位且被分为4个大小相等的块。

次闪速存储器（仅对F2）容量是256K位且被分为4个大小相等的块。

16K位的SRAM可以被用作高速暂存存储器和微控制器SRAM的扩展。如果把备用电池连接到 V_{stby} 引脚(PC2)，那么当系统掉电时SRAM的数据仍可保持。当 V_{cc} 降至 V_{stby} 电压以下时自动从 V_{cc} 电源切换到备用电源。

每一个存储器块可以被定位在用户定义的不同的地址空间。所有存储器类型的访问时间包括地址锁存和FDPLD译码的时间。

5.2 页寄存器

8位页寄存器把微控制器地址范围扩展256倍。分页地址可作为访问外部存储器和外围设备或内部存储器和I/O地址空间的一部分。页寄存器也可用于把闪速寄存器块的地址映象改变为用于在线重新编程的不同存储器空间。

5.3 PLD

如表2所示，器件包含两个PLD块，每一个块对不同的功能为最优。PLD的功能包括减少功耗，使价格/性能比为最佳以及便于设计。

闪速译码PLD（Flash Decode PLD，FDPLD）用于译码和产生PSD8XXF内部存储器和寄存器的片选。闪速通用PLD（Flash General Purpose PLD，FGPLD）可实现用户定义的逻辑功能。FDPLD具有组合输出，FGPLD具有16个输出宏单元（Micro \Leftrightarrow Cells）和3个组合输出。PSD8XXF还具有24个输入宏单元（Micro \Leftrightarrow Cells），它可被配置为PLD的输入。PLD从PLD输入总线接收它们的输入并根据它们的输出目标、乘积项（Product Terms）号以及宏单元（Micro \Leftrightarrow Cells）加以区分。

通过使用零功耗（Zero-Power）设计技术，PLD被设计成消耗最少的功率。PLD的速度和功耗由PMMRO寄存器内加速位（Turbo Bit）控制。此寄存器由程序设置。

表2 PLD I/O表

名称	缩写	输入	输出	乘积项
闪速译码PLD	FDPLD	73	17	42
闪速通用PLD	FGPLD	73	19	140

5.4 I/O口

PSD8XXF具有27个I/O引脚，被分配到4个端口之间。每一个I/O引脚可以被单独配置以提供许多功能。端口A、B、C和D可以被配置为标准的MCU I/O端口、PLD I/O或使用多路复用地址/数据总线的微控制器的锁存地址输出。

在端口C上JTAG引脚可以被使能以用于在系统编程（ISP）。

对于某些类型的16位微控制器，端口A和B也可配置为适用于非多路复用总线或多路复用地址/数据总线的的数据端口。

5.5 微控制器总线接口

PSD8XXF能方便地与大多数通用8位和16位微控制器接口，这些微控制器带有多路复用或非多路复用的地址/数据总线。器件被配置为与微控制器控制信号相对应，这些控制信号也用作PLD的输入。在需要使用16位数据总线与16位微控制器接口的场合，必须使用两个PSD。

5.6 JTAG口

在系统编程（ISP）可通过端口C的JTAG口实现，这个串行接口允许对PSD8XXF器件的闪存存储器、EEPROM、PLD以及其它配置进行完整的编程。空白器件可完整地编程。JTAG信号（TMS，TCK，TSTAT， $\overline{\text{TERR}}$ ，TDI，TDO）和端口C的其它功能多路复用。表3显示JTAG信号引脚分配。

表3 端口C的JTAG信号

端口C引脚	JTAG信号
PC0	TMS
PC1	TCK
PC3	TSTAT
PC4	$\overline{\text{TERR}}$
PC5	TDI
PC6	TDO

5.7 在系统编程

使用端口C的JTAG信号，每个PSD8XXF器件可被编程或擦除而无需使用微控制器。通过微控制器执行来自EEPROM或闪存引导存储器的编程算法，主闪存存储器也可在系统内被编程。通过执行来自主闪存存储器的算法，EEPROM或闪存引导存储器也可以同样的方法被编程。PLD逻辑或其它PSD8XXF配置可通过JTAG口或器件编程器编程。表4表示哪一个编程方法可对PSD8XXF的不同功能块编程。

表4 对PSD8XXF不同功能块编程的方法

功能块	JTAG编程	器件编程器	在系统并行编程
主闪存存储器	是	是	是
EEPROM/引导闪存存储器	是	是	是
PLD阵列（FDPLD和FGPLD）	是	是	否
PSD配置	是	是	否

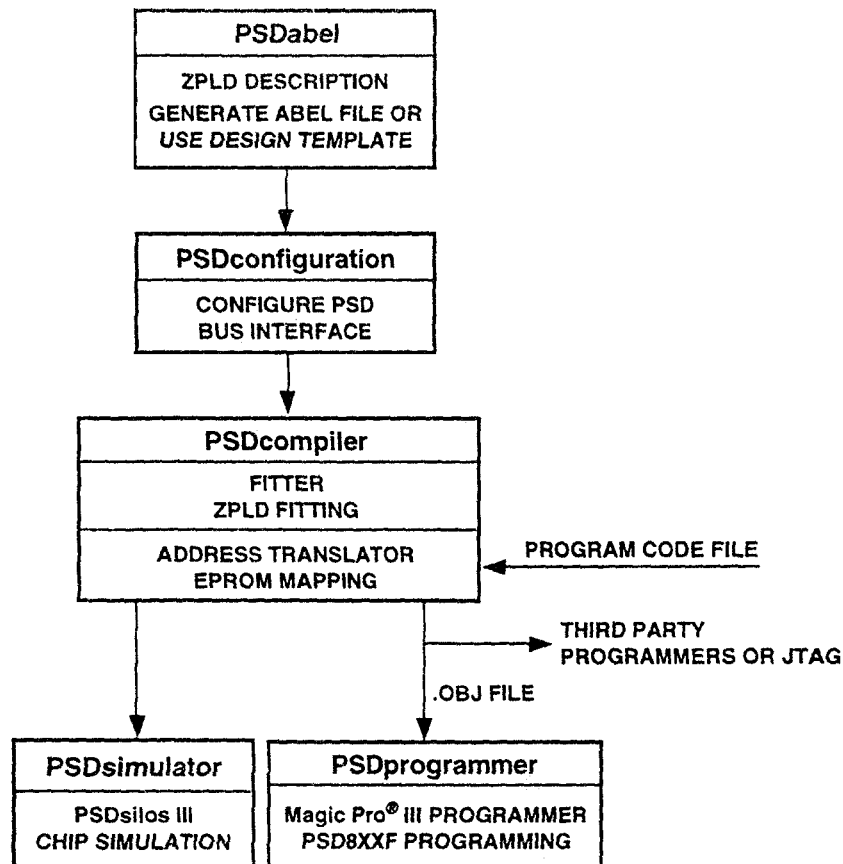


图2 PSDsoft开发工具

5.8 电源管理单元

PSD8XXF的电源管理单元 (Power Management Unit, PMU) 使用户能根据系统需求控制所选择的功能块的功耗。PMU包括自动掉电单元 (Automatic Power Down Unit, ADP), 它以两种方式——掉电 (Power Down) 方式和睡眠 (Sleep) 方式之一使微控制器不工作, 并关闭器件。

其它的省电特性, 例如PMU的加速 (Turbo) 位允许EPROM/SRAM/PLD工作在较慢的速率以节省功率。

六· 开发系统

基于Windows的PSDsoft开发系统支持PSD8XXF系列。PSDsoft设计流程示于图2。使用PSDlabel完成PLD设计项, 它创建最小化的逻辑实现, 并提供PLD的逻辑模拟。PSD8XXF总线接口和I/O端口配置在PSD configuration中输入。

PSDcompiler由装配器和地址转换器组成, 由PSDlabel、PSDconfiguration和MCU代码文件产生目标文件。然后目标文件下载到编程器 (MagicProIII、Data I/O或用于器件编程的其它第三方编程器), 或送至PSD simulator供器件级模拟之用。

七· PSD8XXF引脚说明

下表 (表5) 说明PSD813F的引脚名称和引脚功能。具有多个名称和/或功能的引脚由配置定义。

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

信箱: 武汉市70020信箱

电话: (86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>

邮编: 430079

传真: (86) (027) 87491166, 87493493

表5 PSD813F引脚说明

引脚名	引脚	类型	功能说明
AD100	30	I/O	地址/数据端口，和微控制器总线接口 1. 多路复用的低位地址/数据字节的输入引脚。ALE或AS锁存地址A0。仅当读有效且内部PSD功能块之一被选择时，PSD才驱动数据输出 2. 非多路复用总线或80C251方式的地址A0输入 3. 80C51XA方式A4/D0输入 4. 地址（或锁存地址）输入到PLD 5. 特定的16位方式A1 6. 68HC12和68HC912方式LSTRB输入 7. 特定的16位80C51XA方式A5
AD101-7	31-37	I/O	地址/数据端口，与微控制器总线接口 1. 多路复用的低位地址/数据字节输入引脚。ALE或AS锁存地址A1-7。仅当读有效且内部PSD功能块之一被选择时，PSD才驱动数据输出 2. 非多路复用总线或80C251方式的地址A1-7输入 3. 80C51XA方式A5/D1-A11/A7输入 4. 地址（或锁存地址）输入到PLD 5. 特定16位方式A2-A8
AD108-14	39-45	I/O	地址/数据端口，与微控制器总线接口 1. 8位数据总线方式地址A8-14输入，或用于16位应用时作为多路复用的高位地址/数据字节输入。ALE或AS锁存地址A8-A14。仅当读有效且内部PSD功能块之一被选择时，PSD才驱动数据输出 2. 非多路复用总线方式地址A8-14输入 3. 80C251方式AD8-AD14输入 4. 80C51XA方式A12-A18或A12/D8-A18/D14输入 5. 地址（或锁存地址）输入到PLD 6. 特定的16位方式A9-A15
AD1015	46	I/O	地址/数据端口，与微控制器总线接口 1. 8位数据总线方式的地址A15输入，或在16位数据总线方式中作为多路复用高位地址/数据字节输入。ALE或AS锁存地址A15。仅当读有效且内部PSD功能块之一被选择时PSD驱动数据输出 2. 非多路复用总线方式地址A15输入 3. 80C251方式AD15输入 4. 80C51XA方式A19或A19/D15输入 5. 地址（或锁存地址）输入到PLD 6. 特定16位方式A0 7. 特定16位68HC12和68HC912方式LSTRB
CNTLO (\overline{WR} , $\overline{R-W}$, \overline{WRH} , \overline{WEH})	47	I	具有多种配置的写输入引脚。根据所选择的MCU接口，此引脚可以是： 1. \overline{WR} ——低电平有效的写输入 2. $\overline{R-W}$ ——读/写引脚，低电平为写总线周期 3. \overline{WRH} ——仅用于16位数据总线，低电平有效写输入 4. \overline{WEH} ——低电平有效写输入（68LC302 16位数据总线配置） 5. 输入到PLD

续上表

引脚名	引脚	类型	功能说明
CNTL1 (\overline{RD} , E, \overline{DS} , \overline{LDS} , \overline{PSEN} , \overline{OE})	50	I	具有多种配置的读或数据选通输入引脚。根据所选择的MCU接口, 此引脚可以是: 1. \overline{RD} ——低电平有效读输入 2. E——E时钟输入。在写总线周期内, E为高电平且R/W为低电平。在读总线周期内, E为高电平且R/W为高电平 3. \overline{DS} ——数据选通, 低电平有效 4. \overline{LDS} ——低数据字节选通, 16位数据总线方式, 低电平有效 5. \overline{PSEN} ——程序选择使能, 在读总线周期内低电平有效 6. \overline{OE} ——68LC302方式的选通 7. 输入到PLD
CNTL2 (\overline{PSEN} , \overline{BHE} , \overline{UDS} , $\overline{SIZ0}$, A0)	49	I	具有多种配置的读或其它控制输入引脚。根据所选择的MCU接口, 此引脚可以是: 1. \overline{PSEN} ——程序选择使能, 代码读取总线周期内低电平有效 2. \overline{BHE} ——高字节使能, 16位数据总线 3. \overline{UDS} ——高数据字节选通, 16位数据总线方式, 低电平有效 4. $\overline{SIZ0}$ ——字节使能输入 5. 输入到PLD 6. A0——地址输入(68HC12和68HC912配置)
\overline{RESET}	48	I	低电平有效输入。复位I/O端口、PLD宏单元(Micro \leftrightarrow Cell)以及某些配置寄存器。上电时必须有效
PA0 PA1 PA2 PA3	29 28 27 25	I/O	端口A, PA0-3。此端口是引脚可配置的且具有多种功能: 1. MCU I/O——标准输出或输入端口 2. FGPLD宏单元(Micro \leftrightarrow Cell, McellA0-3)输出 3. 输入到PLD 4. 锁存地址输出(见表6) 5. 在80C51XA方式中作为地址A0-3输入 6. 在非多路复用总线配置中作为数据总线端口(D0-3) 7. M37702M2方式D0/A16-D3/A19 8. 特定16位80C51XA方式A4(锁存), A3, A2, A1(透明) 9. 特定16位方式D8-D11 10. 外设I/O方式
PA4 PA5 PA6 PA7	24 23 22 21	I/O CMOS 或漏极 开路	端口A, PA4-7。此端口是引脚可配置的且具有多种功能: 1. MCU I/O——标准输出或输入端口 2. FGPLD宏单元(Micro \leftrightarrow Cell, McellA4-7)输出 3. 输入到PLD 4. 锁存地址输出(见表6) 5. 在非多路复用总线配置中作为数据总线端口(D4-7) 6. M37702M2方式D4/A20-D7/A23 7. 特定16位方式D12-D15 8. 外设I/O方式
PB0 PB1 PB2 PB3	7 6 5 4	I/O	端口B, PB0-3。此端口是引脚可配置的且具有多种功能: 1. MCU I/O——标准输出或输入端口 2. FGPLD宏单元(Micro \leftrightarrow Cell, McellA0-3)输出 3. FGPLD宏单元(Micro \leftrightarrow Cell, McellB0-3)输出 4. 输入到PLD 5. 锁存地址输出(见表6) 6. 在16位数据总线非多路复用总线配置中作为数据总线端口(D8-D11) 7. 特定16位方式D0-D3

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱: 武汉市70020信箱

邮编: 430079

电话: (86) (027) 87493500 ~ 87493506

传真: (86) (027) 87491166, 87493493

续上表

引脚名	引脚	类型	功能说明
PB4 PB5 PB6 PB7	3 2 52 51	I/O CMOS 或漏极开 路	端口B, PB4-7。此端口是引脚可配置的且具有多种功能： 1. MCU I/O——标准输出或输入端口 2. FGPLD宏单元 (Micro<=>Cell, MCellAB4-7) 输出 3. FGPLD宏单元 (Micro<=>Cell, MCellBC4-7) 输出 4. 输入到PLD 5. 锁存地址输出 (见表6) 6. 在16位数据总线非多路复用总线配置中作为数据总线端口 (D12-D15) 7. 特定16位方式D4-D7
PC0 (TMS)	20	I/O CMOS 或漏极开 路	端口C, PC0。此端口是引脚可配置的且具有多种功能： 1. MCU I/O——标准输出或输入端口 2. FGPLD宏单元 (Micro<=>Cell, MCellBC0) 输出 3. 输入到PLD 4. 用于JTAG接口的TMS输入
PC1 (TCK)	19	I/O CMOS 或漏极开 路	端口C, PC1。此端口是引脚可配置的且具有多种功能： 1. MCU I/O——标准输出或输入端口 2. FGPLD宏单元 (Micro<=>Cell, MCellBC1) 输出 3. PLD输入 4. 用于JTAG接口的TCK输入
PC2 (V _{stby})	18	I/O	端口C, PC2。此端口是引脚可配置的且具有多种功能： 1. MCU I/O——标准输出或输入端口 2. FGPLD宏单元 (Micro<=>Cell, MCellBC2) 输出 3. 输入到PLD 4. SRAM备用电压输入。用于电池备用RAM的V _{stby}
PC3 (TSTAT, Rdy/Bsy)	17	I/O CMOS 或漏极开 路	端口C, PC3。此端口是引脚可配置的且具有多种功能： 1. MCU I/O——标准输出或输入端口 2. FGPLD宏单元 (Micro<=>Cell, MCellBC3) 输出 3. 输入到PLD 4. 用于JTAG接口的TSTAT输出 5. 用于在线并行编程的Rdy/Bsy
PC4 ($\overline{\text{TERR}}$, V _{baton})	14	I/O CMOS 或漏极开 路	端口C, PC4。此端口是引脚可配置的且具有多种功能： 1. MCU I/O——标准输出或输入端口 2. FGPLD宏单元 (Micro<=>Cell, MCellBC4) 输出 3. 输入到PLD 4. 用于JTAG接口的 $\overline{\text{TERR}}$ 输出 5. 用于电池备用指示器输出的V _{baton}

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

信箱:武汉市70020信箱

电话:(86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>

邮编: 430079

传真:(86) (027) 87491166, 87493493

续上表

引脚名	引脚	类型	功能说明
PC5 (TDI)	13	I/O CMOS 或漏极开 路	端口C, PC5。此端口是引脚可配置的且具有多种功能： 1. MCU I/O——标准输出或输入端口 2. FGPLD宏单元 (Micro \leftrightarrow Cell, MCell1BC5) 输出 3. 输入到PLD 4. 用于JTAG接口的TDI输入
PC6 (TDO)	12	I/O CMOS 或漏极开 路	端口C, PC6。此端口是引脚可配置的且具有多种功能： 1. MCU I/O——标准输出或输入端口 2. FGPLD宏单元 (Micro \leftrightarrow Cell, MCell1BC6) 输出 3. 输入到PLD 4. 用于JTAG接口的TDO输入
PC7 ($\overline{\text{BHE}}$)	11	I/O CMOS 或漏极开 路	端口C, PC7。此端口是引脚可配置的且具有多种功能： 1. MCU I/O——标准输出或输入端口 2. FGPLD宏单元 (Micro \leftrightarrow Cell, MCell1BC7) 输出 3. 输入到PLD 4. PC7引脚 (WRH), 适用于高字节的低电平有效写选通输入。 用于有WRH的16位MCU 5. $\overline{\text{DBE}}$ ——适用于68HC912配置 6. $\overline{\text{WEH}}$ ——适用于高字节的低电平有效写选通输入 (68LC302配置)
PD0 (ALE, $\overline{\text{AS}}$, AS)	10	I/O	端口D引脚PD0可以被配置为： 1. ALE输入——在下降沿锁存AD100-15引脚上的地址 2. AS输入——在下降沿锁存AD100-15引脚上的地址 3. $\overline{\text{AS}}$ 输入——在上升沿锁存AD100-15引脚上的地址 4. MCU I/O 5. 输入到PLD 6. FGPLD输出
PD1 (CLK IN)	9	I/O	端口D引脚PD1可以被配置为： 1. MCU I/O 2. PLD输入 3. FGPLD输出 4. CLKIN时钟输入——加至GPLD宏单元 (Micro \leftrightarrow Cell) APD 掉电计数器和GPLD AND阵列的时钟输入
PD2 ($\overline{\text{CSI}}$)	8	I/O	端口D引脚PD2可以被配置为： 1. MCU I/O 2. PLD输入 3. FGPLD输出 4. $\overline{\text{CSI}}$ 输入——当为低电平时, CSI使能PSD EPROM和SRAM。当 为高电平时, EPROM和SRAM被禁止以节省功率
V _{cc}	15 38		电源引脚
GND	1 16 26		接地引脚

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱:武汉市70020信箱

邮编:430079

电话:(86) (027) 87493500 ~ 87493506

传真:(86) (027) 87491166, 87493493

表6 I/O端口锁存地址输出分配 *

微控制器	端口A		端口B	
	端口A (3:0)	端口A (7:4)	端口B (3:0)	端口B (7:4)
8051xA (8位)	N/A	地址[7:4]	地址[11:8]	N/A
80C251 (页方式)	N/A	N/A	地址[11:8]	地址[15:12]
所有其它8位多路复用	地址[3:0]	地址[7:4]	地址[3:0]	地址[7:4]
8051xA (16位)	N/A	地址[7:4]	地址[11:8]	地址[15:12]
所有其它16位多路复用	地址[3:0]	地址[7:4]	地址[3:0] 或地址[11:8]**	地址[7:4]或 地址[15:12]**
8位非多路复用总线	N/A	N/A	地址[3:0]	地址[7:4]

N/A=不能应用

* 关于如何使能锁存地址输出功能, 请参见I/O端口一节。

** 当PSD8XXF器件用作16位总线上高字节时高地址线被锁存在端口B上。

八· PSD8XXF寄存器说明和地址偏移

表7和7A表示PSD8XXF寄存器相对于CSIOP基地址的偏移地址。CSIOP空间是256个字节的地址空间, 它由用户分配给内部PSD8XXF寄存器。PSD8XXF在16位方式下具有不同的数据字节取向, 它要求分开的地址偏移映象。

表7表示适用于除16位方式之外的MCU的CSIOP地址偏移。表7A和7B表示在16位方式下8位MCU的地址偏移

表7 寄存器地址偏移

寄存器名	端口A	端口B	端口C	端口D	其它*	说明
数据输入	00	01	10	11		读端口引脚的输入值, MCU I/O输入方式
控制	02	03				在MCU I/O或地址输出之间选择方式
数据输出	04	05	12	13		存储输出到端口引脚的数据, MCU I/O输出方式
方向	06	07	14	15		把端口引脚配置为输入或输出
驱动选择	08	09	16	17		在CMOS、漏极开路和斜升率之间配置端口引脚
输入Micro<=>Cell	0A	0B	18			读输入Micro<=>Cells (宏单元)
使能输出	0C	0D	1A	1B		读I/O端口驱动器输出使能的状态
输出 Micro<=>Cells AB	20	20				读——读Micro<=>Cells AB的输出 写——装载Micro<=>Cell触发器
输出 Micro<=>Cells BC		21	21			读——读Micro<=>Cells BC的输出 写——装载Micro<=>Cells触发器
屏蔽 Micro<=>Cells AB	22	22				块写到输出Micro<=>Cells AB
屏蔽 Micro<=>Cells BC		23	23			块写至输出Micro<=>Cells BC
闪速保护					C0	只读——闪速区段保护
PSD/EE保护					C2	只读——PSD保密和EEPROM/自举闪速区段保护
JTAG使能					C4	使能JTAG端口
PMMR0					B0	电源管理寄存器0
PMMR1					B2	电源管理寄存器1
PMMR2					B4	电源管理寄存器2
页					E0	页寄存器
VM					E2	8031/PIO配置寄存器

* 不是I/O端口部分的其它寄存器。

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

信箱: 武汉市70020信箱

电话: (86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>

邮编: 430079

传真: (86) (027) 87491166, 87493493

表7A 16位方式下寄存器地址偏移 (使用两个8位方式PSD8XXF)(低字节)

寄存器名	端口A	端口B	端口C	端口D	其它*	说明
数据输入	00	02	20	22		读端口引脚的输入值, MCU I/O输入方式
控制	04	06				在MCU I/O或地址输出之间选择方式
数据输出	08	0A	24	26		存储输出到端口引脚的数据, MCU I/O输出方式
方向	0C	0E	28	2A		把端口引脚配置为输入或输出
驱动选择	10	12	2C	2E		在CMOS、漏极开路和斜升率之间配置端口引脚
输入Micro<=>Cell	14	16	30			读输入Micro<=>Cells (宏单元)
使能输出	18	1A	34	36		读I/O端口驱动器输出使能的状态
输出 Micro<=>Cells AB	40	40				读——读Micro<=>Cells AB的输出 写——装载Micro<=>Cell触发器
输出 Micro<=>Cells BC		42	42			读——读Micro<=>Cells BC的输出 写——装载Micro<=>Cells触发器
屏蔽Micro<=>Cells AB	44	44				块写到输出Micro<=>Cells AB
屏蔽Micro<=>Cells BC		46	46			块写至输出Micro<=>Cells BC
闪速保护					180	只读——闪速区段保护
PSD/EE保护					184	只读——PSD保密和EEPROM/自举闪速区段保护
JTAG使能					188	使能JTAG端口
PMMR0					160	电源管理寄存器0
PMMR1					164	电源管理寄存器1
PMMR2					168	电源管理寄存器2
页					1C0	页寄存器
VM					1C4	8031/PIO配置寄存器

* 不是I/O端口部分的其它寄存器。

表7B 16位方式下寄存器地址偏移 (使用两个8位方式PSD8XXF)(高字节)

寄存器名	端口A	端口B	端口C	端口D	其它*	说明
数据输入	01	03	21	23		读端口引脚的输入值, MCU I/O输入方式
控制	05	07				在MCU I/O或地址输出之间选择方式
数据输出	09	0B	25	27		存储输出到端口引脚的数据, MCU I/O输出方式
方向	0D	0F	29	2B		把端口引脚配置为输入或输出
驱动选择	11	13	2D	2F		在CMOS、漏极开路和斜升率之间配置端口引脚
输入Micro<=>Cell	15	17	31			读输入Micro<=>Cells (宏单元)
使能输出	19	1B	35	37		读I/O端口驱动器输出使能的状态
输出 Micro<=>Cells BC	41	41				读——读Micro<=>Cells AB的输出 写——装载Micro<=>Cell触发器
输出 Micro<=>Cells BC		43	43			读——读Micro<=>Cells BC的输出 写——装载Micro<=>Cell触发器
屏蔽Micro<=>Cells AB	45	45				块写到输出Micro<=>Cells AB
屏蔽Micro<=>Cells BC		47	47			块写至输出Micro<=>Cells BC
闪速保护					181	只读——闪速区段保护
PSD/EE保护					185	只读——PSD保密和EEPROM/自举闪速区段保护
JTAG使能					189	使能JTAG端口
PMMR0					161	电源管理寄存器0
PMMR1					164	电源管理寄存器1
PMMR2					168	电源管理寄存器2
页					1C1	页寄存器
VM					1C5	8031/PIO配置寄存器

* 不是I/O端口部分的其它寄存器。

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱: 武汉市70020信箱

邮编: 430079

电话: (86) (027) 87493500 ~ 87493506

传真: (86) (027) 87491166, 87493493

九． PSD8XXF功能块

如图1所示，PSD8XXF包含6个主要的功能块：

- 存储器块
- PLD块
- 总线接口
- I/O端口
- 电源管理单元
- JTAG接口

每一个块的功能在下面各小节中叙述。许多块完成多种功能，且是用户可配置的。

9.1 存储器块

PSD8XXF具有内部闪速存储器、EEPROM (F1) / 引导闪速存储器 (F2) 以及SRAM存储器块。存储器选择信号来自FDPLD并可在PSDsoft软件中由用户定义。

9.1.1 主闪速存储器、EEPROM以及闪速引导存储器说明

所有存储器块使用单电源电压。

1M位主闪速存储器块提供8个16K字节的区段，同时EEPROM或闪速引导存储器包含4个每个为8K字节的区段。每个区段可单独被擦除以及一个字节接一个字节地被编程。每个区段可单独加以保护和取消保护以防止编程和擦除。当从闪速存储器块 (或EEPROM存储器块) 的其他区段读数据时，区段的擦除可能会暂停，在读之后将被恢复。在闪速存储器块编程或擦除周期内或在EEPROM存储器块写期间内，内部逻辑的状态可在端口C3的Rdy/Bsy引脚上读出。注意，在PSDsoft配置菜单中此引脚 (C3) 必须被配置为Rdy/Bsy方式。

附加的64字节的EEPROM是一次可编程的 (仅对F1)。

EEPROM存储器块可以按字节或按64个字节的页被写入，在软件数据保护 (Software Data Protection, SDP) 的帮助下数据的完整性可以被确保。在上电之后的头5毫秒内，EEPROM内的任何写操作均被禁止。

9.1.1.1 存储器块选择

8个闪速存储器区段的每一个均有闪速选择 (Flash Select) 信号 (FSi)，每一个闪速选择信号包含3个乘积项 (Product terms)。4个EEPROM或闪速引导存储器区段的每一个均有相应的选择信号 (EESi 或 CSBOOTi)，每一个选择信号包含3个乘积项。每一个区段选择信号具有3个乘积项使得给定的段可被映射在系统存储器的不同区域中。当使用80C31微控制器时，这些灵活的选择信号允许区段从程序空间至数据空间的动态重新映射。

9.1.1.2 准备就绪/忙 (Ready/Busy, R/B)

当闪速存储器或EEPROM存储器块处于写状态下或闪速存储器正在被擦除时，Ready/Busy信号输出可以被引至端口C3以便指示器件的状态。

R/B=0：内部写或闪速存储器擦除正在进行，

R/B=1：内部写或闪速存储器擦除不在进行。

当在闪速存储器区段内读 (或取操作码) 时，可以使用此状态位。

Ready/Busy输出可以被配置为漏极开路输出 (见9.4.3.1.3小节“驱动选择寄存器”)，这允许在多存储器应用中使用PSD8XXF1时把所有Ready/Busy输出连接到单根Ready/Busy线上 (用外部上拉电阻线“或”)。

9.1.1.3 操作

通过PSD8XXF器件上的微控制器接口对存储器寻址。基本操作包括闪速存储器块的读或写以及EEPROM块的读或写。

9.1.1.3.1 读

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com

邮编：430079

传真：(86) (027) 87491166, 87493493

读操作用于输出闪速或EEPROM存储器的内容、制造厂标识符、闪速区段保护状态、闪速块标识符、EEPROM/引导闪速存储器标识符或OTP行内容。

注释：数据读取取决于输入到存储器内的前次指令（见表8）。

9.1.1.3.2 写

写操作可用于实现两个目的：

1. 在闪速或EEPROM存储器内写数据
2. 输入组成指令的字节序列

读者应注意到编程闪速存储器字节是一条指令（见“指令”一节）。

表8 指令（参见注释1）

<i>Instruction</i>	<i>EEPROM Chp Select</i>	<i>Flash Chip Select</i> (Note 2)	<i>Cycle 1</i>	<i>Cycle 2</i>	<i>Cycle 3</i>	<i>Cycle 4</i>	<i>Cycle 5</i>	<i>Cycle 6</i>	<i>Cycle 7</i>
Read Manufacturer Identifier	0	1	AAh @ AAAh	55h @ AAAh	90h @ 555h	Read identifier with (A0,A1,A6) at (0,0,0)			
Read Flash Identifier	0	1	AAh @ 555h	55h @ AAAh	90h @ 555h	Read identifier with (A0,A1,A6) at (0,0,0)			
Read OTP Row	1	0	AAh @ 555h	55h @ AAAh	90h @ 555h	Read byte 1	Read byte 2		Read byte N
Read Sector Protection Status	0	1	AAh @ 555h	55h @ AAAh	90h @ 555h	Read identifier with (A0,A1,A6) at (0,1,0)			
Program a Flash Byte	0	1	AAh @ 555h	55h @ AAAh	A0h @ 555h	Data @ address			
Erase one Flash Sector	0	1	AAh @ 555h	55h @ AAAh	80h @ 555h	AAh @ 555h	55h @ AAAh	30h @ Sector address	30h @ Sector address ⁽¹⁾
Erase the whole Flash	0	1	AAh @ 555h	55h @ AAAh	80h @ 555h	AAh @ 555h	55h @ AAAh	10h @ 555h	
Suspend Sector	0	1	B0h @ any address						
Resume Sector Erase	0	1	30h @ any address						
EEPROM Power Down	1	0	AAh @ 555h	55h @ AAAh	30h @ 555h				
Deep Power Down	0	1	20h @ 555h						
SDP Enable (EEPROM)	1	0	AAh @ 555h	55h @ AAAh	A0h @ 555h	Write byte 1	Write byte 2		Write byte N
SDP Disable (EEPROM)	1	0	AAh @ 555h	55h @ AAAh	80h @ 555h	AAh @ 555h	55h @ AAAh	20h @ 555h	
Write in OTP Row	1	0	AAh @ 555h	55h @ AAAh	B0h @ 555h	Write byte 1	Write byte 2		Write byte N
Return (from OTP Read or EEPROM Power-Down)	1	0	F0h @ any address						
Reset	0	1	AAh @ 555h	55h @ AAAh	F0h @ any address				
Reset (short instruction)	0	1	F0h @ any address						

- 注释：1. 必须在80 μs之内进入被擦除的附加区段。
2. 闪速和EEPROM芯片选择为高电平有效。

9.1.1.3.3 编程指令

指令被定义为特定的写操作序列。每一个接收到的字节被顺序译码（且不被当作标准的写操作执行）。当接收到正确的字节数且两个相继字节之间的时间短于超时值时，指令被执行。

任何指令的时序必须严格被遵循。当对闪速块寻址时，指令字节的任何无效组合或两个相继字节之间的超时都将把器件逻辑复位到读存储器状态；当对EEPROM块寻址时，上述的指令字节无效组合或字节间超时将直接被译码作为单个操作。

PSD8XXF指令集包括：

- 编程闪速存储器字节
- 读闪速区域保护状态
- 擦除指令：闪速区段擦除，闪速存储器擦除，闪速区段擦除暂停，闪速区段擦除恢复
- EEPROM低功耗（仅在F1内）
- 极低功耗
- 设置/复位EEPROM（仅在F1内）软件写保护（SDP）
- OTP行访问
- 复位和返回
- 读标识符，读制造厂标识符，读闪速存储器标识符

这些指令在表8内详述。为了指令的有效译码，指令的头两个字节是代码周期（coded cycles），后随命令字节或确认字节。代码周期包括在第1个周期内在地址555h写数据0AAh和在第2个周期内在地址AAAh写数据55h。

在擦除指令的特定情况下，指令由两个附加的代码周期确认。

9.1.1.4 电源和电流消耗

9.1.1.4.1 EEPROM低功耗（仅在F1内）

在EEPROM低功耗指令（见表8）的帮助下，PSD8XXF1可被设置成EEPROM低功耗方式。一旦EEPROM低功耗指令被译码，除非Return(返回)指令被译码之前，否则将不能访问EEPROM存储器。当APD电路被触发时，这种低功耗方式将自动发生（见9.5.1小节）。因此，如果使用APD电路，那么就不需要此指令。

9.1.1.4.2 极低功耗

通过执行极低功耗（Deep Power Down）指令（见表8），PSD8XXF可以被设置在低功耗方式。一旦指令被译码，器件将被设置在睡眠方式，直至复位（Reset）指令被译码为止。当APD电路被触发时，这种低功耗方式将自动发生。因此，如果使用APD电路，那么就不需要此指令。

9.1.1.4.3 上电

在上电情况下，PSD8XXF内部逻辑被复位到读存储器状态。在上电之后头5ms期间内EEPROM中任何写操作均被禁止。为了实现数据内容的最大安全性并消除在写选通信号第一个上升沿字节被写的可能性，在上电期间内FSi和EESi/CSBOOTi选择信号以及写选通信号必须处于虚假（无效）状态。当V_{CC}低于V_{LKO}时，任何写周期的启动被锁定。

9.1.1.5 读

读操作和指令可以被用于：

- 读存储器阵列（闪速存储器和EEPROM存储器）的内容
- 读存储器阵列（闪速存储器和EEPROM存储器）的状态和标识符

9.1.1.5.1 读制造厂标识符

制造厂标识符可以由Read（读）指令读出。

9.1.1.5.1.1 读指令

用4种操作组成的单指令可以读出制造厂标识符,这4种操作是3个特定的写操作(见表8)和一个读操作,读操作输出制造厂标识符、闪速存储器标识符或闪速区段保护状态(取决于加在A0、A1、A6上的电平以及FSi和EESi选择信号。)

9.1.1.5.2 读闪速存储器标识符

闪速存储器标识符可以由Read(读)指令读出。

9.1.1.5.2.1 读指令

闪速存储器标识符可以由包含4种操作的指令读出,这4种操作是:3种特定的写操作和一个读操作(见表8)。

9.1.1.5.3 读OTP行

OTP行被映射在EEPROM存储器中。OTP行(64个字节)的读出由指令(见表8)完成,该指令包含在读OTP行内容之前三个特定的存储单元地址(每一单元地址位于不同页)中的三个特定的数据字节写操作。当访问OTP行时,只有低位地址(A6至A0)被译码,其中A6必须为0。OPT行的每一次读必须后随Return(返回)指令(见表8)。

9.1.1.5.4 读闪速存储器区段保护状态

用与读制造厂标识符指令相类似的指令可以读出闪速存储器区段保护状态,唯一的区别是加至A0、A1、A6的逻辑电平值,同时FSi定义其保持需要被检验的闪速存储器区段。如果闪速存储器区段被保护,那么这种读指令将输出01h;如果闪速存储器区段未被保护,那么输出00h。

9.1.1.5.5 读状态位

PSD8XXF1提供几种写操作状态标志,它们可用于使写(或擦除或编程)时间为最小。这些信号示于表9,当编程(或擦除)正在进行时在数据总线端口上可供使用。应当注意,Ready/Busy引脚也反映了EEPROM写、闪速存储器写、或闪速存储器擦除的状态。

表9 状态位

	FSi/CSB00Ti	EESi	DQ7	DQ6	DQ5	DQ4	DQ3	DQ2	DQ1	DQ0
闪速存储器	V _{IL}	V _{IH}	数据轮询	触发标志	出错标志	X	擦除超时	X	X	X
EEPROM	V _{IH}	V _{IL}	数据轮询	触发标志	X	X	X	X	X	X

注释:1. X=不保证数值,可被读出1或0。

2. DQ7-DQ0代表数据总线位,D7-D0。

9.1.1.5.6 数据轮询标志DQ7

当擦除或编程闪速存储器时(或当写入EEPROM存储器时),位DQ7输出DQ7上正被送入供编程/写入位的补码。一旦编程指令或写操作完成,真正的逻辑值在DQ7上被读出(在读操作中)。闪速存储器专有的特性:

- 对于编程,在第4个写脉冲之后,对于擦除,在第6个写脉冲之后数据轮询有效。数据轮询必须在被编程的地址或在被擦除的闪速存储器区段内的地址处完成。
- 在擦除指令期间内,DQ7输出‘0’。在指令完成之后,DQ7将输出被编程的最后一位(在擦除之后它为‘1’)。
- 如果被编程的字节在被保护的闪速存储器区段内,那么指令被忽略。
- 如果所有要擦除的闪速存储器区段均被保护,那么DQ7将被设置为‘0’大约100μs,然后返回前次被寻址的字节。没有执行擦除操作。
- 如果所有的区段均被保护,那么Bulk Erase(块擦除)指令被忽略。

9.1.1.5.7 跳转标志DQ6

PSD8XXF1提供另一种方法决定何时EEPROM写或闪速存储器编程指令被完成,在内部写操作期间内且当FSi或EESi/CSB00Ti为低电平时,由于后续的阅读任何存储器字节的企图,DQ6将从‘0’跳转到‘1’和从‘1’跳转到‘0’。

当内部周期完成时,跳转将停止,在数据总线D0-7上读出的数据是被寻址的存储器字节。器件现在可供

新的读或写操作访问。当两次接连的读产生同样的输出数据时，操作完成。

闪速存储器专有的特性：

- 在第4个写脉冲之后（对于编程）或在第6个写脉冲之后（对于擦除），跳转位有效。
- 如果被编程的字节属于被保护的闪速存储器区段，那么指示被忽略，且
- 如果所有被选择需擦除的闪速存储器区段均为保护，那么DQ6将跳转到‘0’大约100ms，然后返回到原先寻址的字节。
- 如果所有的区段被保护，那么Bulk Erase(块擦除)指令被忽略。

9.1.1.5.8 出错标志DQ5

在闪速存储器字节编程或区段擦除或块擦除期间，如果有故障，则此位设置为‘1’。

在闪速存储器区段擦除或字节编程出错的情况下，发生错误的闪速存储器区段或被编程字节所属的区段必须不再被使用（其它闪速存储器区段仍可使用）。在Reset(复位)指令之后，出错位复位。在正确编程和擦除期间内，出错位被置为‘0’。

9.1.1.5.9 擦除超时标志DQ3（仅对闪速存储器块）

擦除定时器（Erase Timer）位反映在两个接连的区段擦除（Sector Erase）指令之间允许的超时周期。除非另外的区段擦除指令被译码，否则在区段擦除指令之后100ms+20%的时间周期内擦除定时器位被置‘0’。在此时间周期之后或当另外的区段擦除指令被译码时，DQ3被置为‘1’。

9.1.1.6 写EEPROM字节（或页）

应当注意到写EPROM块是一种操作（operation），而不是一条指令（如对闪速存储器块中字节编程一样）。

9.1.1.6.1 写EEPROM存储器字节

当EEPROM选择信号EESi为真且PSD8XXF1写选通信号为真时，写操作启动。一旦启动，写操作在内部定时直至完成，这是在时间 t_w 的期间内。

读数据轮询（Data Polling）和跳转位（它们在‘读’一节中评述）或准备就绪/忙（Ready/Busy）输出可了解写操作的状态。从被写的字节写开始直至内部写时序完成为止准备就绪/忙输出被驱动至低电平。

9.1.1.6.2 写EEPROM存储器页

页（page）写允许在启动编程周期之前把在同一个EEPROM页内多达64个字节连续地锁存到存储器中，所有的字节必须位于单个页地址内，即所有的字节A14-A6必须相同。一旦启动，页写操作在内部定时直至完成，这是在时间 t_{wc} 的期间内。

读数据轮询（Data Polling）和跳转位（它们在‘读’一章中详述）或准备就绪/忙（Ready/Busy）输出可以了解写操作的状态。从被写的第一个字节的写开始直至内部写时序完成，此准备就绪/忙输出被驱动到低电平。页写由接连的字指令组成，在时间周期内两个接连的写操作之间，它们必须被排序且小于 t_{wmin} 值。如果时间周期超过 t_{wmin} 值，那么内部编程周期将开始。

9.1.1.6.3 EEPROM存储器软件数据保护

保护指令允许用户禁止对EEPROM存储器的所有写方式。它是软件数据保护（Software Data Protection）指令（下面被称为SDP）。SDP特性对于保护存储器以避免偶然的写周期是有用的，在失控的总线状态期间内可能发生这种偶然的写周期。

PSD8XXF1在供货时是处于标准的未保护状态，这意味着EEPROM存储器内容可以被用户改变。在SDP使能指令之后，器件进入保护方式（Protect Mode），在此方式下，后续的写操作对EEPROM存储器的内容没有任何影响。器件保持在此方式直至接收到有效的SDP禁止指令为止，由于该指令的作用，器件将恢复到未保护状态。

如图3所示，为了使能SDP，必须用页写（page write）把三个特定的数据字节写至三个特定的存储器单元地址（每一个单元地址在不同的页）。设置SDP时在EEPROM内任何进一步的写将使用相同的在三个特定的存储器单元地址写三个特定的数据字节并后随字节写。第一个SDP使能序列可直接后随被写的字节。

相似地，如图4所示，为了禁止软件数据保护，用户必须用页写（page write）把特定的数据字节写入六个不同的单元地址，此页写在不同的页内写不同的字节。

软件数据保护状态是非易失性的且不被上电/断电序列所改变。SDP使能/禁止指令设置或复位内部非易失性位，因而需要写时间 t_{wc} 。此写操作仅能在跳转位（状态位DQ6）和准备就绪/忙（Ready/Busy）引脚上被监视。从被写的第一个字节（即，SDP设置或复位序列的第一个在555h地址处写AAh）开始，直至内部写序列完成，Ready/Busy输出被驱动至低电平。

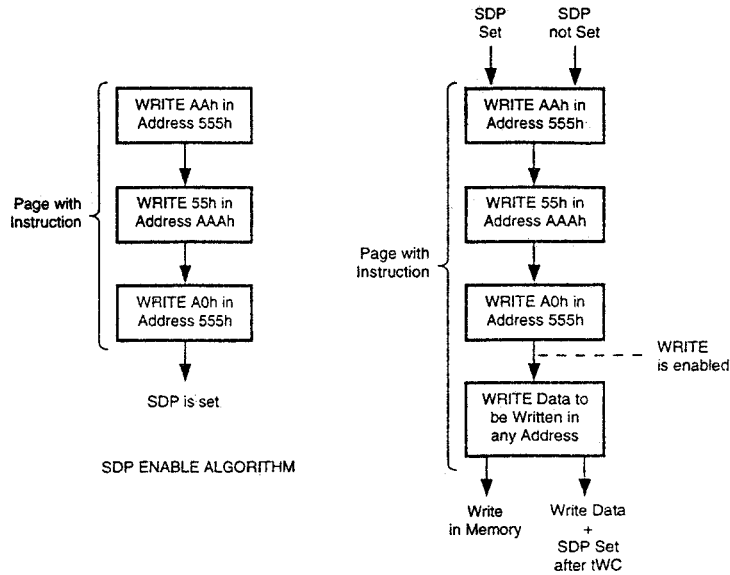


图3 EEPROM SDP使能流程

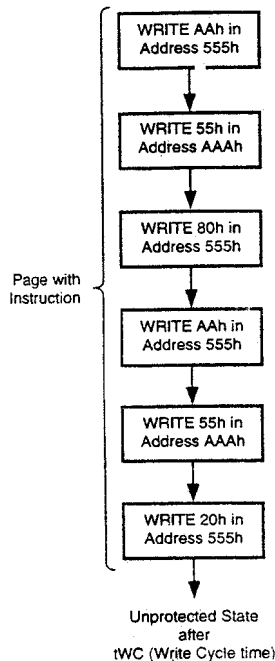


图4 软件数据保护禁止流程

9.1.1.6.4 写OTP行

OTP行（64个字节）写（仅一次）由指令使能。此指令由在三个特定的存储器单元地址（每一单元地址在不同的页内）三个特定数据字节的写操作并后随存储在OTP行内的数据所组成（参见表8）。当访问OTP行时，

只有低位地址 (A6至A0) 被译码, 且A6=0。

9.1.1.7 对闪存存储器编程

实现数据写入EEPROM和闪存存储器是不同的。闪存存储器要求一个指令 (见指令一节) 用于擦除而另一个指令用于编程一个 (或多个) 字节。EEPROM存储器可用简单的操作直接写入 (见操作一节)。

9.1.1.7.1 编程指令

在编程 (Program) 指令执行期间内, 闪存存储器区段将不接受任何进一步的指令。

闪存存储器区段可以一个字节接一个字节地被编程。编程指令是三个特定的写操作后继以把地址和被编程的数据字节写入闪存存储器的序列 (见表8)。PSD8XXF1在第4个写操作之后开始并完成编程。

如下节所详述的那样, 在编程期间内, 存储器的状态可通过读状态位DQ5、DQ6以及DQ7来检查。

9.1.1.7.2 数据轮询

轮询DQ7是检查编程 (Program) 或擦除 (Erase) 指令是正在进行还是已经完成的一种方法。图5表示数据轮询过程。当编程指令正在进行时, 数据位DQ7是原先数据位7的补码; 当DQ7等于老的数据且出错 (Error) 位DQ5仍为0时, 指令已完成。为了确定DQ7是否有效, 每次轮询必须存储原先的数据以供比较, 如果它们是相同的, 那么操作成功。检查出错位DQ5以确保定时极限值未被超过。当擦除操作正在进行时, DQ7总是为 '0', 只要DQ5= '0', 那么当擦除操作完成时, DQ7将为 '1'。

在所有情况下, 当DQ5为 '1' 时, 如果DQ7和DQ5同时改变, 那么应当再次检查DQ7。如果DQ7=真数据 (编程) 或DQ7= '1' (擦除), 那么操作成功, 执行应返回至调用者。提议的第二次读将提供所有的真数据 (编程) 或全FFh (擦除) 信息。否则, 这应当被标志为错误, 且器件应当被复位。

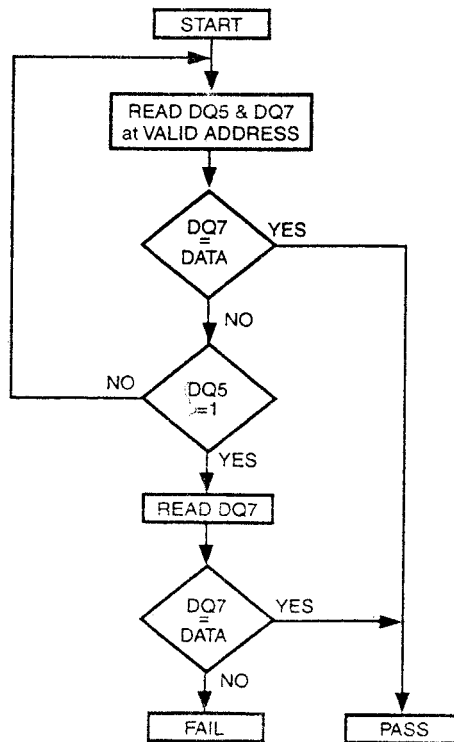


图5 数据轮询流程图

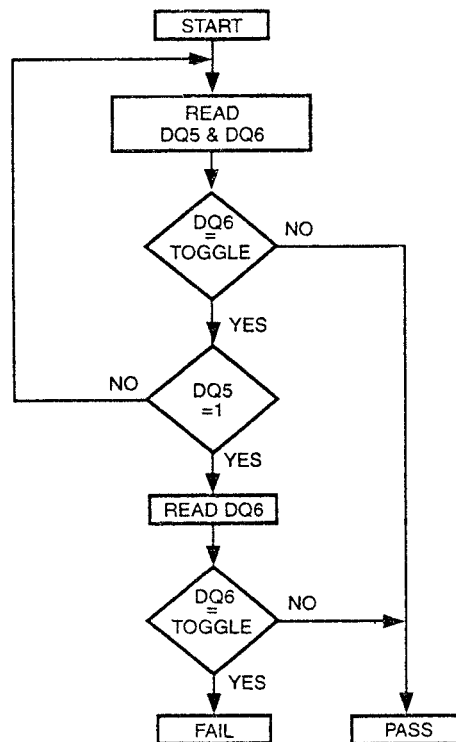


图6 数据跳转流程图

9.1.1.7.3 数据跳转

检查跳转 (Toggle) 位DQ6是确定编程 (Program) 或擦除 (Erase) 操作是正在进行还是已经完成的另一种方法。图6表示数据跳转过程。当操作正在进行时，对于成功的读操作数据位DQ6不断地跳转。当DQ6不再跳转且出错位DQ5为0时，操作完成。为了确定DQ6是否跳转，每一轮询动作需要2次相继的数据读操作，如果数据读出相同，那么操作成功。检查出错位DQ5以确保定时极限值未被超过。在所有情况下，当DQ5为‘1’时，如果DQ6和DQ5同时改变，那么应当再次检查DQ6。如果DQ6已停止跳转，那么操作成功，执行应当返回到调用者。提议的第2次读将提供所有真数据 (编程) 或全Fh (擦除) 信息。否则，该事件将被标志为错误，器件应当被复位。

9.1.1.8 闪速存储器擦除

应当注意：

- 对闪速存储器区段 (或块) 的任何字节编程要求以前已用正确的指令 (见指令一节) 擦除闪速存储器区段 (或块) (一次擦除区段或块内所有字节)。
- 写EEPROM存储器是一种触发字节擦除且后随字节写的自动序列的操作。写EEPROM不要求在写之前特定的擦除动作。

9.1.1.8.1 块擦除指令

如表8所述，块擦除 (Bulk Erase) 指令使用6个写操作，后随状态寄存器位的读操作。如果块擦除指令的任何字节出错，那么块擦除指令将失败，器件被复位到读闪速 (Read Flash) 存储器的状态。

如9.1.1.7节“编程闪速存储器”所详述的那样，在块擦除期间内，通过读状态位DQ5、DQ6和DQ7可以检查存储器的状态。如果已存在擦除失败 (Erase Failure) (最大数目的擦队周期已被执行)，那么出错 (Error) 位 (DQ5) 将返回‘1’。

不必用00h对阵列编程，在擦除0FFh之前，PSD8XXF将自动完成此操作。

在块擦除指令执行期间内，闪速存储器块逻辑不接受任何指令。

9.1.1.8.2 闪速存储器区段擦除

如表8所述，区段擦除 (Sector Erase) 指令使用6个写操作。如果在短于大约为100ms的超时周期的时间内发出另外的指令，那么无需进一步的代码周期 (coded cycles)，可以接连地写入额外的闪速区段擦除 (Flash Sector Erase) 确认命令和闪速存储器区段地址从而并行地擦除其它闪速存储器区段。新的区段擦除 (Sector Erase) 指令将重新启动超时周期。

内部定时器的状态可通过DQ3 (擦除超时位) 电平加以监视。如果DQ3为‘0’，那么区段擦除指令已被接收且超时正在计数。如果DQ3为‘1’，那么超时已期满，PSD8XXF正忙于擦除闪速存储器区段。在擦除超时周期之前和之内，任何非擦除暂停 (Erase Suspend) 和擦除恢复 (Erase Resume) 的指令将使指令失败并把器件复位到读阵列 (Read-Array) 方式。因为PSD8XXF1在擦除 (字节=FFh) 之前将自动用00h对闪速存储器扇区编程，所以不必进行此操作。

如“编程指令”一节 (8.1.1.7.1) 所详述的那样，在区段擦除期间内，通过读状态位DQ5，DQ6和DQ7可以检查存储器的状态。

在擦除指令执行期间内，闪速存储器块逻辑仅接受复位 (Reset) 和擦除暂停 (Erase Suspend) 指令。为了从另一个闪速存储器区段读取数据，可以暂停一个闪速存储器区段的擦除，然后再恢复。

9.1.1.8.3 擦除暂停指令

当闪速存储器区段擦除 (Flash Sector Erase) 操作正在进行时，擦除暂停 (Erase Suspend) 指令可以通过把0B0h写入任何地址 (见表8) 来暂停操作。这允许在擦除正在进行时从另一个闪速存储器区段读取数据。擦除暂停仅在闪速存储器区段擦除指令执行期间内被接受并缺省至读阵列方式。在擦除超时期间内送入的擦除暂停指令除了暂停擦除之外还将结束超时周期。

当PSD8XXF1内部逻辑被暂停时，跳转位 (Toggle Bit) DQ6停止跳转。必须在被擦除的闪速存储器区段内的地址处监视跳转位的状态。在擦除暂停指令被写入之后的0.1 μs至15 μs时间内跳转位将停止跳转。然后PSD8XXF1将自动被设置至读闪速存储器块存储器阵列 (Read Flash Block Memory Array) 方式。

当擦除被暂停时，从被擦除的闪速存储器区段读将输出无效数据，而从未被擦除的闪速存储器区段读将有效。在擦除暂停期间内，闪速存储器仅对擦除恢复 (Erase Resume) 和复位 (Reset) 指令作出响应。

复位指令将肯定使擦除失败并在被擦除的区段内留下无效的数据。

9.1.1.8.4 擦除恢复指令

如果以前执行了擦除暂停 (Erase Suspend) 指令，那么可以用此指令恢复擦除操作。擦除恢复 (Erase Resume) 指令包含在任何地址写030h (见表8)。

9.1.1.9 闪速和EEPROM存储器专有的特性

9.1.1.9.1 闪速存储器和EEPROM区段保护

每一个闪速存储器和EEPROM区段可以被单独保护以防止编程或擦除。当区段保护禁止所有编程或擦除操作时，它提供了额外的数据安全性。通过JTAG端口或者在器件编程器上可以激活此方式。

在PSDsoft配置菜单 (Configruation Menu) 上可以为每一个区段选择区段保护。当器件通过JTAG端口或在器件编程器上编程时，这将自动保护被选的区域。闪速存储器和EEPROM区段可以被取消保护以便更新其内容。扇区保护可以从JTAG端口或器件编程器上改变。微控制器不能直接修改区段保护位。

任何编程或擦除被保护闪速存储器或EEPROM区段的企图将被器件忽略。校验 (Verify) 操作将导致被保护数据的读取。这保证了保护状态的保持。

9.1.1.9.2 复位指令

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com

邮编：430079

传真：(86) (027) 87491166, 87493493

复位 (Reset) 指令在数毫秒之内复位内部存储器逻辑状态机。复位是一个写操作或三个写操作的指令 (参见表8)。RESET IN引脚上的外部复位也将复位内部存储器逻辑状态机。

9.1.2 电池备用SRAM

SRAM具有16K位的存储器, 它可被配置为 $2K \times 8$ 。SRAM由FDPLD的RS0输出使能。RS0包括两个乘积项 (product terms), 使得在SRAM如何被映射上具有更大的灵活性。SRAM具有电池备用方式, 当电源电压至备用电压以下时调用此方式。

PSD8XXF支持电池备用工作, 它在掉电情况下保持SRAM的内容。端口C PC2引脚可以被配置为外部电源的输入引脚。如果电源电压降到基准电压 (V_{stby}) 以下, 那么将发生内部电源切换以便PC2给内部SRAM供电。在电压低至2V电平时SRAM内容仍可保持。

端口PC4引脚可以被配置为输出引脚以便指示何时 V_{stby} 引脚给内部SRAM提供电源。当电源电压降至基准电压 (V_{stby}) 以下时, PC4 V_{baton} 信号将变为低电平。当PC2端的基准电压给内部SRAM供电时, V_{baton} 信号将等于基准电压。

9.1.3 存储器选择映象

闪速存储器、EEPROM、闪速引导存储器以及SRAM选择信号来自FDPLD的输出, FDPLD的方程用PSDabel定义。以下规则适用于存储器空间的定义:

1. 闪速存储器、EEPROM或闪速引导存储器区段选择空间不能大于实际区段的大小。
2. 任何闪速存储器区段不能被映射在与另一个闪速存储器区段相同的存储器空间内。
3. EEPROM/引导闪速存储器区段不能被映射在与另一个EEPROM/引导闪速存储器区段相同的存储器空间内。
4. SRAM、I/O以及外设I/O空间不能互相重叠。
5. EEPROM/引导闪速存储器区段可以和闪速存储器区段重叠, EEPROM/引导闪速存储器区段优先。
6. SRAM、I/O和外设I/O空间可以和EEPROM/引导闪速存储器以及主闪速存储器重叠, SRAM、I/O以及外设I/O优先。这允许SRAM、I/O或外设I/O利用未被使用的EEPROM/引导闪速存储器或闪速存储器空间。因此, SRAM、I/O以及外设I/O可以和EEPROM/引导闪速存储器重叠, 而EEPROM/引导闪速存储器和闪速存储器重叠, SRAM、I/O以及外设I/O最优先, EEPROM/引导闪速存储器次优先。

图7所列为存储器和I/O部件的不同优先级。第1级上的任何项可以重叠第2或3级上的部件。第2级上的任何项可以重叠第3级上的部件但不能重叠第1级。第3级上的部件不能重叠任何其它部件。任何处在相同级别上的部件不能重叠。

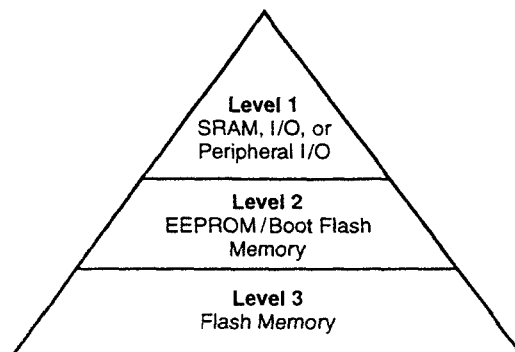


图7 存储器和I/O部件的优先级

9.1.3.1 80C31微控制器存储器选择

8031系列的微控制器，包括80C251和80C51XA，具有分开的适用于代码存储器（由PSEN使能）和数据存储器（由RD使能）的地址空间。PSD8XXF允许主闪速存储器、EEPROM/引导闪速存储器以及SRAM驻留在程序空间、数据空间或二者。三者不同的配置是可能的。

PSEN或RD控制信号可以被使能以便访问任何存储器部件、闪速存储器、EEPROM/引导闪速存储器或SRAM。这些控制信号可以在PSDsoft配置菜单内被初始化。如表10所示，一旦系统自举，微控制器通过改变FL-data、EE-data、FL-code、EE-code或SRAM-code位可在VM寄存器内改变此配置。通过设置这些位，闪速存储器、EEPROM/闪速引导存储器或SRAM可以驻留在程序空间、数据空间或二者之内。

表10 VM寄存器

位7 PIO-EN	位6*	位5*	位4 FL-Data	位3 EE-Data	位2 FL-Code	位1 EE-Code	位0 SRAM-Code
0=禁止 PIO方式	*	*	0=RD不能访问 闪速存储器	0=RD不能访问 EEPROM/引导 闪速存储器	0=PSEN不能访问 闪速存储器	0=PSEN不能访问 EEPROM/引导 闪速存储器	0=PSEN不能访问 SRAM
1=使能 PIO方式	*	*	1=RD访问闪 速存储器	1=RD访问 EEPROM/引导 闪速存储器	1=PSEN访问闪 速存储器	1=PSEN访问 EEPROM/引导闪 速存储器	1=PSEN访问 SRAM

注释：位6-5不用。

9.1.3.2 分离空间方式

代码存储器空间和数据存储器空间分离。例如，PSEN信号用于访问来自闪速存储器的程序代码，而RD信号用于访问来自EEPROM、SRAM和I/O端口的数据。

9.1.3.3 组合空间方式

程序和存储器空间被组合到一个64KB块空间内，它允许用PSEN或RD访问主闪速存储器、EEPROM以及SRAM。

9.1.3.4 混合方式

这允许在数据空间或程序空间内单独配置闪速存储器或EEPROM区段。闪速存储器或EEPROM区段选择信号在FS0-FS7或EES0-EES3方程中必须用RD输入确认其有效性。低电平有效的RD将选择数据空间存储器区段并禁止程序空间的区段。对于驻留在数据空间内的存储器区段，从RD有效至数据有效计算访问时间。当RD信号被包含在存储器区段选择方程内时，此方程由PSDsoft自动设置。

9.1.3.5 80C31存储器映象举例

在此例中，PSD存储器被配置为如图8所示。

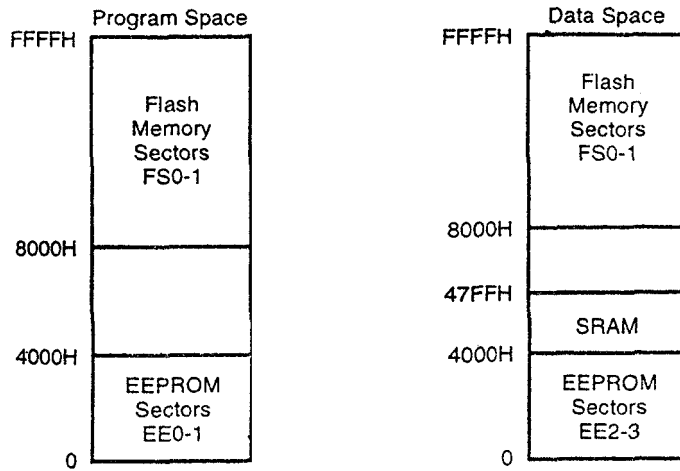


图8 80C31存储器映象举例

- 在组合空间方式（在程序空间和数据空间二者）中，闪存存储器区段FS0-1将被映射在8000-FFFFH的空间。
- EEPROM区段，EE0-1，将被映射在0000H-3FFFH的程序空间。
- EEPROM区段，EE2-3，将被映射在0000H-3FFFH的数据空间。
- SRAM将被映射在4000-47FFH的数据空间。

PSDsoft中Abel方程如下：

```

FS0= ( Address>=^h8000 ) & ( Address<=^hBFFF ) ;
FS1= ( Address>=^hC000 ) & ( Address<=^hFFFF ) ;
EE0= ( Address>=^h0000 ) & ( Address<=^h1FFF ) & RD ;
EE1= ( Address>=^h2000 ) & ( Address<=^h3FFF ) & RD ;
EE2= ( Address>=^h0000 ) & ( Address<=^h1FFF ) & !RD ;
EE3= ( Address>=^h2000 ) & ( Address<=^h3FFF ) & !RD ;
RS0= ( Address>=^h4000 ) & ( Address<=^h47FF ) ;
    
```

当微控制器读VM寄存器时，读回的内容如表11所示。

表11 在80C31存储器映象举例中VM寄存器的内容

位7 PIO-EN	位6*	位5*	位4	位3	位2	位1 RD-EN	位0 PSEN-EN
0=禁止 PIO方式	*	*	1=RD可以 访问闪存 存储器	1=RD可以访问 EEPROM/ 引导 闪存存储器	1=PSEN 可 以访问闪 速存储器	1=PSEN可以访 问 EEPROM/ 引 导闪存存储器	0=PSEN 不 能访问 SRAM

注释：位6-5不用。

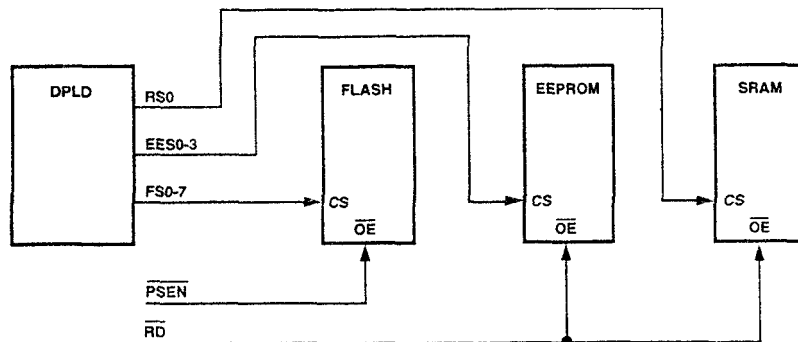


图9 8031存储器方式——分离空间方式

9.1.4 页寄存器

8位页寄存器 (Page Register) 使微控制器的寻址能力增加256倍。寄存器的内容也可由微控制器读出。页寄存器 (PGR0-PGR7) 的输出是FDPLD译码器的输入且可包含在闪速存储器、EEPROM或SRAM芯片选择方程内。

图11表示页寄存器，寄存器内8个触发器被连接到内部数据总线D0-D7。微控制器可以写入或从页寄存器读出。如果不执行页方式，那么寄存器可以象独立于微控制器的寄存器那样工作。可以在地址单元CS10P+E0H访问页寄存器。

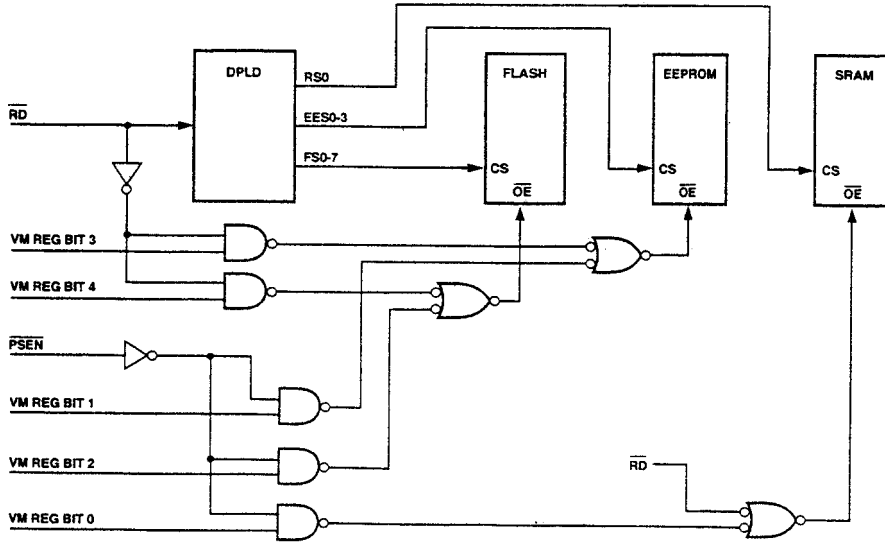


图10 80C31存储器方式——组合空间方式

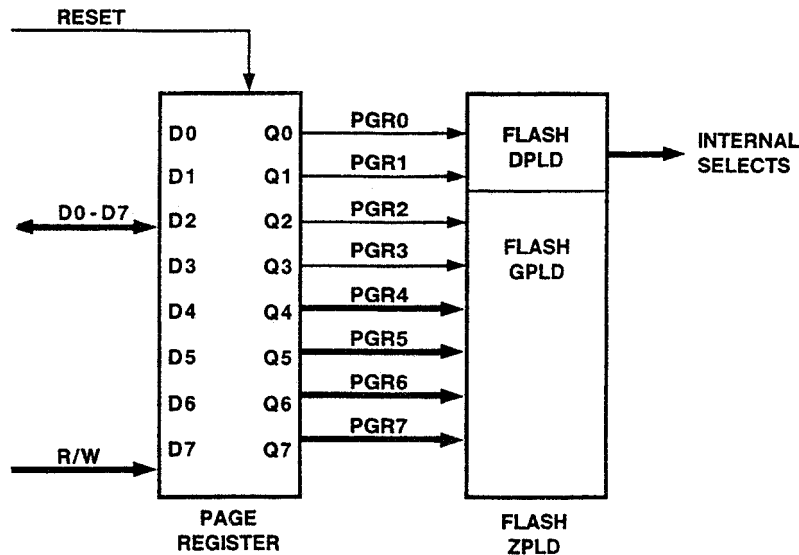


图11 页寄存器

9.2 PLD

闪速PSD给PSD8XXF提供可编程逻辑功能。在利用PSDsoft t套装软件中PSDabel工具规定了PLD的逻辑之后，可把逻辑编程至器件中，并在加电时可供使用。

闪速PLD (FDPLD和FGPLD) 由与 (AND) 阵列组成。FDPLD为内部PSD8XXF功能部件：例如内部存储器、寄存器、以及I/O端口的选择完成地址译码。在FGPLD内三个专用的芯片选择被译码以供外部使用。FGPLD结构包括16个输出宏单元 (Micro \leftrightarrow Cells) 外加AND阵列。还包括24个输入宏单元，它们可配置为PLD输入。图12表示PLD的组织。

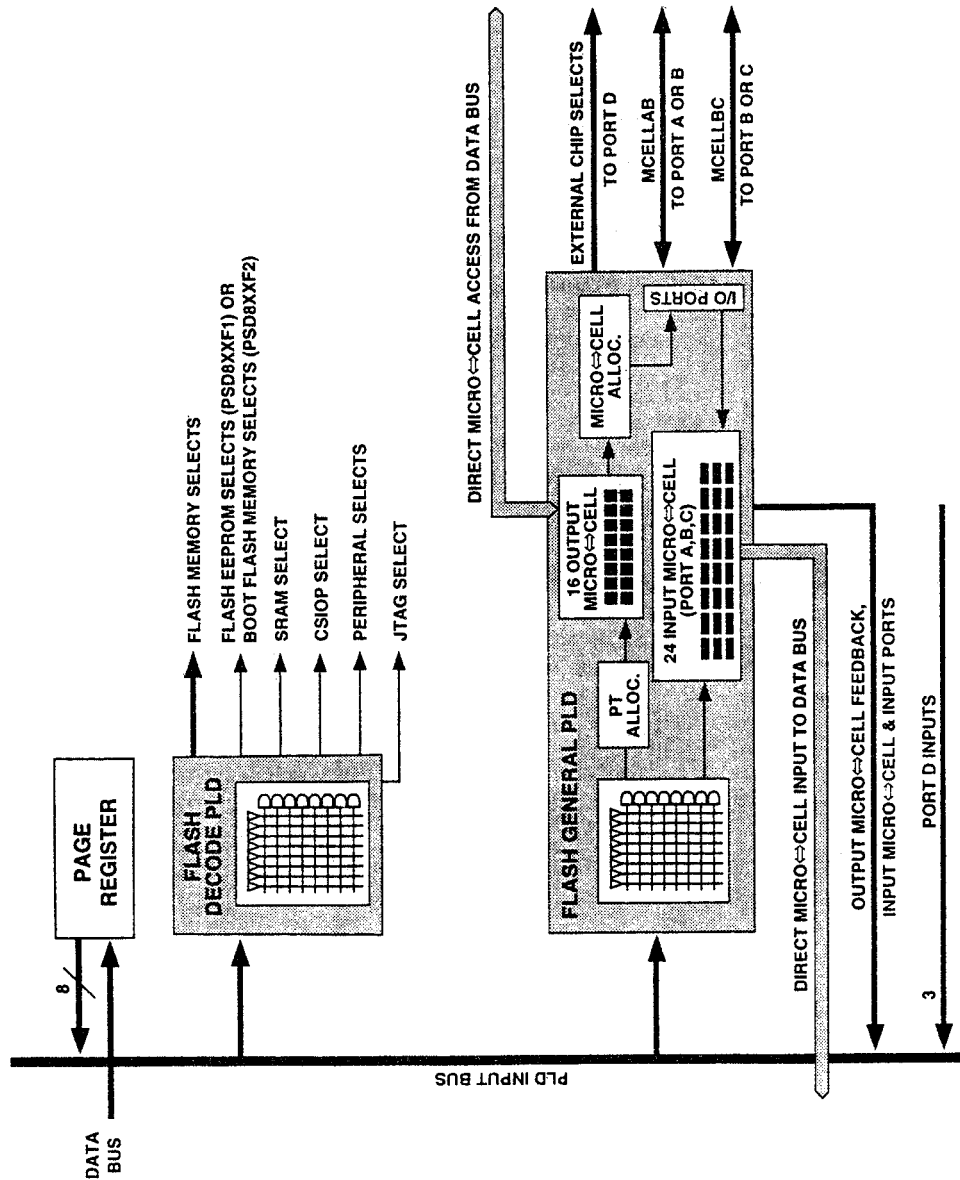


图12 PLD方框图

闪速AND (与) 阵列用于形成乘积项 (product terms)，它由PSDsoft开发系统中PSDabel工具规定。当项中所使用的输入为真时，输出有效。FDPLD或FGPLD输入总线包含表12所示的73个信号。输入的真值和反值 (true and complement value) 可用于AND (与) 阵列。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号
 信箱：武汉市70020信箱
 电话：(86) (027) 87493500 - 87493506

P&S网网址：http://www.p8s.com
 邮编：430079
 传真：(86) (027) 87491166, 87493493

表12 FDPLD和FGPLD输入

输入源	输入名	信号数
MCU地址总线	A[15:0]*	16
MCU控制信号	CNTL[2:0]	3
复位	RST	1
掉电	PDN	1
端口A输入Micro<=>Cells	PA[7:0]	8
端口B输入Micro<=>Cells	PB[7:0]	8
端口C输入Micro<=>Cells	PC[7:0]	8
端口D输入	PD[2:0]	3
页寄存器	PGR (7:0)	8
Micro<=>Cell AB 反馈	MCELLAB.FB[7:0]	8
Micro<=>Cell BC反馈	MCELLBC.FB[7:0]	8
EEPROM/引导闪存存储器编程状态位	Rdy/Bsy	1

注释：在80C51XA方式下地址输入为A[19:4]。

当输入保持不变达约70ns的扩展时间时，PLD可通过关断而使功耗为最小。如果输入不变，那么把加速（Turbo）方式位（PMMR0寄存器的位3）设置为断可自动把PLD置为备用方式。加速断开（Turbo-off）方式增加传输延迟同时减少功耗。关于如何设置加速位请参见“电源管理单元”一节。通过使用PSDsoft开发工具禁止未用的乘积项可进一步减小功耗。

三种闪速PLD的每一种具有适合其应用的独特的特性，它们在下面各小节中叙述。

9.2.1 闪速译码PLD

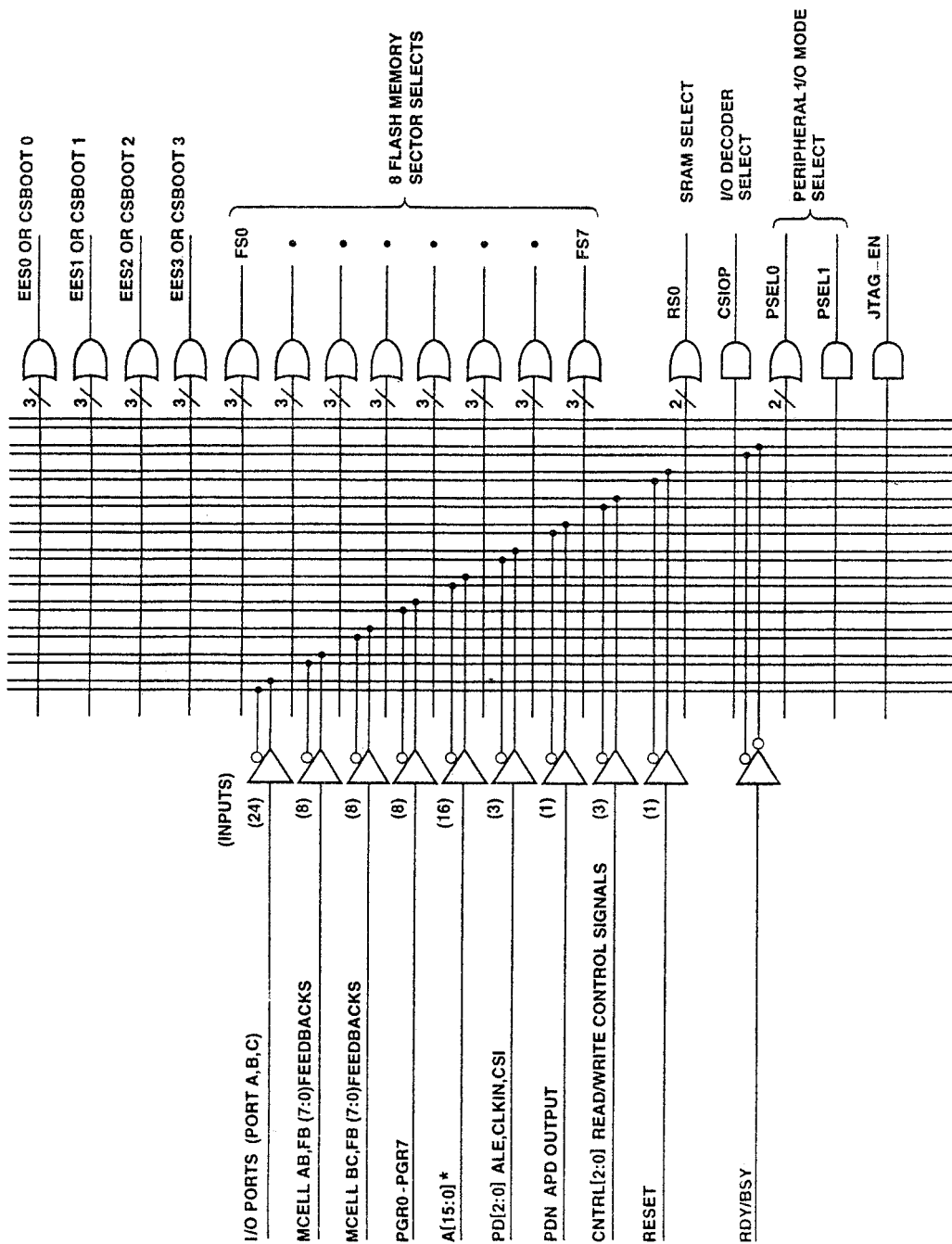
闪速译码PLD（FDPLD）示于图13，它用于选择PSD8XXF内部功能部件：闪速存储器和EEPROM区段、SRAM、JTAG使能、CSIOP以及端口A外设方式。所有选择信号为高电平有效。每一个闪速存储器和EEPROM/引导闪速存储器区段具有三个乘积项。SRAM选择包括两个乘积项。JTAG-EN信号是用于使能端口C上JTAG口的选择线。通过设置JTAG-Config寄存器的JTAG-SWEN位，此JTAG口也可由微控制器使能。CSIOP是用于PSF8XXF内部寄存器的选择信号并占据256字节的存储器空间。第二级译码器（对用户透明）根据地址输入A[7:0]选择寄存器。PSEL0&1用作端口A输入以控制端口的I/O[Peripheral I/O]方式操作。通常PSEL0&1用MCU地址输入定义。此方式在“I/O端口”一节中说明。

9.2.2 闪速通用PLD

通用PLD（FGPLD）用于实现系统逻辑，例如MCU可装载计数器、系统邮箱或握手协议。此外FGPLD可实现随机逻辑和状态机功能块。

FGPLD具有输入和输出宏单元（Micro<=>Cells）。FGPLD输出和输入宏单元结构以及端口示于图14。Micro<=>Cells用PSDsoft开发工具配置。和PLD一样，FGPLD具有AND（与）阵列，它可产生多达137个乘积项，对于16个输出Micro<=>Cells的每一个最大为9至10个乘积项。

输入和输出Micro<=>Cells连接到PSD8XXF内部数据总线并可由微控制器直接访问。这使MCU软件能把数据装入输出Micro<=>Cells或从输入和输出Micro<=>Cells读出数据。这种特性能有效地实现系统逻辑并不需要象大多数标准PLD宏单元结构所要求的把数据总线连接到AND（与）逻辑阵列。



NOTE: The address inputs are A[19:4] in 80C51XA mode

图13 FDPLD逻辑阵列

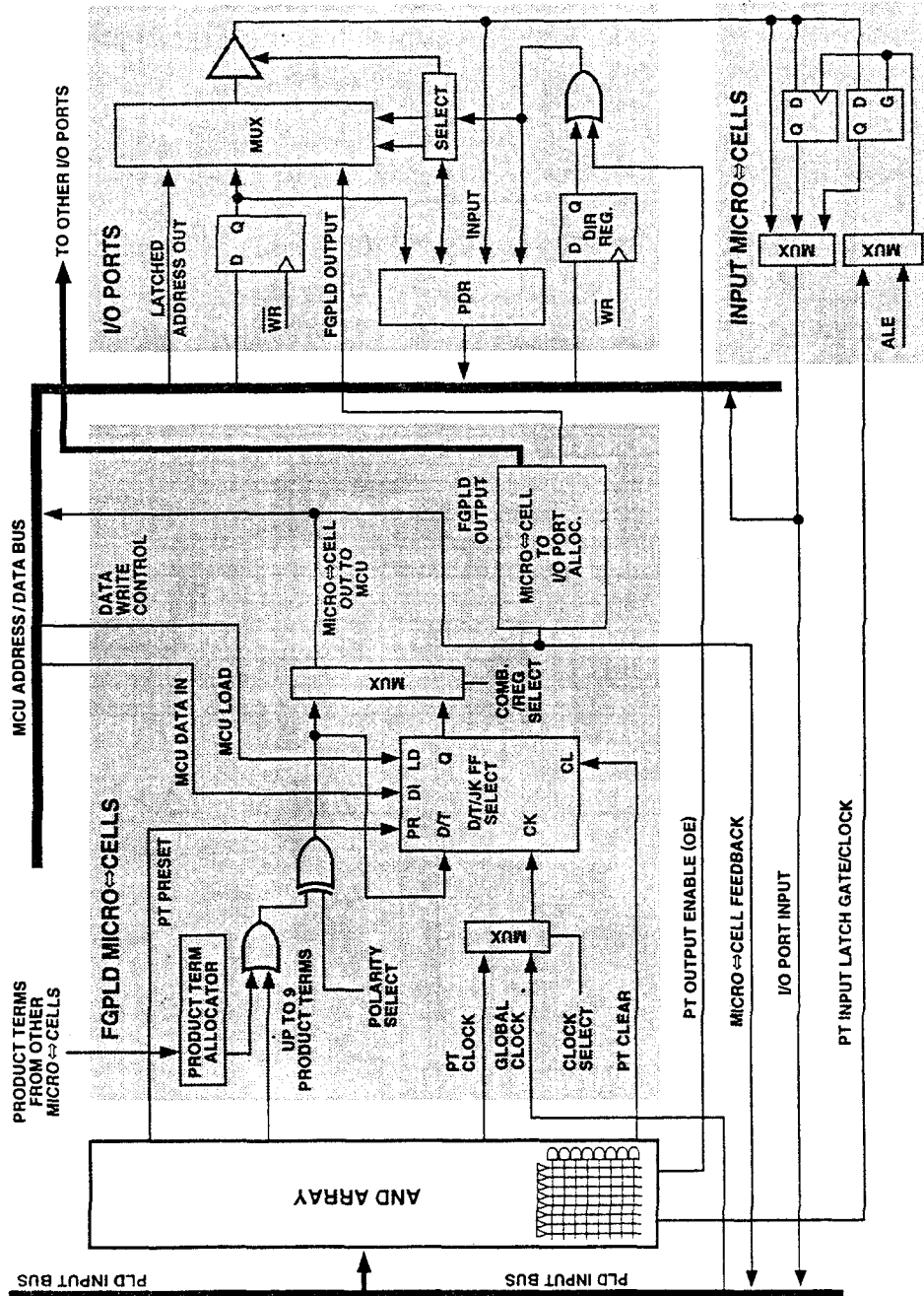


图14 FGPLD和I/O端口

9.2.2.1 输出宏单元 (Micro \leftrightarrow Cell)

8个输出宏单元 (Micro \leftrightarrow Cells) 连接到端口A和B引脚并被命名为McellIAB0-7。另外8个Micro \leftrightarrow Cells可以连接到端口B或C引脚且被命名为McellIBC0-7。如果在PSDabel中未把McellIAB输出分配给特定的引脚，那么Micro \leftrightarrow Cell分配器将它分配给端口A或B。对于端口B或C上的McellIBC输出也是一样。表13表示Micro \leftrightarrow Cells和端口分配。

表13 输出Micro<=>Cell端口和数据位分配

输出 Micro<=>Cell	端口分配	原乘积项	最大借用 乘积项	在8位方式或16位方式下装载或读出数据位（低字节）	在16位方式下装载或读出数据位（高字节）
McellAB0	端口A0, B0	3	6	D0	D8
McellAB1	端口A1, B1	3	6	D1	D9
McellAB2	端口A2, B2	3	6	D2	D10
McellAB3	端口A3, B3	3	6	D3	D11
McellAB4	端口A4, B4	3	6	D4	D12
McellAB5	端口A5, B5	3	6	D5	D13
McellAB6	端口A6, B6	3	6	D6	D14
McellAB7	端口A7, B7	3	6	D7	D15
McellBC0	端口B0, C0	4	5	D0	D8
McellBC1	端口B1, C1	4	5	D1	D9
McellBC2	端口B2, C2	4	5	D2	D10
McellBC3	端口B3, C3	4	5	D3	D11
McellBC4	端口B4, C4	4	6	D4	D12
McellBC5	端口B5, C5	4	6	D5	D13
McellBC6	端口B6, C6	4	6	D6	D14
McellBC7	端口B7, C7	4	6	D7	D15

9.2.2.2 乘积项分配器 (Product Term Allocator)

除了Mcell具有4个原乘积项 (native product terms) 和McellAB具有3个乘积项之外, 所有宏单元 (Micro<=>Cells) 具有相同的单元结构。GPLD也有乘积项分配器, PSDcompiler利用它可自动从一个Micro<=>Cell至另一个借用和放置乘积项。McellAB0-7都有3个原乘积项并可以从其它Micro<=>Cells借用多达6个的乘积项以得到总共为9个乘积项。McellBC0-3具有4个原乘积项并可借用多达5个的乘积项。McellBC4-7具有4个原乘积项并可借用多达6个的乘积项。借用乘积项允许需要更多产品项的Micro<=>Cell输出使用其它Micro<=>Cell未用的乘积项。

16个输出Micro<=>Cells的结构如图15所示; 它包括原乘积项和从其它Micro<=>Cells借用的乘积项。乘积项输入的极性由异或 (XOR) 门控制。Micro<=>Cell可使用触发器单元实现时序逻辑或组合功能部件。多路转换器选择组合或时序逻辑作为Micro<=>Cell输出。多路转换器输出可驱动端口引脚并且具有至AND (与) 阵列输入端的反馈通路。

乘积项也被分配到16个Micro<=>Cells清除 (clear) 输入的每一个。这允许为给定的输出Micro<=>Cell规定多达两个的乘积项。

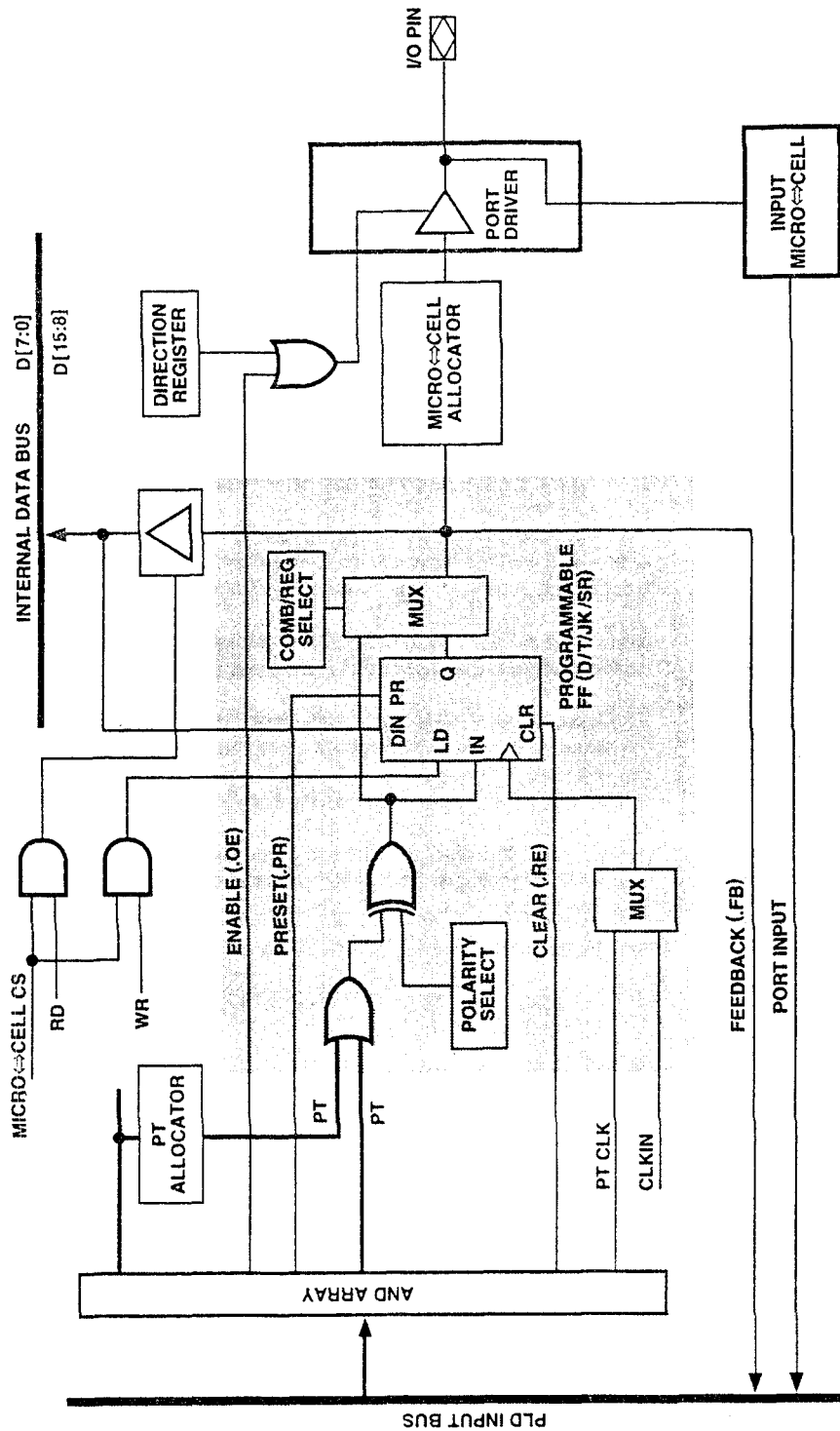


图15 FGPLD输出Micro<=>Cell

9.2.2.3 宏单元触发器类型

使用PSDsoft中的PSDabel可把宏单元 (Micro<=>Cell) 中的触发器配置为D、Toggle、JK或SR类型。触

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

P&S网网址：http://www.p8s.com

信箱：武汉市70020信箱

邮编：430079

电话：(86) (027) 87493500 - 87493506

传真：(86) (027) 87491166, 87493493

发器的Clock (时钟) Preset(预置)和Clear(清除)输入可由AND (与) 阵列的乘积项驱动。另外, 器件时钟输入 (CLKIN) 也可用于触发器。Preset(预置)和Clear (清除) 是高电平有效输入; 触发器由时钟输入的上升沿同步。每一个Clear(清除)输入可以有多达两个的乘积项; 一个是原有的, 另一个从未用的乘积项取得。

9.2.2.4 装载和读宏单元

GPLD宏单元 (Micro \leftrightarrow Cells) 占据MCU地址空间内存储器单元地址, 它由CSIOP定义 (参见I/O一节)。微控制器写总线周期可以从数据总线至Micro \leftrightarrow Cell装载16个Micro \leftrightarrow Cells的每一个触发器 (关于Micro \leftrightarrow Cell地址, 请见“ I/O端口 ”一节)。与Micro \leftrightarrow Cell有关的数据位中的‘1’将把‘1’装入触发器, 数据位中的‘0’将把‘0’装至触发器。装载总线周期优先于包括Preset(预置), Clear (清除)以及时钟的其它触发器输入。关于与Micro \leftrightarrow Cells相连的数据位, 请参见表14。装载触发器并将它们读回的能力在诸如可装载计数器, 移位寄存器, 邮箱或握手协议这样一些应用中是有用的。

8个输出Micro \leftrightarrow Cells每一组的屏蔽寄存器可用于禁止把数据装入各个输出Macro \leftrightarrow Cell。屏蔽寄存器的缺省值是‘0’, 允许微控制器把数据装入Micro \leftrightarrow Cells。在屏蔽寄存器中给定位被置为‘1’的情况下, 当微控制器把数据从数据总线装入Micro \leftrightarrow Cells时, 相关的Micro \leftrightarrow Cells将不改变。例如, 如果当微控制器写到Mcellab-Reg时, McellAB Micro \leftrightarrow Cells的屏蔽寄存器 (Mask-Reg-AB) 包含F0h, 那么数据将从数据总线装入McellAB0-3。McellAB4-7将不改变。

表14 Micro \leftrightarrow Cell触发器装载LD

LD	Din	CLK	IN	PR	CLR	Q
1	1	X	X	X	X	1
1	0	X	X	X	X	0

注释: 当MCU写至Micro \leftrightarrow Cell地址时, LD为‘1’。

9.2.2.5 输出使能

Micro \leftrightarrow Cell可以连接至作为PLD输出的PSD8XXF I/O引脚。每一个端口引脚输出驱动器的输出使能受单个乘积项 (·oe) 的控制, 它来自AND (与) 阵列并与方向寄存器 (Direction Register) 输出逻辑“或”。如果在PSDsoft中没有定义输出使能 (·oe) 方程且引脚被声明为PLD输出, 那么引脚在上电时被使能。

如果在ABEL文件中Micro \leftrightarrow Cell输出被声明为内部结点且不作为端口引脚输出, 那么端口引脚可用于其它I/O功能。内部结点反馈可引至AND (与) 阵列作为输入。

9.2.2.6 输入Micro \leftrightarrow Cells

输入Micro \leftrightarrow Cell示于图16。它可用于在把输入端口信号驱动至PLD输入总线上之前锁存、寄存或传送该信号。输入Micro \leftrightarrow Cells的输出也可通过内部数据总线由微控制器读出。FGPLD有24个输入Micro \leftrightarrow Cells, 在端口A、B和C上每个引脚一个。输入Micro \leftrightarrow Cells可分别配置。

锁存和触发器的使能/时钟由多路转换器驱动, 它的输入是来自FGPLD AND (与) 阵列的乘积项以及MCU地址选通 (ALE)。每个乘积项输出用于锁存/时钟定时4个输入Micro \leftrightarrow Cells。端口输入[3:0]可由一个乘积项控制, [7:4]由另一个控制。

输入Micro \leftrightarrow Cell的配置由用PSDabel编写的方程规定。Micro \leftrightarrow Cell的输出可由微控制器经“输入Micro \leftrightarrow Cell”缓冲器读出。关于如何读Micro \leftrightarrow Cells, 请参见“ I/O端口 ”一节。

输入Micro \leftrightarrow Cells可使用ALE锁存高地址位 (A31-A16)。被锁存的地址可送至PLD作为输入。

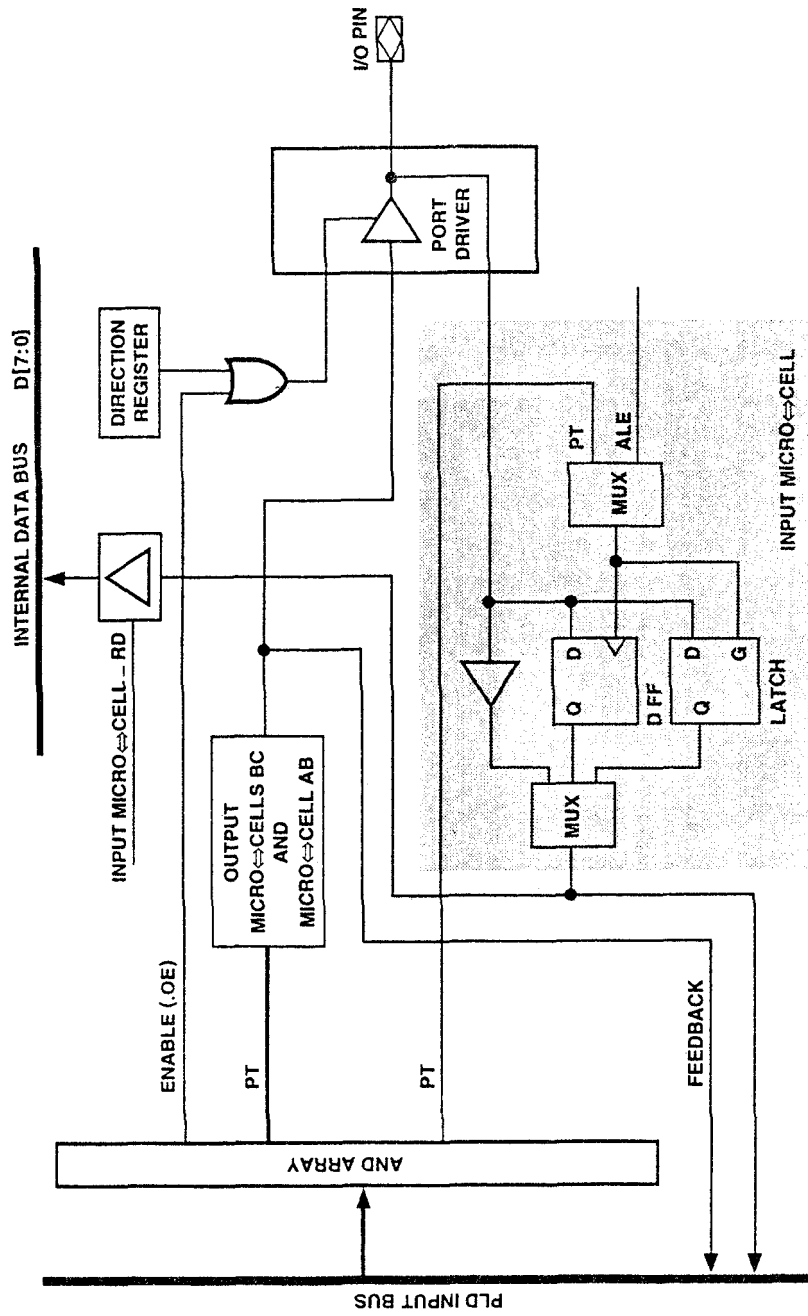


图16 输入Micro<=>Cell

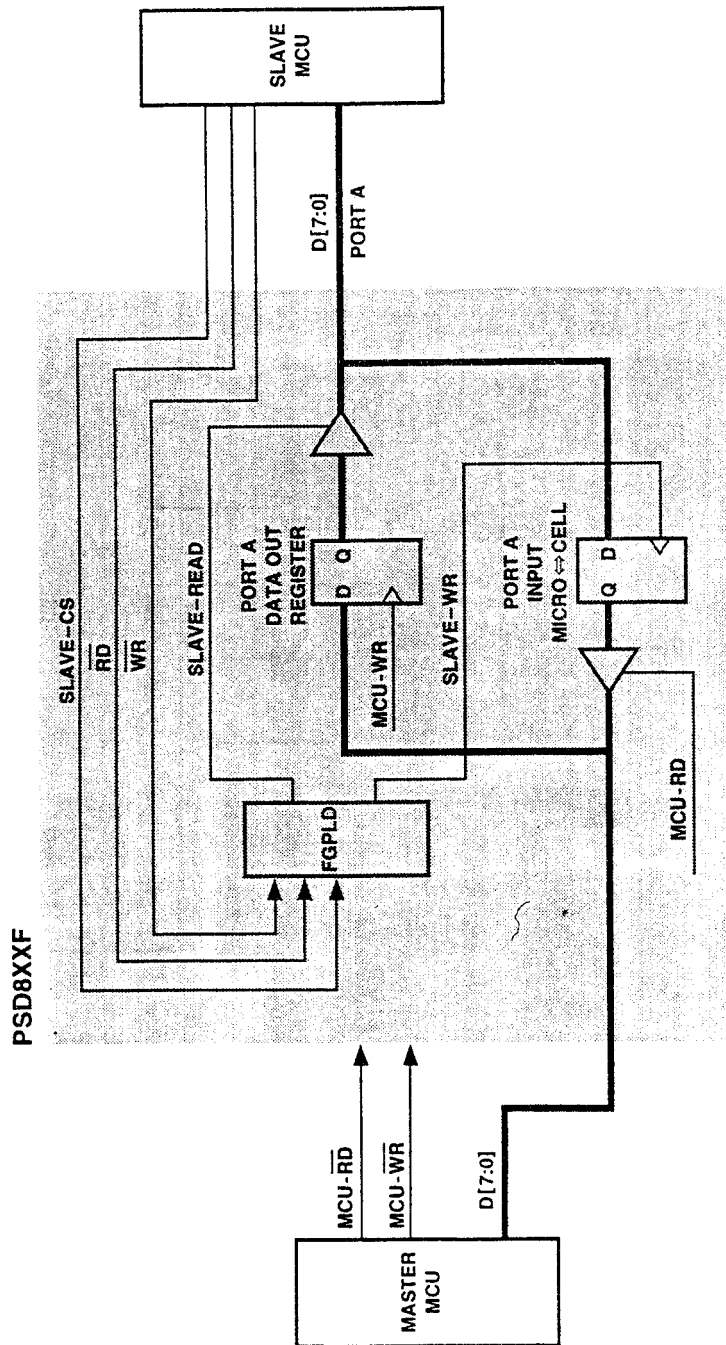


图17 使用输入Micro<=>Cells的握手通信

输入Micro<=>Cell在握手通信应用中特别有用，在这种通信中两个处理器通过共享存储体（commonly accessible storage）在它们之间传送数据。图17表示典型接法，在此接法中主MCU写入端口A 数据输出寄存器，它被从MCU通过激活“从一读（Slave=Read）”输出使能乘积项而读出。从MCU可通过激活“从一写（Slave=Wt）”乘积项写入端口A 输入Micro<=>Cell。于是主MCU可以读输入Micro<=>Cells。“从一读（Slave-Read）”和“从一写（Slave=Wt）”信号是由从MCU输入RD、WR和Slave-CS产生的乘积项。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 - 87493506

P&S网网址：http://www.p8s.com

邮编：430079

传真：(86) (027) 87491166, 87493493

9.2.2.7 外部芯片选择

FGPLD还在端D引脚上提供3个芯片选择输出，它们可用于选择外部器件。每个芯片选择（ECS0-2）由一个乘积项组成，它可以被配置为高电平有效或低电平有效。引脚的输出使能由·OE乘积项或方向寄存器控制。

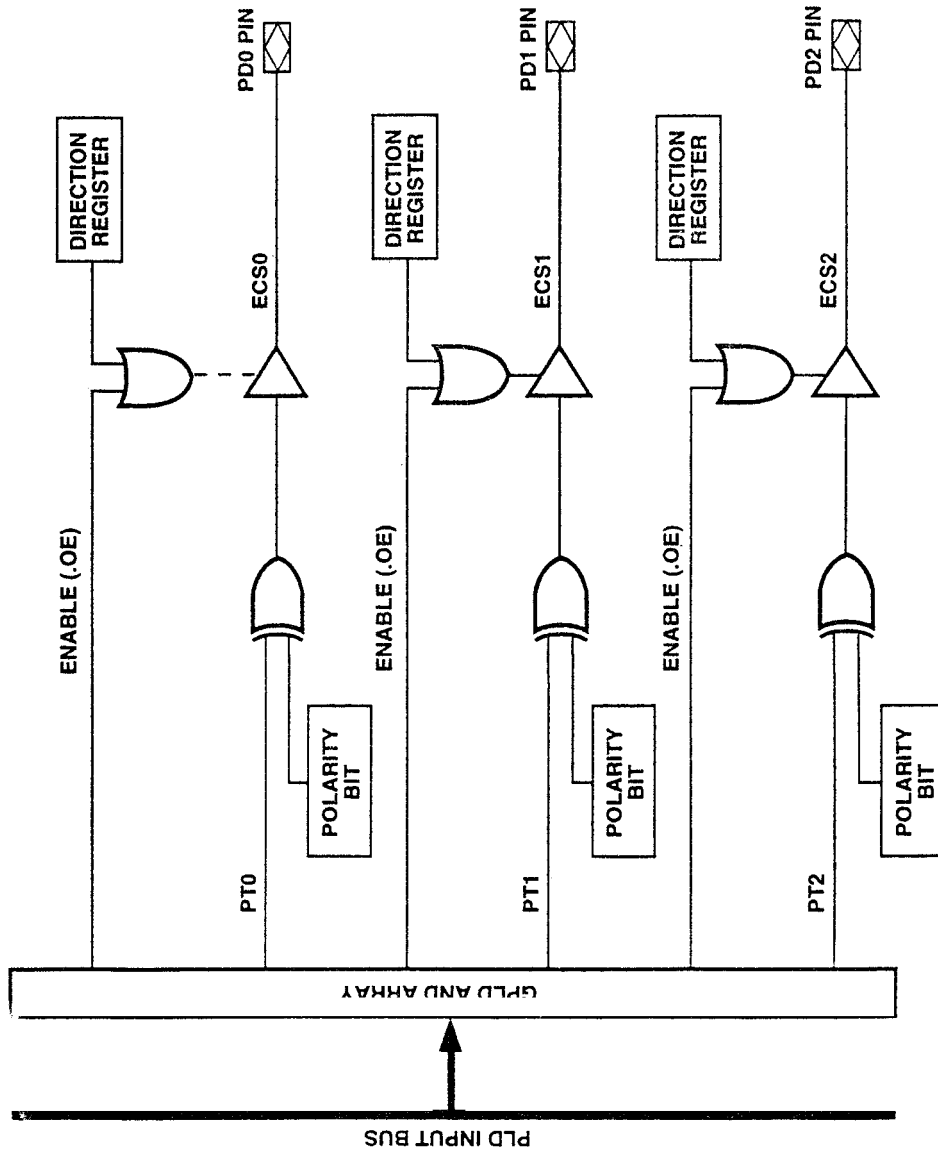


图18 端口D外部芯片选择

9.3 总线接口

“无缝连接逻辑 (no-glue-logic)” PSD8XXF微控制器总线接口可直接连接到大多数通用微控制器以及它们的控制信号。某些8位微控制器以及它们的总线类型和控制信号示于表15。因为PSD8XXF是8位外围器件，所以需要两个PSD8XXF器件和16位数据总线接口。这些配置示于表16。接口类型用PSDsoft工具规定。

表15 数控制器和它们的控制信号

MCU	Data Bus Width	CNTLO	CNTL1	CNTL2***	PC7	PDO**	AD100	PA3-PA0	PA7-PA3
8031	8	\overline{WR}	\overline{RD}	\overline{PSEN}	*	ALE	A0	*	*
80C51XA	8	\overline{WR}	\overline{RD}	\overline{PSEN}	*	ALE	A4	A3-A0	*
80C251	8	\overline{WR}	\overline{PSEN}	*	*	ALE	A0	*	*
80C251	8	\overline{WR}	\overline{RD}	\overline{PSEN}	*	ALE	A0	*	*
80198	8	\overline{WR}	\overline{RD}	*	*	ALE	A0	*	*
68HC11	8	R/\overline{W}	E	*	*	\overline{AS}	A0	*	*
68HC912	8	R/\overline{W}	E	*	\overline{DBE}	\overline{AS}	A0	*	*
68HC912	8	R/\overline{W}	E	A0	\overline{DBE}	AS	\overline{LSTRB}	*	*
Z80	8	\overline{WR}	\overline{RD}	*	*	*	A0	D3-D0	D7-D4
NEURON 3150 CHIP	8	R/\overline{W}	\overline{DS}	*	*	*	A0	D3-D0	D7-D4
Z8	8	R/\overline{W}	\overline{DS}	*	*	*	A0	*	*
68330	8	R/\overline{W}	\overline{DS}	*	*	ALE	A0	*	*

* 不用的CNTL2引脚可以被配置为GPLD输出。其它不用的引脚（PC7，PDO，PA3-0）可以被配置为用于其它I/O功能。

** 对于非多路复用总线的微控制器，ALT/AS输入是可选的。

*** 每当 \overline{BHE} 或A0加到CNTL2引脚时，它们被ALE或AS锁存。否则它们是透明的。

9.3.1 用两个PSD8XXF器件和16位MCU接口

PSD8XXF具有内部8位数据总线。16位数据总线MCU的用户可以并联连接两个PSD8XXF器件，一个连接到高位数据字节（D15-D18），另一个连接到低位数据字节（D7-D0）。

9.3.1.1 外部地址总线配置

这种特殊的工作方式（连接两个8位PSD8XXF器件以组成16位系统）需要在外部地址线内的外部移位。因为地址线在进入芯片之前被移位，所以不再能实现大多数地址/数据多路复用工作方式。因此，如表16所示，大多数多路复用的MCU接口连接到8位非多路复用的PSD8XXF器件。唯一的例外是M37702M2，其中地址/数据多路复用发生于高位地址线（A16-A23），它不需要移位。连接到高8位或低8位PSD8XXF器件的外部地址总线已被移位，所以在任何给定的配置中：

- MCU地址输入A1连接到外部引脚，在16位方式中A0通常在该引脚送入器件（根据表16）。
- MCU地址输入A2连接到外部引脚，在16位方式中A1通常在该引脚送入器件（根据表16）。
- MCU地址输入A15连接到外部引脚，在16位工作方式中A14通常在该引脚送入器件（根据表16）。
- 在标准的16位工作方式中连接到PSD8XXF A0引脚（根据表16）的MCU信号被重定位到AD1015。有关进一步的细节见表15和16。

表16 适用于PSD8XXF特有8位方式的微控制器总线和控制信号

16-Bit MCU Type	Data	CNTLO	CNTL1	CNTL2	ADIO15	ADIO0	PA7-PA4	PA3-PA0	PB7-PB0
80C51XA	8 (Lo)	WRL	RD	PSEN	A19	A5	*	A4 (lat), A3,A2,A1 (transp)	D7-D0
80C51XA	8 (Hi)	WRH	RD	PSEN	A19	A5	*	A4(lat), A3,A2,A1 (transp)	D15-D8
80196, 80186 80C166	8 (Lo)	WR	RD	BHE***	A0	A1	D7-D4	D3-D0	*
80196, 80186, 80C166	8 (Hi)	WR	RD	BHE***	A0	A1	D15-D12	D11-D8	*
80196-SP	8 (Lo)	WRL	RD	*	*	A1	D7-D4	D3-D0	*
80196-SP	8 (Hi)	WRH	RD	*	*	A1	D15-D12	D11-D8	*
68HC12	8 (Lo)	R/W	E	A0***	LSTRB	A1	D7-D4	D3-D0	*
68HC12	8 (Hi)	R/W	E	A0***	LSTRB	A1	D15-D12	D11-D8	*
68LC302	8 (Lo)	WEL	OE	*	*	A1	D7-D4	D3-D0	*
68LC302	8 (Hi)	WEH	OE	*	*	A1	D15-D12	D11-D8	*
68302/306	8 (Lo)	R/W	LDS	UDS	*	A1	D7-D4	D3-D0	*
68302/306	8 (Hi)	R/W	LDS	UDS	*	A1	D15-D12	D11-D8	*
68332, 68340	8 (Lo)	R/W	DS	SIZ0	A0	A1	D7-D4	D3-D0	*
68332, 68340	8 (Hi)	R/W	DS	SIZ0	A0	A1	D15-D12	D11-D8	*
68330	8 (Lo)	R/W	DS	BHE***	A0/BLE	A1	D7-D4	D3-D0	*
68330	8 (Hi)	R/W	DS	BHE***	A0/BLE	A1	D15-D12	D11-D8	*
M37702M2 ****	8 (Lo)	R/W	DS	BHE***	A0	A1	D7/A23- D4/A20	D3/A19- D0/A16	*
M37702M2	8 (Hi)	R/W	DS	BHE***	A0	A1	A23-A20	A19-A16	D15-D8

* 不用的CNTL2引脚可以被配置为FGPLD输出。其它不用的引脚 (PC7, PD0, PA3-0) 可以被配置为用于其它I/O功能。

** 对于非多路复用总线的微控制器, ALE/AS输入是可选的。

*** 每当BHE或A0加到CNTL2引脚时, 它们被ALB或AS锁存。否则它们是透明的。

**** 在此表中M37702M2的低8位是唯一的8位多路复用地址/数据接口 (端口A)。

在两个器件上所有内部读操作都被使能。但是写操作是字节可识别的 (byte-dicernable)。

连接到ADIO15的信号和BHE-或SIZ0一起参予低电平写和/或高电平写控制信号的产生, 这与标准16位工作方式中使用此控制信号的方式相类似。

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

信箱: 武汉市70020信箱

电话: (86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>

邮编: 430079

传真: (86) (027) 87491166, 87493493

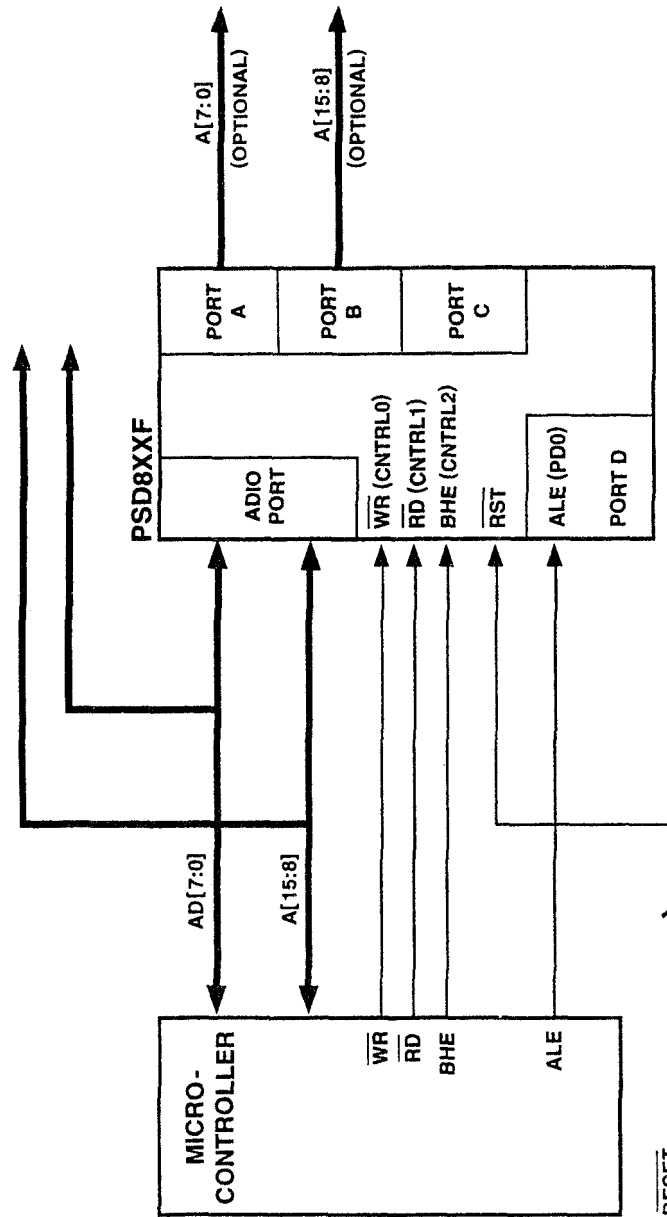


图19 典型的8位多路复用总线接口的例子

9.3.2 PSD8XXF与多路复用8位总线接口

图19表示使用具有8位多路复用总线的微控制器和PSD8XXF的系统举例。PSD8XXF的ADIO端口直接连接到微控制器地址/数据总线。总线仅在一个字节（8位数据）上多路复用。ALE在内部锁存地址线；锁存的地址线可以被引出到端口A或B。仅当其内部源之一被访问且RD输入有效时，PSD8XXF才驱动ADIO数据总线。如果系统地址总线超过16位，那么端口A、B、C或D可以被用作附加的地址输入。

9.3.3 PSD8XXF与非多路复用8位总线接口

图20表示使用具有8位非多路复用总线的微控制器和PSD8XXF的系统举例。地址总线连接到ADIO端口，数

据总线连接到端口A (D[7:0])。当微控制器未访问PSD8XXF时，数据端口处于三态方式。如果系统地址总线超过16位，那么端口B、C或D可以用作附加的地址输入。

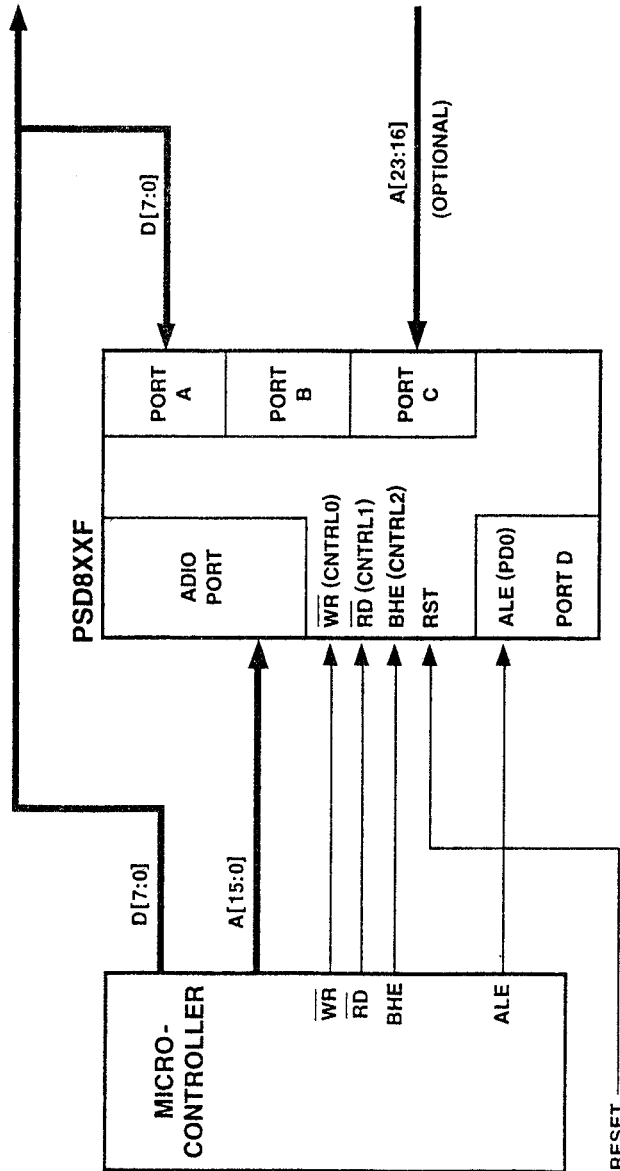


图20 典型的8位非多路复用总线接口的例子

9.3.4 数据字节使能参考

微控制器具有不同的数据字节取向。下表表示在不同的总线写配置下PSD8XXF怎样解释字节/字操作。偶字节指地址A0等于零的存储单元，奇字节指地址A0等于1的存储单元。

表17 8位数据总线

BHE	A0	D7-D0
X	0	偶字节
X	1	奇字节

9.3.5 微控制器接口举例

图21至25表示PSD8XXF和某些通用微控制器之间基本连接例子。PSD8XXF控制输入引脚标以它们被配置的微控制器功能。MCU接口用PSDsoft工具规定。

9.3.5.1 80C31

图21表示与具有8位多路复用地址/数据总线的80C31的接口。微控制器控制信号、PSEN、RD以及WR可用于访问内部存储器单元和I/O端口。ALE输入(端口DPD0)锁存地址。其余的80C31工作方式请参见“存储器”一节。

9.3.5.2 80C251

如表18所示, Intel 80C251微控制器的特点是具有用户可配置的总线接口, 它有四种可能的总线配置。

配置1与80C31兼容, 和PSD8XXF的总线接口与图22所示相同。如图23所示, 配置2和3具有相同的总线连接, 只有一个连接到PSD8XXF CntI1引脚的读输入(PSEN)。A16连接到PA0引脚可供输入到PSD8XXF1更大的地址之用。配置4示于图24。RD信号连接到CntI1, PSEN信号连接到CNTL2。

80C251具有两种主要的工作方式: 页方式(Page Mode)和非页方式(Non-Page-Mode)。在非页方式下, 数据和低地址字节多路复用。在每一个总线周期ALE有效。在页方式下, 数据D[7:0]和地址A[15:8]多路复用。在遇到页(Page hit)的总线周期内, ALE信号无效且只有地址A[7:0]改变。PSD8XXF支持两种方式。在页方式下, 除了关于ALE的地址保持时间和建立时间不作要求之外, PSD总线时序和非页方式一样。从地址A[7:0]有效至数据有效测量PSD访问时间。

上电时80C251取出存储单元FFF8h和FFF9h的内容, 在此单元内驻留着总线配置字节。在配置寄存器被设置之后, 80C251从存储器单元地址0000h开始执行代码。PSD8XXF中闪速存储器和EEPROM区段选择具有3个乘积项。一个乘积项可以被定义到占据配置字节单元地址, 另一个乘积项可以被分配到不同的存储空间。

表18 80C251配置

配置	80C251读/写引脚	连接到PSD8XXF引脚	页方 式
1	WR RD PSEN	CNTL0 CNTL1 CNTL2	非页方式, 80C31兼容 A[7:0]和D[7:0]多路复用
2	WR 仅PSEN	CNTL0 CNTL1	非页方式 A[7:0]和D[7:0]多路复用
3	WR 仅PSEN	CNTL0 CNTL1	页方式 A[15:8]和D[7:0]多路复用
4	WR RD PSEN	CNTL0 CNTL1 CNTL2	页方式 A[15:8]和D[7:0]多路复用

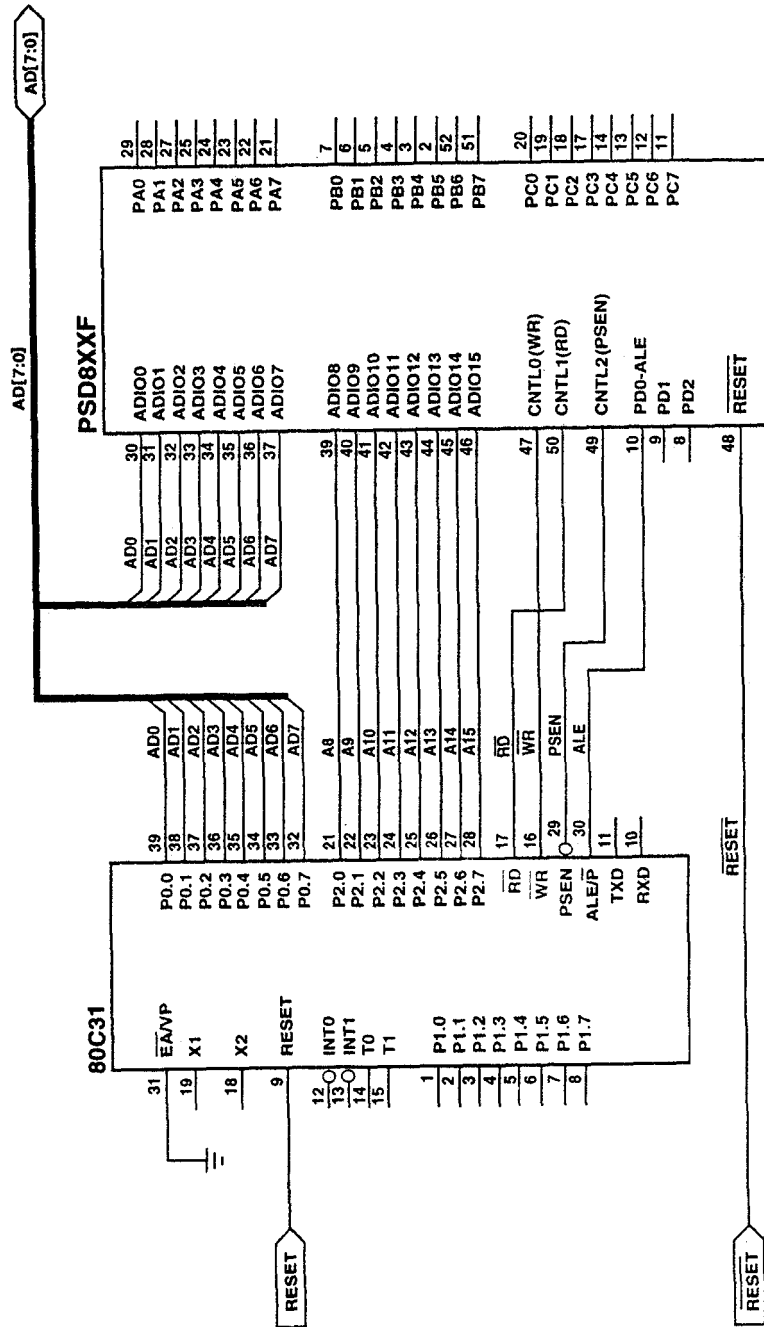
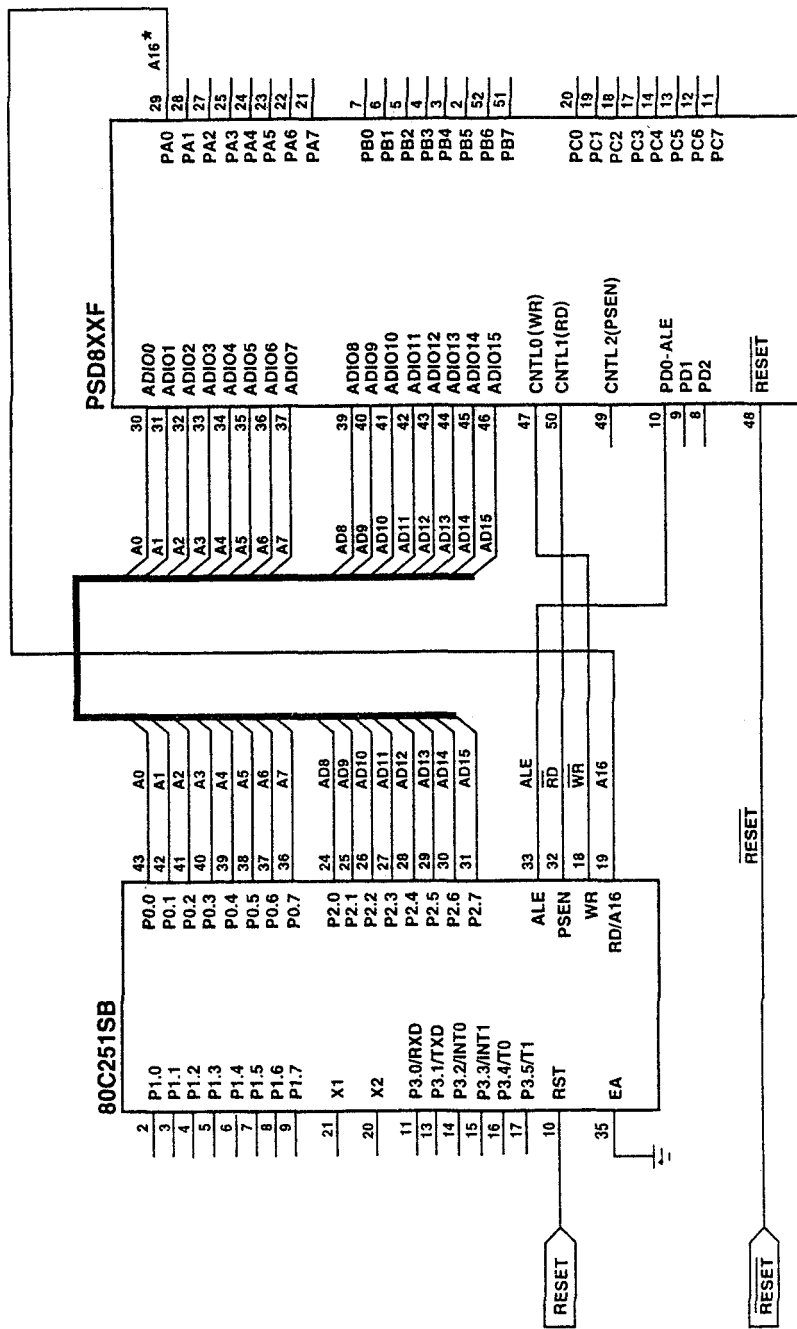


图21 PSD8XXF和80C31接口



*A16 connection is optional
 **Non-page mode: AD[7:0] - ADIO[7:0].

图22 PSD8XXF和80C251接口，使用一个读（Read）输入

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号	P&S网网址：http://www.p8s.com
信箱：武汉市70020信箱	邮编：430079
电话：(86) (027) 87493500 - 87493506	传真：(86) (027) 87491166, 87493493

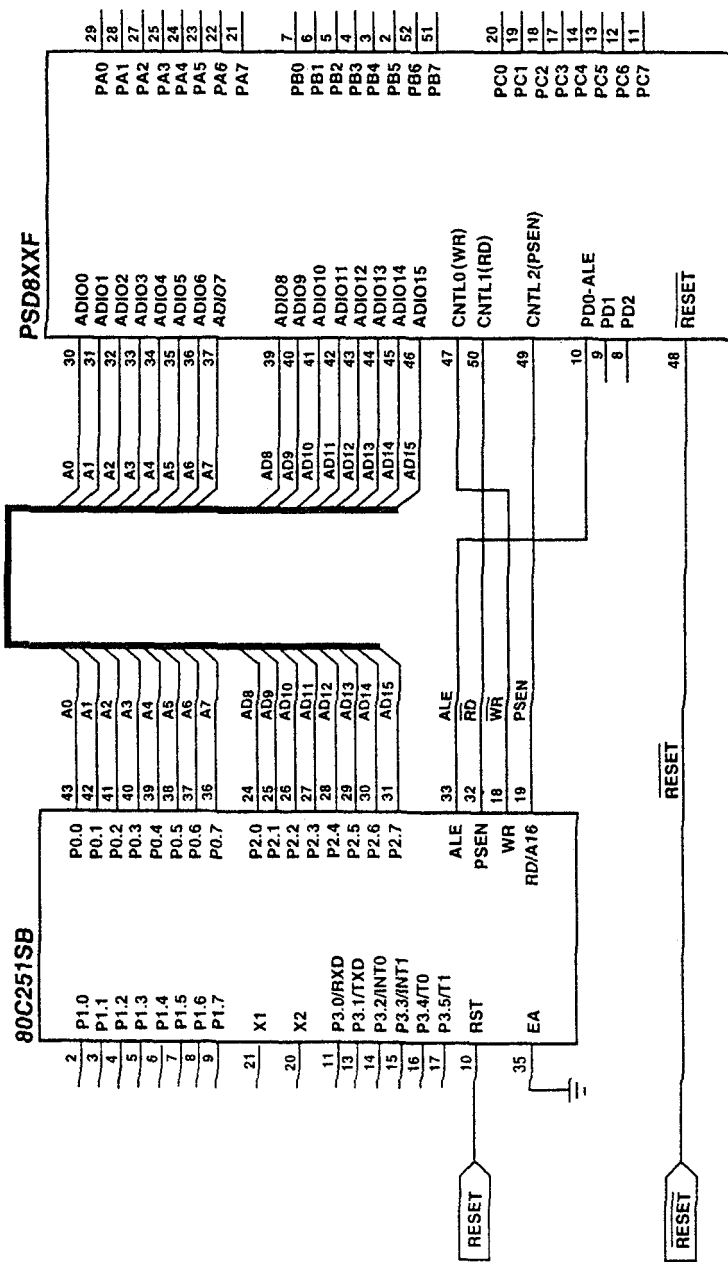


图23 PSD8XXF和80C251接口，使用读（Read）和PSEN输入

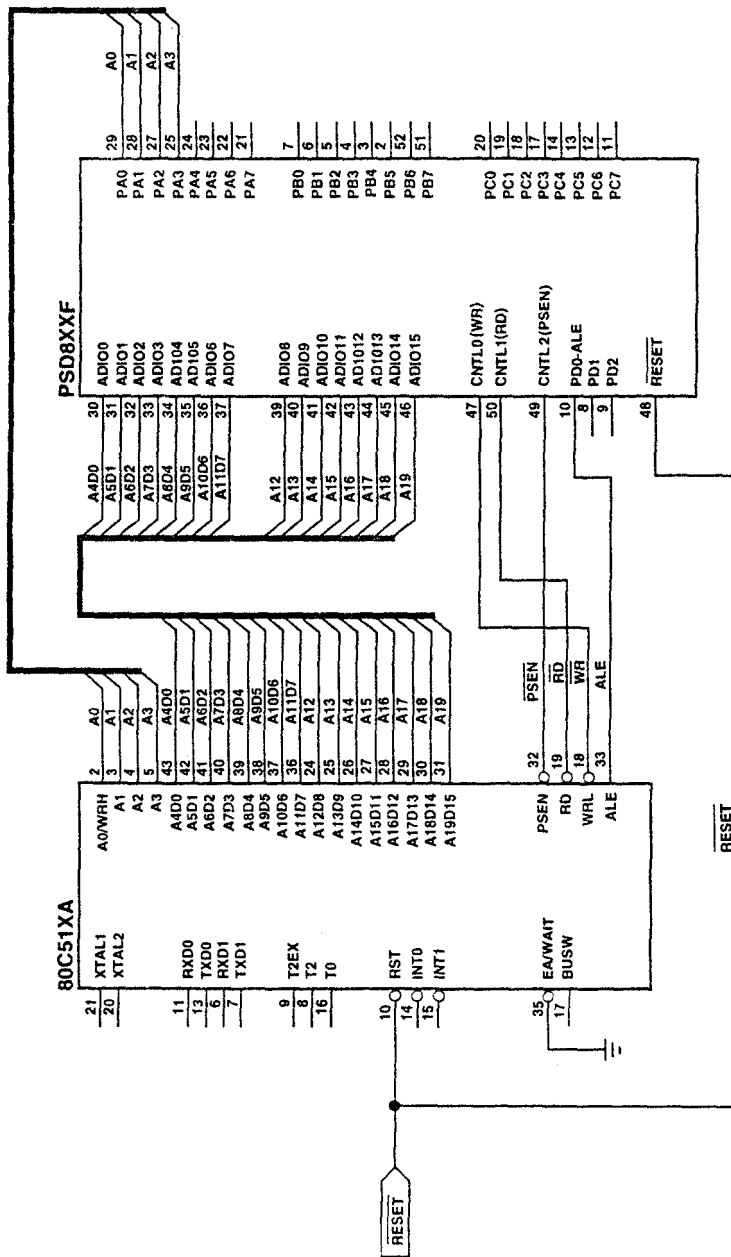


图24 PSD8XXF和80C51XA接口，8位数据总线

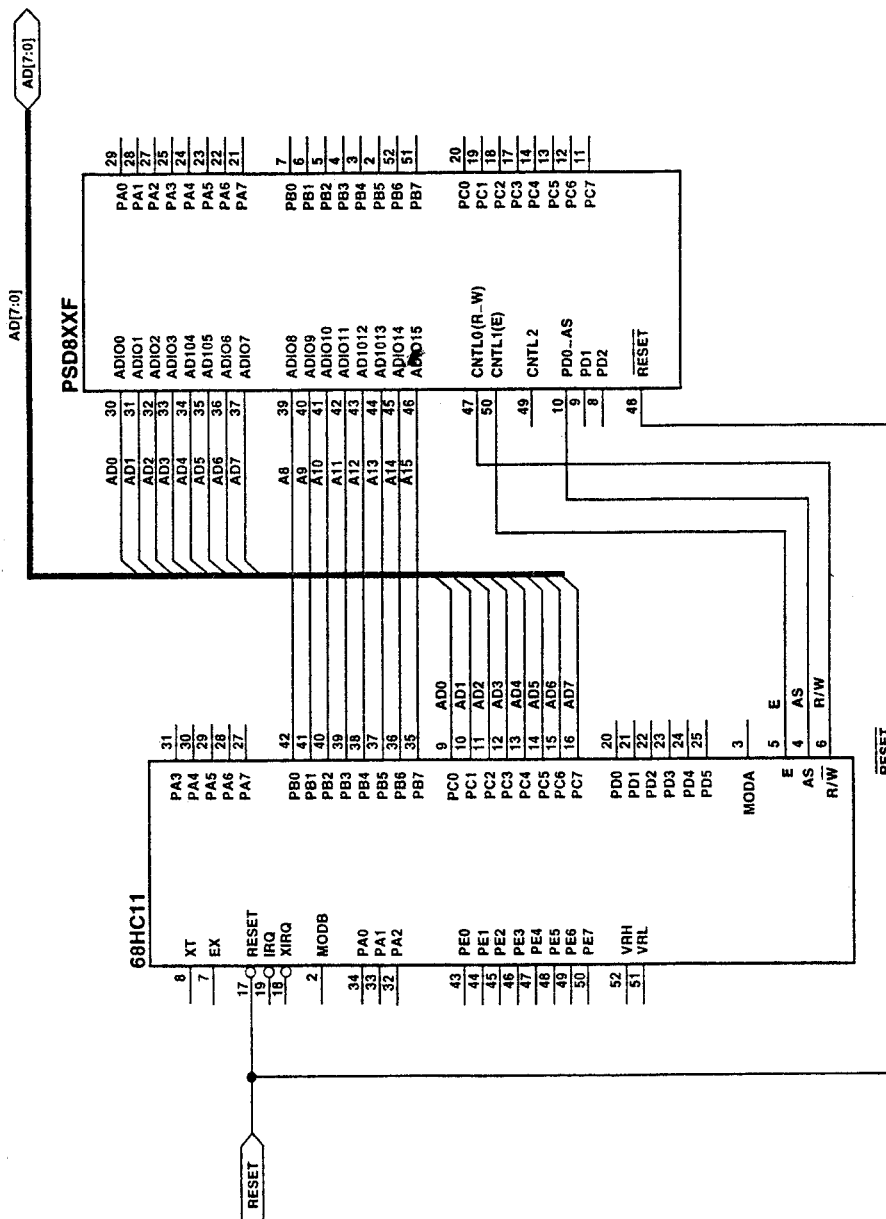


图25 PSD8XXF和68HC11接口

9.3.5.3 80C51XA

Philips 80C51XA微控制器系列具有8或16位多路复用总线，它支持暴发（burst）周期。在16位方式中，地址位A[3:0]不多路复用，A[19:4]和数据位D[15:0]多路复用。在8位方式中，A[11:4]和数据位D[7:0]多路复用。

在8位数据方式下，80C51XA可配置为和PSD8XXF一起工作（示于图23）。通过执行从存储器取出代码的暴发周期（Burst cycles），80C51XA改进了总线吞吐量性能。在暴发周期内，地址A19-4在内部由PSD8XXF锁存，同时80C51XA改变A3-0线以顺序取出多达16个字节的代码。然后从地址A3-A0有效至数据有效测量PSD访问时间。除了有关ALE的地址建立或保持时间不作要求之外，暴发周期中PSD总线时序要求和正常总线周期相同。

9.3.5.4 68HC11

图24表示与68HC11的接口，其中PSD8XXF1用E和R/W的设置配置在8位多路复用方式。FGPLD可以产生适用于外部电路板上（on board）器件的READ和WR信号。

9.4 I/O端口

有4个可编程I/O端口：端口A、B和C为8位，端口D为3位。端口可配置为不同的工作方式。

每一个端口引脚可单独配置，使单个端口能完成多种功能。可使用PSDsoft工具或通过微控制器与CS10P地址范围的片内寄存器来定义配置。

9.4.1 通用端口结构

I/O端口的通用结构示于图26。各端口图示于图27至30，并在下面各节中讨论。如果端口A和/或端口B用于和微控制器地址和/或数据总线接口，那么这些端口引脚不能用作通用I/O端口。

如图26所示，端口引脚包含输出多路转换器，其选择由PSDabel定义的配置和控制寄存器驱动。多路转换器的输入包括下列各项：

- MCU I/O输出方式下来自数据输出寄存器的输出数据
- 被锁存的地址输出
- GPLD宏单元（Micro-Cell）输出

上述输入也被连接到端口数据缓冲器（Port Data Buffer，PDB）供反馈至内部数据总线，它可由微控制器读出。PDB是工作方式象多路转换器的3态缓冲器，它每次只允许读一个源。PDB还有来自方向寄存器（Direction Register）、控制寄存器（Control Register）的输入以及直接端口引脚输入（Data In）。

端口引脚3态输出驱动器使能受两个输入OR（或）门控制，其输入来自GPLD AND（与）阵列使能（Enable）乘积项（.oe）和方向寄存器。如果阵列输出的使能乘积项未定义且在Abe1文件中该端口引脚未被定义为GPLD输出，那么方向寄存器单独控制缓冲器。有关如何配置端口引脚的方向，请参见表19和20。

寄存器内容可以被微控制器修改。PDB反馈通路允许微控制器检查寄存器的内容。

端口A、B和C具有嵌入式输入宏单元（Micro \leftrightarrow Cells），它可被配置为锁存器、寄存器或直接输入至GPLD。锁存器或寄存器用地址选通或来自GPLD AND（与）阵列的乘积项作为时钟。输入Micro \leftrightarrow Cell的输出驱动PLD输入总线并可由微控制器读出。请参见PLD一节中输入Micro \leftrightarrow Cell的说明。

端口A具有额外的逻辑（它在图27中未示出）。当VM寄存器中PIO位被置位时，此逻辑使端口能工作在外设I/O（Peripheral I/O）方式。

表19 端口引脚方向控制，输出使能乘积项（P.T）未定义

方向寄存器位	端口引脚方式
0	输入
1	输出

表20 端口引脚方向控制，输出使能乘积项（P.T）已定义

方向寄存器位	输出使能P.T.	端口引脚方式
0	0	输入
0	1	输出
1	0	输出
1	1	输出

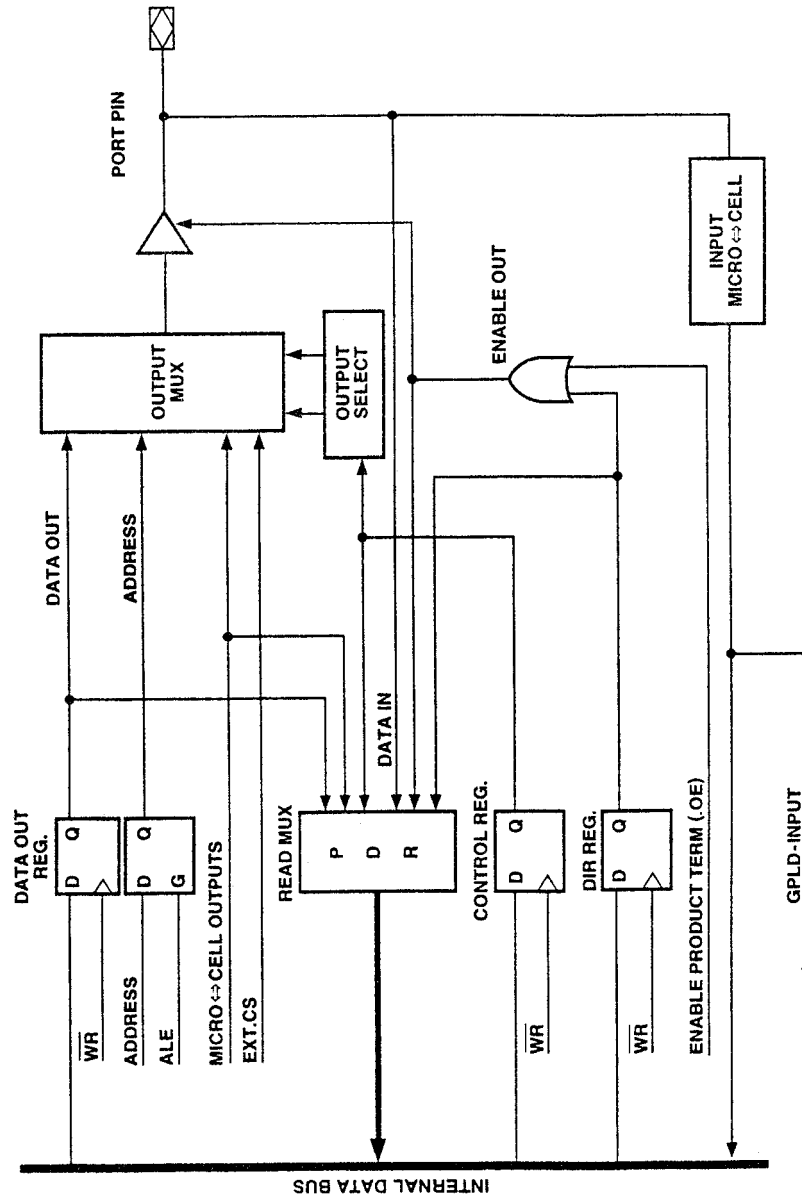


图26 通用I/O端口结构

9.4.2 端口工作方式

如表21所示，I/O端口具有几种工作方式。工作方式可用PSDabel工具选择并用非易失性存储器（Non-Volatile Memory, NVM）编程到器件中，它在加电时激活，除非器件重新被编程，否则不能被改变。如果在PSDsoft中未定义方式，那么其它方式可由微控制器写至端口配置寄存器来设置。PLD I/O、数据端口（Data Port）和地址输入（Address Input）方式是NVM（非易失性存储器）配置。其它方式由微控制器初始化。

如果未选择NVM方式，那么通过写控制寄存器，端口可在MCU I/O和地址输出（Address Out）方式之间动态改变。8位控制寄存器的每一位为“1”将把端口中其相应位设置为MCU I/O，为“0”将把相应位设置为地址输出。方向寄存器或输出使能乘积项决定引脚是输入或是输出。

表21概括了I/O端口的工作方式。对于每一个端口并非所有的功能均可使用。表22表示怎样配置和在何处配置不同的方式。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号
 信箱：武汉市70020信箱
 电话：(86) (027) 87493500 - 87493506

P&S网网址：http://www.p8s.com
 邮编：430079
 传真：(86) (027) 87491166, 87493493

表21 端口工作方式

端口方式	端口A	端口B	端口C	端口D
MCU I/O	Yes	Yes	Yes	Yes
PLD I/O				
McellAB输出	Yes	Yes	No	No
McellBC输出	No	Yes	Yes	No
Ext.CS输出	No	No	No	Yes
PLD输入	Yes	Yes	Yes	Yes
地址输出	Yes(A7-0)	Yes(A7-0)或(A15-8)	No	No
地址输入	Yes	Yes	Yes	Yes
数据端口	Yes(D7-0)或(D15-8)*	No	No	No
漏极开路	Yes(仅PA7-4)	Yes(仅PB7-4)	Yes	No
斜升率	Yes(仅PA3-0)	Yes(仅PB3-0)	No	Yes
外设I/O	Yes	No	No	No

* 对于16位总线使用两个PSD，D7-0对应于低字节PSD8XXF，D15-8对应于高字节PSD8XXF。

表22 端口工作方式设置

方式	在PSDabel中定义	在PSD configuration中定义	控制寄存器设置	方向寄存器设置	VM寄存器设置
MCU I/O	仅声明引脚	NA	0	1=输出 0=输入 (注释1)	NA
PLD I/O	逻辑方程	NA	NA*	(注释1)	NA
数据端口(端口A)	NA	指定总线类型	NA	NA	NA
地址输出(端口A,B)	仅声明引脚	NA	1	1(注释1)	NA
地址输入 (端口A,B,C,D)	适用于输入 Micro<=>Cells 逻辑方程	NA	NA	NA	NA
外设I/O(端口A)	逻辑方程(PSEL0&1)	NA	NA	NA	PI0位=1

* NA=未用

注释1：方向寄存器和来自GPLD AND(与)阵列的各输出使能乘积项(.oe)逻辑“或”，控制端口A、B、C、D引脚的方向。

9.4.2.1 PLD I/O方式

PLD I/O方式把端口用作GPLD输入Micro<=>Cell的输入，和/或作为FGPLD的输出。端口分配示于表24和25。用来自PLD的乘积项(.oe)所定义的控制信号或通过在方向寄存器中置零可使输出为三态。如果引脚被定义为PLD输入引脚，那么方向寄存器必须不被设置为“1”。通过定义端口引脚，然后写端口的赋值方程可以在PSDabel中指定PLD I/O方式。

9.4.2.2 MCU I/O方式

在MCU I/O方式中微控制器使用PSD8XXF端口来扩展它自己的I/O端口。PSD8XXF的端口映射到微控制器的地址空间。端口地址列在表29中。

通过把0写至控制寄存器的相应位，端口引脚可以被置为MCU I/O方式。写方向寄存器可以改变端口的方向，“1”使它为输出，“0”使它为输入，输出使能乘积项也能改变引脚的方向(见表23和24)。当引脚被配置为输出时，数据输出寄存器的内容驱动至引脚。在输入方式下，微控制器通过数据输入缓冲器读取端口的输入。

端口C和D没有控制寄存器，对于未被配置为PLD I/O的引脚，缺省为MCU I/O方式。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com

邮编：430079

传真：(86) (027) 87491166, 87493493

9.4.2.3 地址输出方式

对于具有多路复用地址/数据总线的微控制器，地址输出方式使端口驱动送至外部器件的锁存地址。地址[7:0]总是分配给端口A。关于端口A和B地址输出引脚分配，请参见表29。对于使用地址输出方式的端口引脚，输出使能（Abe1文件中.oe）或方向寄存器必须被置为“1”，控制寄存器必须被置为“1”。

在非多路复用8位总线方式下，地址线[7:0]也可用在地址输出方式端口B上。

9.4.2.4 地址输入方式

对于具有多于16条地址线的微控制器，高地址可以连接到端口A、B或C。地址输入可被ALE锁存后输入Micro \Rightarrow Cell。包含在有关PSD闪存存储器、EEPROM和SRAM的FDPLD方程中的任何输入可以被考虑为地址输入。

9.4.2.5 数据端口方式

对于具有非多路复用地址/数据总线的微控制器，端口A可以被用作数据总线端口。数据端口连接到微控制器的数据总线。如果端口被配置为数据端口，那么在端口A中通用I/O功能被禁止。当两个PSD与16位总线接口时，D7-0连接到低字节PSD8XXF的端口A，D15-8连接到高字节PSD8XXF的端口A。在这种16位工作方式下，某些具有多路复用地址/数据总线的微控制器将与非多路复用配置的两个PSD8XXF器件接口。

9.4.2.6 外设I/O方式

只有端口A支持外设I/O方式，利用此方式，端口A可用作微控制器三态双向数据缓冲器。通过把VM寄存器的位7设置为‘1’可以使能外设方式。图27表示当外设方式被使能且来自FDPLD的PSELO和PSEL1有效时，端口A用作微控制器D[7:0]数据总线的双向缓冲器。当PSELO或1无效时，缓冲器为三态。外设I/O方式可用于和外部设备接口。

9.4.2.7 漏极开路/斜升率方式

端口A（PA7-4）和B（PB7-4）以及C（除了PC2和PC4）可以被配置为漏极开路而不是CMOS输出。漏极开路配置对吸收大电流，例如LED的工作，是有用的。通过把‘1’写到驱动选择寄存器（Drive Select Register）的相应位，漏极开路方式将被使能。

端口A（PA0-3），端口B（PB0-3）以及端口D可以被配置为具有高斜升率的输出。通过把‘1’写入驱动寄存器（Driver Register）的相应位，高斜升率被使能。

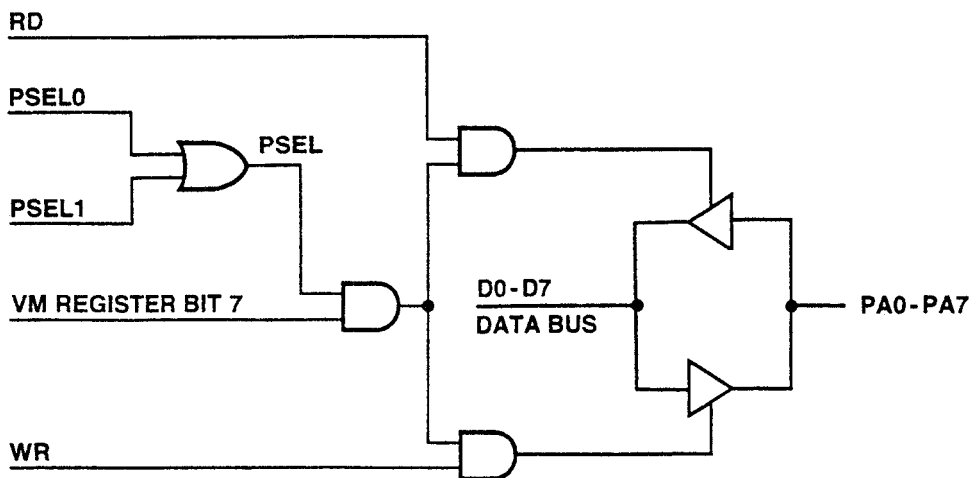


图27 通用I/O端口结构

9.4.3 端口寄存器

每一个端口具有一组用于配置 (PCR, 端口配置寄存器) 和数据传送 (PDR, 端口数据寄存器) 的寄存器。微控制器可以通过正常读/写总线周期在表27和28给出的地址访问寄存器的内容。寄存器的地址由FDPLD的CSIOP输出加表中所列出的地址偏移组成。

端口引脚可单独配置, 寄存器的每一位控制它对应的引脚。例如, 寄存器位0在其端口中对应位0。示于表23的三个端口配置寄存器用于设置端口配置。上电时每一个寄存器被置为零。

9.4.3.1.1 控制寄存器

对于端口A和B, 控制寄存器的零把端口引脚设置为MCU I/O, “1”把端口引脚设置为地址输出方式。缺省方式是MCU I/O。

9.4.3.1.2 方向寄存器

方向寄存器控制I/O端口中数据流的方向。“1”把端口配置为输出。“0”配置为输入(3态状况)。I/O配置可从方向寄存器读出。缺省方式为输入。

如端口结构图所示, 端口A、B和C引脚的数据流方向也可由来自FGPLD AND (与) 阵列的输出使能 (.oe) 乘积项控制。如果 .oe 乘积项无效, 那么方向寄存器单独控制引脚方向。

低3位设置为输出, 其余位设置为输入的端口配置例子示于表24。因为端口D只包含3位, 所以端口D的方向寄存器只有低3位有效。

表23 端口配置寄存器

寄存器名	端口	MCU访问
控制	A, B	写/读
方向	A, B, C, D	写/读
驱动选择*	A, B, C, D	写/读

表24 端口方向分配举例

位7	位6	位5	位4	位3	位2	位1	位0
0	0	0	0	0	1	1	1

9.4.3.1.3 驱动选择寄存器

驱动选择寄存器根据端口引脚把引脚驱动器配置为漏极开路或高斜升率。当引脚处于斜升率方式时, 不需要外部上拉电阻。

对于端口A和B, 寄存器低位和高位设置不同的功能。高4位把相应位设置为CMOS (“0”) 或漏极开路 (“1”) 驱动器。低4位用于斜升率控制。斜升率是输出的上升或下降时间的测量。高斜升率意味着较快速的输出响应而低斜升率为较慢斜率响应。当驱动器寄存器中相应位被设置为 “1” 时, 引脚工作在高斜升率。

表25表示端口A、B、C和D的驱动寄存器以及哪一个引脚具有漏极开路或斜升率配置。

表25 驱动器寄存器引脚分配

驱动寄存器	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
端口A	漏极开路	漏极开路	漏极开路	漏极开路	斜升率	斜升率	斜升率	斜升率
端口B	漏极开路	漏极开路	漏极开路	漏极开路	斜升率	斜升率	斜升率	斜升率
端口C	漏极开路	漏极开路	漏极开路	漏极开路	漏极开路	NA	漏极开路	漏极开路
端口D	NA	NA	NA	NA	NA	斜升率	斜升率	斜升率

注释: NA=不用。

9.4.3.2 端口数据寄存器

端口数据寄存器示于表26，它被微控制器用于把数据写入端口或从端口读出。表26表示寄存器名，具有每一种寄存器类型的端口以及用于每一种寄存器类型的微控制器访问。寄存器叙述如下。

9.4.3.2.1 数据输入

端口引脚直接连接到数据输入缓冲器。在MCU I/O输入方式下，引脚输入通过数据输入缓冲器读出。

9.4.3.2.2 数据输出寄存器

在MCU I/O输出方式下存储由MCU写的输出数据。如果方向寄存器或.oe乘积项被置为“1”，那么寄存器的内容被驱动输出至引脚。寄存器的内容也可被微控制器读回。

9.4.3.2.3 输出Micro<=>Cell

GPLD输出Miro=Cells占据微控制器地址空间中存储单元地址。微控制器可以读Micro<=>Cells的输出。如果屏蔽Micro<=>Cell寄存器位未被设置，那么写Micro<=>Cell将把数据装入Micro<=>Cell触发器。详细内容请参见“PLD”一节。

9.4.3.2.4 屏蔽Micro<=>Cell寄存器

每一个屏蔽寄存器位对应于Micro<=>Cell触发器。当屏蔽寄存器位被置为“1”时，数据装入输出Micro<=>Cell，触发器被断开。缺省值为“0”或不断开。

9.4.3.2.5 输入Micro<=>Cell

输入Micro<=>Cell可用于锁存或存储外部输入。输入Micro<=>Cell的输出被引至PLD输入总线且可由微控制器读出。详细说明请参见“PLD”一节。

9.4.3.2.6 使能输出

使能输出缓冲器允许微控制器读“OR（或）”门的输出，它是端口输出驱动器的使能输入。“1”表示驱动器处于输出方式，“0”表示驱动器为3态且引脚处于输入方式。

表26 端口数据寄存器

寄存器名	端口	MCU访问
数据输入	A, B, C, D	读-引脚输入
数据输出	A, B, C, D	读/写
输出Micro<=>Cell	A, B, C	读-Micro<=>Cells输出 写-装载Micro<=>Cells触发器
屏蔽Micro<=>Cell	A, B, C	读/写-阻止装载入给定的Micro<=>Cell
输入Micro<=>Cell	A, B, C	读-输入Micro<=>Cells的输出
使能输出	A, B, C	读-端口驱动器的输出使能控制

9.4.4 寄存器I/O地址偏移

寄存器的基地址在CSIOP方程中定义，它占据256字节的地址空间并由用户在PSDsoft中定义。低地址字节A[7:0]或地址偏移选择寄存器。表27表示除了具有16位数据总线的Motorola微控制器之外所有MCU的地址偏移。表28A和28B表示16位方式的地址偏移。

例如，在PSDabel中当CSIOP被定义为占据地址范围1000h至10FFh时，端口A控制寄存器的地址为1002h。

表27 I/O寄存器地址偏移(相对于CS10P)

寄存器名	端口A	端口B	端口C	端口D
数据输入	00	01	10	11
控制	02	03		
数据输出	04	05	12	13
方向	06	07	14	15
驱动选择	08	09	16	17
输入Micro<=>Cell	0A	0B	18	
使能输出	0C	0D	1A	1B
输出Micro<=>Cell AB	20	20		
输出Micro<=>Cell BC		21	21	
屏蔽Micro<=>Cell AB	22	22		
屏蔽Micro<=>Cell BC		23	23	

表28A 16位方式下I/O寄存器地址偏移, D7-D0(低字节)(Intel方式)

寄存器名	端口A	端口B	端口C	端口D
数据输入	00	02	20	22
控制	04	06		
数据输出	08	0A	24	26
方向	0C	0E	28	2A
驱动选择	10	12	2C	2E
输入Micro<=>Cell	14	16	30	
使能输出	18	1A	34	36
输出Micro<=>Cell AB	40	40		
输出Micro<=>Cell BC		42	42	
屏蔽Micro<=>Cell AB	44	44		
屏蔽Micro<=>Cell BC		46	46	

表28B 16位方式下I/O寄存器地址偏移, D15-D8(高字节)(Intel方式)

寄存器名	端口A	端口B	端口C	端口D
数据输入	01	03	21	23
控制	05	07		
数据输出	09	0B	25	27
方向	0D	0F	29	2B
驱动选择	11	13	2D	2F
输入Micro<=>Cell	15	17	31	
使能输出	19	1B	35	37
输出Micro<=>Cell AB	41	41		
输出Micro<=>Cell BC		43	43	
屏蔽Micro<=>Cell AB	45	45		
屏蔽Micro<=>Cell BC		47	47	

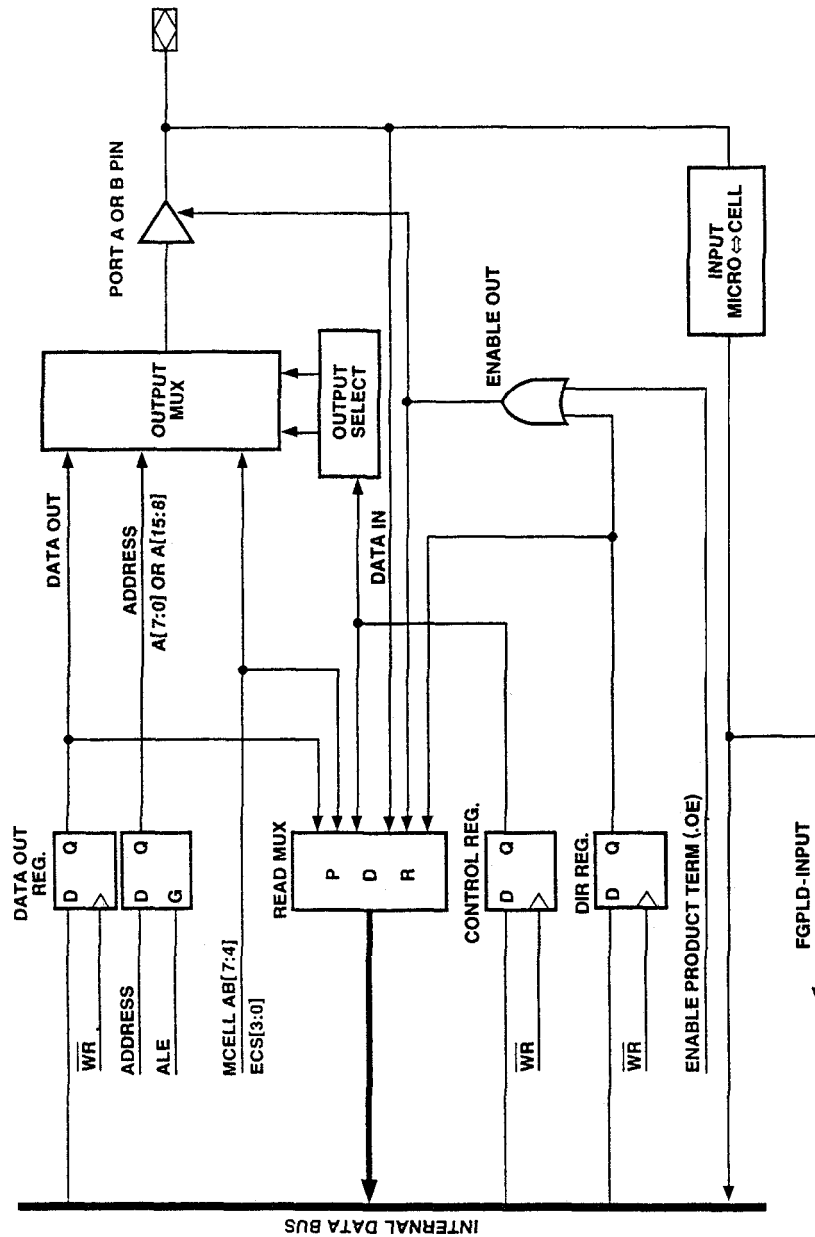


图28 端口A和B结构

9.4.5 端口A和B——功能和结构

如图28所示，端口A和B具有类似的功能和结构。两个端口可配置为实现一个或多个下列功能：

- MCU I/O方式
- GPLD输出——Micro \leftrightarrow Cells Mcell IAB[7:0]可以连接到端口A PA[7:0]或端口B PB[7:0]。Mcell IBC[7:0]可连接到端口B PB[7:0]
- FGPLD输入——经过8个输入Micro \leftrightarrow Cells
- 锁存地址输出——按照表29提供锁存地址输出

- 地址输入——使用输入Micro \leftrightarrow Cells附加高位地址输入
- 漏极开路/斜升率——引脚PA[3:0]和PB[3:0]可被配置为快速斜升率
引脚PA[7:4]和PB[7:4]可被配置为漏极开路方式
- 数据端口——端口A至8位非多路复用总线D[7:0]
端口B至16位非多路复用总线D[15:8]
- 用于某些类型微控制器接口的多路复用地址/数据端口
- 外设方式——仅端口A

表29 I/O端口锁存地址输出分配

微控制器	端口A (3:0)	端口A (7:4)	端口B (3:0)	端口B (7:4)
8051XA (8位)	N/A*	地址 (7:4)	地址 (11:8)	N/A
80C251 (页方式)	N/A	N/A	地址 (11:8)	地址 (15:12)
所有其它8位多路复用	地址 (3:0)	地址 (7:4)	地址 (3:0)	地址 (7:4)
8051XA (16位)	N/A	地址 (7:4)	地址 (11:8)	地址 (15:12)
所有其它16位多路复用	地址 (3:0)	地址 (7:4)	地址 (11:8)	地址 (15:12)
8位非多路复用总线	N/A	N/A	地址 (3:0)	地址 (7:4)

N/A=不用。

9.4.6 端口C——功能和结构

端口C可以被配置为实现一个或多个下列功能：

- MCU I/O方式
- FGPLD输出——McellBC输出可连接到端口C引脚
- FGPLD输入——经过8个输入Micro \leftrightarrow Cells
- 地址输入——使用输入Micro \leftrightarrow Cells附加高地址输入
- 在系统编程——JTAG端口可以被使能以供PSD8XXF器件编程/擦除之用（关于JTAG编程更为详细的资料请参见9.6节）

- 漏极开路——端口C引脚可以配置为漏极开路方式
- 电池备用特性——PC2可以被配置为电池输入 (Vstby)

引脚PC4可以被配置为电池接通 (Battery On) 指示器输出引脚，指示何时 V_{cc} 低于 V_{bat}

端口C不支持地址输出方式，因而不需要控制寄存器。在某些微控制器接口中，引脚PC7可以被配置为 \overline{WRH} 输入。

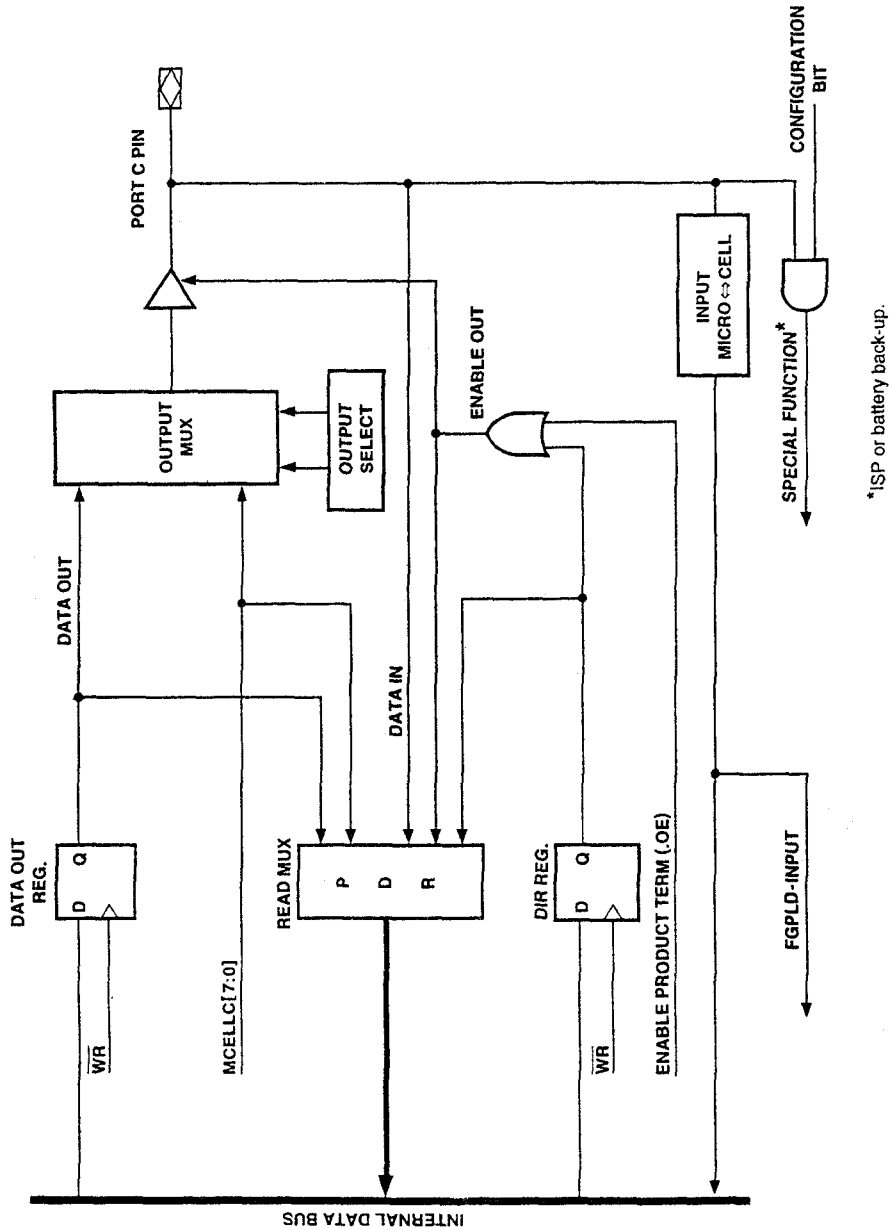


图29 端口C结构

9.4.7 端口D——功能和结构

端口D具有3个I/O引脚。此端口不支持地址输出方式，因而不需要控制寄存器。端口D可以被配置为实现一个或多个以下功能：

- MCU I/O方式
- FGPLD输出——（外部芯片选择）
- FGPLD输入——直接输入至FGPLD，无输入Micro<=>Cells
- 斜升率——引脚可以被设置为具有较快的斜升率

端口D引脚可以由PSDsoft配置为输入引脚，用于其它专有的功能：

- PD0——ALE，作为地址选通输入
- PD1——CLK IN，作为Micro<=>Cells触发器和APD计数器的时钟输入
- PD2——CSI，作为低电平有效芯片选择输入。高电平输入将禁止PSD EPROM/SRAM

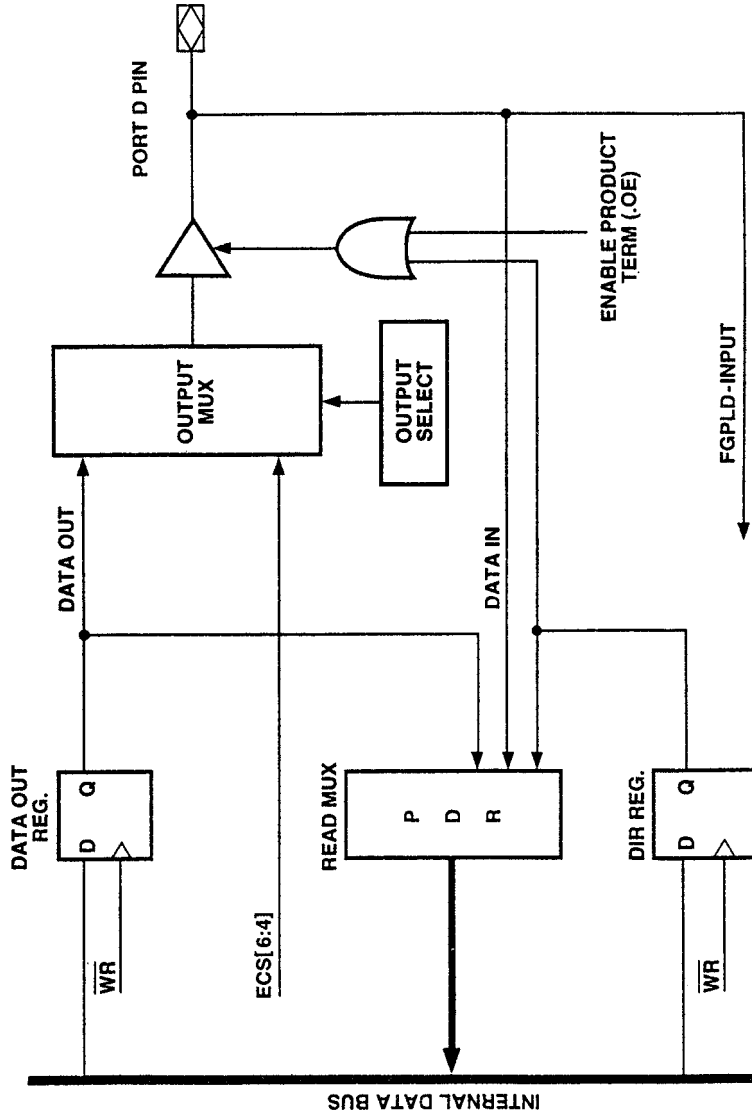


图30 端口D结构

9.5 电源管理单元

PSD8XXF提供可配置的节省功率选项，它包括自动掉电（Automatic Power Down，APD）逻辑和电源管理方式寄存器（PMMR0、PMMR1以及PMMR2）。APD逻辑使PSD8XXF1自动进入掉电（Power Down）或睡眠（Sleep）方式，而PMMR可由微控制器在运行时配置以便有选择地减小PSD功能块的功耗。

9.5.1 APD逻辑和掉电方式

自动掉电（APD）逻辑通过监视地址选通（ALE/AS）以及内部读和内部写控制信号的活动使PSD8XXF1进入节电方式。（注意：内部RD和WR控制信号由外部控制信号，如RD、WR、R/W、E以及Cnt IO-2线上的几种其它信号产生）。如果APD单元被使能，那么在ALE、内部读和内部写控制信号上无跳变发生时4位APD计数器开始

计数。如果这些控制信号保持无效达15个CLK IN时钟周期，那么掉电（PDN）信号将变为有效，PSD8XXF将进入掉电（Power Down）或睡眠（Sleep）方式。这些控制信号之一的脉冲一旦有效，PSD8XXF将返回正常工作。APD计数器时钟源是CLK IN引脚，它是端口D的引脚PD1。为了保证APD计数器被使能时不溢出。在两个连续的控制信号跳变之间应当小于15个时钟。

通常微控制器进入掉电方式将冻结它们的控制信号。为了使APD能工作，PMMR0中的APD位应当被设置为“1”。当控制信号之一再次跳变，或CSI输入从高电平切换至低电平，PSD8XXF将返回到正常活动。

在掉电（或睡眠方式）下，当PDN信号被设置为“1”（有效状态）时，PSD8XXF MCU总线接口被禁止，所有MCU输入（地址和数据）从正在访问的存储器块断开。如果在掉电方式下，不需要PLD的时钟输入，那么应当通过把PMMR0的位4和位5设置到“1”来断开时钟输入从而节省功率。通过设置PMMR2寄存器的适当位，可断开送入PLD阵列的其它控制信号。

在闪速存储器和EEPROM中，有深度掉电（Deep Power Down）方式，它可由深度掉电指令激活（见9.1.1.2.3节表8）。PSD中的APD电路也产生PDN信号，它使PSD器件进入掉电方式。这两种信号被逻辑“或”在一起并送至闪速和EEPROM存储器。如果两个条件的任何一个发生，那么闪速存储器和EEPROM将进入深度掉电方式。

当来自APD逻辑的PDN信号为真时，闪速存储器和EEPROM将进入深度掉电方式，PSD8XXF的其余部分将进入备用或睡眠方式（如果在PMMR1中睡眠方式位被置位）。

当表8中所示的掉电指令被执行时，闪速存储器和EEPROM将进入深度掉电方式，PSD8XXF器件的其余部分将不受影响。

9.5.2 睡眠方式

如果PMMR中睡眠方式（Sleep Mode）位和APD位被设置且在15个CLK IN时钟之后APD计数器已溢出，那么睡眠方式被激活（见图32）。在睡眠方式下PSD8XXF消耗功率少于掉电方式（Power Down Mode），典型的 I_{cc} 减少到10 μA 。

在此方式下，PLD仍监视输入并对它们作响应。只要控制信号之一跳变或CSI输入从高电平切换到低电平，PSD8XXF便退出睡眠方式。离开睡眠方式PSD访问时间由 t_{LVDV1} 规定。对输入跳变PLD响应时间由 t_{LVDV2} 规定。

表30 掉电方式对端口的影响

端口功能	引脚电平
MCU I/O	不变
PLD输出	不变
地址输出	未定义
数据端口	三态
外设I/O	三态

表31 掉电和睡眠方式期间PSD8XXF定时参数和待机状态电流的小结

方式	PLD传输延迟	PLD至正常工作的恢复时间	访问时间	至正常访问的访问恢复时间	典型待机状态电流
掉电（Power Down）	正常 t_{pd} （注释1）	0	无访问	t_{LVDV}	25 μA （注4）
睡眠（Sleep）	t_{LVDV2} （注2）	t_{LVDV3} （注3）	无访问	t_{LVDV1}	10 μA （注5）

注释：1. 掉电方式不影响PLD的工作。在此方式下PLD的工作仅以PLD-Turbo位为依据。

2. 在睡眠方式下，PLD的输入将具有 t_{LVDV2} 的传输延迟。

3. 退出睡眠方式之后至正常工作PLD恢复时间：跳变期间PLD输入将只有 t_{LVDV3} 的传输延迟。

4. 假设CLK IN被禁止且PLD Turbo（加速）位断开（off）时的典型电流消耗。

5. 假设CLK IN被禁止时的典型电流消耗。

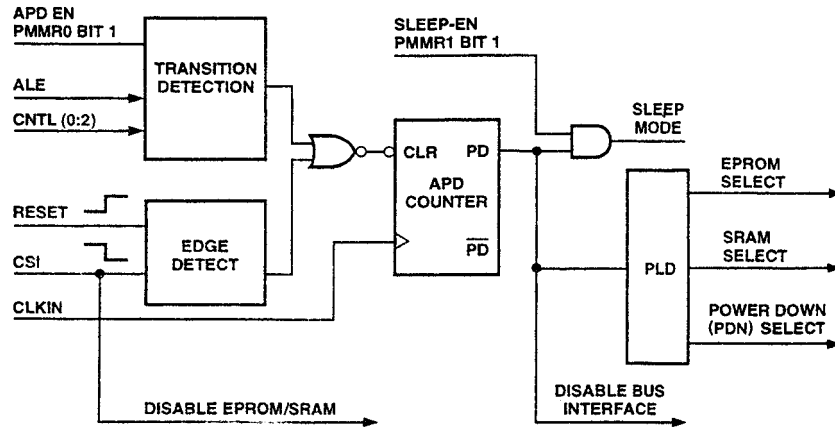


图31 APD逻辑块

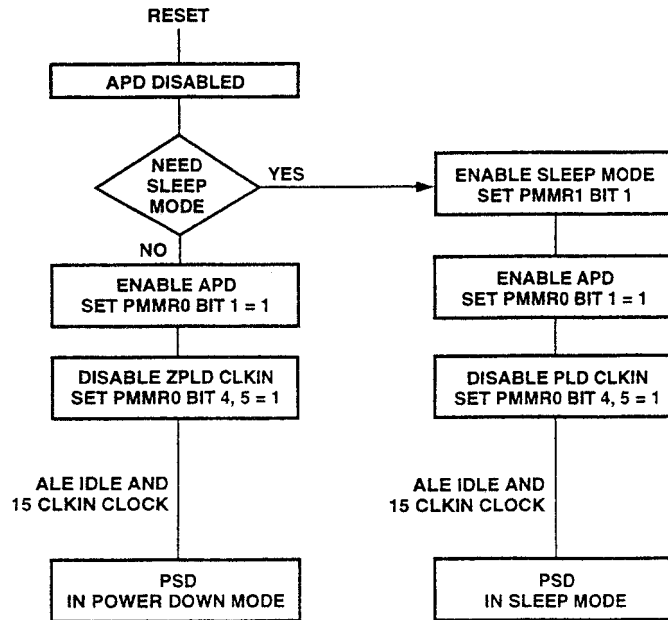


图32 使能掉电方式 (Power Down) 流程图

表32 电源管理方式寄存器 (PMMR0, PMMR1) **

PMMR0

位7	位6	位5	位4	位3	位2	位1	位0
*	*	PLD Mcell clk	PLD Array clk	PLD Turbo	X	APD Enable	X
		1=off	1=off	1=off		1=on	

* 位0、2、6和7未被使用且应被设置为0。

** 上电之后PMMR0、PMMR1和PMMR2寄存器位被清除至零，后续的复位脉冲将不清除寄存器。

- 位1 0=自动掉电 (APD) 被禁止
1=自动掉电 (APD) 被使能
- 位3 0=PLD加速 (Turbo) 被使能
1=PLD加速 (Turbo) 关闭, 节省功率
- 位4 0=CLKIN输入连接到PLD AND (与) 阵列

当加速位关闭时每次CLKIN的变化将给PLD上电

1=CLKIN输入不连接到PLD AND阵列，节省功率

位5 0=CLKIN输入连接到PLD Micro<=>Cells

1=CLKIN输入不连接到PLD Micro<=>Cells，节省功率

PMMR1

位7	位6	位5	位4	位3	位2	位1	位0
*	*	*	*	*	*	睡眠方式使能	*
						1=on	

* 不同的位应当置为0。

位1 0=睡眠方式被禁止

1=睡眠方式被使能

PMMR2

位7	位6	位5	位4	位3	位2	位1	位0
*	PLD阵列 DBE	PLD阵列 ALE	PLD阵列 CNTL2	PLD阵列 CNTL1	PLD阵列 CNTL0	*	*
	1=off	1=off	1=off	1=off	1=off		

* 不用的位应当被置为0。

位2 0=Cntl0输入连接到PLD AND阵列

1=Cntl0输入不连接到PLD AND阵列，节省功率

位3 0=Cntl1输入连接到PLD AND阵列

1=Cntl1输入不连接到PLD AND阵列，节省功率

位4 0=Cntl2输入连接到PLD AND阵列

1=Cntl2输入不连接到PLD AND阵列，节省功率

位5 0=ALE输入连接到PLD AND阵列

1=ALE输入不连接到PLD AND阵列，节省功率

位6 0=DBE输入连接到PLD阵列

1=DBE输入不连接到PLD AND阵列，节省功率

表33 APD计数器操作

APD使能位	ALE PD极性	ALE电平	APD计数器
0	X	X	不计数
1	X	脉冲	不计数
1	1	1	计数（在15个时钟之后产生PDN）
1	0	0	计数（在15个时钟之后产生PDN）

9.5.3 其它节省功率选项

PSD8XXF提供其它独立于掉电（Power Down）或睡眠（Sleep）方式的节省功率的选项。除了SRAM待机（Standby）和CSI输入特性之外，通过设置PMMR0和PMMR2寄存器的位，它们被使能。

9.5.3.1 零功耗PLD

PLD的功耗和速度由PMMR0的加速（Turbo）位（位3）控制。上电复位之后，根据PSDsoft配置菜单中的选择，PLD被初始化在加速（Turbo）方式或非加速（Non-Turbo）方式。通过把位设置为“0”，加速方式被禁止，当输入在70ns扩展时间内不变化时，PLD消耗零功耗（Zero Power）电流。当输入以小于15MHz的频率变化时，在加速位被设置到“0”（关闭）之后，传输延迟时间将增加10ns。当加速位被设置为“1”（接通）时，PLD以满功率和全速运行。加速位控制PLD直流功耗和传输延迟。

9.5.3.2 SRAM待机方式（电池备用）

PSD8XXF支持电池备用工作，它在掉电发生时保持SRAM的内容。SRAM具有 V_{stby} 引脚（PC2），它可连接到电池。当 V_{cc} 变至低于 V_{stby} 时，PSD将自动连接到 V_{stby} ，把它作为SRAM的电源。SRAM待机方式电流（ I_{stby} ）通常为 $0.5\mu A$ 。能保持SRAM数据的最低电压为2V。电池接通（battery-on）指示器（ V_{baton} ）被接至PC4。此信号指示何时 V_{cc} 已降至 V_{stby} 电压以下。

9.5.3.3 CSI输入

在PSDsoft中端口D的引脚PD2可被配置为CSI输入。当它为低电平时，信号选择并使内部EPROM和SRAM能用于PSD8XXF的读或写操作。CSI引脚上的高电平将禁止闪速存储器、EEPROM以及SRAM并减少了PSD的功耗。但是，当CSI为高电平时，PLD仍保持工作。

9.5.3.4 输入时钟

PSD8XXF提供断开CLKIN输入至PLD连接的选项以节省交流功耗。CLKIN是连接到PLD AND阵列和输出Micro \Rightarrow Cells的输入。在掉电（Power down）方式期间或如果CLKIN输入未用作PLD逻辑方程的一部分，时钟应当被禁止以节省交流功率。通过在PMMR0 中把位4或5设置为“1”，CLKIN将从PLD AND阵列或Micro \Rightarrow Cells断开。

9.5.3.5 输入控制信号

PSD8XXF提供断开输入控制信号（CNTL0-2、ALE、WRH）至PLD连接的选项以节省交流功耗。这些控制信号是送至PLD AND阵列的输入。在掉电方式期间或当它们中任何一个都没有被用作PLD逻辑方程的一部分时，这些控制信号应当被禁止以节省交流功耗。通过在PMMR2中把位2、3、4、5或6设置为“1”可把它们与PLD AND阵列断开。

9.5.4 复位输入

PSD8XXF具有低电平有效的复位输入，它装载内部配置并清除某些寄存器。图33表示复位时序要求。有效低电平范围具有最小的 t_{NLNH} 宽度。在复位上升沿之后，在 t_{OPR} 范围的期间内PSD8XXF保持在复位状态。在使用之前，器件必须上电复位。

注释：在上电之后头5ms期间内，EEPROM中所有写操作均被禁止。

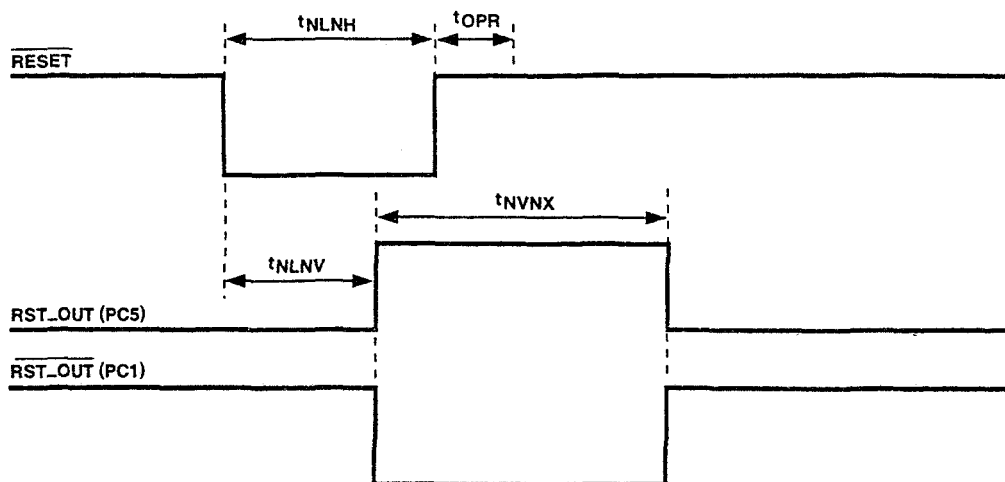


图33 复位输入时序

在复位输入有效时，PLD有效且输出由PSDabel方程决定。复位和掉电方式期间内芯片状态示于表34。

闪速存储器和EEPROM逻辑包括复位指令，这使用户能复位内部闪速存储器和EEPROM逻辑。例如，当深度掉电（Deep Power Down）指令被执行时，此复位指令必须被执行。如果送至PSD8XXF器件的外部复位发生，那么对于闪速存储器和EEPROM逻辑，此硬件复位将具有和执行复位指令（见9.1.1.3.3节的表8）一样的效果。

表34 在复位和掉电方式期间内芯片的状态

端口配置	复位	低功耗方式
MCU I/O	输入	不变
PLD输出 地址输出	有效 三态	取决于PLD输入 未定义
数据端口	三态	三态
外设I/O	三态	三态

端口配置	复位	掉电方式
PMMR [*] ，1和2	清除（仅上电复位）	不变
Micro<=>Cells触发器	不变 ^{**}	不变 ^{**}
VM寄存器 ^{***}	根据PSDsoft配置菜单中的选择被初始化	不变
所有其它寄存器	清除至“0”	不变

* 除PMMR0中PLD Turbo（加速）位。此位根据PSDsoft配置菜单的选择被初始化。

** 根据在PSDabel文件中所定义的.re和.pr方程，Micro<=>Cell触发器可以被复位输入或PDN信号清除或置位。

*** 任何复位总是把SR-cod和Periph方式位清除到0。

9.6 使用JTAG接口在线编程

PSD8XXF JTAG接口可以在端口C上被使能。表35表示用于JTAG接口的端口C引脚。可通过JTAG接口对PSD8XXF器件的所有功能编程。空白器件可以安装在印制电路板上并在线编程。PSD8XXF配置、PLD逻辑、闪速存储器以及EEPROM都可通过此接口被编程。

标准的JTAG信号是TMS、TCK、TDI以及TDO。TSTAT和TERR是JTAG的扩展，它可用于加速PSD8XXF器件的编程。

表35 JTAG端口信号

端口C引脚	JTAG信号	说明
PC0	TMS	方式选择
PC1	TCK	时钟
PC3	TSTAT	状态
PC4	TERR	出错标志
PC5	TDI	串行数据输入
PC6	TDO	串行数据输出

9.6.1 标准JTAG信号

标准JTAG信号可通过三个不同的条件被使能，这三个条件在逻辑上“或”。下列逻辑方程规定使能JTAG的条件。当JTAG被使能时，TDI、TDO、TCK和TMS在它们各自端口C引脚上被使能。当器件空白时，JTAG在端口C上被使能。

JTAG-ON = !Jtag-en+ /* 在PSDconfiguration内设置编程配置位（在空白器件上，Jtag-en为“0”或真）。*/

Jtag-FF + /* 微控制器在运行时在JTAG使能寄存器 (CS10P+C4) 设置VM位, 见表36。*/
Jtag-PT; /* 在PSDabel内定义JTAG使能乘积项。*/

表36 JTAG使能寄存器

JTAG使能

位7	位6	位5	位4	位3	位2	位1	位0
*	*	*	*	*	*	*	JTAG-EN

* 位1-7未用且应置为0。

位定义：

JTAG-EN 1=JTAG端口被使能
0=JTAG端口被禁止

如果JTAG引脚不是专用的，那么下列事件的任一个将设置JTAG-ON。

1. MCU软件写至JTAG-FF
2. JTAG-PT上的脉冲

上升沿后随至少100ns的逻辑高电平设置JTAG-ON。一旦被设置，JTAG-ON只能通过复位脉冲或通过执行“ISC禁止 (ISC disable)”命令被清除。

最初，为了避免任何总线冲突，I/O端口处于三态方式。通过使用ISC命令（见附录A），I/O端口可以被改变。在每一个单独的I/O引脚上驱动输出低电平或高电平状态。通过使用JTAG ISC命令，端口A、B、C和D的非-JTAG I/O引脚可单独被设置为高电平或低电平状态。

9.6.2 JTAG扩展

当对闪速存储器编程时，TERR将指示在编程字节或在擦除区段时是否发生了错误。当错误状况发生时，此信号变为高电平，且将保持高电平直至执行复位指令或接收到送至PSD8XXF的复位输入信号为止。

TSTAT的功能和9.1.1.2节所述的Rdy/Bsy信号一样。当PSD8XXF器件处于正常工作方式（即，EEPROM或闪速存储器可被读出）时，此信号将为高电平。当编程或擦除周期正在进行时，此信号将变为低电平。

利用ISC，这些JTAG扩展可以被使能（见附录A）。一旦返回（Return）或复位指令或PSD8XXF器件的复位输入被接收，端口C的这两个引脚返回到其缺省状态。使用这些信号可以增加JTAG接口的编程吞吐量。

保密性以及闪速存储器和EEPROM保护

当保密（security）位被置位时，不能在器件编程器上或通过JTAG端口读器件。当使用JTAG端口时，只有全芯片擦除命令被允许。所有其它编程/擦除/校验命令被阻断。全芯片擦除把器件返回到非保密的空白状态。保密位可在PSDsoft Configuration(PSDsoft配置)中被设置。

所有闪速存储器和EEPROM区段可单独被区段保护以防止擦除。区段保护位可以在PSDsoft配置中被设置。

PSD8XXF引脚分配

<i>Pin No.</i>	<i>Pin Assignments</i>	<i>Pin No.</i>	<i>Pin Assignments</i>
<i>52-Pin PLDCC</i>	<i>52-Pin PLDCC</i>	<i>52-Pin PLDCC</i>	<i>52-Pin PLDCC</i>
1	GND	27	PA2
2	PB5	28	PA1
3	PB4	29	PA0
4	PB3	30	AD0
5	PB2	31	AD1
6	PB1	32	AD2
7	PB0	33	AD3
8	PD2	34	AD4
9	PD1	35	AD5
10	PD0	36	AD6
11	PC7	37	AD7
12	PC6	38	V _{CC}
13	PC5	39	AD8
14	PC4	40	AD9
15	V _{CC}	41	AD10
16	GND	42	AD11
17	PC3	43	AD12
18	PC2 (VSTBY)	44	AD13
19	PC1	45	AD14
20	PC0	46	AD15
21	PA7	47	CNTL0
22	PA6	48	RESET
23	PA5	49	CNTL2
24	PA4	50	CNTL1
25	PA3	51	PB7
26	GND	52	PB6

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

P&S网网址：<http://www.p8s.com>

信箱：武汉市70020信箱

邮编：430079

电话：(86) (027) 87493500 - 87493506

传真：(86) (027) 87491166, 87493493

PSD8XXF封装资料

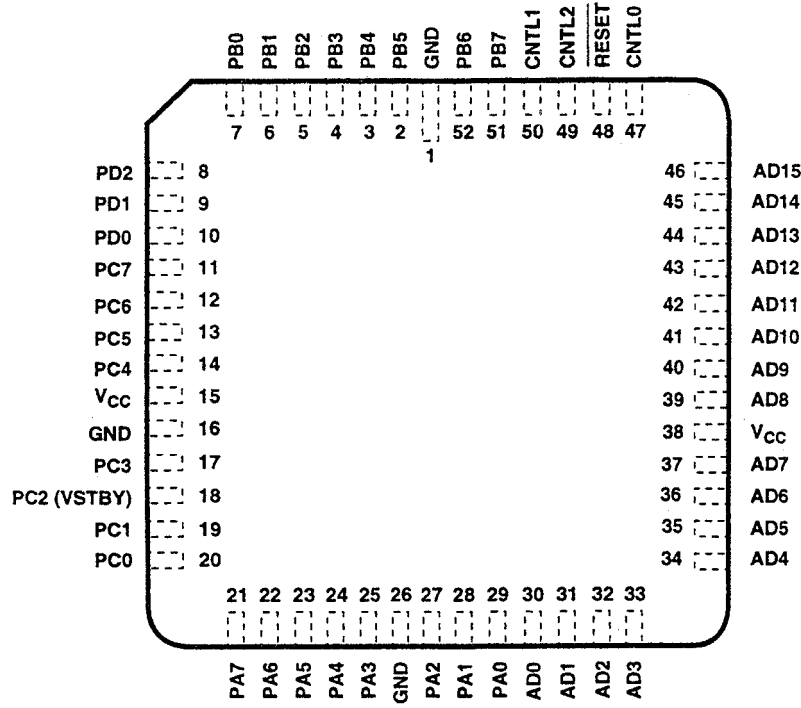


图34 Drawing J7-52引脚塑料引线芯片封装 (PLDCC) (封装类型J)