

双通道，低成本模数转换器

特性

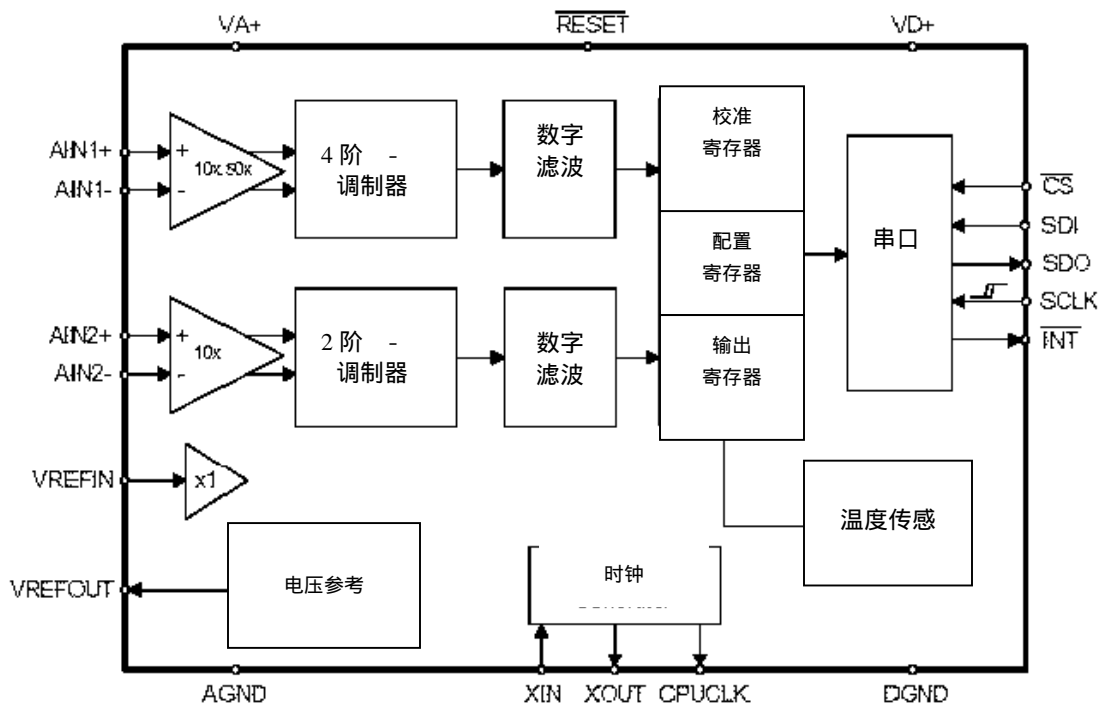
功耗 < 12mW
 AIN1 ± 输入范围可调
 单端对地参考输入
 片上2.5V参考电压 (最大温漂60ppm/°C)
 简单的三线数字串行接口
 片上温度传感器
 电源配置
 VA+ = +5V; AGND = 0V; VD+ = +3.3V-+5V

概述

CS5550是一个包含两个 - 模数转换器 (ADC) 和一个串行接口的高度集成的 - 模数转换器。CS5550具有方便的片上AC/DC 偏移和增益校准功能, 包含一个可与控制器双向通讯的串行接口、一个可用于增益补偿的片上温度传感器。

订货信息：

CS5550-BS - 40 ~ + 85 24脚SSOP



产品更新信息：

该文件包括了一个新产品的信息。Cirrus Logic 公司在不予以通知的情况下保有对其进行修改的权利。

目录

0. 引脚说明.....	4
1. 特性与规格说明.....	5
模拟特性.....	5
电压参考.....	6
5V 数字特性	7
3V 数字特性	7
推荐操作条件.....	7
开关特性.....	8
1.1 操作原理.....	10
1.1.1 高速低通数字滤波器.....	10
1.1.2 数字补偿滤波器.....	10
1.1.3 增益和直流偏移调整.....	10
1.2 执行测量.....	10
1.3 CS5550 的线性性能.....	10
2. 功能描述.....	10
2.1 模拟输入.....	10
2.2 电压参考.....	11
2.3 晶体振荡器特性.....	11
2.4 校准.....	11
2.4.1 校准过程概述.....	11
2.4.2 校准流程.....	11
2.4.3 校准信号.....	11
2.4.4 校准信号要求.....	11
2.4.5 校准过程描述.....	12
2.4.5.1 A C 偏移校准过程.....	12
2.4.5.2 D C 偏移校准过程.....	12
2.4.5.3 A C 增益校准过程.....	12
2.4.5.4 D C 增益校准过程.....	12
2.4.6 校准周期.....	13
2.4.7 校准顺序.....	13
2.5 中断系统.....	13
2.5.1 I N T 引脚的典型应用.....	13
2.5.2 I N T 引脚的有效状态.....	13
2.6 P C B 设计.....	13
3. 串口综述.....	14
3.1 命令字.....	14
3.1.1 启动转换.....	14
3.1.2 SYNC0 命令.....	14
3.1.3 SYNC1 命令.....	14
3.1.4 上电/停机命令.....	15
3.1.5 掉电控制和软件复位.....	15



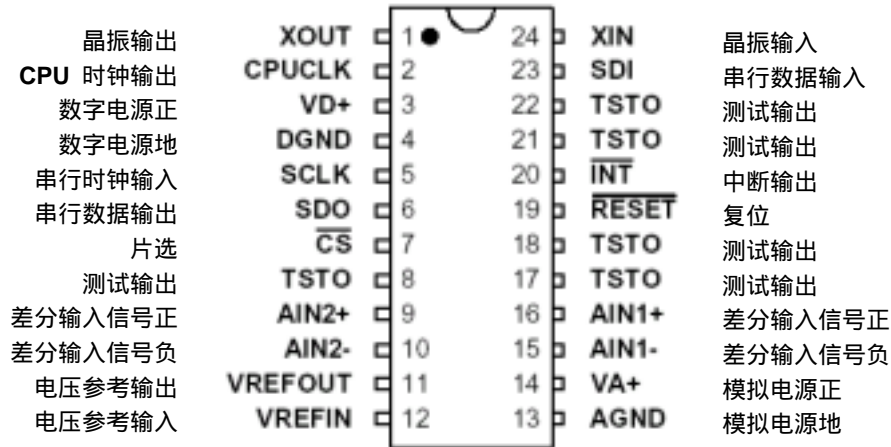
CS5550

3.1.6	校准控制.....	15
3.1.7	寄存器读/写命令.....	16
3.2	串口引脚.....	17
3.3	串口读写.....	17
3.3.1	寄存器写.....	17
3.3.2	寄存器读.....	17
3.4	系统初始化.....	17
3.5	串口初始化.....	18
3.6	CS5550的供电模式.....	18
4	寄存器描述.....	18
4.1	配置寄存器.....	18
4.2	D C 偏移寄存器.....	19
4.3	A C / D C 增益寄存器.....	19
4.4	周期计数寄存器.....	19
4.5	输出寄存器.....	20
4.6	滤波输出寄存器.....	20
4.7	状态寄存器和屏蔽寄存器.....	20
4.8	A C 偏移寄存器.....	21
4.9	温度传感器数据输出寄存器.....	21
4.10	控制寄存器.....	21
5	封装尺寸.....	22
6	附图.....	
图1.	CS5550 的读写时序图.....	9
图2.	晶体振荡器连接图.....	11
图3.	系统增益校准图.....	12
图4.	系统偏移校准图.....	12
图5.	校准数据流程图.....	12
图6.	直流增益校准举例.....	13

联系凌云逻辑：

关于凌云逻辑的各地办事处、分销商、代理，请访问
["http://www.cirrus.com/"](http://www.cirrus.com/)

0.引脚描述



时钟发生器		
晶振输出	1	XOUT ， XIN —芯片内的一个门电路与这些引脚相连，可连接晶体为芯片提供系统时钟。另外，也可以由外部时钟（与CMOS 时钟兼容）驱动引脚XIN，为芯片提供系统时钟。
晶振输入	24	
CPU 时钟输出	2	CPUCLK —片上振荡器的输出，可以驱动一个标准CMOS 负荷。
控制引脚和串行数据输入输出		
串行时钟输入	5	SCLK —该引脚确定SDI 和SDO 引脚得输入和输出速率。只有当CS 低时，SCLK 引脚才识别时钟
串行数据输出	6	SDO —SDO 是串行数据端口的输出引脚。当CS 高时，其输出将处于高阻抗状态。
片选	7	CS —当处于低电平时，端口可以识别SCLK。该引脚高电平状态使SDO 引脚处于高阻抗状态。CS 应在SCLK 处于低电平时改变状态。
复位	19	RESET —当复位引脚为低电平时，所有内部寄存器都被设置为缺省值。
中断	20	INT —当INT 变低时，表明一个允许的事件已经发生。
串行数据输入	23	SDI—SDI 是串行数据接口的输入引脚。数据的输入速率由SCLK 决定。
测量和参考输入		
差分模拟输入9,10,15,16 AIN1+, AIN1-, AIN2+, AIN2- —差分模拟输入引脚。		
参考电压输出	11	VREFOUT—芯片上的参考电压由该引脚输出，参考电压的标称值为2.5V（以VA-引脚为参考）。
参考电压输入	12	VREFIN—该引脚输入的电压给芯片上的调制器提供了参考电压。
电源连接		
数字电源正	3	VD+ — 以DGND 为参考，一般为+5V ± 10%。
数字地	4	DGND— 数字接地，与VA- 具有相同的电平。
模拟地	13	VA- — 负模拟电源引脚，必须具有最低的电压。
模拟电源正	14	VA+ — 以VA- 为参考，通常为+5V ± 10%。
其它		
测试输出	8, 17, 18, 21, 22	TSTO – 用于工厂测试, 应用时应悬空。



CS5550

1. 特性与规格说明

- 最大值和最小值参数是指在所有的操作条件可被保证的值。
- 典型参数是在标准供电和25°C时的测量值。
- DGND = 0V. 所有电压是指对 0V 的电压值。

模拟特性

参数	符号	最小值	典型值	最大值	单位
精度（两个通道）					
共模抑制比	CMRR	80	-	-	dB
偏移漂移		-	5	-	nV/°C
模拟输入（AIN1±）					
差分输入范围（Gain = 10） {(AIN1+) - (AIN1-)}（Gain = 50）	ANI1	0 0	- -	500 100	mVp-p mVp-p
总谐波失真	THD1	74	-	-	dB
共模加信号 + 信号范围（Gain = 10/50）		-0.25	-	VA+	V
满量程输入时对AIN2通道的串扰（50,60Hz）		-	-	-115	dB
输入电容（增益=10） （增益=50）	IC1	- -	25 25	- -	pF pF
等效输入阻抗（增益=10） （注释2）（增益=50）	EII1	30 30	- -	- -	k k
噪声（参考输入）（增益=10） （增益=50）	N1	- -	- -	22.5 4.5	μ Vrms μ Vrms
精度					
双极性偏移误差（注释1）	VOS	-	-	±0.001	%F.S.
满量程误差（注释1）	FSE	-	-	±0.001	%F.S.
模拟输入（AIN2±）					
差分输入范围{(AIN1+) - (AIN1-)}	AIN2	0	-	500	mVp-p
总谐波失真	THD2	65	-	-	dB
共模加信号 + 信号范围		-0.25	-	VA+	V
满量程输入时对AIN1通道的串扰（50,60Hz）		-	-	-70	dB
输入电容（增益=10）	IC2	-	0.2	-	pF
等效输入阻抗（注释2）（增益=10）	EII2	5	-	-	M
噪声（参考输入）（增益=10）	N2	-	-	250	μ Vrms
精度					
双极性偏移误差（注释1）	VOS	-	-	±0.01	%F.S.
满量程误差（注释1）	FSE	-	-	±0.01	%F.S.

注释： 1. 本说明适用于系统校准以后。

2. 等效输入阻抗 (EII) 由时钟频率 (DCLK) 和输入电容 (IC) 决定, $EII = 1 / (IC * DCLK / 4)$, 其中 $DCLK = MCLK / K$ 。

模拟特性 (续)

参数	符号	最小值	典型值	最大值	单位
动态特性					
高速滤波器输出字速率 (两个通道)	OWR	-	DCLK/1024	-	Hz
输入采样速率 DCLK=MCLK/K		-	DCLK/8	-	Hz
满量程DC 校准范围 (注释3)	FSCR	25	-	100	%F.S.
高通滤波器转角频率点 -3 dB		-	0.5	-	Hz
电源					
电源电流(一般模式) IA+	PSCA	-	1.3	-	mA
ID+ (VD+=5V)	PSCD	-	2.9	-	mA
ID+ (VD+=3V)	PSCD	-	1.7	-	mA
功耗 (注释4) 一般模式 (VD+=5V)	PC	-	21	30	mW
一般模式 (VD+=3V)		-	11.6	-	mW
待机状态		-	6.75	-	mW
休眠状态		-	10	-	uW
电源抑制比 (注释4) (50, 60 Hz) (增益=10)	PSRR	56	-	-	dB
(增益=50)	PSRR	70	-	-	dB
电源抑制比 (注释4) (50, 60 Hz) (增益=50)	PSRR	45	-	-	dB

注释： 3. 最大增益寄存器值限制FSCR范围。

4. 所有输出空载，输入为CMOS电平。

5. PSRR定义：VREFIN接到VREFOUT，VA+=VD+=5V，150mV幅值60 Hz 正弦波信号加入DC5V+，信号输入端接地，CS5550 工作在连续采样模式，数据为被测通道数据，被测数据决定于输入通道的被测毫伏信号Veq。则：

$$PSRR = 20 \cdot \log \left\{ \frac{150}{V_{eq}} \right\}$$

电压参考

参数	符号	最小值	典型值	最大值	单位
参考电压输出					
输出电压	REFOUT	2.4	-	2.6	V
温度系数 (注释6)	TC	-	25	60	ppm/
负载调节 (电流1 μA 输入或输出)	VR	-	6	10	mV
参考电压输入					
电压输入范围	VREFIN	2.4	2.5	2.6	V
输入电容		-	4	-	pF
输入CVF电流		-	25	-	nA

注释6：被测VREFOUT值与测量温度范围有关。下面的公式可计算VREFOUT温度系数。

$$TC_{VREF} = \left(\frac{(VREFOUT_{MAX} - VREFOUT_{MIN})}{VREFOUT_{AVG}} \right) \left(\frac{1}{T_{A_{MAX}} - T_{A_{MIN}}} \right) (1.0 \times 10^6)$$

5V 数字特性

参数	符号	最小值	典型值	最大值	单位
高电平输入电压 除XIN, SCLK 和RESET 以外的所有引脚	VIH	0.6 VD+	-	-	V
XIN		VD+-0.5	-	-	V
SCLK 和RESET		0.8VD+	-	-	V
低电平输入电压 除XIN, SCLK 和RESET 以外的所有引脚	VIL	-	-	0.8	V
XIN		-	-	1.5	V
SCLK 和RESET		-	-	0.2VD+	V
高电平输出电压 Iout=+5mA	VOH	VD+)-1.0	-	-	V
低电平输出电压 Iout= -5mA	VOL	-	-	0.4	V
输入漏电流	Iin	-	±1	±10	uA
三态漏电流	Ioz	-	-	±10	uA
数字引脚输出电容	Cout	-	5	-	pF

3V 数字特性

参数	符号	最小值	典型值	最大值	单位
高电平输入电压 除XIN, SCLK 和RESET 以外的所有引脚	VIH	0.6 VD+	-	-	V
XIN		VD+-0.5	-	-	V
SCLK 和RESET		0.8VD+	-	-	V
低电平输入电压 除XIN, SCLK 和RESET 以外的所有引脚	VIL	-	-	0.48	V
XIN		-	-	0.3	V
SCLK 和RESET		-	-	0.2VD+	V
高电平输出电压 Iout=+5mA	VOH	VD+)-1.0	-	-	V
低电平输出电压 Iout= -5mA	VOL	-	-	0.4	V
输入漏电流	Iin	-	±1	±10	uA
三态漏电流	Ioz	-	-	±10	uA
数字引脚输出电容	Cout	-	5	-	pF

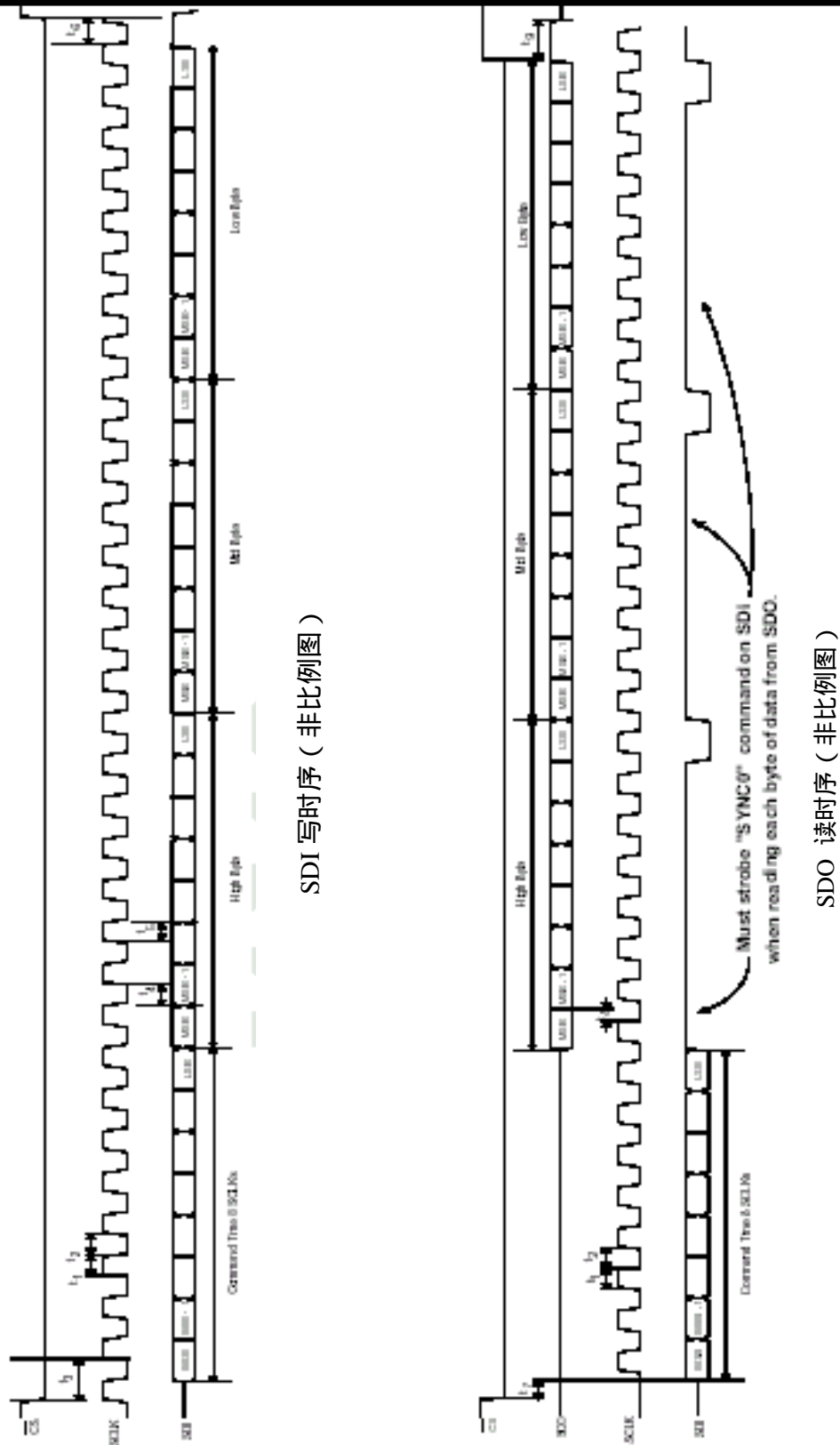
推荐操作条件

参数	符号	最小值	典型值	最大值	单位
数字电源正	VD+	3.135	3.3	5.25	V
模拟电源正	VA+	4.75	5	5.25	V
模拟电源负	AGND	-0.25	0	0.25	V
参考电压	VREF	-	2.5	-	V
温度范围	TA	-40	-	+85	

开关特性

参数	符号	最小值	典型值	最大值	单位
主时钟频率内部振荡器 (注释7)	MCLK	2.5	4.096	5	MHz
主时钟占空比		40	-	60	%
CPUCLK占空比 (注释8)		40	-	60	%
上升时间 除SCLK 外的所有数字输入引脚(注释9) SCLK 任意数字信号输出	trise	- - -	- - 50	1.0 100 -	uS uS nS
上升时间 除SCLK 外的所有数字输入引脚(注释9) SCLK 任意数字信号输出	tfall	- - -	- - 50	1.0 100 -	uS uS nS
启动					
振荡器启动时间 XTAL=4.096MHz(注释10)	tost	-	60	-	ms
串行口时序					
串行时钟频率	SCLK	-	-	2	MHz
串行时钟 脉冲高电平宽度	t1	200	-	-	ns
脉冲低电平宽度	t2	200	-	-	ns
SDI 写时序					
CS 使能到有效的锁存时钟	t3	50	-	-	ns
SCLK 上升前数据建立时间	t4	50	-	-	ns
SCLK 上升后数据保持时间	t5	100	-	-	ns
SCLK 下降到CS 无效	t6	100	-	-	ns
SDO 读时序					
CS 使能到驱动SDI	t7	-	20	50	ns
SCLK 下降到新数据位出现	t8	-	20	50	ns
CS 上升到SDO 高阻态	t9	-	20	50	ns

- 注释：
- 器件参数是使用4.096MHz 时钟时的参数。
 - 如果使用外部MCLK，则占空比必须在45%和55%之间才能满足该参数的要求。
 - 参数测试使用了被测波形10%和90%的两个点。输出负载为50pF。
 - 振荡器启动时间因晶片参数不同而不同。当使用外部时钟时该参数无效。



SDI 写时序 (非比例图)

SDO 读时序 (非比例图)

图 1 CS5550 读写时序图

1.1 操作原理

模拟输入引脚的模拟信号经过可编程增益放大器 (PGAs) 放大后, 由 - 调制器以 $(MCLK/K)/8$ 的采样率采样。

1.1.1 高速低通数字滤波器

- 调制器输出的数据经过低通滤波器滤掉高频噪声信号. 两个通道各包含了一个 $Sinc^3$ 高速低通数字滤波器。

1.1.2 补偿数字滤波器

两个通道经过低通滤波后的数据进一步经过各自的四阶无限次补偿滤波器 (IIR). 用于补偿低通滤波器的转角频率。此滤波器进一步平滑AIN1、AIN2通道在一定频率范围内的转角频率影响。

1.1.3 增益和直流偏移调整

经过滤波的数据将进行基于直流偏移寄存器和增益寄存器的数据调整. 即转换数据加直流偏移寄存器数据、乘增益寄存器数据、然后输出到相应的输出寄存器。直流偏移寄存器和增益寄存器用于芯片校准 (详见2.4)。

1.2 执行测量

CS5550 用于采样率为 $(MCLK/K)/1024$ 的瞬时测量. 按最新获得的N个瞬时测量值可计算出通道一的转换有效值 (RMS1) 和通道二的转换有效值 (RMS2)。芯片将以满量程的相对百分比方式提供所有的测量结果。其中, 有符号数为二进制补码, 输出字被规格化为-1到+1之间的数; 无符号数为二进制码, 输出字被规格化为0到+1之间的数。最大的转换输出值为1.0, 但值得注意的是1.0是不可能出现的, 实际的最大值为 $[(2^{23} - 1)/(2^{23})] = 0.999999880791$ 。

每次A/D 转换后, 状态寄存器中的CRDY 位将被置位, 此时如果CRDY 位未被屏蔽, 则INT引脚将被激活。CRDY 位的置位代表着新的瞬时AD转换值已被获取。

有效值无符号数RMS1、RMS2 的计算每N次转换更新一次 (此即为一个“计算周期”), N 是周期计数寄存器的值。每个计算周期结束后, 状态寄存器和屏蔽寄存器中的DRDY 位被

置位, 此时如果DRDY 位未被屏蔽, 则INT 引脚将被激活。需要注意的是, DRDY 位只有在计算周期结束后才能被置位, 而CRDY 位是在每次转换后都被置位, 这些位在能被再次置位之前, 必须由用户清零。如果周期计数寄存器设置为1, 所有计算结果都将变为瞬时的, DRDY 位将指示何时瞬时计算完成, 和CRDY 位一样。为了计算出有效的RMS, 周期计数寄存器应设置为大于10 的值。

计算周期可以由主时钟得到, 它的频率是 $(MCLK/K)/(1024*N)$ 。在缺省状态下XIN 上的时钟为4.096MHz, 瞬时AD 转换频率为4000Hz, 而RMS的计算是以1Hz 的频率进行的。

1.3 CS5550 的线性性能

	RMS1	RMS2
范围(% of FS)	0.2% - 100%	1% - 100%
线性	读数的0.1%	读数的0.1%

表 1. 输出线性 (默认设置条件下)。

表1. 给出了在说明的输入信号范围内, 有效值RMS测量值的线性度为优于0.1%。对于CS5550 只有校准后才可以确保优于0.1%精度, 但所有的CS5550在给出的输入信号范围内可以确保优于±0.1%的读数线性度。

2. 功能描述

2.1 模拟输入

CS5550 的AIN1有两个不同的满量程信号输入范围 ($GAIN=10/50$), AIN2只有一个满量程信号输入范围 ($GAIN=10$)。满量程信号输入范围是最大信号范围, AIN1/AIN2用于正弦波测量时, 是指峰值信号, 如果交流信号峰值超出了满量程信号输入范围, 瞬时AD转换数据将会溢出。如果AIN1、AIN2通道被设定为500 mVp-p, 那么只能测量250 mV最大信号系统。不能测250 mVRMS的正弦波信号, 如果加入250 mVRMS的正弦波信号, 则信号峰值将超过输入通道的最大差分信号范围。其可加入的最大的正弦波信号可由下面公式计算:

$500mVp-p / (2 * 1.414) = \sim 176.78mVRMS$ 。即对于

正弦波信号范围应在70.7%满量程范围内。

2.2 电压参考

CS5550规定VREFIN和VA-间所用参考电压为+2.5V。将VREFIN 和VREFOUT 连起来就可以使用转换器内部的2.5V 参考电压(60ppm/ 漂移)。如果需要更高的精确度/稳定性,可以使用外部参考电压。

2.3 晶体振荡器特性

XIN 和XOUT 分别是产生振荡的反向放大器的输入和输出,用作片上振荡器,如图2 所示。

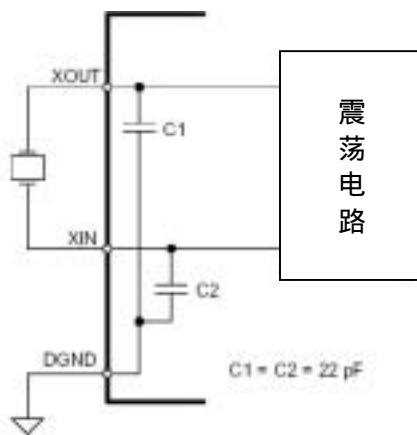


图 2. 晶体振荡器连接图

振荡器电路通过外接一个石英晶片或陶瓷谐振器工作。为了降低电路成本,芯片内4集成有两个负载电容器C1和C2,采用片内电容,振荡器的振荡频率可达到20MHz。若采用外部振荡器驱动XIN,XOUT应悬空。在XIN 和数字电路之间有一个提供CMOS电平的放大器,其在正弦输入时仍可工作,所以可以在输入边沿缓慢的环境下工作。

CS5550 可以由2.5 ~ 20MHz 范围的外部时钟驱动。用户应适当设置分频比K,以确保内部时钟DCLK 处于2.5MHz 到5MHz 之间。分频比K 由配置寄存器的K [3:0] 位决定。比如 $XIN=MCLK=15MHz$,K 被设定为5,则DCLK为3MHz,这个值正好处于2.5MHz 到5MHz之间。

2.4 校准

2.4.1 校准过程概述

CS5550 提供AC偏移、AC增益 和DC偏移、DC增益校准。对于AIN1、AIN2 AC偏移校准完成了完全不同于DC偏移校准的功能,而AC增益和DC增益校准是采用不同技术实现的相同功能。

因为AIN1、AIN2通道各自配有独立的偏移和增益寄存器,所以可以互不影响地完成系统偏移或系统增益校准。

2.4.2 校准流程

1. 首先,使CS5550进入正常的工作状态,准备好接收有效指令,用写状态寄存器命令清除DRDY 标志。

2. 在AIN1或AIN2的输入端加入适当校准信号(将在2.4.3和2.4.4中介绍)。

3. 发送8位的校准命令到CS5550的串口。命令中的不同的位指定了不同的校准类型。在AD转换过程中,不能发校准命令到芯片的串口。

4. 当CS5550完成预期的校准过程后,状态寄存器中的DRDY位被置位,标置校准过程已经完成,校准数据已被存在增益或偏移寄存器。

2.4.3 校准信号

对于AC/DC增益校准,通道端输入信号必须限制有效值或直流电平在最大输入范围内。增益寄存器最大数值可达到4,所以对于AIN1和AIN2,如果用于增益校准的输入信号电平低到CS5550试图设置增益寄存器为大于4的数,则此增益校准过程无效,并且CS5550的AD转换结果也是无效的。

2.4.4 校准信号要求

图 3所示为增益校准的基本配置。当进行DC增益校准时,应该AIN1和AIN2的输入端加入正的直流电平,此电平为输入端可测的最大瞬时被测信号的电平值(包括最大过载信号)。当进行AC增益校准时,AC参考输入信号应为输入端可测的最大被测信号有效值。对于典型的正弦信号,考虑适当的过载范围,可加入60%的输入端可测的最大被测信号电平。当进行AC和DC偏移校准时,相应的输入正负引脚必须接到它们的参考地(详见图 4)。同时校准偏移和增益将导致不可预期校准结果。

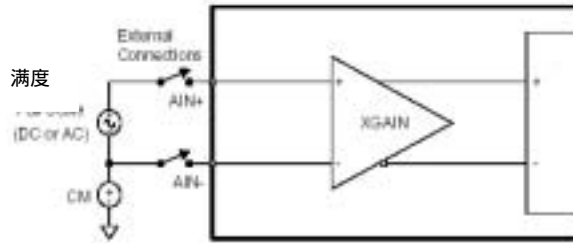


图 3 系统增益校准

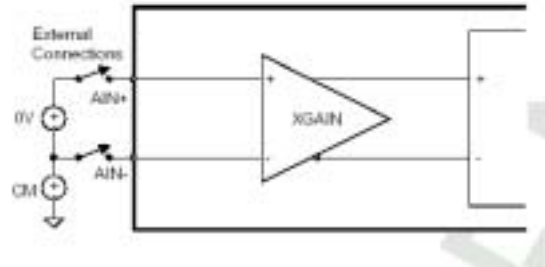


图 4 系统偏移校准

2.4.5 校准过程描述

图5所示，CS5550的AC和DC偏移和增益校准顺序和计算流程，此内容适合AIN1和AIN2通道。

注：增益校准前，应将增益寄存器设置为默认值1.0；偏移校准前，应将偏移寄存器设置为默认值0.0；此过程可由软件或硬件复位完成。此寄存器中的数据影响校准结果。

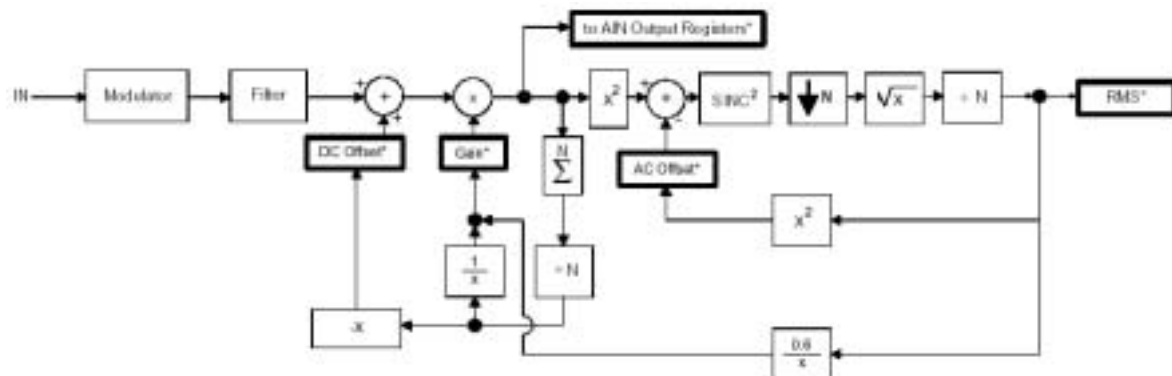


图 5 校准数据流

2.4.5.1 AC偏移校准过程

当输入接地时，AC偏移校准可得到一个影响有效值平方值的AC偏移寄存器值。在正常转换时，每一个连续采样值的平方将减去AC偏移寄存器值，以便消除某些固定信号的影响。

2.4.5.2 DC偏移校准过程

当输入接地时，执行完DC偏移校准后，DC偏移寄存器将保存N个采样值的平均值的负

值。在正常转换时，信号值将加上DC偏移寄存器值输出，以便消除直流偏移信号的影响。

2.4.5.3 AC增益校准过程

AC增益校准可调整AC增益校准寄存器值，以便使输入信号产生的RMS寄存器值为0.6倍，在AC增益校准过程中，以RMS寄存器值除以0.6，然后存入AC增益校准寄存器。

2.4.5.4 DC增益校准过程

基于加在信号输入端电压信号，CS5550以1除以N（一个计算周期的采样数）个输出数据的平均值做为DC增益校准寄存器值。所以，



图6 直流校准举例

2.4.6 校准周期

周期计数寄存器的值(N)决定了计算平均校准结果的转换周期数，对DC偏移/增益校准而言，一个校准周期至少需N+30个转换周期；对AC偏移/增益校准，校准周期至少需6N+30个A/D转换周期(大约6个计算周期)。当N增加，校准结果的精度也会随之增加。

2.4.7 校准顺序

1. 如果被测信号含有其它DC成分，首先执行DC偏移校准。
2. 然后，执行AIN1、AIN2的AC或DC增益校准。
3. 最后，执行AIN1、AIN2的AC偏移校准。

2.5 中断系统

INT引脚用来通知系统转换器发生了某些值得注意的事件，这些事件包括芯片运行的状态和内部故障状态。状态寄存器与屏蔽寄存器组合将产生INT信号，当状态寄存器的某位有

经过DC增益校准后，任何时候输入等于校准时的参考信号，将从瞬时寄存器读到满量程数据（详见图6）。

效，并且屏蔽寄存器相应的位是逻辑1，INT信号被激活；当状态寄存器的这一位恢复为无效时，中断状态被清除。

2.5.1 INT引脚的典型应用

下面步骤说明如何处理中断。

初始化：

步骤I0—向状态寄存器写FFFFFF（16进制），清除所有状态位。

步骤I1—向屏蔽寄存器中允许产生中断的中断条件位写逻辑1

步骤I3—开启中断

中断处理过程：

步骤H0—读状态寄存器

步骤H1—禁止所有中断

步骤H2—转向相应的中断处理程序

步骤H3—将H0步骤读出的值写回以清除状态寄存器

步骤H4—重新开中断

步骤H5—从中断处理程序中返回

这个交互处理过程保证了在H0步骤—H3步骤间发生的新中断不会被H3步骤丢失（清除）。

2.5.2 INT引脚的有效状态

INT的有效态由配置寄存器的IMODE、IINV两位控制，引脚的有效态可以被设定低电平（缺省）、高电平、上升沿和下降沿四种。如果INT被设定为上升沿和下降沿模式，则INT的脉宽至少持续一个时钟周期（DCLK=MCLK/K）。

2.6 PCB设计

CS5550在PCB板布线时应将其完全放在地平面上，VA-与GDND引脚连接到地平面上，在紧邻芯片的数字部分的地方分割模拟、数字地平面。

3. 串口综述

CS5550 的串行接口部分集成了一个带有发送/接收缓冲器的状态机,状态机在SCLK 的上升沿解释8 位命令字。根据对命令的解码,状态机将执行相应的操作,或者为被寻址的寄存器的数据传输做准备。读操作需将被寻址的内部寄存器的数据传送到发送缓存区,写操作在数据传输前要等24 个SCLK 周期。内部寄存器用于控制ADC 的功能。所有寄存器都是24 位宽。

上电后,CS5550 初始化并处于完全可操作状态。上电后,串口初始化或复位后,串口状态机进入命令接收模式,等待接收有效的命令(输入串口的前8 位数据)。在完成对有效命令的接收和解码后,状态机将指示转换器执行系统操作或从内部寄存器输入或输出数据。具体命令字的含义,请用户参考“命令字”一节。

3.1 命令字

所有的命令字长度均为1 个字节。任何本章未列出的命令为非法命令,任何非法命令写到CS5550 串口将导致不可预期的操作结果。写寄存器命令后必须紧跟3 个字节的寄存器数据。读寄存器时,可以在SDI 口写入其它命令,并且在数被读完前得到执行。(比如,在读数据时,另一个新的命令可从SDI 移入,并可在原来的读操作结束前执行)。

3.1.1 启动转换

B7	B6	B5	B4	B3	B2	B1	B0
1	1	1	0	C	0	0	0

本命令指示状态机开始转换测量数据和计算结果,CS5550有两种转换模式。

C: 转换模式

0 = 执行单转换

1 = 执行连续转换

3.1.2 SYNC0 命令

B7	B6	B5	B4	B3	B2	B1	B0
1	1	1	1	1	1	1	0

本命令将结束串口重新初始化过程,它也可以作为空命令使用。通过连续输入3 个或更多的SYNC1 命令字然后输入一个SYNC0 命令字可以使串口重新同步到字节边界。

3.1.3 SYNC1 命令

B7	B6	B5	B4	B3	B2	B1	B0
----	----	----	----	----	----	----	----



1	1	1	1	1	1	1	1
---	---	---	---	---	---	---	---

本命令是串口重新初始化过程的一部分，它也可以作为空命令。

3.1.4 上电/停机命令

B7	B6	B5	B4	B3	B2	B1	B0
1	0	1	0	0	0	0	0

如果芯片处于省电模式，本命令将使芯片上电。上电后，不进行任何处理。如果已处于加电模式，那么此命令使所有计算暂停。

3.1.5 掉电控制和软件复位

B7	B6	B5	B4	B3	B2	B1	B0
1	0	0	S1	S0	0	0	0

设备有两种省电模式来节电。如果芯片处于待机模式，除了模拟电路和振荡器以外所有电路都被关闭。如果芯片处于休眠模式，除了解码器和振荡器以外所有电路都被关闭。由于需要附加重新启动和时钟稳定时间，从休眠模式唤醒CS5550比从待机模式时间长。

S1, S0 省电模式

00=软件复位

01=停机并进入待机省电模式，这种模式允许快速上电。

10=停机并进入休眠省电模式，这种模式要求一个较长的上电时间。

11=保留

3.1.6 校准控制

B7	B6	B5	B4	B3	B2	B1	B0
1	1	0	A2	A1	R	G	O

芯片具有执行系统交流偏移校准、直流偏移校准、交流增益校准和直流增益校准的功能。偏移校准和增益校准不能同时进行。对于一具体应用，如果进行了直流增益校准，则不应再进行交流增益校准（反之亦然）。在执行校准操作前，用户必须给芯片提供适当的输入信号。

A2, A1 指定校准通道

00=禁止

01=校准AIN1通道

10=校准AIN2通道

11=AIN1通道，AIN2通道同时校准

R 指定交流校准



- 0 = 直流校准
1 = 交流校准
- G 指定增益校准
0 = 正常运行
1 = 执行增益校准
- O 指定偏移校准
0 = 正常运行
1 = 执行偏移校准

3.1.7 寄存器读/写命令

B7	B6	B5	B4	B3	B2	B1	B0
0	W/R	RA4	RA3	RA2	RA1	RA0	0

这个命令通知状态机需要对某个寄存器进行访问。读寄存器时，被寻址的寄存器中的数据被传送到输出缓冲器中由SCLK 移位输出。写寄存器时，数据由SCLK 移入输入缓冲器并在第24 个SCLK出现后写入被寻址的寄存器。

W/ R 写/读控制
0 = 读寄存器
1 = 写寄存器

RA[4 : 0] 写/读控制命令的寄存器地址位（位5到0）

地址	RA[4-0]	缩写	名称描述
0	00000	Config	配置寄存器
1	00001	AIN1DCoff	AIN1直流偏移校准寄存器
2	00010	AIN1gn	AIN1增益校准寄存器
3	00011	AIN2DCoff	AIN2直流偏移校准寄存器
4	00100	AIN1gn	AIN2增益校准寄存器
5	00101	Cycle Count	转换次数（N）
6	00110	Res	保留†
7	00111	AIN1	AIN1输出寄存器
8	01000	AIN2	AIN2输出寄存器
9	01001	Res	保留†
10	01010	Res	保留†
11	01011	RMS1	AIN1有效值输出寄存器
12	01100	RMS2	AIN2有效值输出寄存器
13	01101	Res	保留†
14	01110	Res	保留†
15	01111	Status	状态寄存器
16	10000	AIN1ACoff	AIN1交流偏移校准寄存器
17	10001	AIN2ACoff	AIN2交流偏移校准寄存器
18	10010	Res	保留†
19	10011	T	温度寄存器
20	10100	Res	保留†



21	10101	Res	保留†
22	10110	Res	保留†
23	10111	Res	保留†
24	11000	Res	保留†
25	11001	Res	保留†
26	11010	Mask	中断屏蔽寄存器
27	11011	Res	保留†
28	11100	Ctrl	控制寄存器
29	11101	Res	保留†
30	11110	Res	保留†
31	11111	Res	保留†

† 这些寄存器只能在内部使用，用户不能使用。

3.2 串口引脚

CS5550 串口包括CS、SDI、SDO 和SCLK四条控制线。CS，片选，是访问串口的允许控制线。如果CS 为逻辑0，端口具有3 线接口的功能。SDI，串行数据输入，用来把数据写到转换器。SDO，串行数据输出，用来从转换器读出数据。当 CS 为逻辑1 时，SDO 输出将保持高阻抗。

SCLK，串行时钟，是控制数据移出或移入A/D 转换器串行口的串行位时钟。在SCLK 的电平转换能被端口逻辑识别之前，CS 必须被置为逻辑0。为了和光电耦合器相匹配，SCLK 的输入端集成了一个施密特触发器，以允许使用上升和下降时间较慢的光电耦合器直接驱动该引脚。另外，SDO 具有接收或输出5mA 电流的能力，可以直接驱动光电耦合器的LED。在接收或输出5mA 电流时，SDO 的驱动电压损失小于400mV。

3.3 串口读/写

状态机对收到的命令字进行译码。通过寄存器读/写命令，数据可被写入或从CS5550 中读出。图1 为串口读/写时序。如图1 所示，数据的读/写通过向串口SDI 引脚写入相应的8 位命令字（高位在前）来启动。

3.3.1 寄存器写

寄存器写指令后必须跟高位在前的24 位的数据到SDI 引脚。比如，写配置寄存器，应先写命令字（0X40）启动写操作，然后，CS5550将接收SDI 引脚上的由24 个连续的串行时钟脉冲送入的数据。一旦收到数据，状态机便将数据写入配置寄存器并返回到命令模式。

3.3.2 寄存器读

寄存器读指令可以终止在8 位的边界上（例如，读出时可只读8，16 或24 位）。同样，数据寄存器读出允许采用“命令链”。例如，指令通知状态机读带符号输出寄存器，随着16 个连续的读数据串行时钟脉冲，写命令字（如状态寄存器清零命令）可从SDI 引脚输入，同时剩下的8 位读出数据被传送到SDO 引脚。当一个指令包含写操作时，串口将在后继的24 个串行时钟脉冲SCLK 里继续从SDI 引脚接收数据（高位在前）。而当启动读指令，串口可以根据发出的指令从SDO 引脚接收8 位、16 位或24 位输出数据（高位在前）。读寄存器时，微控制器可同时发送新指令，新指令将被立即执行，并可能终止读操作（此即所谓“命令链”）。在读周期，当从SDO 引脚输出数据时，必须用SYNC0 指令（NOP）使SDI 引脚处于选通态。



3.4 系统初始化

在任何时候执行软件或硬件复位可以初始化系统。通过写0x80到CS5550可以实现软件复位。当RESET脚被拉低超过50ns时，可以实现硬件复位。RESET信号是异步的，不需MCLKs的支持并可保持复位状态。RESET脚为施密特触发器输入，允许使用上升和下降时间较慢的控制信号。一旦RESET变高，片内复位电路将保持5个MCLK确保复位同步。而调制器将保持12个MCLK。在软件或硬件后，在检测到复位事件后的第一个MCLK系统的所有寄存器被恢复到系统默认值，同样加电复位后，所有寄存器也被恢复到系统默认值，CS5550被标志为工作状态。（CS5550的各种电源状态将在第3.6节描述）

关于所有的寄存器默认值请参考数据手册第4节。

3.5 串口初始化

有几种不同的方法同部串口。如果初始化串口，任何正在进行的命令将无效或执行不可预期操作，因为CS5550不能正确译码输入的指令。此时必须初始化CS5550串口，以下方法可初始化CS5550串口：

1. 拉低CS（或CS由低变高，再拉低）。
2. 硬件复位（拉低RESET持续至少10us，再拉高）。
3. 发串口复位命令（发大于等于3个SYNC1（0xFF）和1个SYNC0（0xFE））。

3.6 CS5550的供电模式

活动模式是指除待机和休眠模式以外的工作模式。下列行为可使CS5550进入活动模式：

1. CS5550上电。
2. 软件复位。
3. 硬件复位。

此外，当CS5550处于待机和休眠模式时，通过发送上电/掉电命令唤醒可使其进入活动模式。只有串口处于命令状态才可发上电/掉电命令唤醒CS5550，否则只能执行硬件复位。

4 寄存器描述

1. “默认**”是指上电或复位后的位状态。
2. 任何未标识的位为保留位，这些位只能写“0”。

4.1 配置寄存器

地址号：0

23	22	21	20	19	18	17	16
							gain
15	14	13	12	11	10	9	8
			IMODE	IINV			
7	6	5	4	3	2	1	0
	2HPF	1HPF	Icpu	K3	K2	K1	K0

默认值：0x000001

gain 通道1 可编程放大器增益选择
 0 = 增益为10
 1 = 增益为50

[IMODE IINV] 软件中断配置位，选择中断信号INT方式。
 00 = 低电平有效



	01 = 高电平有效 10 = 下降沿有效（非中断状态时INT为高） 11 = 上升沿有效（非中断状态时INT为低）
1HPF	控制AIN1 通道高通滤波器的使用。 0 = 高通滤波器被禁止。 1 = 高通滤波器被打开。
2HPF	控制AIN2 通道的高通滤波器的使用 0 = 高通滤波器被禁止。 1 = 高通滤波器被打开。
i CPU	使CPUCLK 时钟反向，目的是减少模拟信号取样时的噪声电平，在取样边沿CPUCLK 驱动的逻辑应处于不活动的状态。 0 = 正常模式（缺省） 1 = 当CPUCLK 驱动上升沿逻辑时使噪声最小。
K[3:0]	时钟分频器，4 位二进制数分频主频MCLK以产生内部时钟DCLK，内部时钟频率DCLK=MCLK/K，K 的取值范围为1~16，当K[3:0]=0000 时，K=16。

4.2 DC偏移寄存器

地址号： 1（DC AIN1偏移寄存器）
3（DC AIN2偏移寄存器）

MSB															LSB
$-(2^0)$	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	2^{-7}	2^{-17}	2^{-18}	2^{-19}	2^{-20}	2^{-21}	2^{-22}	2^{-23}

默认值：0.000

复位时，DC 偏移寄存器初始化为0，允许芯片工作并进行测量。当输入适当的信号，并接收到校准命令，经过一个计算周期后，该寄存器被加载系统偏移数据，校准结束后DRDY 位被置位。由于偏移寄存器可读写，故可再恢复成所要的系统偏移补偿值。寄存器的值在±满量程范围之内。数据格式为二进制补码。

4.3 AC/DC增益寄存器

地址号： 2（AIN1偏移寄存器）
4（AIN2偏移寄存器）

MSB															LSB
2^1	2^0	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	2^{-16}	2^{-17}	2^{-18}	2^{-19}	2^{-20}	2^{-21}	2^{-22}

默认值：1.000

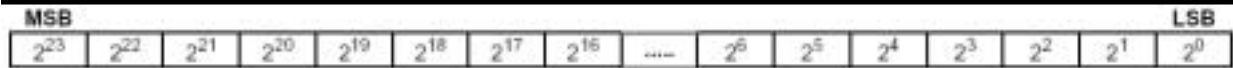
复位时，增益寄存器初始化为1.0，允许芯片工作并进行测量。增益寄存器保持最近一次DC 或AC 增益校准的结果。如果执行DC 校准，当输入适当的信号，并接收到校准命令时，经过在一个计算周期，增益寄存器被加载。如果执行AC 校准，当输入适当的信号，并接收到校准命令，在经过(6N+30)个A/D 转换周期后，增益寄存器被加载（此处，N 为周期计数寄存器的值）。校准结束后DRDY 位被置位。增益寄存器为可读/写寄存器，这样增益寄存器可再恢复成所需的系统增益值。该寄存器的取值范围是0.0 增益<4.0。

4.4 周期计数寄存器

地址：5



CS5550



默认值：4000

周期计数寄存器决定一次有效值转换的时间长度。连续转换时，转换速率的计算公式是 $(MCLK/K) / (1024 \cdot N)$ ，其中MCLK 是主时钟，K 是时钟分频系数，N 为周期计数。

4.5 输出寄存器

地址号： 7 (AIN1输出寄存器)
8 (AIN2输出寄存器)



带符号寄存器含有AIN1、AIN2最新测量结果。测量结果的值域为-1.0 AIN1、AIN2 < 1.0，数值用二进制补码表示，小数点在MSB（符号位）右侧。这些数为22位数据。最右边位无具体含义且值恒为零。

4.6 滤波输出寄存器

地址号： 11 (AIN1滤波输出寄存器)
12 (AIN2滤波输出寄存器)



此无符号寄存器包含FILT₁、FILT₂的输出数据。数值范围在 $0.0 \leq \text{FILT}_1, \text{FILT}_2 < 1.0$ ，为二进制无符号数，符号位在最高位左侧，每个计算周期更新一次。

4.7 状态寄存器和屏蔽寄存器

地址号： 15 (状态寄存器)
26 (屏蔽寄存器)

23	22	21	20	19	18	17	16
DRDY			CRDY			OR1	OR2
15	14	13	12	11	10	9	8
	ROR1	ROR2					
7	6	5	4	3	2	1	0
			OD2	OD1			IC

默认值：0x000000 (状态寄存器)
0x000000 (屏蔽寄存器)

状态寄存器用来指示芯片的状态。通常情况，向某位写个‘1’会使该位变成‘0’状态；写‘0’则该位保持原来状态不变。这一特性使用户可以简单地回写状态寄存器来清除已知的有效状态位，而不用担心清除新置位的其他位。即使一个状态位被屏蔽以禁止产生中断，该状态位还是可以在状态寄存器上被置位，用户可以查询其状态。

屏蔽寄存器用来控制INT 引脚的活动，向屏蔽寄存器写一个‘1’将允许状态寄存器相应位在有效时激活INT 引脚。

DRDY 数据就绪。在单次或连续转换模式下，该位的置位代表着一个计算周期的结束；校准时，该位的置位表示校准序列已完成，并且校准结果已存于偏移或增益寄存器。

OR1、OR2 AIN输出超出范围。当校准后的幅值与AIN输出比太大或太小时被置位。

CRDY 转换就绪，指示最新转换已转换好，该位通常以输出字速率（频率4KHz）更新。



CS5550

OD1、OD2 调制器振荡检测，当调制器振荡输入高于满值时被置位。注意，调制器振荡时的电平远高于通道差分输入范围。

ROR1, ROR2 有效值输出超范围。当校准后的有效值超出有效值寄存器范围时置位。

IC 无效命令，正常值为逻辑1。当芯片接收到无效命令（详见3.1节）时被置为逻辑0。

4.8 AC偏移寄存器

地址号： 16 (AC AIN1偏移寄存器)
17 (AC AIN2偏移寄存器)

MSB	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻⁸	...	2 ⁻¹⁸	2 ⁻¹⁹	2 ⁻²⁰	2 ⁻²¹	2 ⁻²²	2 ⁻²³	LSB	2 ⁻²⁴
-----	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----	------------------	------------------	------------------	------------------	------------------	------------------	-----	------------------

默认值：0x000000

AC 偏移寄存器复位后初始化为零，允许芯片工作并执行测量。首先，将芯片的输入端接地，然后将AC 偏移校准命令输入CS5550，经过(6N+30)个A/D 转换周期后（此处N 为周期计数寄存器的值），系统偏移值的平方存入偏移寄存器。系统校准结束后DRDY 位被置位。

4.9 温度传感器数据输出寄存器

地址号： 19

MSB	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻⁸	...	2 ⁻¹⁸	2 ⁻¹⁹	2 ⁻²⁰	2 ⁻²¹	2 ⁻²²	2 ⁻²³	LSB	2 ⁻²⁴
-----	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----	------------------	------------------	------------------	------------------	------------------	------------------	-----	------------------

4.10 控制寄存器

地址号： 28

23	22	21	20	19	18	17	16
15	14	13	12	11	10	9	8
7	6	5	4	3	2	1	0
			INTOD		NOCPU	NOOSC	

默认值：0x000000

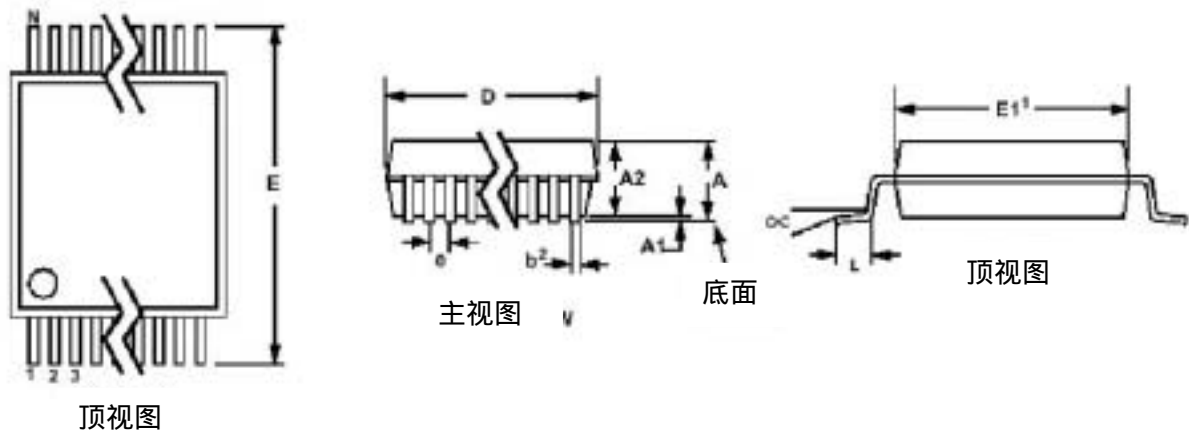
INTOD 1 = 改变INT 的输出为漏极开路配置。

NOCPU 1 = 禁止CPUCLK 输出，降低功耗。

NOOSC 1 = 禁止晶体振荡器，降低功耗。

5. 封装尺寸

24L SSOP 封装图



尺寸	英寸			厘米			注释
	最小值	标准值	最大值	最小值	标准值	最大值	
A	--	--	0.084	--	--	2.13	
A1	0.002	0.006	0.010	0.05	0.13	0.25	
A2	0.064	0.068	0.074	1.62	1.73	1.88	
b	0.009	--	0.015	0.22	--	0.38	2,3
D	0.311	0.323	0.335	7.90	8.20	8.50	1
E	0.291	0.307	0.323	7.40	7.80	8.20	
E1	0.197	0.209	0.220	5.00	5.30	5.60	1
e	0.022	0.026	0.030	0.55	0.65	0.75	
L	0.025	0.030	0.041	0.63	0.75	1.03	
	0°	4°	8°	0°	4°	8°	

JEDEC#: MO-150

控制尺寸为mm

- 注释：
1. “D”和“E1”是参考数据，不包括焊点或突出，但包括不符合的焊接，并且是在分界线测量的，每边的焊点或突出不超过0.20mm。
 2. 尺寸“b”不包括DAMBAR 突出/凹入部分。在最大材料条件下，DAMBAR 突出总共允许超过尺寸“b”0.13mm，在最小材料条件下，DAMBAR 凹入部分总共少于尺寸“b”不得超过0.07mm，
 3. 这些尺寸适用于从导线头0.1—0.25mm 间的导线的扁平部分。