

54113/74113

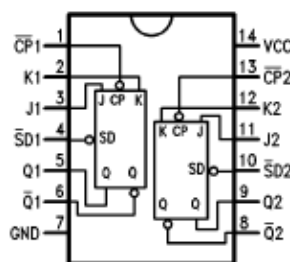
双下降沿 J-K 触发器（有预置端）

简要说明：

54/74S113 为带预置的两组 J-K 触发器，其主要电特性的典型值如下：

F_{MAX}	P_D
125MHz	150mW

管脚图：



引出端符号：

/CP1、/CP2

J1、J2、K1、K2

Q1、Q2、/Q1、/Q2

/SD1、/SD2

时钟输入端（下降沿有效）

数据输入端

输出端

直接置位端（低电平有效）

功能表：

输入				输出	
PR	/CP	J	K	Q	/Q
L	X	X	X	H	L
H	↓	L	L	Q_0	$/Q_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	$/Q_0$	Q_0
H	H	X	X	Q_0	$/Q_0$

说明：H—高电平

L—低电平

X—任意

↓—高到低电平跳变

Q_0 —稳态输入条件建立前的Q的电平
/ \bar{Q}_0 —稳态输入条件建立前Q的电平或 Q_0 的补码

极限值

电源电压-----7V
 输入电压-----5.5V
 工作环境温度
 54S113----- -55~125°C
 74S113----- 0~70°C
 贮存温度----- -65~150°C

推荐工作条件:

		CT54S113/CT74S113			单位
		最小	额定	最大	
电源电压 V_{CC}	54	4.5	5	5.5	V
	74	4.75	5	5.25	
输入高电平电压 V_{IH}		2			V
输入低电平电压 V_{IL}				0.8	V
输出高电平电流 I_{OH}				-1000	μA
输出低电平电流 I_{OL}				20	mA
时钟频率 f_{CP}		0		80	MHz
脉冲宽度 t_W	/CP (H)	6			ns
	/CP (L)	6.5			
	/SD (L)	8			
建立时间 t_{set}		3 ↓			ns
保持时间 t_H		0 ↓			ns

↓表示以CP下降沿为参考

逻辑图 (1/2)

