

AD 9850 125M Hz DDS 频率合成器的原理及应用

北京航空航天大学 1-12 信箱(100083) 郭荣祥 郭吉祥

摘要: 介绍了美国 ADI 公司采用先进的 DDS 技术新推出的高集成度频率合成器 AD 9850 的主要特性、工作原理、应用电路和应用考虑。

关键词: 直接数字频率合成(DDS) 频率合成器 时钟发生器 锁相环(PLL)

1 概述

频率合成器是从一个或多个参考频率中产生多种频率的器件。这种器件已经用了几十年,尤其是在通信系统中已得到广泛应用。传统的频率合成器,通常从一排晶体振荡器产生的各种频率通过开关进行频率混合。也有的采用众所周知的锁相环(PLL)技术实现频

率合成。随着数字技术在仪器仪表和通信系统的广泛应用,用数字控制方法从一个参考频率源产生多种频率,即直接数字合成技术(DDS)异军突起。本文试图介绍世界流行的美国 ADI 公司生产的 AD 9850 频率合成器正是应用这种 DDS 技术的典型热门产品之一,其基本结构框图见图 1。

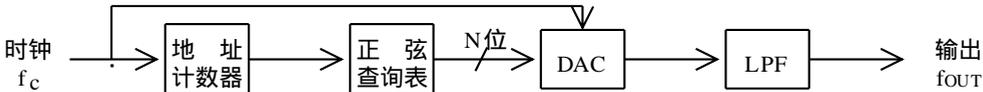


图1 DDS基本结构框图

在图 1 中,正弦查询表是一个可编程只读存储器(PROM),存有一个或多个完整周期的正弦波数据,在时钟 f_c 驱动下,地址计数器逐步经过 PROM 存储器的地址,地址中相应的数字信号输出到 N 位数模转换器(DAC)的输入端,DAC 输出的模拟信号,经过低通

滤波器(LPF),可得到一个频谱纯净的正弦波。

在图 1 系统中,输出频率无法进行编程控制,实际中常用的可编程 DDS 系统如图 2 所示。该 DDS 系统的核心是相位累加器,它由一个加法器和一个 N 位相位寄存器组成, N 一般为 24~32 位,每来一个时钟 f_c ,

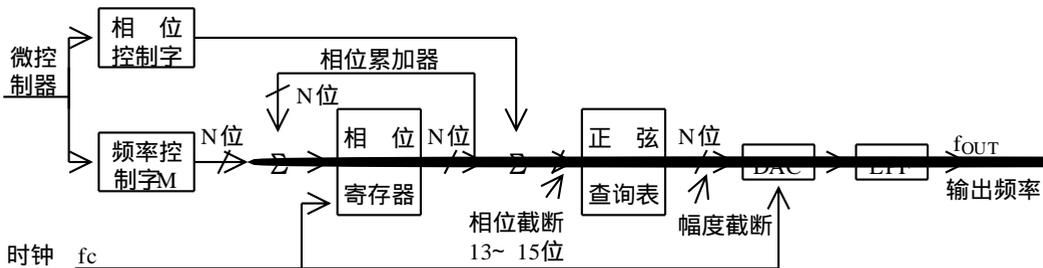


图2 可编程控制DDS系统

相位寄存器以步长 M 增加。相位寄存器的输出与相位控制字相加,然后输入到正弦查询表地址上。正弦查询表包含一个周期正弦波的数字幅度信息,每个地址对应正弦波中 $0 \sim 360$ 范围的一个相位点。查询表把输入的地址相位信息映射成正弦波幅度信号,驱动 DAC,输出模拟量。

在图 2 中,相位累加器输出 N 位并不全部加到查询表,而要截断,仅留高端 13~15 位。相位截断减小了查询表长度,但并不影响频率分辨率,对最终输出仅增加一个很小的相位噪声。DAC 分辨率一般比查询表长度小 2~4 位。

相位寄存器,每经过 $2^N/M$ 个 f_c 时钟后回到初始状态,相应地正弦查询表经过一个循环回到初始位置,整个 DDS 系统输出一个正弦波。输出的正弦波周期 $T_o = T_c 2^N/M$, 频率 $f_{out} = M f_c / 2^N$ 。

AD 9850 是 ADI 公司采用先进的 DDS 技术,1996 年推出的高集成度 DDS 频率合成器,它内部包括可编程 DDS 系统、高性能 DAC 及高速比较器,能实现全数字编程控制的频率合成器和时钟发生器。接上精密时钟源,AD 9850 可产生一个频谱纯净、频率和相位都可

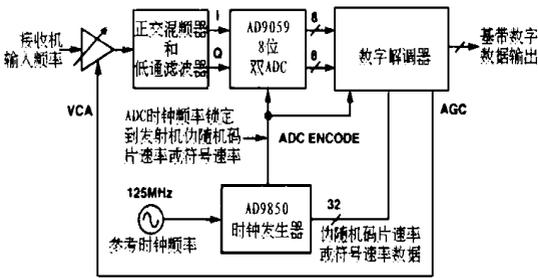


图6 AD9850 时钟发生器在扩频接收器中应用

调的正弦信号 f_{DDS} 与一个输入频率信号 f_N 进行混频, 选择适当的带通滤波器, 就可以得到频率和相位可调的射频输出。利用 DDS 系统频率分辨率高的特点, 在输入频率 f_N 一定时, 射频输出可达到 DDS 系统一样的频率分辨率, 且频率和相位调节方便。其输出频率为 $f_{OUT} = f_N + f_{DDS} = f_N + M \cdot f_{REF}/2^{32} = f_N + 0.0291 \times M$, 频率分辨率为 $\Delta f_{OMN} = f_{REF}/2^{32} = 0.0291\text{Hz}$

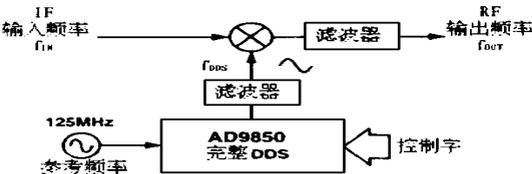


图7 频率和相位可调的本地振荡器

3.2.2 用作 PLL 频率和相位可调的参考源

图8 电路用 AD9850 DDS 系统输出作为 PLL 的激励信号, 而 PLL 设计成 N 倍频 PLL, 利用 DDS 的高分辨率来保证 PLL 输出有较高的频率分辨率。

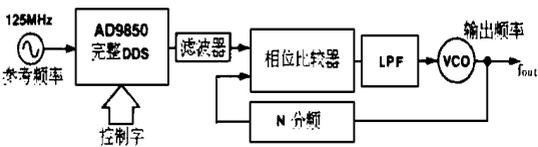


图8 用作 PLL 频率和相位可调的参考源

其输出频率 $f_{OUT} = N \cdot M \cdot f_{REF}/2^{32} = 0.0291 \cdot N \cdot M$ 频率分辨率 $\Delta f_{OMN} = N \cdot f_{REF}/2^{32} = 0.0291 \cdot N$

3.3.3 用作 PLL 数字可编程 N 分频器

图9 中, AD9850 DDS 输出经过滤波后的频率为 $f_{DDS} = M \cdot f_{OUT}/2^{32}$, M 为 AD9850 频率控制字, PLL 环路分频器的分频值 $N = 2^{32}/M$, 由于 $M = 1 \sim 2^{31}$, 所以 $N = 2 \sim 2^{32}$ 。在 VCO 输出允许情况下, 该 PLL 输出频率 $f_{OUT} = N \cdot f_{REF} = (2 \sim 2^{32}) \cdot f_{REF}$ 。

4 AD9850 应用考虑

(1) AD9850 作为时钟发生器使用时, 输出频率要小于参考时钟频率的 33%, 这样可避免混叠或谐波信

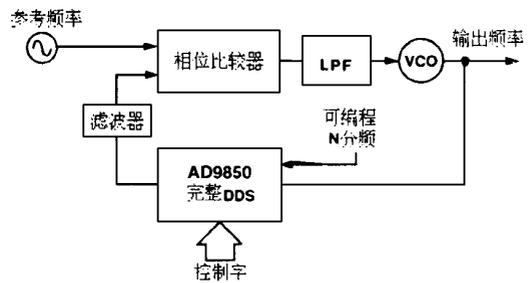


图9 AD9850 用作 PLL 中可编程 N 分频器

号落入有用输出频带内, 减少外部滤波器的要求。

(2) AD9850 参考时钟频率最低为 1MHz, 如果低于此频率, 系统自动进入电源休眠方式。如果高于此频率, 系统恢复正常。

(3) 含有 AD9850 的印制电路板应是多层板, 要有专门的电源层和接地层。且电源层和接地层中没有引起层面不连续的蚀刻导线条。推荐在多层板的顶层应留有带一定间隙的接地面, 以便为表面安装器件提供方便。如果分立的模拟接地面和数字接地面都存在, 为得到最佳效果, 应该在 AD9850 处将它们接在一起。

(4) 避免在 AD9850 器件下面走数字线, 以免把噪声耦合进芯片。避免数字线和模拟线交叉。印制电路板相对面的走线应该相互正交, 以减小线路板的馈通影响。在可能的条件下, 应采用微波传输带技术。

(5) 像时钟这样的高速开关信号应该用地线屏蔽, 避免把噪声辐射到线路板上其它部分。

(6) 要考虑用良好的去耦电路。AD9850 电源线应尽可能宽, 使阻抗低, 减少尖峰影响。模拟电源和数字电源要独立, 分别把高质量的陶瓷去耦电容接到各自的接地引脚。去耦电容应尽可能靠近器件。

(7) 为便于标准测试分析, AD9850 有两种评估板, 可作为 PCB 布局布线参考用。AD9850/FSPCB 评估板主要用于频率合成器场合, AD9850/CGPCB 评估板主要用于时钟发生器应用。这两种评估板都可与 PC 机并行打印口相连, 软件在 Windows 界面下进行。评估板配带的 3.5 软盘有一个可执行文件, 用来装入数据, 显示 AD9850 的功能选择。

由于篇幅所限, 这里仅作简单介绍。有关 AD9850 的详细技术资料及选购业务, 请与北京市英赛尔器件集团及其所属分公司联系。

参考文献

- 1 Analog Devices Inc CMOS 125MHz Complete DDS Synthesizer Data Sheet, 1996
- 2 Walt Kester. High Speed Design Techniques. Analog Devices Inc 1996