

特性

- 八通道可编程漏极开路输出 I/O
- PIO 输出下拉晶体管的导通电阻为：100Ω (最大值)；关断电阻为：10MΩ (典型值)
- 状态变化锁存器彼此之间相互独立，可以捕获 PIO 输入口线上的异步状态变化，以备总线主机查询
- 数据选通输出能够实现 PIO 逻辑状态与外部读/写电路的同步
- 内置多节点控制器，保证器件兼容于其它 1-Wire 网络产品
- 支持 1-Wire 条件搜索命令，是否响应取决于可编程的 PIO 搜索条件
- 内置工厂光刻的唯一 64 位注册码，保证无差错的器件选择和绝对的器件唯一性
- 使用 1-Wire 协议，通过单根数字信号线和主机通信，传输速度为 15.3kbps 或 100kbps
- 工作电压范围：2.8V 至 5.25V，温度范围：-40°C 至 +85°C

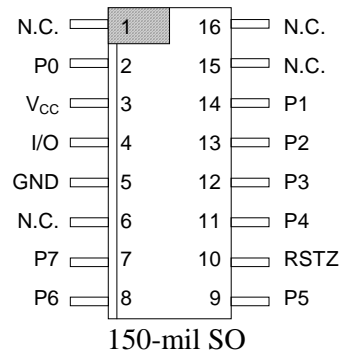
概述

DS2408 是一款八通道的可编程 I/O 1-Wire 器件。该器件的 PIO 引脚为漏极开路输出，最大导通电阻 100Ω。可靠的 PIO 访问通道通信协议保证万无一失的 PIO 输出设置。器件的数据有效选通端可将 PIO 的逻辑状态锁存到外部设备，如 D/A 转换器(DAC)或微控制器的数据总线。

DS2408 的工作由 1-Wire 单总线来控制，总线上的器件按照 Dallas Semiconductor 标准的 1-Wire 协议来实现通信。每片 DS2408 都具有不可更改的 64 位 ROM 注册码，由出厂激光刻度在器件内。该注册码保证唯一的身份，并用于多节点 1-Wire 网络中的器件寻址。多个 DS2408 可以复用一条公共的 1-Wire 总线，且各自独立工作。DS2408 还支持基于 PIO 状态或上电复位的 1-Wire 条件搜索，这些搜索条件是可编程设置的。另外，DS2408 还有备选的 V_{CC} 供电方式。当没有外部电源供电时，DS2408 通过 1-Wire 总线寄生供电；使用了外接电源时，即使 1-Wire 总线断开，DS2408 仍维持 PIO 上的状态。RSTZ 信号可用作 PIO 输出的硬复位信号，也可以用作外部电路的选通信号，用来指示 PIO 的写操作或 PIO 读操作已结束。

1-Wire 是 Dallas Semiconductor 的注册商标。

引脚排列



订购信息

PART	TEMP RANGE	PACKAGE
DS2408S	-40°C to +85°C	16-Pin SO, 150 mil
DS2408S /T&R	-40°C to +85°C	Tape-and-Reel of DS2408S

ABSOLUTE MAXIMUM RATINGS*

P0 to P7, RSTZ, I/O Voltage to GND	-0.5V, +6V
P0 to P7, RSTZ, I/O combined sink current	20mA
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-55°C to +125°C
Lead Temperature (10s)	See J-STD-020A specification

* This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

ELECTRICAL CHARACTERISTICS

($V_{CC} = 0V$ or $\geq V_{PUP}$, $T_A = -40^\circ C$ or $+85^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
1-Wire Pullup Voltage	V_{PUP}	Standard speed	2.8		5.25	V
		Overdrive speed	3.3		5.25	
Standby Supply Current	I_{CCS}	V_{CC} at V_{PUP} , I/O pin at 0.3V			1	μA
I/O Pin General Data						
1-Wire Pullup Resistance	R_{PUP}	(Notes 1, 2)			2.2	k Ω
Input Capacitance	C_{IO}	(Notes 3, 4)			1200	pF
Input Load Current	I_L	I/O pin at V_{PUP} , V_{CC} at 0V			1	μA
High-to-Low Switching Threshold	V_{TL}	(Notes 4, 5, 6)	0.5		3.2	V
Input-Low Voltage	V_{IL}	(Notes 1, 7)			0.30	V
Low-to-High Switching Threshold	V_{TH}	(Notes 4, 5, 8)	0.8		3.4	V
Switching Hysteresis	V_{HY}	(Notes 9, 4)	0.16		0.73	V
Output-Low Voltage at 4mA	V_{OL}	(Note 10)			0.4	V
Recovery Time (Note 1)	t_{REC}	Standard speed, $R_{PUP} = 2.2k\Omega$	5			μs
		Overdrive speed, $R_{PUP} = 2.2k\Omega$	2			
		Overdrive speed, Directly prior to reset pulse; $R_{PUP} = 2.2k\Omega$	5			
Rising-Edge Hold-off Time (Notes 11, 4)	t_{REH}	Standard speed	0.5		5	μs
		Overdrive speed	0.5		2	
Timeslot Duration (Notes 1, 12)	t_{SLOT}	Standard speed	65			μs
		Overdrive speed	10			

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I/O Pin, 1-Wire Reset, Presence-Detect Cycle						
Reset-Low Time (Notes 1, 12)	t_{RSTL}	Standard speed, $V_{PUP} > 4.5V$	480		720	μs
		Standard speed	660		720	
		Overdrive speed	53		80	
Presence-Detect High Time (Note 12)	t_{PDH}	Standard speed	15		60	μs
		Overdrive speed	2		7	
Presence-Detect Fall Time (Note 13)	t_{FPD}	Standard speed, $V_{PUP} > 4.5V$	1		5	μs
		Standard speed	1		8	
		Overdrive speed			1	
Presence-Detect Low Time (Note 12)	t_{PDL}	Standard speed, $V_{PUP} > 4.5V$	60		240	μs
		Standard speed	60		280	
		Overdrive speed	7		27	
Presence-Detect Sample Time (Note 1)	t_{MSP}	Standard speed, $V_{PUP} > 4.5V$	65		75	μs
		Standard speed	68		75	
		Overdrive speed	8		9	
I/O Pin, 1-Wire Write						
Write-0 Low Time (Notes 1, 12)	t_{W0L}	Standard speed	60		120	μs
		Overdrive speed	8		13	
Write-1 Low Time (Notes 1, 12, 14)	t_{W1L}	Standard speed	5		15 - ϵ	μs
		Overdrive speed	1		1.8 - ϵ	
Write Sample Time (Slave Sampling) (Note 12)	t_{SLS}	Standard speed	15		60	μs
		Overdrive speed	1.8		8	
I/O Pin, 1-Wire Read						
Read-Low Time (Notes 1, 15)	t_{RL}	Standard speed	5		15 - δ	μs
		Overdrive speed	1		1.8 - δ	
Read-0 Low Time (Data From Slave) (Note 12)	t_{SPD}	Standard speed	15		60	μs
		Overdrive speed	1.8		8	
Read-Sample Time (Notes 1, 12, 15)	t_{MSR}	Standard speed	$t_{RL} + \delta$		15	μs
		Overdrive speed	$t_{RL} + \delta$		1.8	
P0 to P7, RSTZ Pin						
Input-Low Voltage	V_{IL}	(Notes 1, 7)			0.30	V
Input-High Voltage	V_{IH}	$V_X = \max(V_{PUP}, V_{CC})$ (Note 1)	$V_X - 0.8$		5.25	V
Output-Low Voltage at 4mA	V_{OL}	(Note 10)			0.4	V
Leakage Current	I_{LP}	5.25V at the pin			1	μA
Output Fall Time	t_{FPIO}	(Notes 4, 16)	100			ns
Minimum-Sensed PIO Pulse	t_{PWMIN}	(Notes 4, 17)	1		5	μs

- 注释 1:** 系统要求
- 注释 2:** 1-Wire 系统中上拉电阻的最大允许值是系统中的 1-Wire 器件的个数和 1-Wire 恢复时间的函数。这里给出的值是当系统中只有一个 1-Wire 器件，而且恢复时间为最小值时的电阻值。当负载较重时，则需要选用像 DS2480 那样的有源上拉。
- 注释 3:** 当采用 2.2kΩ 电阻作为数据线和 V_{PUB} 之间的上拉电阻时，在上电 5μs 后，寄生电容将不再影响电路的正常工作。
- 注释 4:** 由设计保证，未作生产测试。
- 注释 5:** V_{TL} 和 V_{TH} 是内部电源电压的函数。
- 注释 6:** 在下降沿期间，如果 I/O 电压低于该值，则判定为逻辑“0”。
- 注释 7:** 不管何时主机将总线变为低电平，I/O 上的电压要求不超过 V_{ILMAX}。
- 注释 8:** 在上升沿期间，如果 I/O 电压高于该值，则判定为逻辑“1”。
- 注释 9:** 在上升沿期间，当 I/O 电压超过 V_{TH} 后，此时 I/O 电压下降 V_{HY}，直到变为逻辑“0”。
- 注释 10:** 当电压小于 1V 时，I-V 呈线性关系。
- 注释 11:** 最早识别的下降沿可能出现在 t_{REH} 之前、总线电压超过 V_{TH} 之后。
- 注释 12:** 表中高亮度部分的数字，和已经发布的 1 Wire 标准不兼容，参见后面的对照表。
- 注释 13:** 在 I/O 在线检测脉冲起始下降沿，从 90% 的 V_{PUP} 电压变为 10% 之间的时间间隔。
- 注释 14:** ε 表示上拉电路将 I/O 电压从 V_{IL} 上拉到 V_{HL} 所需要的时间。
- 注释 15:** δ 表示上拉电路将 I/O 电压从 V_{IL} 上拉到总线主机高电平门限所要求的时间。
- 注释 16:** 在任意 I/O 引脚或 RSTZ 引脚上器件产生的下降沿，从 90% 的 V_{PUP} 电压变为 10% 之间的时间间隔。假定 PIO 的上拉电阻为 2.2kΩ。
- 注释 17:** 状态变化锁存器（与所有的 PIO 引脚对应的）的触发脉冲或 RSTZ 引脚的复位脉冲的最小宽度。设脉宽为 t_{PW}，当 t_{PW} < t_{PWMIN(min)} 时，该脉冲将不起作用。当 t_{PWMIN(min)} < t_{PW} < t_{PWMIN(max)} 时，该脉冲可能有效，也可能无效。当 t_{PW} > t_{PWMIN(max)} 时，该脉冲将被视为有效脉冲，并被锁定。
- 注释 18:** 流过所有端口和 RSTZ 引脚的最大瞬时下拉电流。引脚之间无电流平衡要求。

PARAMETER NAME	STANDARD VALUES				DS2408 VALUES			
	STANDARD SPEED		OVERDRIVE SPEED		STANDARD SPEED		OVERDRIVE SPEED	
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX
t _{SLOT} (incl. t _{REC})	61μs	(undef.)	7μs	(undef.)	65μs ¹⁾	(undef.)	10μs	(undef.)
t _{RSTL}	480μs	(undef.)	48μs	80μs	660μs	720μs	53μs	80μs
t _{PDH}	15μs	60μs	2μs	6μs	15μs	60μs	2μs	7μs
t _{PDL}	60μs	240μs	8μs	24μs	60μs	280μs	7μs	27μs
t _{WOL}	60μs	120μs	6μs	16μs	60μs	120μs	8μs	13μs
t _{SLS} , t _{SPD}	15μs	60μs	2μs	6μs	15μs	60μs	1.8μs	8μs

¹⁾ Intentional change, longer recovery-time requirement due to modified 1-Wire front end.

引脚功能描述

引脚	名称	功能描述
1	N.C.	空脚
2	P0	通道 0 的 I/O 引脚。逻辑输入/漏极开路输出，最大导通电阻为 100Ω。0V 至 5.25V 的工作电压范围。上电缺省状态不确定。如果应用要求上电输出处于关断状态，则需要用户连接合适的上电复位电路或复位监控 IC 至 RSTZ 引脚。
3	V _{CC}	可选电源输入端。电源输入范围：2.8V 至 5.25V；不用时应连接 GND。
4	I/O	1-Wire 接口。漏极开路，需外接上拉电阻。
5	GND	接地端
6	N.C.	空脚
7	P7	通道 7 的 I/O 引脚。特性同 P0。
8	P6	通道 6 的 I/O 引脚。特性同 P0。
9	P5	通道 5 的 I/O 引脚。特性同 P0。
10	RSTZ	软件可配置为 PIO 复位输入 ($\overline{\text{RST}}$) 或漏极开路选通输出 ($\overline{\text{STRB}}$)。当作为 $\overline{\text{RST}}$ 输入时，在该引脚上加低电平可将 PIO 输出锁存状态寄存器的所有位置为 1，从而使所有 PIO 输出进入‘关闭’状态。当作为 $\overline{\text{STRB}}$ 输出时，在 PIO 写命令（参见访问通道的写命令）或 PIO 读命令（参见访问通道的读命令）后，在此引脚产生一个选通信号。该引脚的上电默认状态为 $\overline{\text{RST}}$ 输入。
11	P4	通道 4 的 I/O 引脚，特性同 P0。
12	P3	通道 3 的 I/O 引脚，特性同 P0。
13	P2	通道 2 的 I/O 引脚，特性同 P0。
14	P1	通道 1 的 I/O 引脚，特性同 P0。
15	N.C.	空脚
16	N.C.	空脚

应用

DS2408 是一个多用途器件。典型应用包括微控制器的端口扩展、远程多通道传感器/执行机构、微型终端的通信和控制单元，或用作微控制器的网络接口。下文中的图 17 ~ 图 22 给出了 DS2408 的典型应用电路和通信示例。

概述

DS2408 主要功能块之间的关系如图 1 所示。该器件包括两个主要数据单元：1) 64 位激光刻度的 ROM 码；2) 64 位的控制和状态寄存器组。1-Wire 协议的层次结构如图 2 所示。总线主机必须先发出 8 种 ROM 功能命令之一：1) Read ROM；2) Match ROM；3) Search ROM；4) Conditional Search ROM；5) Skip ROM；6) Overdrive-Skip ROM；7) Overdrive-Match ROM；8) Resume 命令。在标准速率下执行了高速 ROM 命令字后，器件便进入高速模式，此后将以高速工作模式进行通信。图 12 给出了这些 ROM 操作命令所需的协议。在 ROM 功能命令成功执行后，就可以进行控制操作了，主机随后发出 6 个控制命令之一。图 8 给出了这些控制命令的协议。读入和写出数据都是最低有效位在前。

图 1. DS2408 内部结构框图

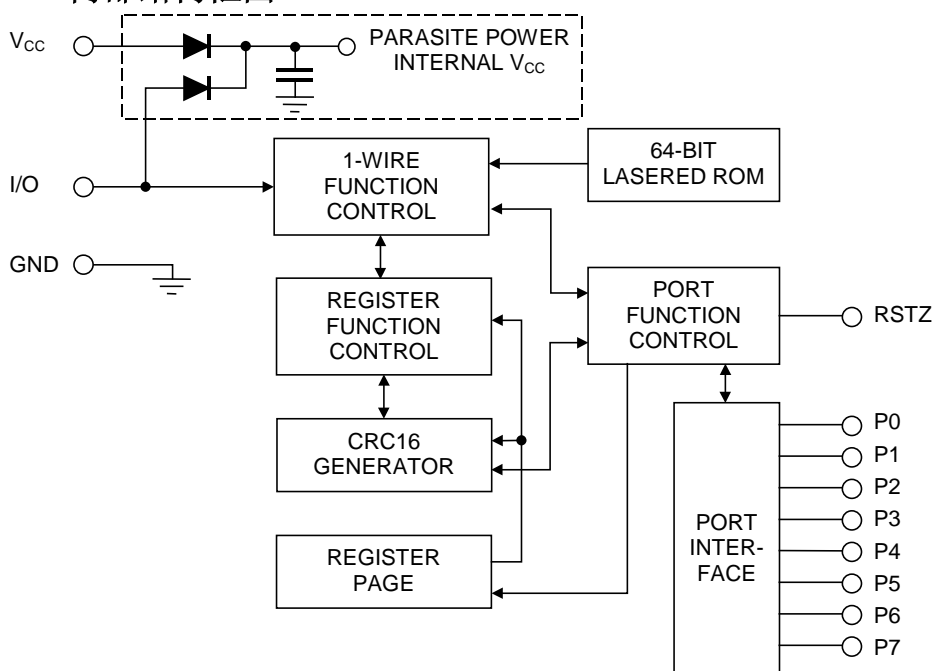
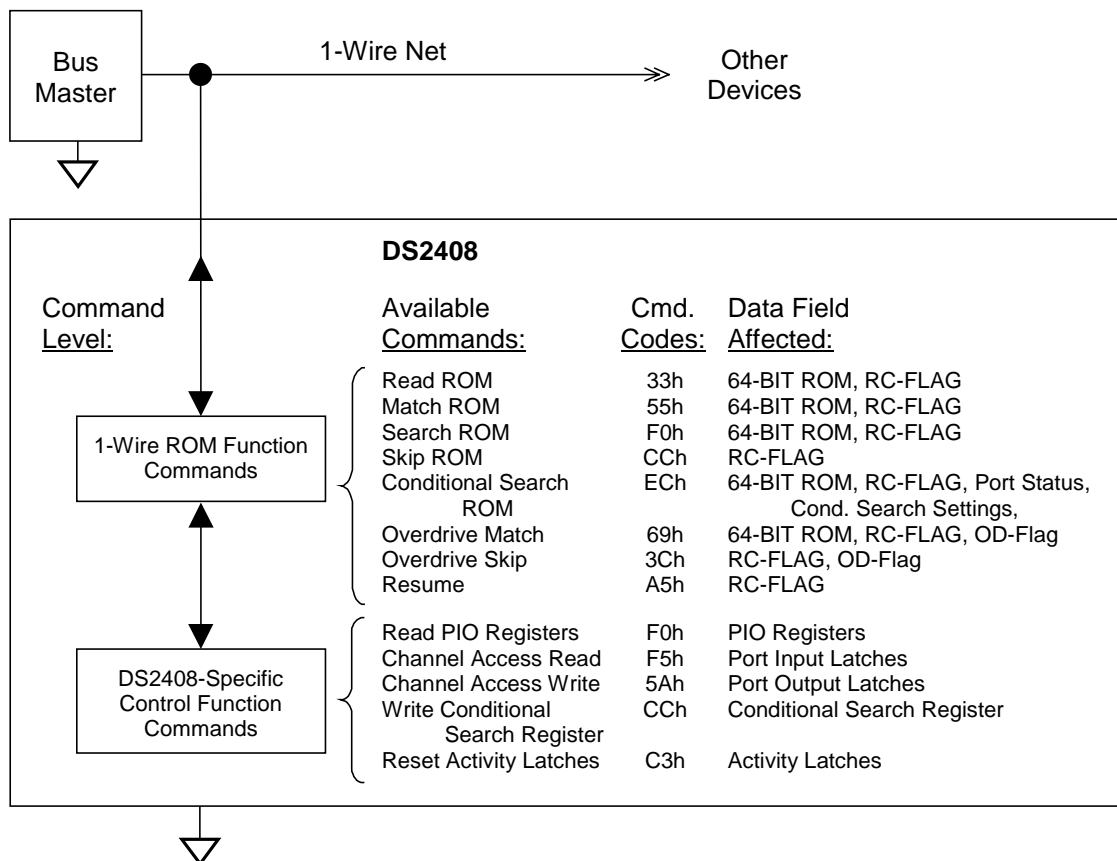


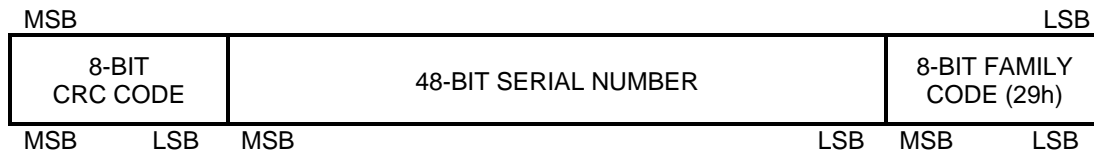
图 2. 1-Wire 协议的层次结构



寄生电源

DS2408 可以从 1-Wire 总线上获取所需的电能。当信号线为高电平时，DS2408 通过把能量存储在内部电容中来为自身供电。当信号线为低电平时，器件仍然可以用其‘寄生’电源继续工作，直到 1-Wire 总线变为高电平时再次对这个寄生电源（电容）进行充电。有外部电源供电时，需将其与 VCC 引脚相连接。

图 3. 64 位光刻 ROM

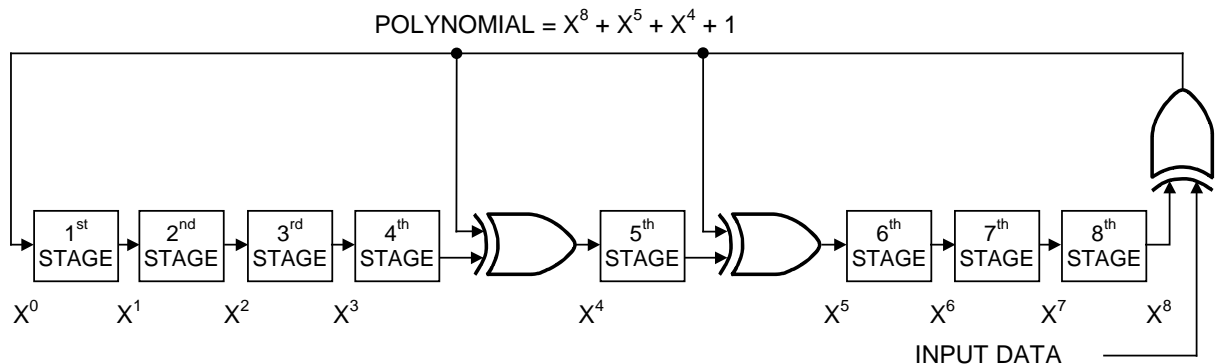


64 位光刻 ROM

每片 DS2408 都包含一串唯一的 64 位长 ROM 码，其中前 8 位是 1-Wire 家族码，后面的 48 位是唯一的序列号，最后 8 位是由前 56 位 ROM 码所计算出的 CRC 校验码，详见图 3。其中的 1-Wire CRC 通过由移位寄存器和异或门组成的多项式发生器来产生，见图 4，该多项式为： $X^8 + X^5 + X^4 + 1$ 。有关 Dallas 1-Wire CRC 其它更详细的资料可参见应用笔记 27。

校验时，首先把移位寄存器的位全部初始化为 0，然后从家族码的最低有效位开始，把数据依次移入移位寄存器，每次移入一位。当家族码的最后一位（第 8 位）被移入后，再移入序列码。当序列码的最后一位（第 48 位）也被移入时，该移位寄存器就是 CRC 校验值。移入 8 位 CRC 校验码后，移位寄存器的所有位将全部归零。

图 4. 1-Wire CRC 发生器



访问寄存器

DS2408 工作所需的寄存器是按寄存器页来组织的，参见图 5。所有这些寄存器都不是非易失性的，一旦器件断电，将会丢失掉所有的状态消息。器件可通过 *Read PIO Register* 和 *Write Conditional Search Register* 命令来读/写 PIO 寄存器、条件搜索寄存器及控制/状态寄存器，有关这些命令更详细的介绍可参见图 8 及本文的后续部分。

图 5. DS2408 寄存器地址分配表

ADDRESS RANGE	ACCESS TYPE	DESCRIPTION
0000h to 0087h	R	Undefined Data
0088h	R	PIO Logic State
0089h	R	PIO Output Latch State Register
008Ah	R	PIO Activity Latch State Register
008Bh	R/W	Conditional Search Channel Selection Mask
008Ch	R/W	Conditional Search Channel Polarity Selection
008Dh	R/W	Control/Status Register
008Eh to 008Fh	R	These Bytes Always Read FFh

PIO 逻辑状态寄存器

通过读 PIO 寄存器命令可读取该寄存器，从而获取 PIO 引脚的逻辑状态。即使将 RSTZ 引脚设为 $\overline{\text{STRB}}$ ，在读取该寄存器时也不会在 RSTZ 引脚产生选通信号。有关 $\overline{\text{STRB}}$ 更详细的信息，可参见 Channel Access 命令。

PIO 逻辑状态寄存器位分配表

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
0088h	P7	P6	P5	P4	P3	P2	P1	P0

PIO 逻辑状态寄存器是只读寄存器，分配表中的每位都分别与某个 PIO 通道相对应，参见图 6。读取该寄存器中的数据时，首先从字节的末位（最高位）开始，一直到寄存器的首位（最低位）。详情可参见 Read PIO Register 命令部分。

PIO 输出锁存器的状态寄存器

该寄存器用于保存用 Channel access Write 命令写入的 PIO 通道最新控制数据，可用 Read PIO Register 命令来读出。即使将 RSTZ 引脚被设为 $\overline{\text{STRB}}$ ，读取该寄存器时也不会在 RSTZ 引脚产生信号。有关 $\overline{\text{STRB}}$ 更详细的信息，可参见 Channel Access 命令。即使在受 ESD 的影响，器件重新初始化时，该寄存器的值也不会改变。

PIO 输出锁存器的状态寄存器位分配表

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
0089h	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0

PIO 输出锁存器的状态寄存器是只读寄存器。分配表中的每位都分别与某位 PIO 通道相对应，其简图见图 6。

该寄存器的触发器状态在上电时是随机的。如果希望在上电时要求器件的所有 PIO 通道处于关闭状态，则必须在 RSTZ 引脚上产生一个低脉冲，例如，采用具有漏极开路输出的 CPU 监控复位器件（见图 20）。当采用 RC 电路来产生上电复位信号时，则不要将 RSTZ 引脚配置为选通输出（控制/状态寄存器 008Dh 的 ROS 位需置 0）。

PIO 状态变化锁存器的状态寄存器

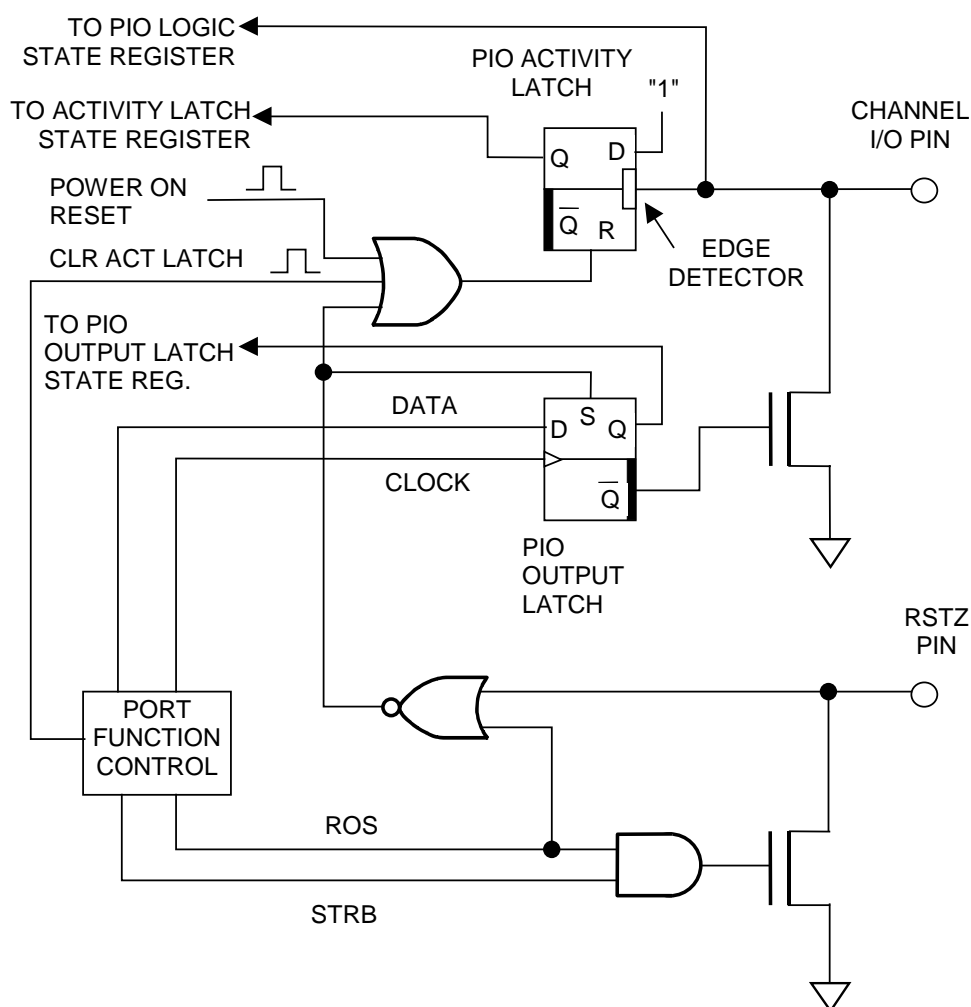
该寄存器中的数据表示 PIO 状态变化锁存器的当前状态，可用 Read PIO Registers 命令读取该寄存器的内容。即使将 RSTZ 引脚设为 STRB，读取该寄存器时也不会在 RSTZ 引脚产生信号。有关 STRB 更详细的信息，可参见 Channel Access 命令。

PIO 状态变化锁存器的状态寄存器位分配表

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
008Ah	AL7	AL6	AL5	AL4	AL3	AL2	AL1	AL0

PIO 状态变化锁存器的状态寄存器是只读寄存器，分配表中的每位都分别与某位 PIO 通道相对应，参见图 6。通过上电复位、在 RSTZ 引脚上产生低脉冲（当且仅当 RSTZ 引脚设为 \overline{RST} 输入时）、或成功执行 Reset Activity Latches 命令，都可以将该寄存器清为 00h。

图 6. IO 通道和 RSTZ 引脚的简化逻辑图



条件搜索通道选择屏蔽寄存器

该寄存器用于决定某个 PIO 通道是否有权响应条件搜索命令。将该寄存器中与通道相对应的位置 1 可以使该通道参与条件搜索。该寄存器只能通过 Write Conditional Search Register 命令写入数据。

条件搜索通道选择屏蔽寄存器位分配表

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
008Bh	SM7	SM6	SM5	SM4	SM3	SM2	SM1	SM0

条件搜索通道选择屏蔽寄存器是可读/写寄存器。分配表中的每一位都分别与其 PIO 通道相对应，参见图 7。上电复位时该寄存器被清零。

条件搜索通道极性选择寄存器

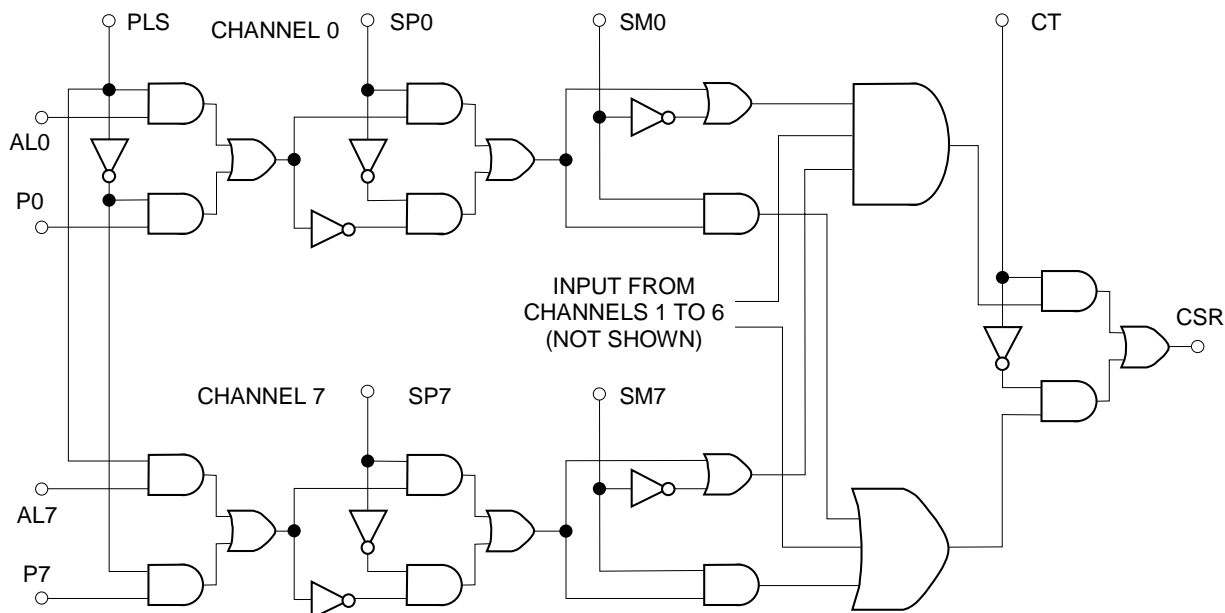
该寄存器用于设置可响应条件搜索命令的每个 PIO 通道的极性，以便根据其极性来响应条件搜索命令。对于某个 PIO 通道来说，数据源可以来自通道的输入信号（引脚），也可以来自通道的状态变化锁存器，具体由控制/状态寄存器 008Dh 中对应的 PLS 位来决定。该寄存器只能通过 Write Conditional Search Register 命令写入数据。

条件搜索通道极性选择寄存器位分配表

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
008Ch	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0

条件搜索通道极性选择寄存器是可读/写寄存器。分配表中的每一位都分别与其 PIO 通道相对应，参见图 7。上电复位时该寄存器被清零。

图 7. 条件搜索逻辑电路



控制/状态寄存器

该寄存器中的数据报告状态信息，决定 RSTZ 引脚的功能，以及进一步设置器件的条件搜索。其写入只能用 Write Conditional Search Register 命令来完成。

控制/状态寄存器的位分配表

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
008Dh	VCCP	0	0	0	PORL	ROS	CT	PLS

该寄存器为可读/写寄存器。当不采用V_{CC}供电时，上电复位后该寄存器的值将是 08h。该寄存器中各位的功能介绍参见下表。其中位 4~位 6 没有使用，读入始终为 0，不可能置为 1。

控制/状态寄存器详细说明

BIT 名称	BIT	详细说明
PLS: 选择引脚还是选择状态变化锁存器	b0	选择 PIO 引脚作为条件搜索的输入，或选择 PIO 状态变化锁存器作为条件搜索的输入。 0: 选择引脚 (默认) 1: 选择状态变化锁存器
CT: 条件搜索逻辑运算	b1	在条件搜索中，如果需要同时关心两个以上通道的状态，可用此位来设定这些通道状态的逻辑关系为“OR”或“AND”。如果通过通道选择屏蔽(008Bh)设置，只选择了一个通道，此时该位就可以不用理会。 0: OR (默认) 1: AND
ROS: RSTZ 引脚模式控制	b2	设置 RSTZ 作为 $\overline{\text{RST}}$ 输入或作为 $\overline{\text{STRB}}$ 输出来使用。 0: 设置为 $\overline{\text{RST}}$ 输入 (默认) 1: 设置为 $\overline{\text{STRB}}$ 输出
PORL: 上电复位锁存	b3	表明器件是否执行了上电复位。该位只能通过软件来清 0。只要该位为 1，器件就会响应条件搜索。
VCCP: V _{CC} 电源工作状态 (只读)	b7	当设置为 V _{CC} 供电模式时，V _{CC} 引脚外接的电压必须高于 V _{PUP} 。 0: V _{CC} 引脚接地 1: V _{CC} 供电模式

多个决定 DS2408 是否响应条件搜索的信号之间的相互作用如图 7 所示。选择屏蔽 SM 用于设定参与条件搜索的通道；极性选择 SP 用于设定状态为 0 的通道还是状态为 1 的通道来响应条件搜索；PLS 位用于设定通道上的信号是来自状态变化锁存器还是 IO 引脚。所有通道上的这些信号还要送到一个 AND 门和一个 OR 门，最后通过 CT 位来选择是把 AND 后的结果还是 OR 后的结果来作为条件搜索响应信号 CSR。

CT 位的说明:

OR 只要其中有一个通道的输入（引脚状态或状态变化锁存器）满足指定的极性条件时，就认为满足条件。

AND 只有当选定的所有通道的输入（引脚状态或状态变化锁存器）满足指定的极性条件时，才认为满足条件。

图 8-1. 控制功能流程图

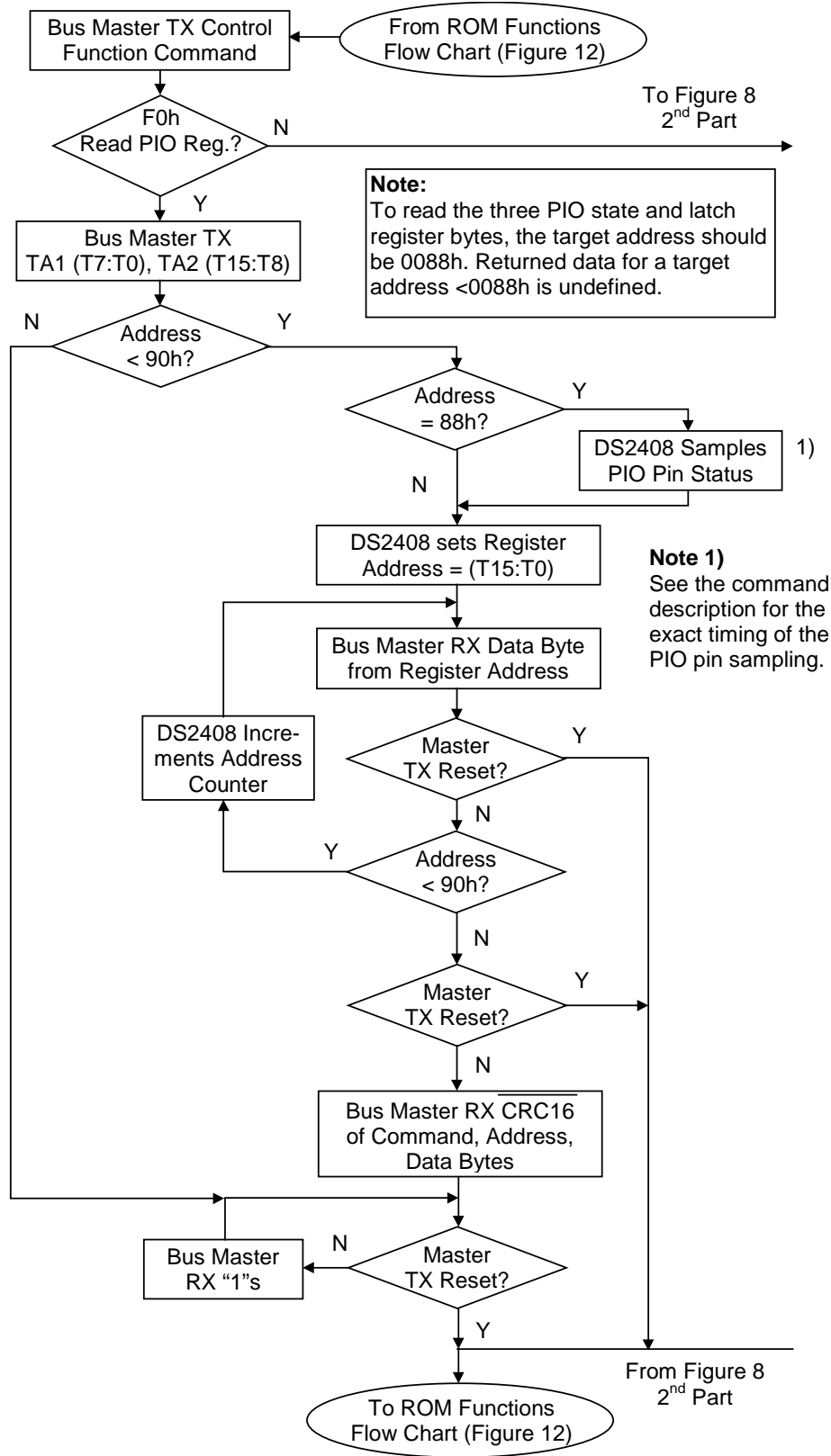


图 8-2. 控制功能流程图

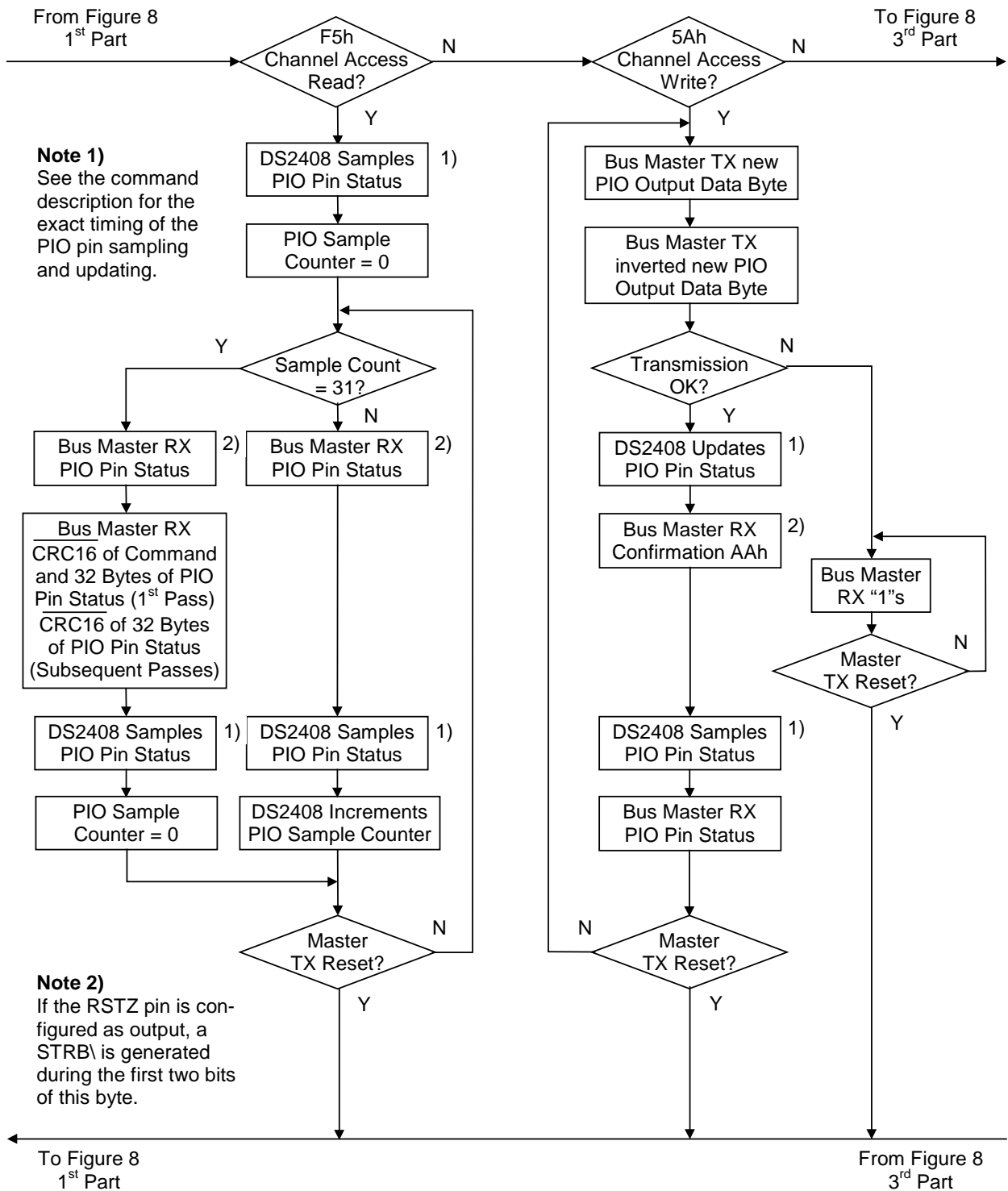
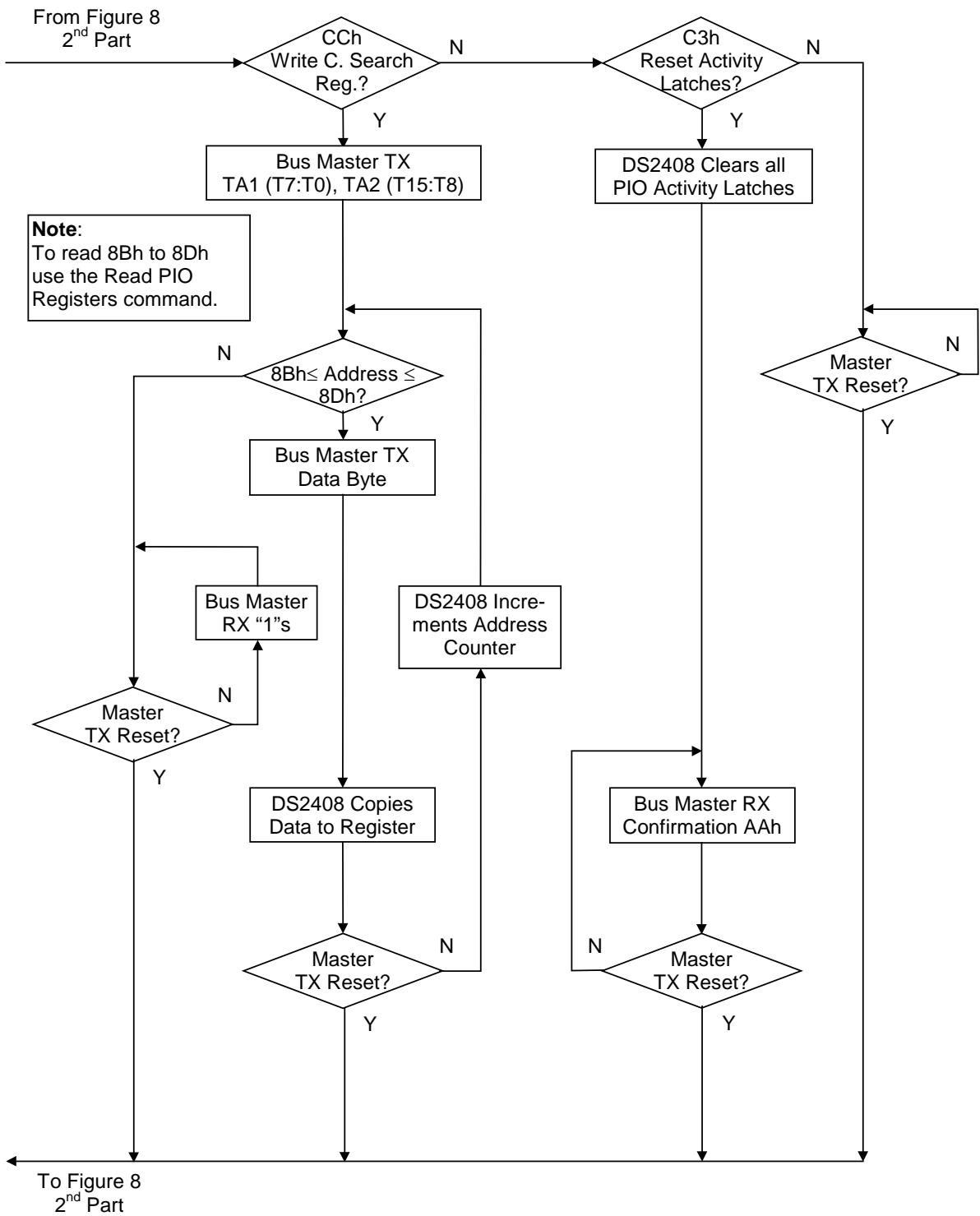


图 8-3. 控制功能流程图



控制功能命令

一旦主机执行完一条 ROM 功能命令，就可发出控制功能命令了。图 8 的 *控制功能流程图* 详细描述了访问 PIO 通道和 DS2408 特殊功能寄存器所需的协议。主机和 DS2408 之间的通信速率可以设成标准速率（默认：OD = 0）或高速模式（OD = 1）。如果没有明确地设为高速模式，器件将以标准速率进行通信。

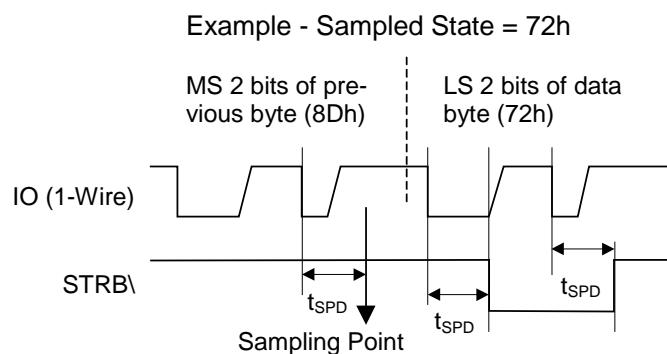
Read PIO Registers [F0h]

Read PIO Register 命令可以读取所有的 DS2408 寄存器。当主机发出该命令后，必须紧跟着送出 2 字节的目标地址。发出这两个目标字节后，主机就开始从 DS2408 读取数据，读取的起始地址为发送的目标地址，一直读到地址 008Fh。如果主机继续读数据，则将接收由命令字节、地址字节和发出的所有数据等生成的 16 位 CRC 反码。这个 CRC16 的生成过程如下：首先清零 CRC 发生器，然后移入命令字，跟着移入两个地址字节，最后依次移入从指定起始位置开始到寄存器页结束地址的所有数据，此时 CRC 发生器的值就是所产生的 CRC。当主机接收 CRC16 之后，DS2408 在随后的读时隙中将一直以逻辑 ‘1’ 响应，直到主机发出 1-Wire 复位命令为止。如果主机在发出 Read PIO Register 命令后跟随目标地址 0088h（PIO 逻辑状态寄存器），则 DS2408 将在主机传输 TA2 的最高位期间对 PIO 进行采样。如果该命令之后发送的目标地址小于 0088h，则将会在主机读地址 0087h 最高位时进行采样。

Channel Access Read [F5h]

与从 88h 地址读取 PIO 逻辑状态的命令相比，Channel Access Read 命令可以不断地读取 DS2408 的状态。在发出 32 字节的 PIO 引脚状态后，DS2408 紧跟着发送相应数据的 CRC16 的反码，以便主机判断接收到的数据是否准确无误。Channel Access Read 操作可随时通过 1-Wire 复位信号来终止。

图 9. 访问通道的读时序



注：

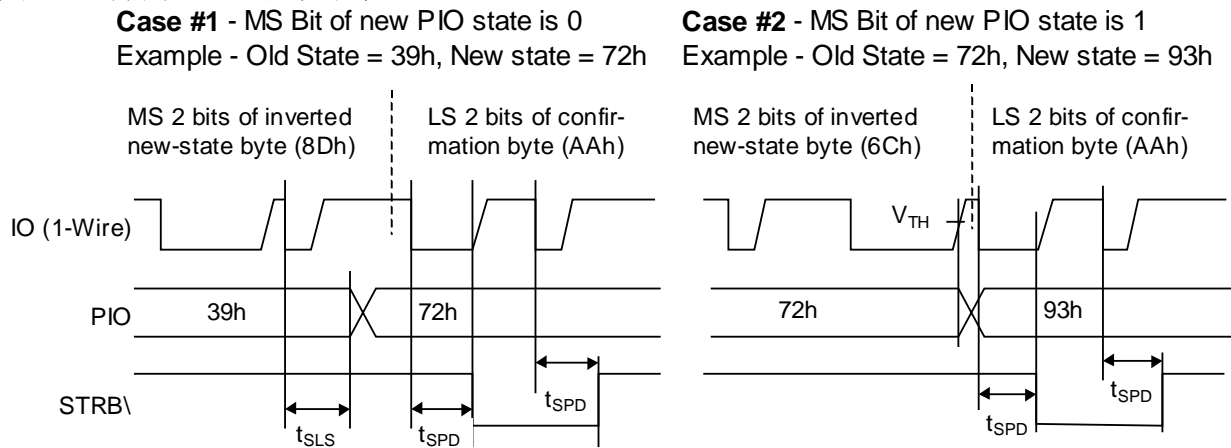
1. "previous byte"可以是命令码，也可以是以前 PIO 采样到的数据字，还可以是 CRC16 的高字节。本例是一个读 1 时隙。
2. 当"previous byte"是写确认字节（write confirmation byte）（AAh）时，该采样点时序也适用于 Channel Access Write 命令。当在 Channel Access Write 命令期间进行采样时，将不会产生 \overline{STRB} 脉冲信号。

DS2408 对八个 PIO 通道状态的采样是同时进行的。第一次采样发生在命令码 F5h 的最末位（最高有效位）期间；当主机接收到 PIO 状态的最高位（即 P7 引脚的状态）时，DS2408 就进行第二次采样，如此循环，一直到主机接收到 31 次 PIO 采样值，之后主机将接收由命令码和 32 个 PIO 采样值生成的 CRC16 的反码（第一次读循环），或接收仅由 32 个 PIO 采样值生成的 CRC 的反码（随后的读循环）。一旦 CRC 的末位（最高位）发送完成，DS2408 就马上开始继续对 PIO 进行采样。该时隙起始与采样点之间的延时不会受传输位值和数据方向的影响（见图 9）。若 RSTZ 引脚设为 $\overline{\text{STRB}}$ ，则会在发送 PIO 数据的最低前两位时产生一个选通信号。该选通信号请求 FIFO 或微控制器发送下一个数据至 PIO，以便主机通过 1-Wire 读取。

Channel Access Write [5Ah]

Channel Access Write 命令是向 PIO 输出锁存器的状态寄存器(地址: 0089h) 写入数据的唯一途径，该寄存器控制 PIO 通道漏极开路输出晶体管。主机可以通过这个命令先向 DS2408 写入新数据，然后再回读 PIO 状态，这样可以一直循环下去。通过这种先写后读的方式可以使主机验证输出状态，或与 PIO 和 RSTZ 引脚连接的微处理器进行快速的数据通信。Channel Access Write 操作可随时被 1-Wire 复位信号终止。

图 10. 访问通道的写时序



注:

以上两个例子均假定RSTZ引脚设为 $\overline{\text{STRB}}$ 输出。如果RSTZ设为 $\overline{\text{RST}}$ 输入（默认值），那么RSTZ引脚必须接到高电平（ V_{CC} 或 V_{PUP} ），以便Channel Access Write能够正常运行。若该引脚悬空，则会使PIO通道的输出晶体管处于“关断”状态，此时读出来的PIO输出锁存器的值全部为“1”，其逻辑图参见图 6。

在发出该命令之后，主机要随后发出一个用来控制PIO输出晶体管状态的字节。该字节的首位（最低位）与P0相对应，把相应的位置1就会关断输出晶体管（非导通状态），置0则会使对应的晶体管处于导通状态。这样作为新的PIO输出状态传输的数据是以原码形式出现在PIO引脚上。为了避免错误的数据传输，主机还必须再次发送PIO数据的反码。只有当整个通信成功时，PIO上的状态才能改变。DS2408 PIO状态的真实改变是在收到了新PIO数据字反码的末位（最高位）以后再根据对应的位的极性来进行，如图 10 所示。如果相应位为1，在 t_{SLS} 结束后PIO状态发生改变；如果为0，则是在时隙的最后部分，当总线电压超过 V_{TH} 门限之后，状态才会改变。为把PIO状态成功改变的信息传递给主机，DS2408 将发送一个确认字节AAh。如果RSTZ引脚设为 $\overline{\text{STRB}}$ ，在传送确认字节的最低两位时将会产生一个选通信号。该选通信号通知FIFO或微控制器，以读取来自PIO新数据。当传送完该确认字的最后一位时，DS2408 将采样PIO引脚上的状态，并把采样结果发送给

主机，如图 9 所示。主机根据实际情况，是继续向 PIO 写数据，还是发出 1-Wire 复位信号来终止该命令。

Write Conditional Search Register [CCh]

该命令用于设定 DS2408 器件条件搜索命令的响应条件、RSTZ 引脚的功能以及清除上电复位标志。

当主机发出该命令后，随后发送 2 字节的目标地址，其地址范围为：008Bh ~ 008Dh，之后，发送的字节被写入到指定地址。如果该地址有效，该数据就会被立即写到寄存器页中相应的位置。此时，主机可以通过发送 1-Wire 复位来结束该命令，也可以发送更高地址的数据。一旦寄存器地址 008Dh 写入了数据，后续的数据将被忽略。由于 Write Conditional Search Register 流程图中没有包括用于校验寄存器中新数据的差错校验，那么通过 Read PIO Registers 命令来回读寄存器的值对验证写入数据的正确与否显得尤为重要。

状态变化锁存器复位(Reset Activity Latches) [C3h]

每个 PIO 通道都含有一个状态变化锁存器，当 PIO 引脚的状态发生改变时，状态变化锁存器就被置位。状态变化可能由外部事件和信号，也可能由 PIO 写数据引起。取决于应用要求，在 DS2408 捕获并处理某个外部事件后，可能需要复位该状态变化锁存器。由于对 PIO 的状态变化寄存状态寄存器只能进行读操作访问，DS2408 就需要支持一个特定命令来复位该锁存器。在收到 Reset Activity Latches 命令码之后，DS2408 会立即复位所有的状态变化锁存器。主机验证 Reset Activity Latches 命令是否正常执行的方法有两种。最简单的方法是在发送完该命令码后，从 1-Wire 线路上开始读数据。此时主机将始终读入 AAh 字节，直到发出 1-Wire 复位信号为止。另一种方法是读寄存器地址 008Ah。

1-Wire 总线系统

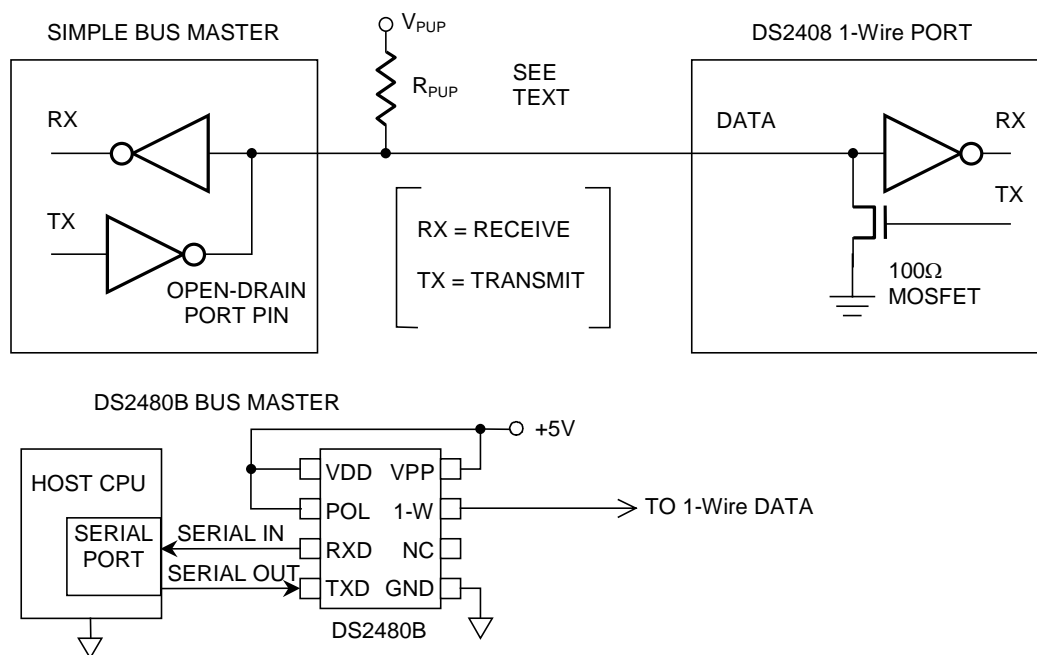
1-Wire 总线系统由一个主机和一个或多个从器件组成。在所有的应用中，DS2408 都作为从器件使用，主机通常是一个微控制器或 PC。对于小规模的系统，可通过软件利用一个信号端口引脚来生成 1-Wire 通信信号。而对于多点监视网络来说，推荐使用 1-Wire 线路驱动器 DS2480B 或基于 DS2480B 的串行接口适配器（DS9097U 系列），这样可简化硬件设计，使微处理器从实时响应的繁琐工作中解放出来。

对 1-Wire 总线系统的讨论分为 3 个部分：硬件配置、处理流程和 1-Wire 信令（信号类型和时序）。1-Wire 协议以特定时隙期间的总线状态来定义总线通信方式，该特定时隙起始于总线主机发出的同步脉冲的下降沿。

硬件配置

1-Wire 总线系统仅定义了一条信号线，因此在合适的时间驱动总线上的各个器件是十分重要的。为使上述操作易于实现，接到 1-Wire 总线上的每个从器件的输出必须为漏极开路或三态输出。DS2408 的 1-Wire 端口是漏极开路输出，其内部等效电路如图 11 所示。

图 11. 硬件配置



多点总线系统由一条 1-Wire 总线和多个从器件组成。标准速度模式时，1-Wire 总线的最大数据传输速度为 15.3kbps，高速模式时的通信速度可高达 142kbps，但 DS2408 在高速模式时的最高速度为 100kbps。上拉电阻的大小主要取决于网络规模和负载情况。通常情况下，标准速率模式时上拉电阻的阻值最好在 2.2kΩ 左右，高速模式时电阻大小最好为 1.5kΩ。

1-Wire 总线的空闲状态为高电平。如果由于某种原因需要暂停工作，稍后还有恢复工作的话，必须将总线置于空闲状态。否则，当以标准速度进行通信时，如果总线被置低的时间超过 120μs，或当以高速模式进行通信时，总线置低的时间超过 16μs，总线上的器件将被复位。对于 DS2408 来说，高速模式下时总线置低的时间不能超过 13μs，这样才能保证不会使 1-Wire 总线上的从器件复位。DS2408 当与 1-Wire 驱动器 DS2408B 或基于该驱动器的串行端口适配器配套使用时，通信会更简单、更可靠。当 DS2408 工作在高速模式或工作电压低于 4.5V 时，1-Wire I/O 的一些定时值（见 EC 表）必须进行相应的调整。

处理流程

通过 1-Wire 端口访问 DS2408 的顺序如下：

- 初始化
- ROM 操作命令
- 控制操作命令
- 处理/数据

各种控制功能命令的处理流程将在后文进行讨论。

初始化

1-Wire 总线上的所有数据处理均从初始化序列开始。该初始化序列由主机发送的复位脉冲和从器件发送的在线应答脉冲组成。在线应答脉冲用于通知主机 DS2408 已挂接在总线上, 并已准备就绪。有关这方面的详细内容, 请参阅“1-Wire 信令”部分。

ROM 功能命令

一旦总线主机检测到在线应答脉冲, 就可以发出 DS2408 所支持的七条 ROM 功能命令之一。所有 ROM 功能命令的长度均是 8 位。下面是这些 ROM 命令的简要介绍(参考图 12 所示的流程图)。

Read ROM [33h]

主机利用该命令读取 DS2408 的 8 位家族码、唯一的 48 位序列号和 8 位 CRC 码。该命令适用于总线上只有一个从器件的情况。如果总线上挂接有多个从器件, 那么当所有从器件都试图在同一时刻传送数据时, 就会发生数据冲突(漏极开路输出产生“线与”结果), 由此读取的家族码和 48 位序列号将无法匹配 CRC 校验码。

Match ROM [55h]

Match ROM 命令后紧跟着 64 位 ROM 码, 总线主机利用该命令来访问多点总线上某个特定的 DS2408。只有其内部 ROM 码与主机发出的 64 位 ROM 码匹配的 DS2408 才会响应随后的存储器功能命令, 而与 64 位 ROM 码不匹配的其他所有从器件就处于等待状态, 等待复位脉冲。总线上有一个或多个从器件时都可使用该命令。

Search ROM [F0h]

当一个系统启动初始化时, 总线主机可能不知道在 1-Wire 总线上挂接有多少个器件, 而且也不知道各个器件的 64 位 ROM 码。总线主机利用 Search ROM 命令, 采用排除法, 来识别总线上所有从器件的 64 位 ROM 码。Search ROM 通过重复简单的三个步骤: 读一位, 读该位的反码, 然后写入该位的期望路径。总线主机对 ROM 的每一位都执行这三个步骤。当所有的 ROM ID 中的每位都进行了一次这样的操作后, 总线主机就可得到某个器件的 64 位 ROM 码。继续进行类似的过程可获悉其他从器件的 ROM 码。若想对 Search ROM 命令有更深入的了解, 请参阅 *应用笔记 187*, 那里还给出了软件实例。

Conditional Search [ECh]

除了满足规定条件的从器件才能够参与搜索外, 在其它方面, Conditional Search ROM 命令的执行情况与 Search ROM 命令类似。搜索条件通过条件搜索通道寄存器、条件搜索极性选择寄存器(地址为: 008Bh, 008Ch)、控制/状态寄存器(地址为: 008Dh)的功能位 CT 和 PLS 位以及 PIO 通道状态来决定, 更加详细的 Conditional Search 逻辑参见图 7。如果 PORT 位为 1, 对应的从器件就会响应 Conditional Search 命令。在多点系统中, Conditional Search ROM 命令为总线主机识别那些必

须报告一些重要事件（如外部信号所引起的 PIO 引脚状态改变）的从器件提供了一种有效的方法。当每次成功地搜索到多点总线上的某个器件的 64 位 ROM 码后，其它所有器件都将退出搜索过程，等待下一个复位脉冲的到来，此时就可单独访问该器件了，就像发出 Match ROM 命令一样。

Skip ROM [CCh]

在单点总线系统中，主线主机可使用该命令在不知道从器件 64 位 ROM 码的情况下访问控制功能，从而节省时间。如果总线上挂接有多个从器件，在 Skip ROM 命令后发出读命令时，就会有多个从器件同时发送数据，从而引起冲突(漏极开路下拉将产生“线与”结果)。

Resume Command [A5h]

通常，要多次访问 DS2408 才能完成某个控制或调整操作。在多点应用环境中，也就意味着每次访问都必须重复读取 Match ROM 命令的 64 位 ROM 序列码。为了提高网络的数据吞吐量，可使用该 Resume 命令。执行该操作时首先检查 RC 标志的状态，如果 RC 标志为 1，则直接传送控制操作，类似于 Skip ROM 命令。待 Match ROM、Search ROM、Conditional Search ROM 命令或 Overdrive Match ROM 命令成功运行后，可把 RC 标志设为 1，此后便可用 Resume 命令来反复访问该器件。为了防止总线上的多个器件同时响应这个 Resume 命令，当访问总线上的另外一个器件时将会清除 RC 标志。

Skip ROM [3Ch]

在单点总线系统中，总线主机可使用该命令在不知道从器件 64 位 ROM 码的情况下访问控制功能，从而节省时间。跟普通 Skip ROM 命令不同的是，Overdrive Skip ROM 能将 DS2408 设为高速运行模式 (OD = 1)。运行该命令后的通信均为高速通信，直到主机发出一个最少时长为 480 μ s 的复位脉冲，才能把总线上的器件设成标准速率 (OD = 0)。多点总线上的主机发出该命令后，所有支持高速通信的器件都将进入高速模式。如果网络中只有一个支持高速通信的器件，在发出复位脉冲后，紧跟着发送一个 Match ROM 或 Search ROM 命令码即可，这样可加快搜索进程。如果总线上挂接有多个支持高速模式的器件，在 Overdrive Skip ROM 命令之后发出一个 read 命令，那么就会有多个从器件同时传输数据，从而发生冲突(漏极开路下拉将产生一个“线与”结果)。

Overdrive Match ROM [69h]

在高速模式下，在发出 Overdrive Match ROM 命令后紧跟着发出 64 位 ROM 码，主机可寻址多点总线上某个特定的 DS2408，同时将其设为高速模式。只有其内部 ROM 码与主机发出的 64 位 ROM 码匹配的 DS2408 才会响应随后的控制操作命令。网络中已经通过 Overdrive Skip 命令或 Match 命令设为高速模式的从机也将一直保持高速模式，直到主机发送一个最小时长为 480 μ s 的复位脉冲才能使它们返回到标准速度。Overdrive Match ROM 命令既适用于总线上只有一个从器件的系统中，也适用于有多个从器件的系统中。

图 12-1. ROM 功能流程图

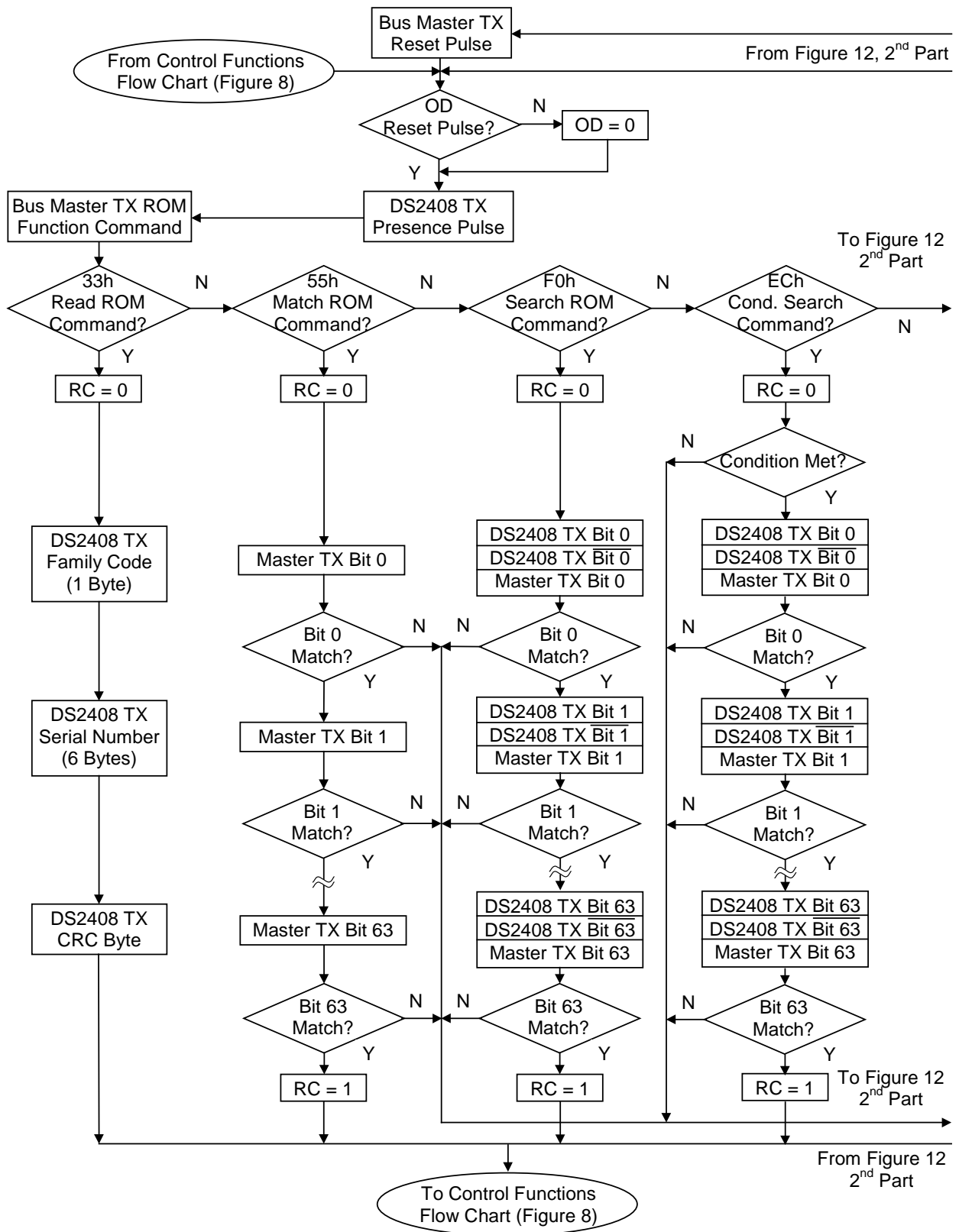
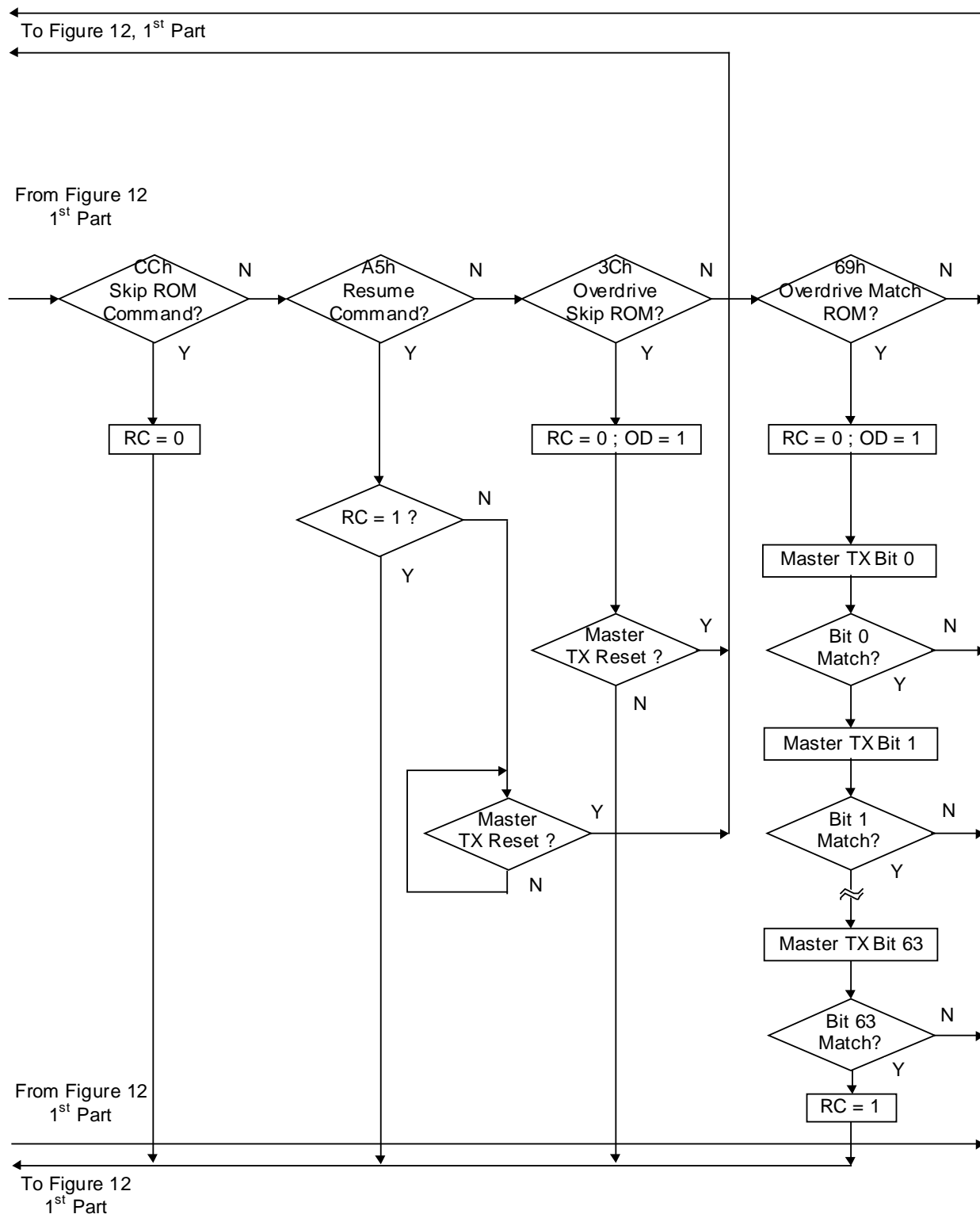


图 12-2. ROM 功能流程图



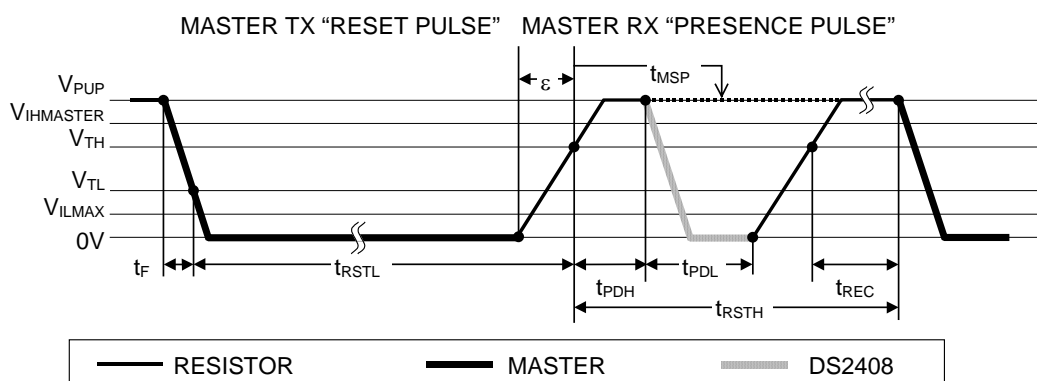
1-Wire 信令

DS2406 需要严格的协议来保证数据的完整。该协议由通过一条线来传送的四种信令组成：包括复位脉冲和在线应答脉冲的复位序列、写 0 时隙、写 1 时隙、读数据时隙。除在线应答脉冲以外，所有其它信号都由总线主机发出。DS2408 有两种不同的通信速度：标准速度和高速速度。如果 DS2408 没有明确地设为高速模式，便以标准速度来通信。当工作在高速模式下时，所有波形均采用快速定时。

要把器件从空闲状态激活，必须使 1-Wire 线路上的电压从 V_{PUP} 降至门限 V_{TL} 以下。而要使器件从激活状态转为空闲，该电压需从 V_{ILMAX} 升至门限 V_{TH} 以上。 V_{ILMAX} 电压对于 DS2408 决定逻辑电平有关，而非触发任何事件。

图 13 描述了 DS2408 所有通信过程都需要的初始化序列。复位脉冲之后的应答脉冲表示 DS2408 已经准备好接收数据，如果主机采用限斜率 (slew-rate) 控制下降沿，则必须将线路拉低 $t_{RSTL} + t_F$ 时间，以补偿下降沿。若 t_{RSTL} 的时间大于 $480\mu s$ ，则会使器件从高速模式返回标准模式。如果 DS2408 处于高速模式，且 t_{RSTL} 的时间不超过 $80\mu s$ ，器件将继续保持高速通信模式。

图 13. “复位脉冲和在线应答脉冲” 初始化过程



在总线主机释放数据线，并进入接收模式(RX)后，1-Wire总线将由上拉电阻拉至 V_{PUP} ，或采用 DS2480B 时，由其有源电路实现上拉。当总线电压超过门限 V_{TH} 以后，DS2408 会在等待 t_{PDH} 之后，通过将总线拉低 t_{PDL} 来发出一个应答脉冲。为检测应答脉冲，主机应在 t_{MSP} 时刻对 1-Wire 总线的逻辑状态进行检测。

t_{RSTH} 的持续时间至少应该是 t_{PDHMAX} 、 t_{PDLMAX} 和 t_{RECMIN} 之和。在 t_{RSTH} 时间之后，DS2408 就做好了接收数据的准备。在多种从器件组成的多点网络中，标准速率下 t_{RSTH} 的持续时间至少应为 $480\mu s$ ，高速模式下 t_{RSTH} 的持续时间至少应为 $48\mu s$ ，以适应其它 1-Wire 器件。

读/写时隙

与 DS2408 的数据通信是通过时隙完成的，在每个时隙只能传送一位数据。通过写时隙可把数据从主机传送给从机，通过读时隙可把数据由从器件传送给主机。读时隙和写时隙的定义如图 14 所示。

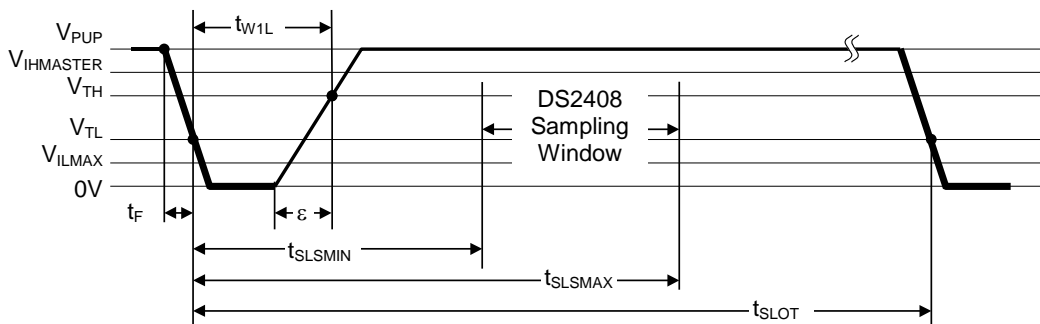
所有的通信都是从主机拉低数据线开始的。当 1-Wire 上的电压低于门限 V_{TL} 时，DS2408 就开始采用内部时基 (time base) 工作，根据不同从器件时基的容差，形成一个从器件采样窗口 (slave-sampling window)，窗口从 t_{SLSMIN} 到 t_{SLSMAX} 。在采样时刻数据线上的电压决定 DS2408 将该时隙译码为“1”或“0”。

主机到从机

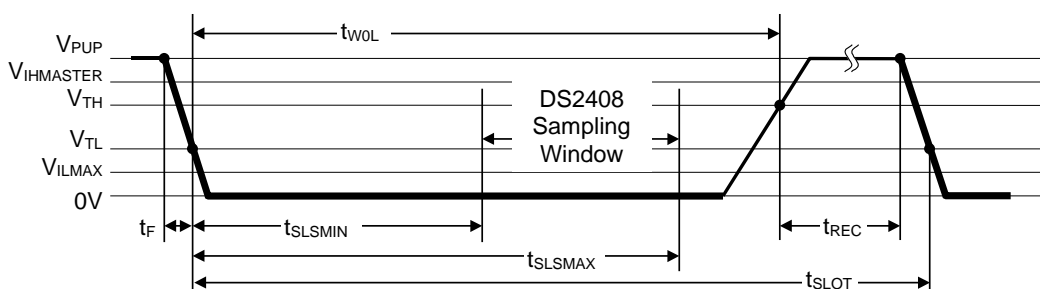
对于写 1 时隙来说，当写 1 为低的时间 t_{W1L} 结束以后，数据线上的电压必须升高超过门限 V_{THMAX} ；对于写 0 时隙来说，当写 0 为低的时间 t_{W0L} 结束以前，数据线上的电压则必须低于门限 V_{THMIN} ；对于更可靠的通信，数据线上的电压应该在整個 t_{W0L} 时间内不超过 V_{ILMAX} 。当数据线上电压超过门限 V_{THMAX} 后，DS2408 还需要一个恢复时间 t_{REC} ，以便准备下一个时隙。

图 14. 读/写信令时序图

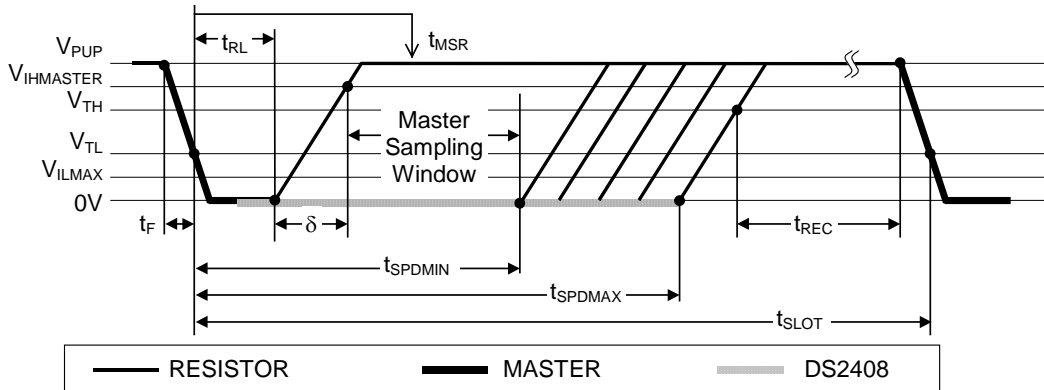
Write-One Time Slot



Write-Zero Time Slot



Read-Data Time Slot



从机到主机

读数据时隙的开始与写 1 时隙相类似。数据线上的电压必须保持低于 V_{TLMIN} ，直到读低时间 t_{RL} 为止。在 t_{RL} 期间，如果数据为 0，便由 DS2408 继续把数据线拉低，由其内部的定时产生器决定何时结束总线拉低，之后总线电压将再次拉高。当数据为 1 时，当 t_{RL} 时间之时，DS2408 不会将数据线拉低，总线电压随后升高。

主机的采样窗口 (t_{MSRMIN} 到 t_{MSRMAX}) 由 $t_{RL} + \delta$ (上升时间) 和 DS2408 的内部定时发生器共同决定。在该窗口内，主机必须从数据线上读数据。为使通信更加可靠， t_{RL} 应该尽可能短，且主机应该在靠近又不超过 t_{MSRMAX} 时进行采样。当从数据线上读到数据后，主机必须开始等待，直到 t_{SLOT} 结束，这样才使 DS2408 有充足的恢复时间 t_{REC} ，以便准备下一个时隙。

改善网络性能

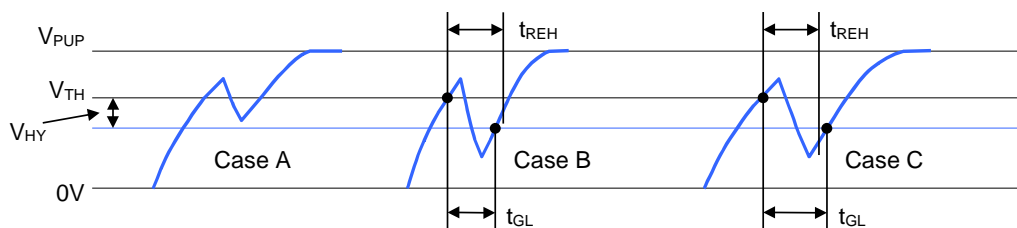
在 1-Wire 系统中，仅主机 (1-Wire 驱动器) 控制产生的信号瞬变期间可能实现线路终端匹配，因此，1-Wire 网络很容易受到其它噪声的影响。根据网络的物理形状大小和拓扑结构的不同，从端点 (end point) 到分支点 (branch point) 的反射可能会在一定程度上相互叠加或抵消。如同 1-Wire 通信线路上的毛刺或振荡一样，这样的反射也是不容忽视的。从外部源耦合到 1-Wire 线路上的噪声也产生信号毛刺。时隙上升沿时出现的毛刺可能会引起从器件与主机不同步，结果会造成 Search ROM 命令无效，或导致器件级命令被忽略。为提高网络性能，DS2408 采用了一种新型的 1-Wire 前端，它对噪声的免疫力更强，可以降低从器件引入的噪声的幅度。

DS2408 的 1-Wire 前端与以前传统的从器件相比有以下四点不同：

- 1) 在线应答脉冲的下降沿斜率是受控制的，这样提供了比数字开关晶体管更好的传输线阻抗匹配，将来自传统器件的高频振荡转换为更平滑的低频瞬变。限斜率控制由参数 t_{FPD} 指定，只是针对标准速度和高速模式，具有不同的取值。
- 2) 在这个改进的前端电路中增加了一个低通滤波器，用于检测时隙开始时的下降沿，可降低器件对高频噪声的敏感度。这个滤波器在高速工作时不起作用。
- 3) 输入缓冲器具有一定的滞回，这样当有一个负毛刺的电压低于 V_{TH} ，但不低于 $V_{TH} - V_{HY}$ 时，就不会判定为负脉冲 (见图 15 中的 Case A)。滞回在任何 1-Wire 速率下均起作用。
- 4) 该系统设计了一个由上升沿拖尾时间 t_{REH} 定义的时间窗口，在这个窗口内，即使毛刺电压低于了门限 $V_{TH} - V_{HY}$ (图 15 中的 Case B, $t_{GL} < t_{REH}$)，仍然会被忽略。如果超过这个时间窗口，且

毛刺电压或电压低于 V_{TH} 门限，则滤波器就不能滤除这些噪声，将被主机误认为新时隙的开始（见图 15 中的，Case C, $t_{GL} \geq t_{REH}$ ）。

图 15. 噪声抑制图解



CRC 生成

DS2408 有两种类型的CRC码(循环冗余校验)，一种是 8 位CRC码，它在出厂前就计算好了，并光刻在 64 位ROM码的最高有效字中。主机根据 64 位ROM码的前 56 位计算出CRC的值，并把它和从DS2408 里读到的CRC值做比较，以便确定是否已经无差错地接收到ROM 数据。这种CRC码的等效多项式为： $X^8 + X^5 + X^4 + 1$ 。所接收的 8 位CRC码为原码形式(未求反)。它是在出厂前都已经计算好，并光刻在ROM中。

另一种CRC码是 16 位的，是根据标准的CRC16 多项式 $X^{16} + X^{15} + X^2 + 1$ 生成的。当用读PIO寄存器(Read PIO Registers)命令读取寄存器页中从指定位置开始到存储器页末尾的所有数据时，利用该CRC码可以进行差错检测；当读写暂存器命令和用访问通道读Channel Access Read命令读取PIO上的数据时，可以用该CRC实现数据传输快速验证。与 8 位CRC不同的是，16 位CRC总是以反码的形式进行传送。DS2408 内的CRC发生器(图 16)会根据图 8 所示的命令流程图计算出对应的 16 位CRC码。主机把从器件里读出的CRC值与根据收到的数据计算出的CRC值进行比较，以决定是继续操作，还是重读CRC出错的数据。

从读 PIO 寄存器流程图可以看出，16 位 CRC 值的形成过程是：先将命令字移入已清空的 CRC 发生器中，然后移入 2 个地址字，最后移入要传送的数据，从指定地址开始直到寄存器页（地址为：008Fh）的结束地址。

在首次运行 Channel Access Read 命令时，CRC 的形成过程是：清空 CRC 发生器，然后移入命令字节，然后移入 32 字节的 PIO 引脚数据。在运行该命令读取后续数据后，其 16 位 CRC 形成过程为：清空 CRC 产生器，移入从 PIO 引脚读入的 32 个字节数据。有关 CRC 形成的更详细信息可参见应用笔记 27。

图 16. CRC-16 硬件结构及多项式

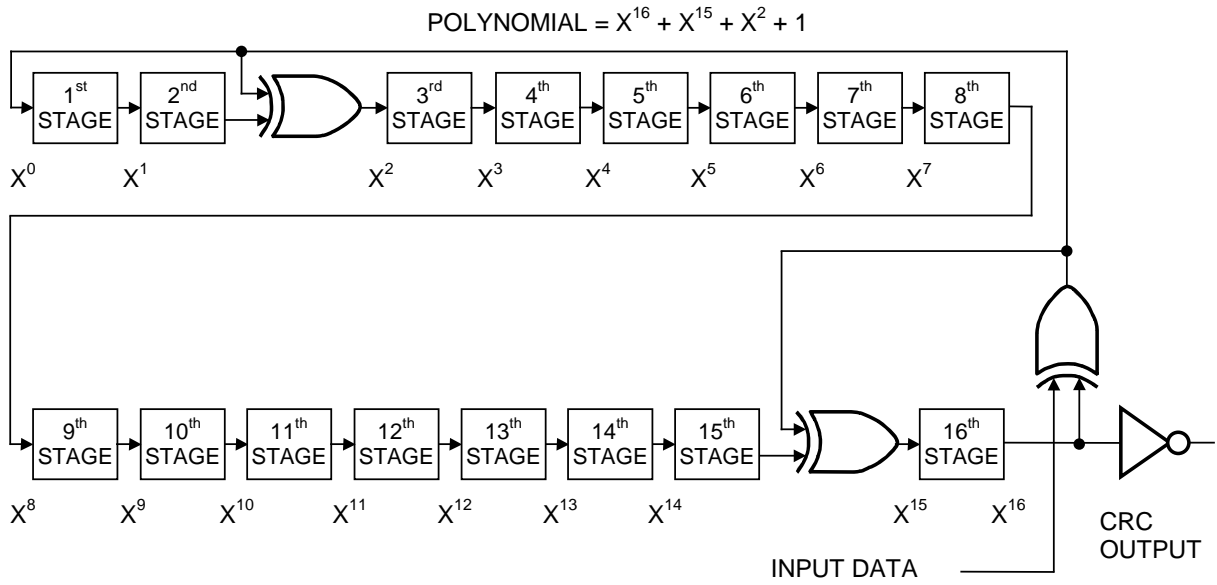
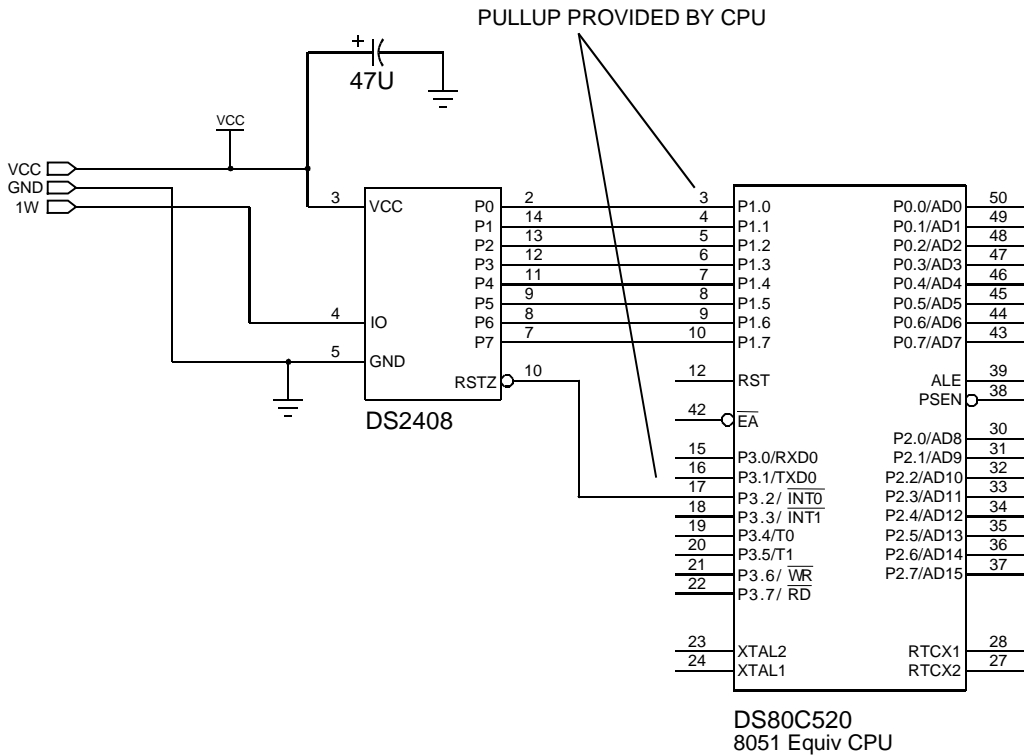


图 17. DS2408 用作微控制器的从机接口



数据流向(上传/下载)由具体应用的数据协议决定。

图 18. DS2408 用作智能显示器的从机接口

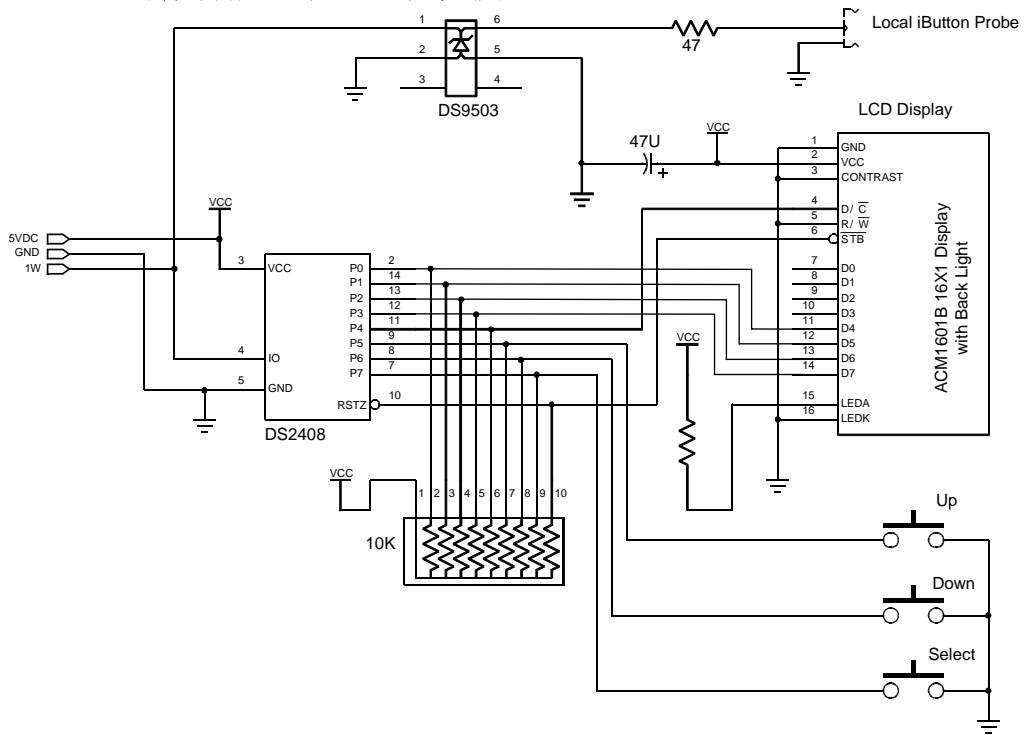


图 19. DS2408 用作微控制器端口扩展

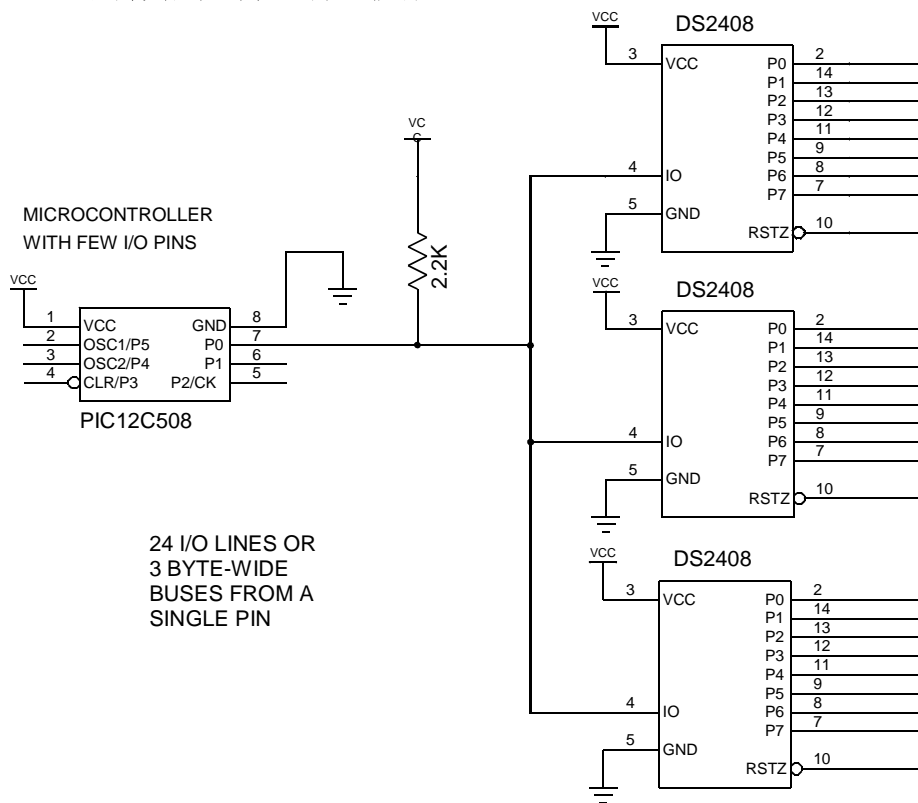


图 20. DS2408 用作 μC 控制的键盘扫描器

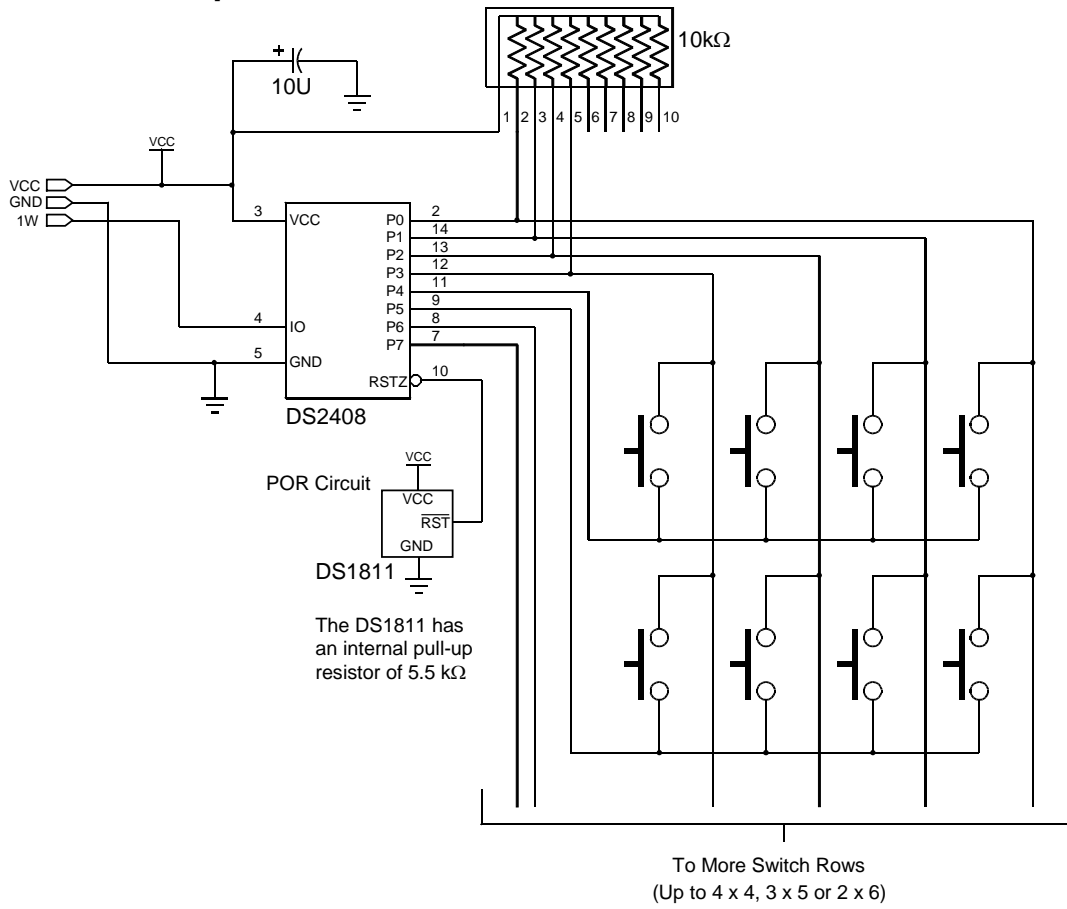


图 21. DS2408 采用寄生电源供电的按钮检测

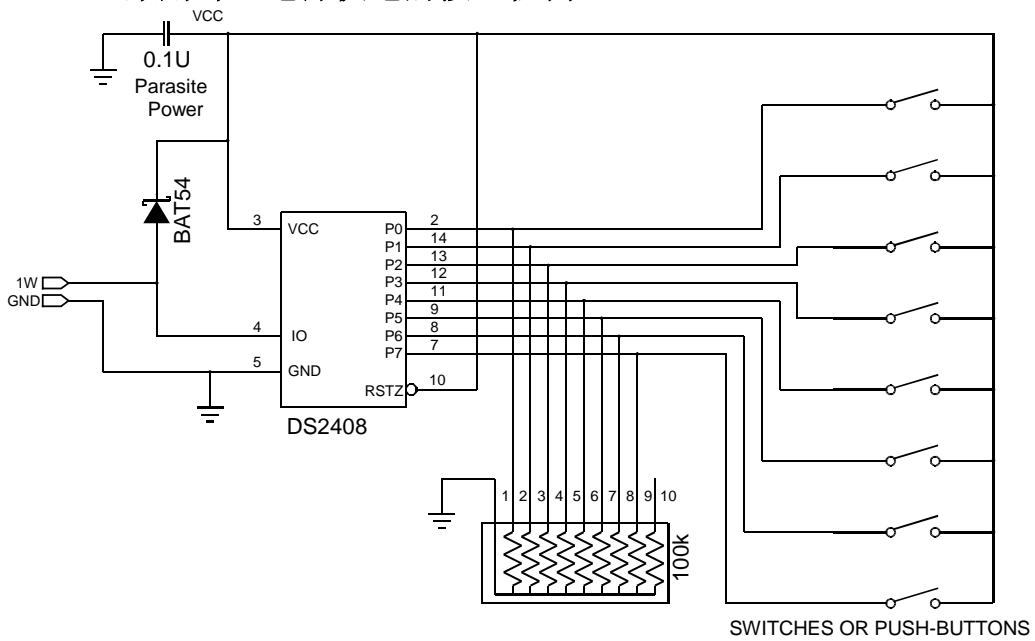
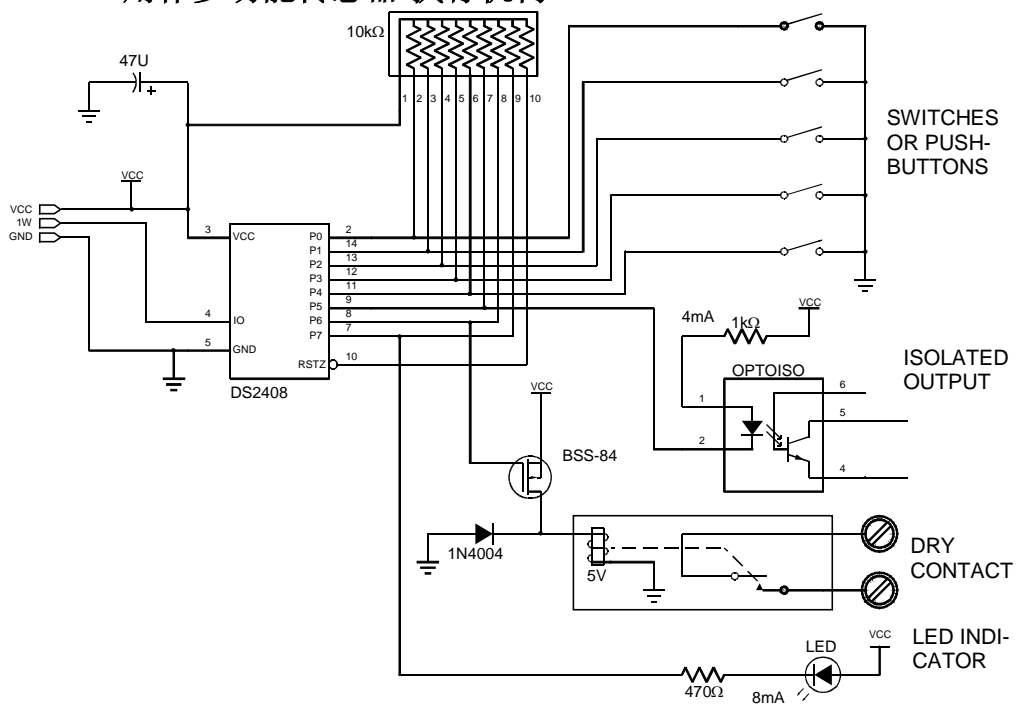


图 22. DS2408 用作多功能传感器/执行机构



1-Wire 通信协议的专用命令列表

符号	描述
RST	主机产生的 1-Wire 复位脉冲。
PD	从机产生的 1-Wire 应答脉冲。
Select	符合 ROM 操作协议的命令和数据。
RPR	读 PIO 寄存器 (Read PIO Registers) 命令。
CAR	访问通道读 (Channel Access Read) 命令。
CAW	访问通道写(Channel Access Write)命令。
WCS	写条件搜索寄存器(Write Conditional Search Register)命令。
RAL	复位状态变化锁存器(Reset Activity Latches)命令。
TA	目标地址 TA1, TA2。
<data>	传输数量不确定的数据。
CRC16\	传输 CRC16 反码。
FF loop	主机读取 FF 字节的无限循环
AA loop	主机读取 AA 字节的无限循环
<32 samples>, CRC16\ loop	主机读取 32 个 PIO 采样值及 CRC16 反码的无限循环
<new state>, <new state\>	2 字节传输, 其中第二字节是第一字节的反码, 第一字节被视为新的 PIO 状态。
AAh, <read back>	2 字节传输, 其中第一字节是一个常量 (AAh), 第二字节为当前的 PIO 状态。
<new state>, <invalid>	2 字节传输, 其中第二字节不是第一字节的反码。

1-Wire 通信协议的专用命令—颜色代码

Master to slave	Slave to master
-----------------	-----------------

Read PIO Registers (Success)

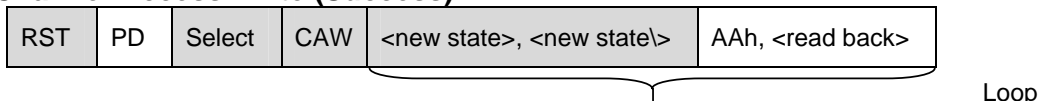
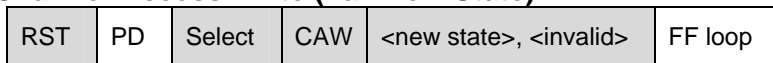
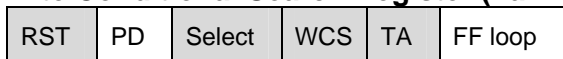
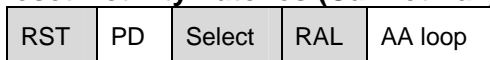
RST	PD	Select	RPR	TA	<data>	CRC16\	FF loop
-----	----	--------	-----	----	--------	--------	---------

Read PIO Registers (Fail Address)

RST	PD	Select	RPR	TA	FF loop
-----	----	--------	-----	----	---------

Channel-Access Read (Cannot Fail)

RST	PD	Select	CAR	<32 samples>, CRC16\ loop
-----	----	--------	-----	---------------------------

Channel-Access Write (Success)**Channel-Access Write (Fail New State)****Write Conditional Search Register (Success)****Write Conditional Search Register (Fail Address)****Reset Activity Latches (Cannot Fail)****通信举例**

这里给出的例子给出了 ROM 功能命令和控制功能命令的常见的应用方法。前两个例子请参照图 7，用来说明如何通过向 PIO 写入数据并通过回读进行验证或作为收到了及时响应的指示（例 1）以及如何通过无限循环方式来读取 PIO（例 2）。第三个例子为一个多点网络，每个器件都连接到 8 个按钮，如图 21 所示。

例 1

任务：带有回读方式的写 PIO 操作，便于验证，或接受到一个及时响应。

该任务可分为以下几个步骤来执行：

- 1) 配置 RSTZ 为 $\overline{\text{STRB}}$ 输出；
- 2) 验证配置设定；
- 3) 向 PIO 写数据，并回读其响应。

在主机只连接一个 DS2408 时的通信方式如下：

主机工作状态	数据 (LSB 在先)	解释
Step 1 TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲
TX	CCh	发出跳转 ROM (Skip ROM) 命令。
TX	CCh	发出写条件搜索寄存器 (Write Conditional Search Register) 命令。
TX	8Dh	TA1, 目标地址 = 8Dh。

主机工作状态	数据 (LSB 在先)	解释
TX	00h	TA2, 目标地址 = 008Dh。
TX	04h	向控制/状态寄存器写入数据。
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲
Step 2 TX	CCh	发出跳转 ROM (Skip ROM) 命令。
TX	F0h	发出读 PIO 寄存器 (Read PIO Registers) 命令。
TX	8Dh	TA1, 目标地址 = 8Dh。
TX	00h	TA2, 目标地址 = 008Dh。
RX	84h	读控制/状态寄存器, 并进行验证。
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲
Step 3 TX	CCh	发出跳转 ROM (Skip ROM) 命令。
TX	5Ah	发出访问通道的写 Channel Access Write) 命令。
TX	<PIO output byte>	向 PIO 写入数据。
TX	<inverted PIO output byte>	向 PIO 写入数据的反码。
(—)	(—)	如果传输正常, DS2408 更新 PIO 的状态。
RX	AAh	回读数据用于校验(AAh = 成功)。
(—)	(—)	DS2408 采样 PIO 脚的状态。
RX	<PIO pin status byte>	读 PIO 脚状态。
TX	<PIO output byte>	向 PIO 写入数据 (下一字节)。
TX	<inverted PIO output byte>	向 PIO 写入数据的反码 (下一字节)。
RX	AAh	回读数据以便验证(AAh = 成功)。
RX	<PIO pin status byte>	读 PIO 端的状态。
(—)	(—)	在需要向 PIO 写入更多的数据时, 重复上述的 4 个步骤。
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲

当采用该通信例程向一个远程微控制器发送数据时 (如图 17 所示), 可通过传输一个以长度字节开始并以 CRC16 结束的数据包来保持远程微控制器和主机之间的同步。详情请见应用笔记 114 的“通用数据包”部分。

例 2

任务: 以无限循环方式从 PIO 中读数据。

该任务可分成以下几个步骤来执行:

- 1) 配置 RSTZ 为 $\overline{\text{STRB}}$ 输出;
- 2) 验证配置设定;
- 3) 从 PIO 中读数据。

在主机只连接一个 DS2408 时的通信方式如下:

主机工作状态	数据 (LSB 在先)	解释
Step 1 TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲
TX	CCh	发出跳转 ROM (Skip ROM) 命令。
TX	CCh	发出写条件搜索寄存器(Write Conditional Search

主机工作状态	数据 (LSB 在先)	解释
		Register)命令
TX	8Dh	TA1, 目标地址 = 8Dh。
TX	00h	TA2, 目标地址 = 008Dh。
TX	04h	向控制/状态寄存器写字节
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲
Step 2 TX	CCh	发出跳转 ROM (Skip ROM) 命令。
TX	F0h	发出读 PIO 寄存器 (Read PIO Registers) 命令。
TX	8Dh	TA1, 目标地址 = 8Dh。
TX	00h	TA2, 目标地址 = 008Dh。
RX	84h	读控制/状态寄存器, 并进行验证。
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲
Step 3 TX	CCh	发出跳转 ROM (Skip ROM) 命令。
TX	F5h	发出访问通道的读(Channel Access Read)命令。
(—)	(—)	DS2408 采样 PIO 脚的状态。
RX	<PIO pin status byte>	读 PIO 脚状态。
(—)	(—)	重复上述 2 个步骤, 直到主机全部接收到 PIO 脚的 32 个状态字节。
RX	<2 bytes CRC16>	读 CRC16。
(—)	(—)	需要时, 继续循环读取 PIO 脚状态和 CRC。
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲

当采用该通信例程从一个远端微控制器读入数据时 (如图 17 所示), 可通过传输一个以长度字节开始并以 CRC16 结束的数据包来保持远程微控制器和主机之间的同步。详情请见应用记录 114 的“通用数据包”部分。

例 3

任务: 检测指定 DS2408 的按钮状态, 并确认按钮连接哪个引脚。该任务可分为下列几步:

- 1) 配置搜索条件, 并验证该配置。
- 2) 关断所有通道输出晶体管。
- 3) 清除状态变化锁存器。
- 4) 搜索直到有一个按钮按下。
- 5) 确认器件和按钮; 复位状态变化锁存器。

状态变化锁存器中对应的 8 个通道中只要有一个通道对应的位为 1, 设备就会响应该条件搜索。此时要求对条件搜索寄存器进行如下的设置:

通道选择屏蔽，选择所有通道 \Rightarrow FFh
 通道极性选择，为所有通道选择逻辑 1 \Rightarrow FFh
 控制/状态寄存器，
 响应条件：状态变化锁存器 \Rightarrow PLS = 1
 逻辑运算：OR \Rightarrow CT = 0
 RSTZ = 空闲 (输入状态) \Rightarrow ROS = 0
 清除上电复位锁定器 \Rightarrow PORL = 0
 这些设置对应的控制/状态寄存器数据为 01h。

对系统中的每个 DS2408 都执行如下的初始化过程：

主机工作状态	数据 (LSB 在先)	解释
Step 1 TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲
TX	55h	发出 ROM 匹配 (Match ROM) 命令。
TX	<8 byte ROM ID>	发送被访问器件的 ROM ID。
TX	CCh	发出写条件搜索寄存器(Write Conditional Search Register)命令。
TX	8Bh	TA1, 目标地址 = 8Bh。
TX	00h	TA2, 目标地址 = 008Bh。
TX	FFh	写通道选择屏蔽。
TX	FFh	写通道极性选择。
TX	01h	写控制/状态寄存器。
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲
TX	A5h	发出恢复 (Resume) 命令。
TX	F0h	发出读 PIO 寄存器 (Read PIO Registers) 命令。
TX	8Bh	TA1, 目标地址 = 8Bh。
TX	00h	TA2, 目标地址 = 008Bh。
RX	<FFh, FFh, 81h>	读寄存器，并进行验证。
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲
Step 2 TX	A5h	发出恢复 (Resume) 命令。
TX	5Ah	发出通道访问的写(Channel Access Write)命令。
TX	FFh	向 PIO 写入字节。
TX	00h	向 PIO 写入字节的反码。
(—)	(—)	如果传输成功，DS2408 将关断所有通道输出晶体管。
RX	AAh	回读数据，用于验证(AAh = 成功)。
RX	FFh	读 PIO 端的状态，进行校验 FFh = OK。
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲
Step 3 TX	A5h	发出恢复 (Resume) 命令。
TX	C3	发出状态变化锁存器复位 (Reset Activity Latch) 命令。
RX	AAh	回读数据，用于验证(AAh = 成功)。
TX	(Reset)	复位脉冲
RX	(Presence)	应答脉冲