

第 23 章 10 位 A/D 转换器

目录

本章包括以下一些主要内容：

23.1	简介	23-2
23.2	控制寄存器	23-3
23.3	操作	23-5
23.4	A/D 采集时间要求	23-6
23.5	A/D 转换时钟的选择	23-8
23.6	模拟输入引脚的设置	23-9
23.7	A/D 转换的编程举例	23-10
23.8	休眠期间的 A/D 转换	23-14
23.9	复位对 A/D 转换的影响	23-14
23.10	A/D 转换精度与误差	23-15
23.11	连接时的考虑事项	23-16
23.12	传递函数	23-16
23.13	初始化	23-17
23.14	设计技巧	23-18
23.15	相关应用笔记	23-19
23.16	版本历史	23-20

注 1: 目前发布的中档系列单片机没有包含此模块。已计划推出包含此模块的单片机，但目前没有供货时间表。请登陆 [Microchip 网站](#) 或 [BBS](#) 查阅已发布的包含器件详细特性的产品简介。

如果您现在的设计需要一个 10 位 A/D，请参阅 PIC17C756，它带有一个 12 通道的 10 位 A/D，该 A/D 的特性和本章描述的模块相同。

23.1 简介

该模拟数字转换器 (A/D) 模块有多达 8 个模拟输入通道。

模拟输入对一个采样保持电容器充电, 采样保持电容的输出是 A/D 转换器的输入。A/D 转换器采用逐次逼近法将这一模拟电平产生数字转换结果, 其转换结果为 10 位数字。

模拟参考电压 (正电源电压和负电源电压) 可通过软件选择为器件的电源电压 (AVDD、AVss) 或 AN3/VREF+ 和 AN2/VREF- 引脚上的电平。

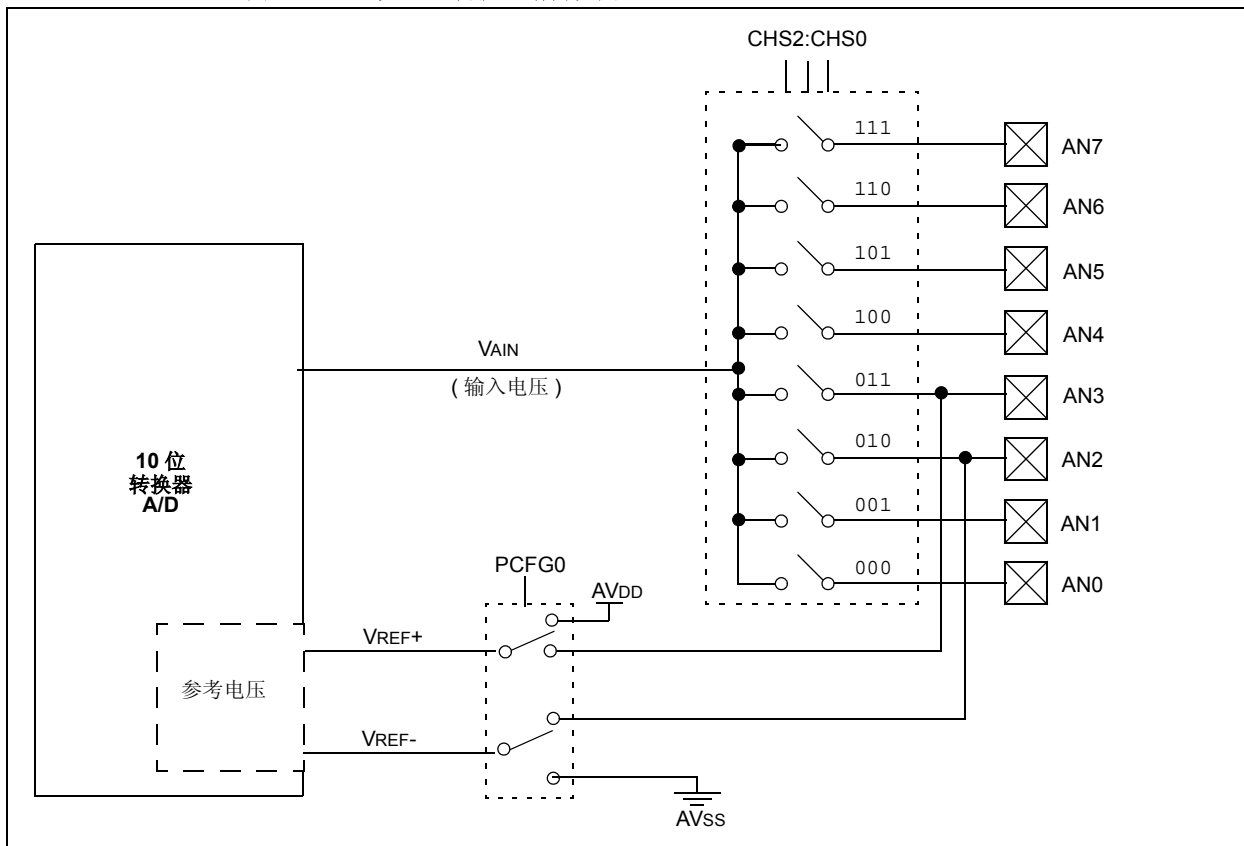
A/D 转换器具备可在休眠状态下工作的独特特性。

A/D 模块有四个寄存器, 它们是:

- A/D 结果高位寄存器 (ADRESH)
- A/D 结果低位寄存器 (ADRESL)
- A/D 控制寄存器 0 (ADCON0)
- A/D 控制寄存器 1 (ADCON1)

ADCON0 寄存器, 如图 23-1 所示, 控制 A/D 模块的操作。ADCON1 寄存器, 如图 23-2, 可对端口的引脚功能进行配置。这些端口引脚可被设置成模拟输入 (其中 AN3 和 AN2 也可作为参考电压输入) 或数字 I/O 引脚。

图 23-1: 10 位 A/D 转换器结构框图



23.2 控制寄存器

寄存器 23-1: **ADCON0** 寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0
ADCS1	ADCS0	CHS2	CHS1	CHS0	GO/DONE	—	ADON
bit 7						bit 0	

bit 7:6 **ADCS1:ADCS0**: A/D 转换时钟选择位

- 00 = Fosc/2
- 01 = Fosc/8
- 10 = Fosc/32
- 11 = FRC (A/D 模块内部专用的 RC 振荡器)

bit 5:3 **CHS2:CHS0**: 模拟通道选择位

- 000 = 通道 0, (AN0)
- 001 = 通道 1, (AN1)
- 010 = 通道 2, (AN2)
- 011 = 通道 3, (AN3)
- 100 = 通道 4, (AN4)
- 101 = 通道 5, (AN5)
- 110 = 通道 6, (AN6)
- 111 = 通道 7, (AN7)

注：对未用满 8 个 A/D 通道的器件，未使用的选项被保留。不要选择未使用的通道。

bit 2 **GO/DONE**: A/D 转换状态位

当 ADON = 1 时

- 1 = A/D 转换正在进行 (该位置 1 启动 A/D 转换。A/D 转换结束后该位由硬件自动清零)
- 0 = 未进行 A/D 转换

bit 1 **保留**: 总是保持该位为 0。

bit 0 **ADON**: A/D 模块开启位

- 1 = A/D 转换器模块工作
- 0 = A/D 转换器关闭，不消耗工作电流

图注

R = 可读位

W = 可写位

U = 未用，读为 '0'

- n = 上电复位值

PICmicro 中档单片机系列

寄存器 23-2: ADCON1 寄存器

U-0	U-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	
—	—	ADFM	—	PCFG3	PCFG2	PCFG1	PCFG0	
bit 7								bit 0

bit 7:6 未用: 读为 '0'

bit 5 **ADFM**: A/D 结果格式选择位 (另见图 23-6)。
 1 = 右对齐, ADRESH 寄存器的高 6 位读为 '0'
 0 = 左对齐, ADRESL 寄存器的低 6 位读为 '0'

bit 4 未用: 读为 '0'

bit 3:0 **PCFG3:PCFG0**: A/D 端口配置控制位

PCFG	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0	VREF+	VREF-	C / R
0000	A	A	A	A	A	A	A	A	AVDD	AVSS	8 / 0
0001	A	A	A	A	VREF+	A	A	A	AN3	AVSS	7 / 1
0010	D	D	D	A	A	A	A	A	AVDD	AVSS	5 / 0
0011	D	D	D	A	VREF+	A	A	A	AN3	AVSS	4 / 1
0100	D	D	D	D	A	D	A	A	AVDD	AVSS	3 / 0
0101	D	D	D	D	VREF+	D	A	A	AN3	AVSS	2 / 1
011x	D	D	D	D	D	D	D	D	—	—	0 / 0
1000	A	A	A	A	VREF+	VREF-	A	A	AN3	AN2	6 / 2
1001	D	D	A	A	A	A	A	A	AVDD	AVSS	6 / 0
1010	D	D	A	A	VREF+	A	A	A	AN3	AVSS	5 / 1
1011	D	D	A	A	VREF+	VREF-	A	A	AN3	AN2	4 / 2
1100	D	D	D	A	VREF+	VREF-	A	A	AN3	AN2	3 / 2
1101	D	D	D	D	VREF+	VREF-	A	A	AN3	AN2	2 / 2
1110	D	D	D	D	D	D	D	A	AVDD	AVSS	1 / 0
1111	D	D	D	D	VREF+	VREF-	D	A	AN3	AN2	1 / 2

A = 模拟输入 D = 数字 I/O

C/R = 模拟输入通道数 / A/D 参考电压数

图注	R = 可读位	W = 可写位	- n = POR 复位值
	U = 未用, 读为 '0'		

注 1: 在器件的复位时, 复用为模拟功能 (ANx) 的端口引脚均被强制置为模拟输入。

23.3 操作

ADRESH:ADRESL 寄存器中保存了 A/D 转换的 10 位结果。当 A/D 转换完成之后，转换结果被载入这一 A/D 结果寄存器中，GO/DONE (ADCON0<2>) 位被清零，且 A/D 中断标志位 ADIF 置 1。A/D 模块的结构框图见图 23-1。

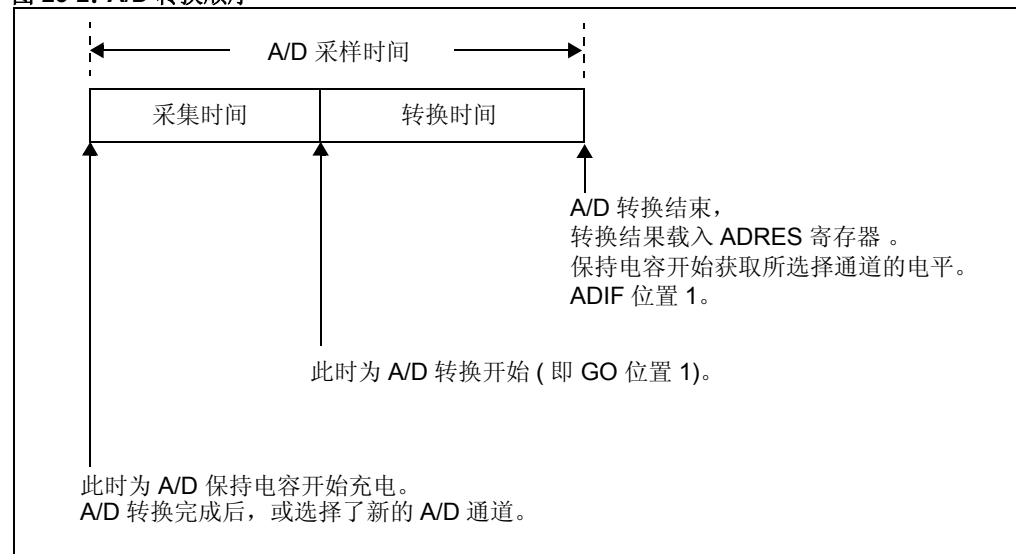
当配置好 A/D 模块后，在启动转换前必须先选择 A/D 转换的通道。模拟输入通道的相应 TRIS 位必须设置为输入。采集时间 (acquisition time) 的确定参见 23.4 “A/D 采集时间要求” 小节。在这一采集时间过去之后，A/D 转换即可开始。按照以下步骤进行 A/D 转换：

1. 配置 A/D 模块
 - 对模拟引脚 / 参考电压 / 数字 I/O (ADCON1) 进行配置
 - 选择 A/D 输入通道 (ADCON0)
 - 选择 A/D 转换时钟 (ADCON0)
 - 打开 A/D 转换模块 (ADCON0)
2. 需要时，设置 A/D 中断
 - 将 ADIF 位清零
 - 将 ADIE 位置 1
 - 将 GIE 位置 1
3. 等待所需的采集时间
4. 启动 A/D 转换
 - 将 GO/DONE 置 1 (ADCON0)
5. 等待 A/D 转换完成，通过以下两种方法之一可判断转换是否完成：
 - 轮询 GO/DONE 位是否被清零或 ADIF 位被置 1；
 或
 - 等待 A/D 转换的中断。
6. 读取 A/D 结果寄存器对 (ADRESH:ADRESL)，需要时将 ADIF 位清零。
7. 要再次进行 A/D 转换，根据要求转入步骤 1 或步骤 2。

要再次进行 A/D 转换，根据要求转入步骤 1 或步骤 2。每一位的 A/D 转换时间定义为 T_{AD} 。在每一次采集开始前至少需要等待 $2T_{AD}$ 。

图 23-2 为 A/D 转换顺序及所使用的术语。采集时间是 A/D 模块的保持电容连接到外部电平的时间。随后是 $12 T_{AD}$ 的转换时间，开始于 GO 位被置 1。这两段时间的总和即采样时间 (sampling time)。为确保保持电容充电至适当电平以使 A/D 转换达到所需精度，应保证一个最小采集时间。

图 23-2: A/D 转换顺序



23.4 A/D 采集时间要求

为了使 A/D 转换达到规定精度，必须让充电保持电容 (CHOLD) 充满至输入通道的电平。图 23-3 显示了模拟输入模型。模拟信号的源阻抗 (Rs) 和内部采样开关阻抗 (Rss) 直接影响电容器 CHOLD 所需的充电时间。采样开关 (Rss) 电阻随器件电压 (VDD) 变化，见图 23-3。模拟信号源的最大建议阻抗为 10 kΩ。采集时间随阻抗的降低而缩短。选择 (改变) 模拟输入通道后，在转换开始前必须先完成模拟信号的采集。

要计算最小采集时间，可使用等式 23-1。该公式假设误差为 1/2 LSB (即 A/D 的 1024 步)。1/2 LSB 误差是 A/D 模块达到规定分辨率的最大允许误差。

公式 23-1: 采集时间

TACQ	=	放大器的建立时间 + 保持电容器充电时间 + 温度系数
	=	TAMP + TC + TCOFF

公式 23-2: A/D 最小充电时间

VHOLD	=	$(VREF - (VREF/2048)) \cdot (1 - e^{(-Tc/CHOLD(RIC + Rss + Rs))})$
或		
Tc	=	$-(120 \text{ pF})(1 \text{ k}\Omega + Rss + Rs) \ln(1/2047)$

例 23-1 显示了所需最小采集时间 TACQ 的计算过程。该计算过程基于以下的假定：

CHOLD	=	120 pF	
Rs	=	10 kΩ	
转换误差	≤	1/2 LSB	
VDD	=	5V → Rss = 7 kΩ	(参见图 23-3)
温度	=	50°C (system max.)	
VHOLD	=	0V @ time = 0	

例 23-1: 计算所需最小采集时间 (情况 1)

TACQ	=	TAMP + TC + TCOFF
		只有在温度 > 25°C 时才需要温度系数
TACQ	=	2 μs + Tc + [(Temp - 25°C)(0.05 μs/°C)]
TC	=	-CHOLD (RIC + Rss + Rs) ln(1/2047)
		-120 pF (1 kΩ + 7 kΩ + 10 kΩ) ln(0.0004885)
		-120 pF (18 kΩ) ln(0.0004885)
		-2.16 μs (-7.6241)
		16.47 μs
TACQ	=	2 μs + 16.47 μs + [(50°C - 25°C)(0.05 μs/°C)]
		18.47 μs + 1.25 μs
		19.72 μs

第 23 章 10 位 A/D 转换器

当源阻抗为最小值时 ($R_s = 50 \Omega$)，来了解采集时间有什么变化。例 23-2 和例 23-1 的条件基本相同，唯一的不同在于源阻抗为最小值 ($R_s = 50 \Omega$)。

例 23-2: 计算所需的最小采集时间 (情况 2)

$$T_{ACQ} = T_{AMP} + T_C + T_{COFF}$$

只有在温度 $> 25^\circ\text{C}$ 时，才需要温度系数。

$$T_{ACQ} = 2 \mu\text{s} + T_c + [(\text{Temp} - 25^\circ\text{C})(0.05 \mu\text{s}/^\circ\text{C})]$$

$$T_c = -\text{CHOLD} (R_{IC} + R_{SS} + R_s) \ln(1/2047)$$

$$= -120 \text{ pF} (1 \text{ k}\Omega + 7 \text{ k}\Omega + 50 \Omega) \ln(0.0004885)$$

$$= -120 \text{ pF} (8050 \Omega) \ln(0.0004885)$$

$$= -0.966 \mu\text{s} (-7.6241)$$

$$= 7.36 \mu\text{s}$$

$$T_{ACQ} = 2 \mu\text{s} + 16.47 \mu\text{s} + [(50^\circ\text{C} - 25^\circ\text{C})(0.05 \mu\text{s}/^\circ\text{C})]$$

$$= 9.36 \mu\text{s} + 1.25 \mu\text{s}$$

$$= 10.61 \mu\text{s}$$

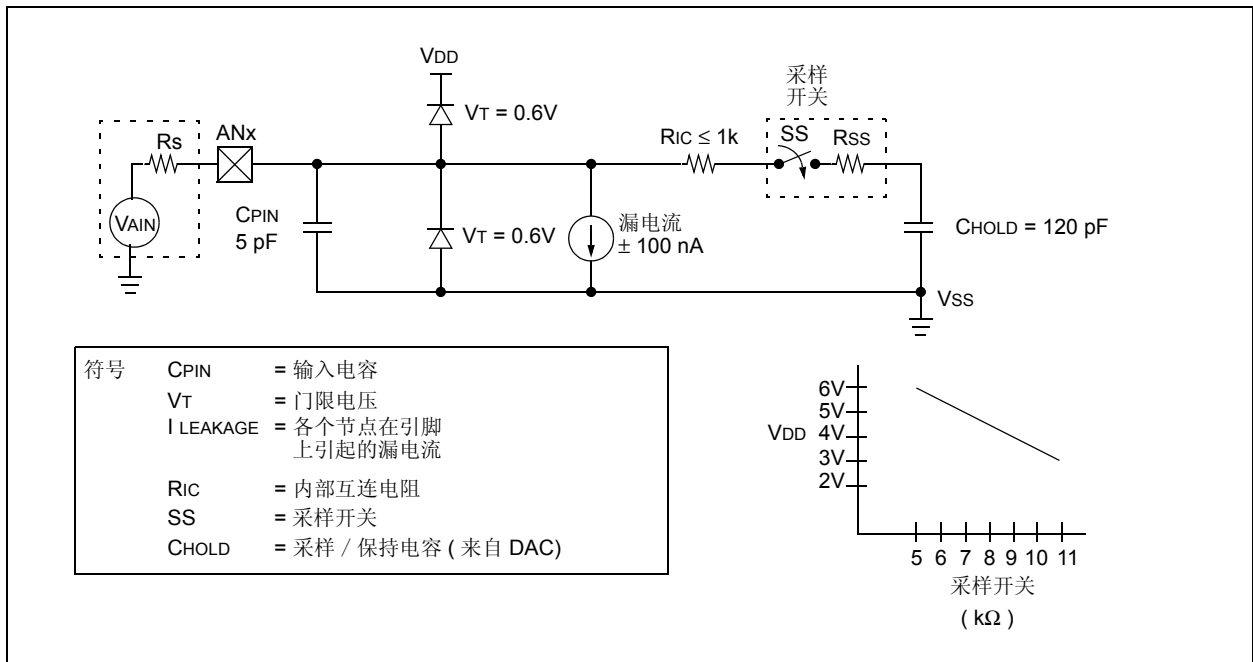
注 1: 参考电压 (V_{REF}) 对该公式不产生影响，因为它在计算中已将自身消去。

注 2: 在每次转换后，充电保持电容 (CHOLD) 并不放电。

注 3: 模拟信号源的最大建议阻抗为 $10 \text{ k}\Omega$ ，这是为了满足引脚漏电流的要求。

注 4: 在转换完成之后，下一次采集重新开始前应等待 $2.0 T_{AD}$ 。在此期间，保持电容并不与所选 A/D 输入通道相连接。

图 23-3: 模拟输入模型



23.5 A/D 转换时钟的选择

每一位的 A/D 转换时间被定义为 T_{AD} 。每完成一次 10 位 A/D 转换需要 11.5 个 T_{AD} 。A/D 转换的时钟可用软件进行选择，对于 T_{AD} 可以有以下 4 种选择：

- 2Tosc
- 8Tosc
- 32Tosc
- A/D 模块内部 RC 振荡器

为了确保 A/D 转换正确，A/D 转换时钟 (T_{AD}) 的选择必须满足最小 1.6 μs 的 T_{AD} 时间，参见“[电气规范](#)”一章中的[参数 130](#)。

表 23-1 和表 23-2 显示了器件在不同工作频率下以及所选的不同 A/D 时钟源下得到的 T_{AD} 结果。这些时间适用于标准电压范围的器件。

表 23-1: T_{AD} 与器件工作频率关系表 (对于标准的 C 型器件)

AD 时钟源 (T_{AD})		器件工作频率			
状态	ADCS1:ADCS0	20 MHz	5 MHz	1.25 MHz	333.33 kHz
2Tosc	00	100 ns ⁽²⁾	400 ns ⁽²⁾	1.6 μs	6 μs
8Tosc	01	400 ns ⁽²⁾	1.6 μs	6.4 μs	24 μs ⁽³⁾
32Tosc	10	1.6 μs	6.4 μs	25.6 μs ⁽³⁾	96 μs ⁽³⁾
RC	11	2 - 6 μs ^(1,4)	2 - 6 μs ^(1,4)	2 - 6 μs ^(1,4)	2 - 6 μs ⁽¹⁾

图注： 阴影部分不在推荐工作范围内。

注 1: RC 时钟源的典型 T_{AD} 为 4 μs 。

2: 这些值违反了所需最小 T_{AD} 时间规则。

3: 要加快转换时间，建议选择另一时钟源。

4: 器件工作频率高于 1 MHz 时，整个转换过程应在休眠模式下进行，否则 A/D 转换精度可能超出允许范围。

表 23-2: T_{AD} 与器件工作频率关系表 (对于扩展的 LC 型器件)

AD 时钟源 (T_{AD})		器件频率			
工作状态	ADCS1:ADCS0	4 MHz	2 MHz	1.25 MHz	333.33 kHz
2TOSC	00	500 ns ⁽²⁾	1.0 μs ⁽²⁾	1.6 μs ⁽²⁾	6 μs
8TOSC	01	2.0 μs ⁽²⁾	4.0 μs	6.4 μs	24 μs ⁽³⁾
32TOSC	10	8.0 μs	16.0 μs	25.6 μs ⁽³⁾	96 μs ⁽³⁾
RC	11	3 - 9 μs ^(1,4)	3 - 9 μs ^(1,4)	3 - 9 μs ^(1,4)	3 - 9 μs ^(1,4)

图注： 阴影部分不在推荐工作范围内。

注 1: RC 时钟源的典型 T_{AD} = 6 μs 。

2: 这些值违反了所需最小 T_{AD} 时间。

3: 要加快转换时间，建议选择另一时钟源。

4: 器件工作频率高于 1 MHz 时，整个转换过程应在休眠模式下进行，否则 A/D 转换精度可能超出允许范围。

23.6 模拟输入引脚的设置

ADCON1 和 TRISA 寄存器用来控制 A/D 端口引脚的运行。若希望端口引脚为模拟输入，则必须将其相应的 TRIS 位置 1(输入)；如果 TRIS 位被清零(输出)，则数字输出电平 (VOH 或 VOL) 将被转换。

A/D 转换与 CHS2:CHS0 位及 TRIS 位的状态无关。

- | |
|---|
| <p>注 1: 读取端口寄存器时，所有配置为模拟输入通道的引脚均读为 0(低电平)。配置为数字输入的引脚将转换模拟输入信号。配置为数字输入的引脚上的模拟电平将不影响转换精度。</p> <p>注 2: 定义为数字输入的引脚上的模拟电平(包括 AN7:AN0 引脚)，可能导致输入缓冲器消耗超出器件规范的电流。</p> |
|---|

23.7 A/D 转换的编程举例

例 23-3 显示了如何在 PIC17C756 上进行 A/D 转换。PORTF 端口和 PORTG 端口的低四位被配置成模拟输入。模拟参考电压 (VREF+ 和 VREF-) 为器件的 AVDD 和 AVSS。使能 A/D 中断，A/D 转换时钟设为 FRC。该转换在 AN0 引脚 (通道 0) 上进行。

注： 由于所需采集时间的要求，不应在打开 A/D 模块的同一指令中将 GO/DONE 位置 1。

在转换期间将 GO/DONE 位清零将中止当前 A/D 转换。A/D 结果寄存器对中的内容不会被部分完成的 A/D 转换样本所更新，即，ADRESH:ADRESL 寄存器对仍然保持上一次转换完成后的结果 (或上一次写入 ADRESH:ADRESL 寄存器中的值)。A/D 转换被中止后，在下次采集开始前，需要等待 2TAD 的时间。等待 2TAD 之后，采集将在所选通道上自动开始。

例 23-3: A/D 转换

```

BSF    STATUS, RP0      ; Select Bank1
CLRf   ADCON1          ; Configure A/D inputs,
                        ; result is left justified

BSF    PIE1, ADIE      ; Enable A/D interrupts
BCF    STATUS, RP0     ; Select Bank0
MOVLW  0xC1            ; RC Clock, A/D is on, Channel 0 is selected
MOVWF  ADCON0          ;
BCF    PIR1, ADIF      ; Clear A/D interrupt flag bit
BSF    INTCON, PEIE    ; Enable peripheral interrupts
BSF    INTCON, GIE     ; Enable all interrupts
;
; Ensure that the required sampling time for the selected input
; channel has elapsed. Then the conversion may be started.
;
BSF    ADCON0, GO      ; Start A/D Conversion
:      ; The ADIF bit will be set and the GO/DONE
:      ; bit is cleared upon completion of the
:      ; A/D Conversion.
    
```

图 23-4: A/D 转换中的 TAD 周期

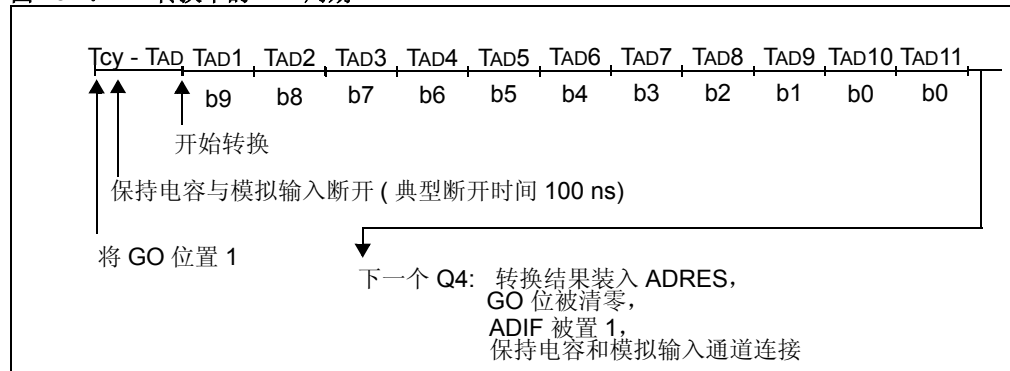
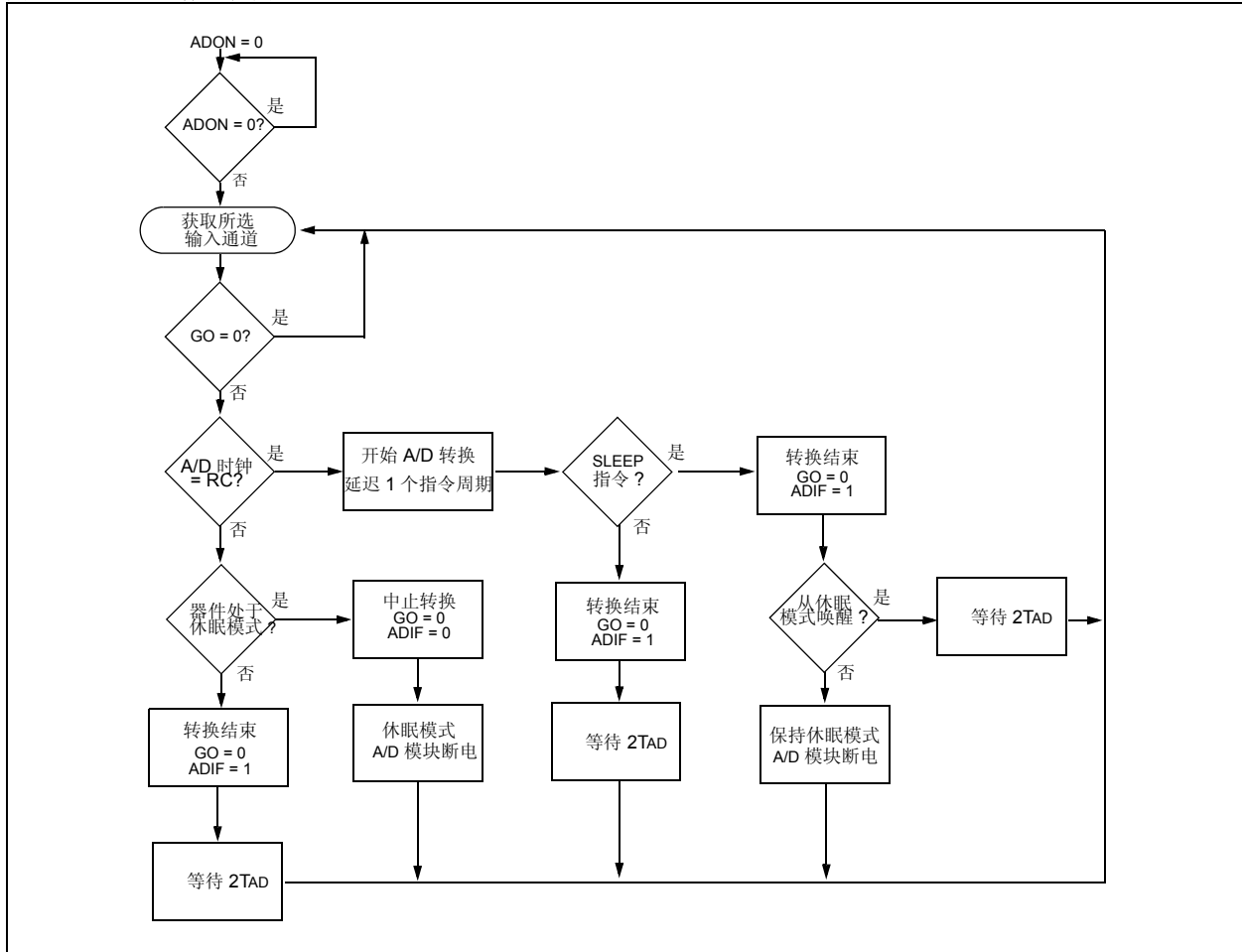


图 23-5: A/D 工作流程图



23.7.1 加快转换速度与降低转换精度的权衡

并非所有的应用都需要 10 位分辨率的转换结果，相反，它们可能需要更快的转换时间。A/D 模块允许用户降低转换分辨率以换取转换速度。无论所需的分辨率如何，采集时间都是相同的。为了加快转换速度，可切换 A/D 模块的时钟源，以使 T_{AD} 违反规定的最小时间（参见电气规范的有关说明）。一旦 T_{AD} 违反了规定最小时间，所有接下来的 A/D 转换结果位将不再有效（参见电气规范章节中有关 A/D 转换时间的说明）。时钟源只能在三种振荡器间切换（不能在振荡器模式和 RC 模式间相互切换）。用以下公式确定须经过多长时间才可切换振荡器：

$$\begin{aligned} \text{转换时间} &= T_{AD} + N \cdot T_{AD} + (11 - N)(2T_{OSC}) \\ \text{其中 } N &= \text{所需分辨率的位数} \end{aligned}$$

由于 T_{AD} 基于器件振荡器，用户必须使用一些方法（如定时器，软件循环等）以决定何时切换 A/D 振荡器。例 23-4 显示了 4 位分辨率与 10 位分辨率转换时间的对照。该例中器件的工作频率为 20 MHz（A/D 转换时钟设为 $32T_{OSC}$ ），并假定 A/D 时钟在紧随 $6T_{AD}$ 之后被设为 $2T_{OSC}$ 。

由于后 4 位将无法正确转换，因此 $2T_{OSC}$ 违反了最小 T_{AD} 时间规则。

例 23-4: 4 位和 10 位转换时间

	频率 (MHz) ⁽¹⁾	分辨率	
		5 位	10 位
T_{AD}	20	1.6 μs	1.6 μs
T_{OSC}	20	50 ns	50 ns
$2T_{AD} + N \cdot T_{AD} + (11 - N)(2T_{OSC})$	20	8.7 μs	17.6 μs

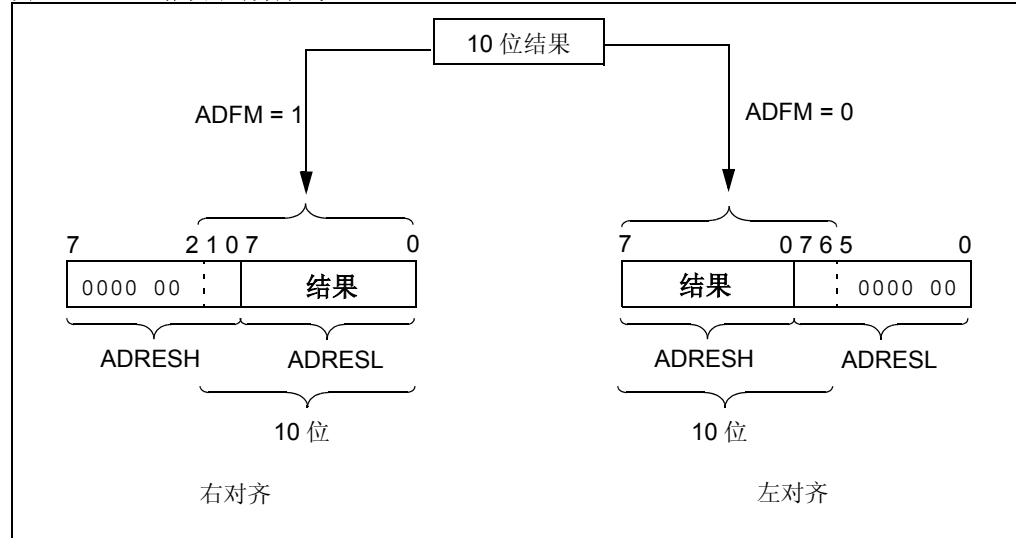
注 1: 要求最小 T_{AD} 时间为 1.6 μs 。

2: 若需全部 10 位转换结果，则不能切换 A/D 时钟源。

23.7.2 A/D 结果寄存器

在 A/D 转换结束后，其 10 位结果会存放于 ADRESH:ADRESL 寄存器对中。这对寄存器是 16 位宽。这一 A/D 模块提供了将 10 位结果以左对齐或右对齐的方式存放在 16 位结果寄存器中的灵活性。图 23-6 显示了 A/D 结果对齐的操作。多余位填入 '0'。当 A/D 结果不改写这些位置时 (A/D 被禁止)，这些寄存器可用作两个通用的 8 位寄存器。

图 23-6: A/D 结果的对齐方式



23.8 休眠期间的 A/D 转换

A/D 模块可在休眠期间运行，这需把 A/D 的时钟源设置成 RC 方式 (ADCS1:ADCS0 = 11)。选择了 RC 时钟源后，A/D 模块等待一个指令周期后才开始转换。这样使 SLEEP 指令得以执行，从而消除了转换时所有内部的数字开关噪声。A/D 转换完成后，GO/DONE 位清零，转换结果送入 ADRES 寄存器。如果 A/D 中断被使能，器件将从 SLEEP 唤醒。如果 A/D 中断被禁止，A/D 模块将被关闭，尽管此时 ADON 位保持置 1 状态。

如果 A/D 时钟源为另一时钟选项 (非 RC)，执行一条 SLEEP 指令将中止当前 A/D 转换并关闭 A/D 模块 (以节省功耗)，尽管此时 ADON 位保持置 1 状态。

将 A/D 关闭将 A/D 模块置于电流消耗最小的状态。

<p>注： 要使 A/D 模块在 SLEEP 模式下运行，A/D 时钟源必须被设置成 RC 模式 (ADCS1:ADCS0 = 11)。要在 SLEEP 下进行 A/D 转换，必须将 GO/DONE 位置 1，然后执行 SLEEP 指令。</p>
--

23.9 复位对 A/D 转换的影响

器件复位迫使所有寄存器进入复位状态，同时迫使 A/D 模块关闭并中止任何正在进行的转换。

上电复位时，ADRESH:ADRESL 寄存器中的值保持不变。上电复位后 ADRESH:ADRESL 寄存器中的值不确定。

23.10 A/D 转换精度与误差

在器件频率较低的系统中，最好使用 A/D 模块的 RC 时钟；在中高频时，TAD 应来源于器件的振荡器。

A/D 转换器的绝对精度参数包括量化误差、积分误差、微分误差、满量程误差、偏移误差和单一性等所有误差的总和。它被定义为任意数码的实际转换值和理想转换值之间的最大偏差。当 $V_{DD} = V_{REF}$ 时，A/D 转换器（在器件的规定工作范围内）的绝对误差为 $< \pm 1 \text{LSb}$ ；然而，当 V_{DD} 偏离 V_{REF} 时，A/D 转换器的精度将下降。

在一个给定的模拟输入范围内，A/D 的输出数码是相同的，这是因为模拟输入被量化到数码了。典型量化误差为 $\pm 1/2 \text{LSb}$ ，并存在于整个模拟数字转换过程中。减小量化误差的唯一方法是提高 A/D 转换器的分辨率。

偏移误差是首个实际数码转换电平与首个理想数码转换电平的差值。偏移误差使整个传递函数发生平移。通过模拟输入端的总漏电流和源阻抗的相互作用，偏移误差可在系统外校准或引入系统。

增益误差是指经过偏移误差调整后，末次实际转换电平与末次理想转换电平之间的最大偏差。增益误差显示为传递函数的斜率变化。增益误差和满量程误差的区别在于满量程误差不考虑偏移误差。增益误差可通过软件校正以从系统中消除。

线性误差是指数码一致性的变化。线性误差不能从系统中校准。积分非线性误差是指经过增益误差调整后，各个输出数码的实际转换电平和理想转换电平之间的差值。

微分非线性误差是指最大实际数码宽度和理想数码宽度之间的差值，该误差无法校正。

引脚的最大漏电流在器件数据手册的电气规范参数 D060 中作了规定。

在器件频率较低的系统中，最好使用 A/D 模块的 RC 时钟。在中高频时，TAD 应来源于器件的振荡器。TAD 不得违反最小时间，且应最大限度地降低以减小由噪声和采样保持电容器放电造成的误差。

在 A/D 转换开始后器件就进入休眠模式的系统中，必须选择 RC 时钟源。在这种模式下，消除了模块的数字噪声。这种方法能提供较好的转换精度。

23.11 连接时的考虑事项

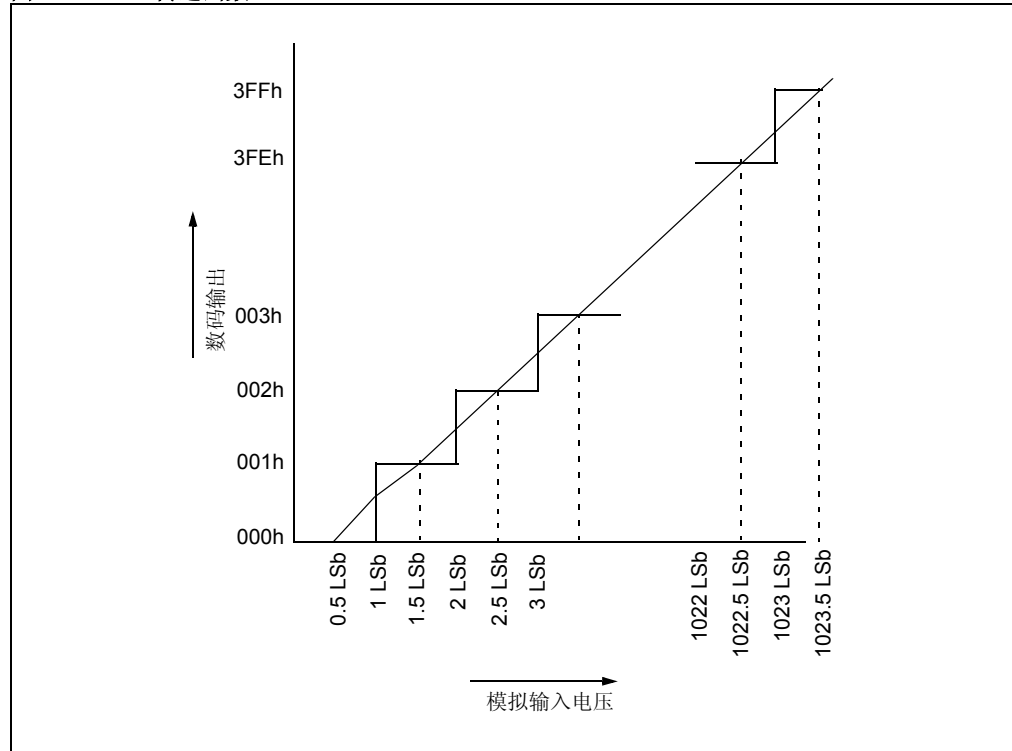
如果输入电压超出满幅电压值 (V_{SS} 或 V_{DD}) $0.3V$ ，转换精度将超出规定范围。

有时可增加一个输入信号抗混叠外部 RC 滤波器。选择的 R 元件应确保总源阻抗小于建议值 $10\text{ k}\Omega$ 。任何通过高阻抗连接到模拟输入引脚上的外部元件（如电容器、齐纳二极管等），应使其在引脚上的漏电流很小。

23.12 传递函数

以下是 A/D 转换器的理想传递函数：第一次转换发生在模拟输入电压 (V_{AIN}) 为 1 LSB (或模拟 $V_{REF} / 1024$) 时 (图 23-7)。

图 23-7: A/D 传递函数



23.13 初始化

例 23-5 给出了 A/D 模块的初始化。

例 23-5: A/D 初始化

```
BSF    STATUS, RP0      ; Select Bank1
CLRF   ADCON1           ; Configure A/D inputs
BSF    PIE1, ADIE       ; Enable A/D interrupts
BCF    STATUS, RP0      ; Select Bank0
MOVLW  0xC1             ; RC Clock, A/D is on, Channel 0 is selected
MOVWF  ADCON0           ;
BCF    PIR1, ADIF       ; Clear A/D interrupt flag bit
BSF    INTCON, PEIE     ; Enable peripheral interrupts
BSF    INTCON, GIE      ; Enable all interrupts
;
; Ensure that the required sampling time for the selected input
; channel has elapsed. Then the conversion may be started.
;
BSF    ADCON0, GO       ; Start A/D Conversion
:      :                 ; The ADIF bit will be set and the GO/DONE
:      :                 ; bit is cleared upon completion of the
:      :                 ; A/D Conversion.
```

23.14 设计技巧

问 1: *我发现模拟数字转换结果并不总是准确的。如何提高转换精度？*

答 1:

1. 请确保您满足了所有时序规范要求。如果你关闭 A/D 模块后再打开，应等待一个最小延迟时间后再开始采样；如果改变了输入通道，同样需要等待一个最小延迟时间后；最后是 TAD，它是所选择的每一位的转换时间。TAD 在 ADCON0 中选择，其值应该处于 1.6 到 6 μ s 之间。如果 TAD 太短，转换终止时尚未对数据进行完全转换，而如果 TAD 过长，采样电容上的电压会在转换结束前下降过大。“电气规范”一章中提供了这些计时参数。器件的具体信息请参见器件数据手册。
2. 模拟输入信号的源阻抗经常很高 (大于 1k ohms)，因此为采样电容充电的信号源的输出电流会影响精度。如果输入信号并不快速变化，可以尝试在模拟输入端连接一个 0.1 μ F 的电容。该电容可充电到所采样的模拟电压，并为内部 120 pf 的保持电容提供所需的瞬时充电电流。
3. 最后，直接参见数据手册的内容：“在器件工作频率较低的系统中，最好使用来自器件振荡器的 A/D 时钟 ... 这将在很大程度上降低数字开关噪声的影响”，以及“在 A/D 转换开始后器件就进入休眠模式的系统中，必须选择 RC 时钟源。这种方法可得到最高的转换精度。”

问 2: *在 A/D 转换开始后是否可以改变输出通道 (以便进行下一次转换)？*

答 2:

在保持电容从输入通道断开后，GO 位置 1 后 100 ns (典型值)，就可以改变输入通道。

问 3: *请问有没有关于 A/D 的较好的参考书？*

答 3:

“Analog-Digital Conversion Handbook”是便于理解 A/D 转换的较好的参考书，该书由 Prentice Hall 出版 (ISBN 0-13-03-2848-0)。

23.15 相关应用笔记

本部分列出了与本章内容相关的应用笔记。这些应用笔记并非都是专门针对中档单片机系列而写的 (即有些针对低档系列, 有些针对高档系列), 但其概念是相近的, 通过适当修改并受到一定的限制即可使用。目前与 10 位 A/D 模块相关的应用笔记有:

标题	应用笔记 #
Using the Analog to Digital Converter	AN546
Four Channel Digital Voltmeter with Display and Keyboard	AN557

23.16 版本历史

版本 A

这是描述 10 位 A/D 模块的初始发行版本。