

The DATASHEET

China Service Center of RAMTRON

铁电存储器数据手册

www.ramtron.com.cn

www.huazhoucn.com

absorbed in ferroelectrics
professional technology and attentive service

Product Preview
FM24C16A

16Kb FRAM Serial Memory


特性
16K 位的非易失性铁电随机存储器

- 组织结构为2048*8位
- 读写寿命为1万亿次
- 掉电数据保存10年
- 写数据无延时

快速两线串行协议

- 总线速度可以达到1MHZ
- 硬件上可以直接替换EEPROM

低功耗操作

- 工作电压为5V
- 工作电流为150UA
- 待机电流10UA

工业标准

- 工业温度- 40C to +80C
- 8脚---SOIC封装

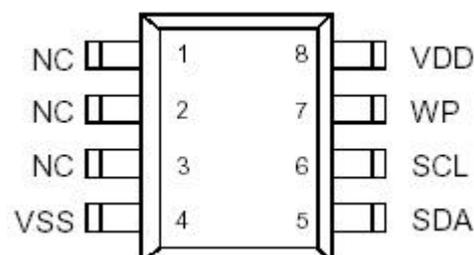
描述

FM24C16A是用先进的铁电技术制造的16K位的非易失性铁电随机存储器。FRAM具有非易失性，并且可以象RAM一样快速读写数据。在掉电状态下，数据可以保存10年。比EEPROM或其他非易失性存储器可靠性更高，系统更简单。

与EEPROM不同，FM24C16A以总线速度进行写操作，没有任何延时。数据送到FM24C16A 直接写到具体的单元地址，下一个操作可以立即执行。FM24C16A可以承受超过1万亿次的读写或者是比EEPROM高一百万倍的写操作。

FM24C16A的写能力使得它在需要对非易失性存储器快速读写的状况下非常理想。举例说，数据采集系统中对写入数据的频率要求高，即速度要求非常快。使用EEPROM可能丢失数据，这种综合优势使得系统可以更快地执行写操作，并具更少的系统开销。

FM24C16A为使用串行EEPROM的用户提供了便利，它在硬件上可以直接替换EEPROM。FM24C16A使用工业标准两线接口，8脚SOP封装，操作温度范围为：-40 至+85 。

引脚定义


Pin Names	Function
SDA	Serial Data/Address
SCL	Serial Clock
WP	Write Protect
VDD	Supply Voltage
VSS	Ground

Ordering Information

FM24C16A-S	8-pin SOIC
------------	------------

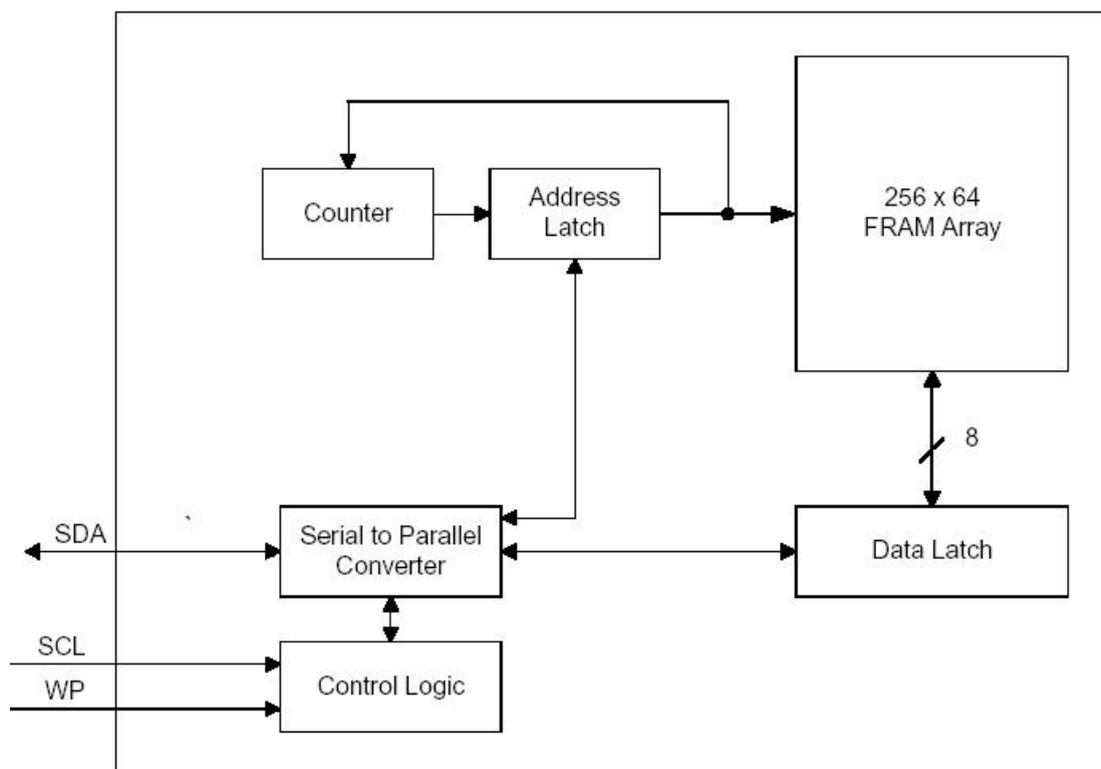


Figure 1. Block Diagram

引脚定义

名称	I/O	描述
SDA	I/O	串行地址\数据管脚：这个双向引脚用来传送地址和输入输出数据。这是一个开漏输出，以便与其它器件通过“线或”并接在双线总线上。输入缓冲区集成施密特触发器用以提高抗干扰性能，输出驱动器具有下降沿斜率控制。此端口必须外加上拉电阻。
SCL	输入	串行时钟：两线制总线的串行时钟输入。数据在时钟的下降沿移出器件，在时钟的上升沿移入器件，时钟端口同样具有施密特触发器用以提高抗干扰性能。
WP	输入	写保护：当WP为高电平时，存储器处于写保护状态，数据禁止写入；当WP为低电平时所有地址都能写入，这个管脚已经被内部下拉。。
VDD	电源	电源电压：5V
VSS	电源	地
NC	空脚	空脚

总体概述

FM24C16A是一种串行非易失存储器，它的结构容量为512*8位，接口方式为工业标准二线制造串行接口，与串行EEPROM的功能操作相似，与EEPROM具有相同的引脚排列，不同之处在于，FM24C16A具有非常出色的写操作性能。

内存结构

FM24C16A内部地址可分为2048个字单元。每个字单元为8位，数据位被串行移出。它使用二线制协议，包括一个从地址（区别其他存储器或器件）、一个行地址和一个段地址。行地址由8位构成，指定256行中一行。3位段地址指定一行里8段中的一段。全部的11位地址可以唯一指定一个字节地址。

FM24C16A的大多数功能由二线协议控制或由片上电路自动完成。它以二线制总线的速度进行读写，与EEPROM不同，FM24C16A不必对器件进行轮循以等待一个就绪状态，因为器件是以总线速度进行写操作，一个新的总线传输将数据移入器件的同时，一个写操作已经完成，更为详尽的描述将在下面的接口界面章节进行描述。

需要指出的是，FM24C16A没有类似内部电源管理电路而仅有一个简单的上电复位电路，因此，用户应保证电源电压（VDD）在数据表规定的误差范围内，防止器件出现误操作。

两线接口

FM24C16A使用二线制串行总线及其传输规约进行双向传输，这种方式占用脚位少，占用线路板空间小。图2描述了FM24C16A在微处理器系统中的典型配置。二线制总线协议对于大多数用户来说都比较熟悉，但我们依然在本章节中进行描述。

按照惯例，一般把数据传送到总线上器件定义为发送器，接受数据的器件为接受器，控制总线的称为主机。主机为所有操作产生时钟，所有在总线上被控制的称为从机。FM24C16A永远都是从机。

二线制协议即是总线上的所有的操作都是由SDA和SCL两个脚位的状态来确定的，共有四个状态：开始，停止，数据以及应答，图3描述了四个状态的时序图。详细时序在电气特性章节描述。

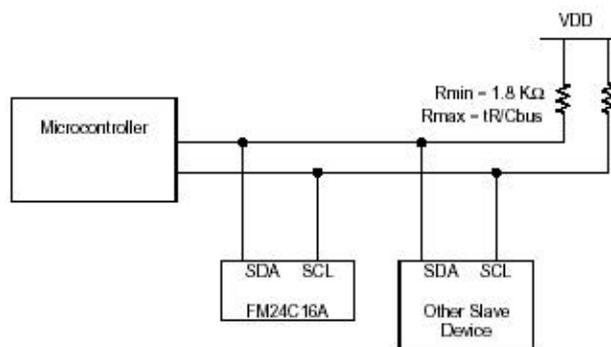


Figure 2. Typical System Configuration

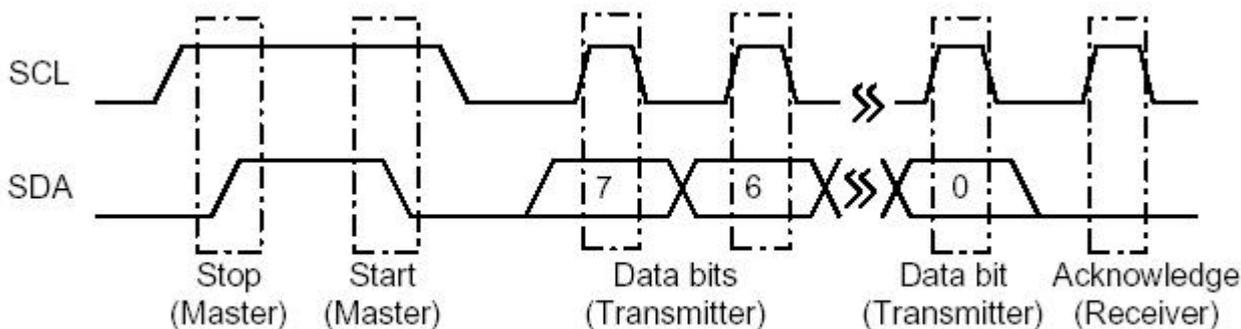


Figure 3. Data Transfer Protocol

停止

当主机把SDA从低电平拉为高电平，同时SCL信号为高电平时认为是停止信号，FM24C16A所进行的所有操作都必须以此信号结束，如果一个操作还未完成而此时出现了一个停止信号，那么这个操作将被中止。为了发布停止信号，主机必须控制SDA总线。

开始

当主机把SDA从高电平拉为低电平，同时SCL信号为高电平时被认为是开始信号，所有的读写操作均由开始信号开始。任何时候发布一个开始信号，一个进行中的操作都会被中止。使用开始信号中止一个操作的同时，FM24C04A也会处于开始一个新操作的就绪状态。在操作过程中，如果电压降低到规定电压的最低值以下时，FM24C16A执行另外一个的操作之前，会认为出现了一个开始信号。

数据/地址传送

所有数据传送（包括地址）都发生在SCL为高电平的时候，除了以上两种情况外，SDA信号在SCL为高电平时不能改变。

应答

在任何传送中，应答信号出现在第8位数据位被传送之后，在这个状态下，发送方应该释放SDA信号以便由接收方驱动。接受方驱动SDA为低电平，以应答收到一个字节数据。如果接收方没有发出应答信号，那么这是一个无应答状态，操作将被中止。有两个明显的理由使得接收方没有发出应答信号，第一是数据传送失败，

在这种状态下，无应答会中止当前操作以便器件被重新寻址，这允许在发生通讯错误时恢复最后一个传送字节。第二种情况也是最常见的情况，接收方有意不做应答以便结束操作。举例说，在读操作中，只要接收方发出应答信号（以及时钟信号），FM24C04A会继续把数据发送到总线上，当读操作结束时，接收方不应答最后传送的字节。如果接收方应答最后传送的字节，那么FM24C04A在下一个时钟来临时会试图继续驱动总线，而此时主机正在发送一个新的命令，比如停止信号。

从机地址

FM24C16A在开始条件后接受的第一个字节是物理地址，就象图4列出的。从机地址包括：部件类型、器件选择。被访问的页面还有一位是读写控制位。位7-4是部件类型，FM24C16A为1010B 部件类型，用以区分挂在两线接口上各种功能部件。位3-1为页选择，位0为读写控制位，低电平为写操作。

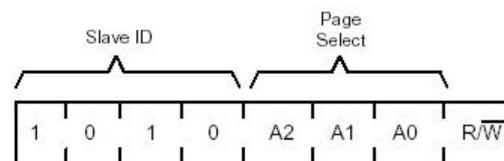


Figure 4. Slave Address

字地址

在FM24C16A（接收者）应答从地址后，主机将把字地址送到总线上进行一个写操作。字地址为地址的低八位，它将与3位的页选地址合并以选定需要写入的字节地址，完整的11位地址将在芯片内部锁存

读操作时，字地址不会出现。虽然3位页面选择位已在内部锁存，读操作总是使用内部锁存的低八位地址，那就是说，读操作总是从上一次访问的地址开始，如果需要读随机地址内存，那么可先执行一个写操作，这一点将在下面描述。

每一个字节传送后，FM24C16A内部地址锁存器在应答前递增。这样在没有另外的寻址要求情况下，就可以访问下一个顺序字节。在最后一个地址7FFH 到达后，地址计数器的内容又返回到000H。在一个读写操作中，没有访问字节数的限制。

数据传送

所有的地址信息被传送后，主机与FM24C16A之间的数据交换开始。对于一个读操作，FM24C16A将把8位数据放到总线上，然后等待应答。应答出现，开始下一个传送；应答不出现，读操作退出。对于写操作，FM24C16A从主机接收8位数据后给出应答。所有数据传送都以最高有效位在前的方式发送。

内存操作

FM24C04A被设计成和其他二线接口存储器产品相似的操作方式。最主要的不同是FRAM技术所具有的出色的写性能。这些改进使得FM24C04A与其它相似配置的EEPROM在写操作过程中有所不同，完整的读写操作描述如下。

写操作

所有写操作都是从传送从机地址和字地址开始的。主机通过设置从机地址的最低有效位为0来表示一个写操作。寻址后，主机传送数据的每个字节到存储器，存储器收到后发送应答。任意数量的顺序字节可以被写入存储器。如果地址到最后一个字节，地址计数器从7FFH翻转到000H。与其它的非易失性存储器技术不同，FRAM在本质上没有写延时。既然读写内存的周期都是相同的，用户无须任何总线延时。整个存取周期有时比一个总线周期还短，这样，在一个写操作后，可以进行任何操作，包括写操作或者读操作。”应答轮循”是EEPROM写操作过程中用到的一个方法，它用来查询一个写操作是否已经完成，对于FRAM来说，这是不需要的，如果去查询，那么将总是返回一个已完成信号。

在芯片内部，当数据的第8位被传送后，写操作开始，写操作在应答信号送出之前完成。这样，如果用户需要中止一个写操作而又不变更内存内容，那么应该在数据的第8位被发送之前，发送开始信号或停止信号。FM24C16A无需使用页缓冲。

WP引脚用来对内存阵列进行写保护，WP引脚拉高后，对所有内存地址写保护。当WP引脚有效时，FM24C16A不会应答试图写入内存的数据，另外，地址计数器也不会递增。WP拉低后，写保护特性不起作用。WP引脚被内部拉低，从发出开始信号到寻址完成，WP 引脚必须保持稳定。

图5描述的是单字节和多字节的操作。

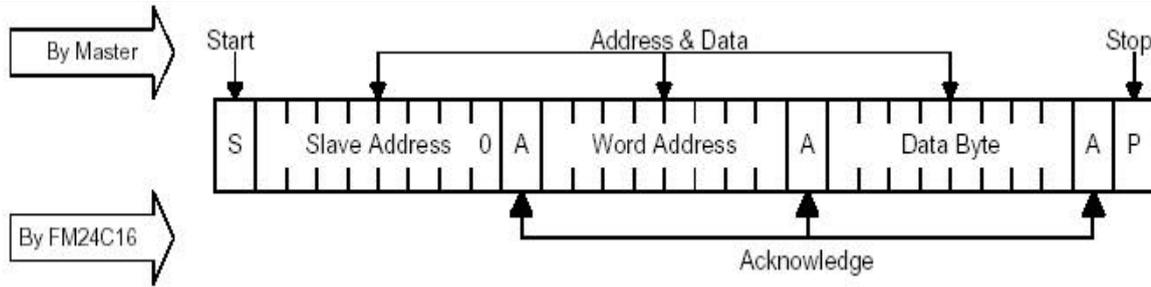


Figure 5. Single Byte Write

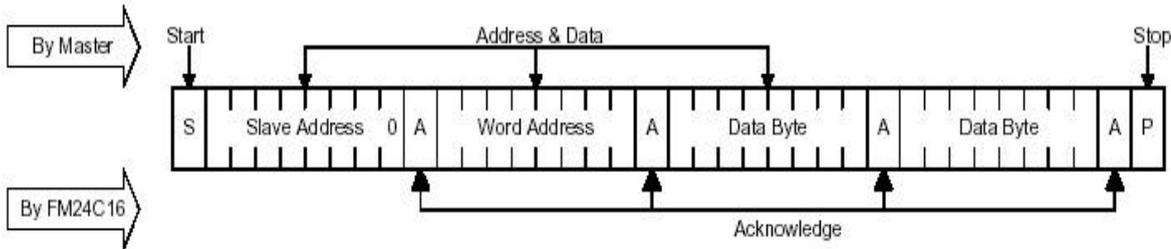


Figure 6. Multiple Byte Write

读操作

有两种基本类型的读操作：当前地址读操作和随机地址读操作。对当前地址进行读操作时，FM24C16A使用内部地址锁存器的内容作为操作的低8位地址。对随机地址进行读操作时，用户执行相应操作以设置地址锁存器的值为指定值。

当前地址&顺序连读操作

FM24C16A使用内部锁存器提供低八位地址进行读操作。当前地址读操作使用在地址锁存器中已存在的值作为读操作起始地址。

执行当前地址读操作，主机提供最低有效位置1的从机地址。这表示了一个读操作，从机地址中的页选择位用于指定读操作的内存页面，应答后，FM24C16A开始将数据从当前地址移出。当前地址是从机地址中的页面选择位与内部地址锁存器中的8位值的组合。

从当前地址开始，主机能随意读任意字节数，这样顺序连读即是多个数据传递的当前地址读，每传递一个字节，内部地址计数器将递增。每次主机确认一个字节，FM24C04A将读出下一个连续的字节。有四种方式可以正确的终止读操作，失败地终止读操作就很有可能会造成总线竞争，此时FM24C16A总是试图读出额外的数据送到总线上。

四种正确操作方法如下：

- 1、主机在第9个时钟不发应答信号，在第十个时钟发出停止信号。这将在下面图示说明，这也是首选的方法。
- 2、主机在第9个时钟不发应答信号，在第十个时钟发出开始信号。
- 3、主机在第9个时钟发出停止信号。有可能造成总线竞争。
- 4、主机在第9个时钟发出开始信号。有可能造成总线竞争。

如果内部地址到达7FFH，下一个读周期将翻转到000H。图7和8为当前地址和下一地址读的正确操作。

选择（随机）读

有一个简单的方法让用户选择一个随机地址作为读操作的起始地址，这需要由用户用写操作的前二个字节去设置内部地址锁存器。

执行一个选择性读操作，主机送出从机地址的同时，将最低位设置为0，这样就指定了一个写操作。根据写数据协议，主机随后送出地址字节，并被装进从机的内部地址寄存器，FM24C16A应答地址字节后，主机发出开始信号，这样就中止了写操作，同时将从机地址的最低位设置为1以开始一个读操作，这样读操作就变成对当前地址的读操作了。

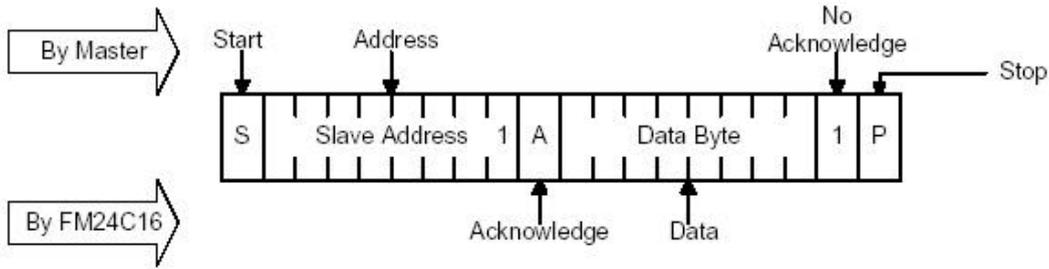


Figure 7. Current Address Read

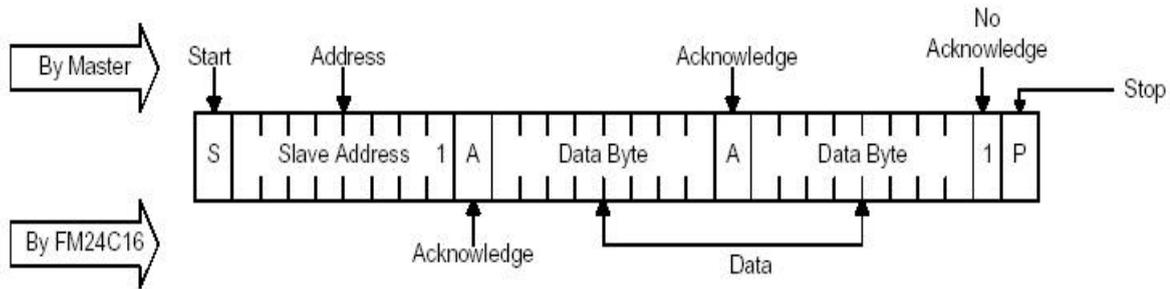


Figure 8. Sequential Read

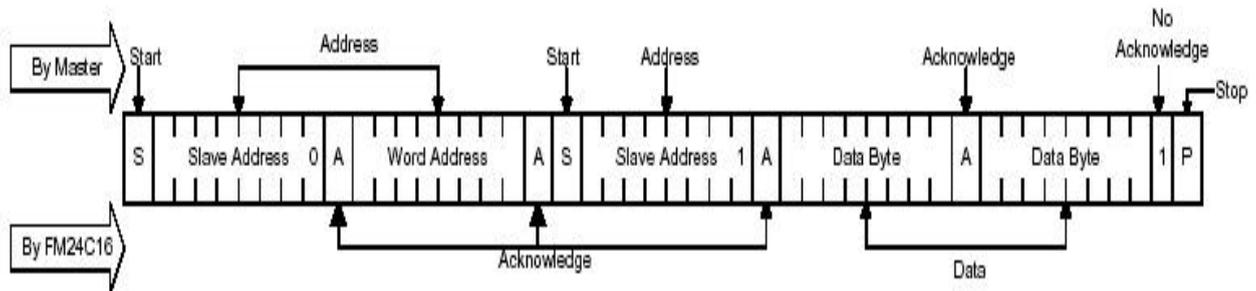


Figure 9. Selective (Random) Read

持久性和数据保存

FRAM内部采用读恢复机制操作。所以读写次数与每一次读写都有关系。FRAM结构是基于行与列阵列排布，行由A8- A2定义。每次访问都会使一行减少一次读写寿命。铁电的擦写次数几乎可以说是无限次。即使每秒访问3000次，连续使用十年，使用寿命仍未终止。

应用

铁电技术的优势可适用于广泛的领域。很明显，除了一次编程应用的其他所有领域，铁电记忆体在读写次数以及快速性均比EEPROM更具优势。最为明显的是在采集领域，在这种情况下要求写的频率高而且数据掉电不丢失。

1. 数据采集

在数据采集和存储领域中，FRAM提供了一种极具优化的方案。这个方案比SRAM加后备电池更经济，比EEPROM有更好的写特性。

2. 参数配置

任何非易失性存储器都能保存配置参数信息。但是，如果配置参数需要改变，或者电源有可能失效，FRAM出色的写性能使得参数的任何改变都可以被毫无限制地记录，任何时候，当系统的状态发生改变时，所有变化的参数都可以被写入FRAM，这就避免了当系统掉电再记录数据时，可用时间不足或电能不足的问题。

3. 高噪声环境

高噪声环境下写数据，对EEPROM来说极具挑战性。当严重的噪声或电源波动出现时，EEPROM较长的写入时间使得在写过程容易受到干扰，从而使写过程发生错误。而FRAM写操作速度非常快，仅在一个毫秒以内，这个速度可以有效地避免噪声和电源的干扰。

4. 加快上市速度

在一个复杂的系统中，多个软件程序都需要访问非易失性记忆体。在这种情况下，由于EEPROM操作中必须有时间延时，这不当地增加了软件开发的复杂性，在允许一个软件程序访问前，当前的软件操作必须结束。当上市时间要求严格时，FRAM可以排除这种障碍，因为FM24C04A在写操作中没有任何延时，写操作发生时，就已经完成了。

5. RF/ID

在无接触存储领域，FRAM提供了完美的方案。因为RF/ID的存储器是通过RF方式供电，太长

写入时间和太大功耗使得EEPROM在这种应用场合很不可取，FM24C04A提供了一个完美的解决方案，它特别适合应用于双芯片的RF/ID产品中。

6. 黑匣子

在一个高度复杂的系统中，操作记录和系统状态在发生故障前都必须被记录，当信息需要频繁记录时，这种记录装置就是成为必需了。由于具有出色的写性能，FRAM可以完美的记录系统日志，另外FM24C04A的两线制协议可以占用最少的系统资源。

电气特性

Absolute Maximum Ratings

Symbol	Description	Ratings	Notes
V_{DD}	Power Supply Voltage with respect to V_{SS}	-1.0V to +7.0V	
V_{IN}	Voltage on any signal pin with respect to V_{SS}	-1.0V to +7.0V and $V_{IN} < V_{DD} + 1.0V$	1
T_{STG}	Storage temperature	-55°C to +125°C	
T_{LEAD}	Lead temperature (Soldering, 10 seconds)	300° C	

Note 1: The $V_{IN} < V_{DD} + 1.0V$ requirement does not apply to the SDA and SCL pins.

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only, and the functional operation of the device at these or any other conditions above those listed in the operational section of this specification is not implied. Exposure to absolute maximum ratings conditions for extended periods may affect device reliability.

DC Operating Conditions ($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, $V_{DD} = 4.5V$ to $5.5V$ unless otherwise specified)

Symbol	Parameter	Min	Typ	Max	Units	Notes
V_{DD}	Main Power Supply	4.5	5.0	5.5	V	
I_{DD}	VDD Supply Current @ SCL = 100 kHz @ SCL = 400 kHz @ SCL = 1 MHz		115 400 0.8	150 500 1	μA μA mA	1
I_{SB}	Standby Current		1	10	μA	2
I_{LI}	Input Leakage Current			10	μA	3
I_{LO}	Output Leakage Current			10	μA	3
V_{IL}	Input Low Voltage	-0.3		$0.3 V_{DD}$	V	4
V_{IH}	Input High Voltage	$0.7 V_{DD}$		$V_{DD} + 0.5$	V	4
V_{OL}	Output Low Voltage @ $I_{OL} = 3\text{ mA}$			0.4	V	
R_{IN}	Input Resistance (WP pin) For $V_{IN} = V_{IL}$ (max) For $V_{IN} = V_{IH}$ (min)	50 1			$\text{K}\Omega$ $\text{M}\Omega$	5
V_{HYS}	Input Hysteresis	$0.05 V_{DD}$			V	4

Notes

1. SCL toggling between $V_{DD} - 0.3V$ and V_{SS} , other inputs V_{SS} or $V_{DD} - 0.3V$.
2. SCL = SDA = VDD. All inputs V_{SS} or VDD. Stop command issued.
3. V_{IN} or $V_{OUT} = V_{SS}$ to V_{DD} . Does not apply to pins with pull down resistors.
4. This parameter is characterized but not tested.
5. The input pull-down circuit is strong (50K.) when the input voltage is below V_{IL} and much weaker (1M.) when the input voltage is above V_{IH} .

AC Parameters ($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, $V_{DD} = 4.5\text{V}$ to 5.5V unless otherwise specified)

Symbol	Parameter	Min	Max	Min	Max	Min	Max	Units	Notes
f_{SCL}	SCL Clock Frequency	0	100	0	400	0	1000	kHz	1
t_{LOW}	Clock Low Period	4.7		1.3		0.6		μs	
t_{HIGH}	Clock High Period	4.0		0.6		0.4		μs	
t_{AA}	SCL Low to SDA Data Out Valid		3		0.9		0.55	μs	
t_{BUF}	Bus Free Before New Transmission	4.7		1.3		0.5		μs	
$t_{HD:STA}$	Start Condition Hold Time	4.0		0.6		0.25		μs	
$t_{SU:STA}$	Start Condition Setup for Repeated Start	4.7		0.6		0.25		μs	
$t_{HD:DAT}$	Data In Hold Time	0		0		0		ns	
$t_{SU:DAT}$	Data In Setup Time	250		100		100		ns	
t_R	Input Rise Time		1000		300		300	ns	2
t_F	Input Fall Time		300		300		100	ns	2
$t_{SU:STO}$	Stop Condition Setup	4.0		0.6		0.25		μs	
t_{DH}	Data Output Hold (from SCL @ V_{IL})	0		0		0		ns	
t_{SP}	Noise Suppression Time Constant on SCL, SDA		50		50		50	ns	

Notes : All SCL specifications as well as start and stop conditions apply to both read and write operations.

1 The speed-related specifications are guaranteed characteristic points from DC to 1 MHz.

2 This parameter is periodically sampled and not 100% tested.

Capacitance ($T_A = 25^\circ\text{C}$, $f = 1.0\text{MHz}$, $V_{DD} = 5\text{V}$)

Symbol	Parameter	Max	Units	Notes
C_{IO}	Input/output capacitance (SDA)	8	pF	1
C_{IN}	Input capacitance	6	pF	1

Notes

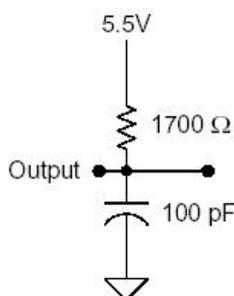
1 This parameter is periodically sampled and not 100% tested.

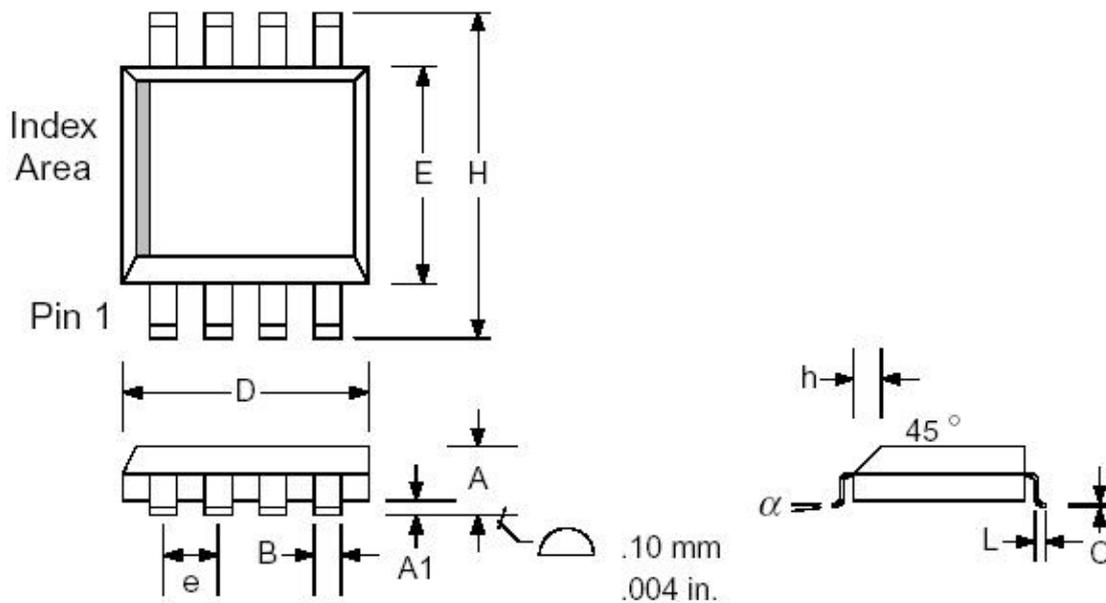
AC Test Conditions

Input Pulse Levels 0.1 VDD to 0.9 VDD

Input rise and fall times 10 ns

Input and output timing levels 0.5 VDD

Equivalent AC Load Circuit


8-pin SOIC (JEDEC MS-012 variation AA)

Selected Dimensions

Refer to JEDEC MS-012 for complete dimensions and notes.

Controlling dimensions in millimeters.

Conversions to inches are not exact.

Symbol	Dim	Min	Nom.	Max
A	mm in.	1.35 0.053		1.75 0.069
A1	mm in.	0.10 0.004		0.25 0.010
B	mm in.	0.33 0.013		0.51 0.020
C	mm in.	0.19 0.007		0.25 0.010
D	mm in.	4.80 0.189		5.00 0.197
E	mm in.	3.80 0.150		4.00 0.157
e	mm in.		1.27 BSC 0.050 BSC	
H	mm in.	5.80 0.228		6.20 0.244
h	mm in.	0.25 0.010		0.50 0.197
L	mm in.	0.40 0.016		1.27 0.050
α		0°		8°

Revision History

Revision	Date	Summary
0.1	6/26/02	Initial Release

(Edition V1.1 By:Tiger ShenZhen huazhou science and technology co.,ltd)