



## FM24CL64

64Kb 3V FRAM 串行存储器

### 特性

#### 64K位非易失性铁电存储器

- 组织结构为8,192 x 8位
- 读/写次数无限制
- 掉电数据保持 10 年
- 写数据无延时
- 采用先进的高可靠性的铁电制造工艺

#### 低功耗操作

- 真正 2.7V-3.6V 操作电压
- 动态工作电流 (100 kHz) 75  $\mu$ A  
可编程的看门狗定时器
- 静态电流 1  $\mu$ A

#### 快速的串行两线接口

- 总线速度最大可达 1MHz
- 硬件上可直接取代 EEPROM
- 支持以前的时速 100 kHz & 400 kHz

#### 工业标准配置

- 工业温度 -40° C 到 +85° C
- 8管脚 SOIC 封装

### 描述

FM24CL64是采用先进的高可靠性的铁电材料加工制成的64K位的铁电非易失性存储器。铁电随机存储器或FRAM是非易失性的，并且可以像RAM一样的快速读写。数据在掉电后可以保存10年，并且它比EEPROM和其他非易失性记忆体系统可靠性更高，结构更简单，功耗低等优点。

FM24CL64 以总线速度执行写操作，无写延时。下一个总线操作可立即开始而无需数据轮询。此外，此产品能够承受写操作指令远远多于 EEPROM。FRAM 写操作无需写电路内部电压上升，因而它比 EEPROM 功耗更低。

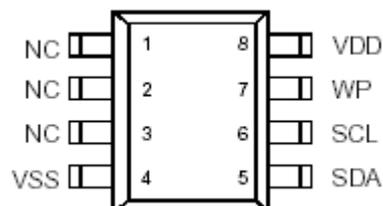
这些特性使得 FM24CL64 在一些要求系统操作频率或者读写速度高的非易失性应用场合中非常理想。举例来说，数据采集的应用中，系统对写周期的要求很高，在苛刻的工业控制

中，EEPROM较长的写周期可能导致数据丢失。FM24CL64这些综合特性使得系统具有更快的写操作速度和更少的系统消耗。

FM24CL64为串行EEPROM用户提供了极大的便利，这些便利可直接替换硬件来获得。

FM24CL64 使用工业标准两线接口，8 脚表面贴片式封装。操作温度范围为：-40°C 到+85°C。

### 管脚结构



Pin Names	Function
SDA	Serial Data/Address
SCL	Serial Clock
WP	Write Protect
VDD	Supply Voltage
VSS	Ground

Ordering Information	
FM24CL16-S	8-pin SOIC
FM24CL16-G	8-pin SOIC - "Green" Assembly Flow

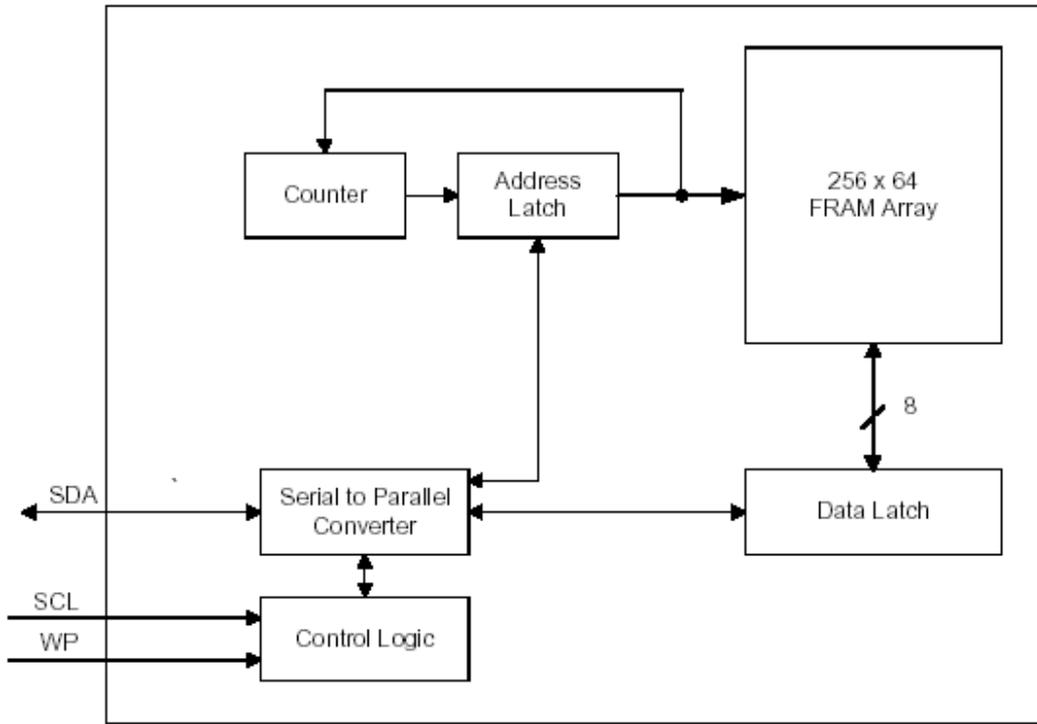


图1、方框图

管脚描述

管脚名	类型	管脚描述
SDA	I/O	串行数据/地址：这个双向的引脚用来为两线接口传送地址和输入输出数据。它使用一个开漏输出以便与其他器件通过“线或”并接在双线总线上。输入缓冲区集成Schmitt触发器用以提高抗干扰性能，输出驱动器控制下降沿的斜率。此管脚必须外加一个上拉电阻。
SCL	输入	串行时钟： 两线总线串行时钟输入。数据在时钟下降沿移出器件，而在时钟上升沿移入器件。SCL也兼容一个施密特触发器以提高抗干扰性。
WP	输入	写保护：当WP紧靠VDD时，整个内存阵列写保护；WP接地时，所有地址可写。此管脚内部下拉。
VDD	电源	电源电压 2.7V-3.6V
VSS	电源	接地
NC	—	不连接

### 概要

FM24CL64是串行FRAM存储器。记忆体架构为8,192 x 8位，使用工业标准的两线串行接口。FRAM功能的操作跟串行的EEPROMs相似。

FM24CL64跟串行EEPROM之间主要的差异是同样的脚位排列，而前者具有更优越的写性能。

### 内存结构

FM24CL64内部地址可分为8,192个字单元，每个字单元为8位，数据位被串行移出。它使用两线协议，包括一个从地址（区别其他非存储器或器件），和一个16位扩展地址，地址低13位用来为内存访问译码。最高地址位必须设置到0以便将来兼容更高容量的器件。

内存操作的访问时间本质上跟串行协议时间是相等的。也就是说，FM24CL64是以两线制总线速度进行读写操作。跟EEPROM不同，FM24CL64不必对器件进行轮询以等待一个就绪状态，因为器件是以总线速度执行写操作，也就是，当一个新的总线传输将数据移入器件的同时，一个写操作已经完成。这将在下面的接口界面更详尽地描述。

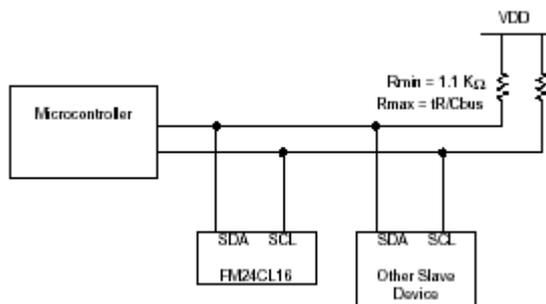
与EEPROM相比较，由于FM24CL64更快速的写操作和极高的擦写次数的特性，用户能获得一些明显的系统优势。然而也有不明显的优点。例如，在高噪音环境下，FM24CL64的写操作不像EEPROM那样易受干扰而中断，因为它写入速度极快。相反，在大部分的时钟周期中，要求以毫秒级写操作的EEPROM，受干扰的可能性就大得多。

注意，用户需要确保电源电压VDD在数据表规定的误差范围内，以防器件误操作。

### 两线接口

FM24CL64使用两线制串行总线及其传输规约进行双向传输，这种方式脚位少，占用线路板空间小。图2介绍了FM24CL64在微处理器系统中应用的典型配置。大多数用户对工业标准的两线制总线协议已经很熟悉了，但这一节仍然对其进行描述。

按照惯例，传送数据到总线的器件是发送器，而目接受数据得器件是接收器。控制总线的是主机。主机为所有操作产生时钟。所有在总线上被控制的叫从机。FM24CL64永远都是从机。总线上的所有操作是由SDA和SCL两个脚位状态来确定的。有四种状态：开始，结束，数据和应答。图3介绍了四种状态的时序图。详细的时序图将在电气特性中描述。



### 停止

当主机将SDA从低电平拉高，而SCL信号为高电平时，为停止信号。所有操作都应该以此信号结束。如果停止信号出现，操作未完成，此操作中止。主机必须控制SDA总线（不是记忆体读取），以发布停止信号。

### 开始

当主机把SDA从高电平到拉低，而SCL信号为高电平时，为开始信号。所有读写操作都开始于开始信号。正在进行的操作可以在任何时间内因

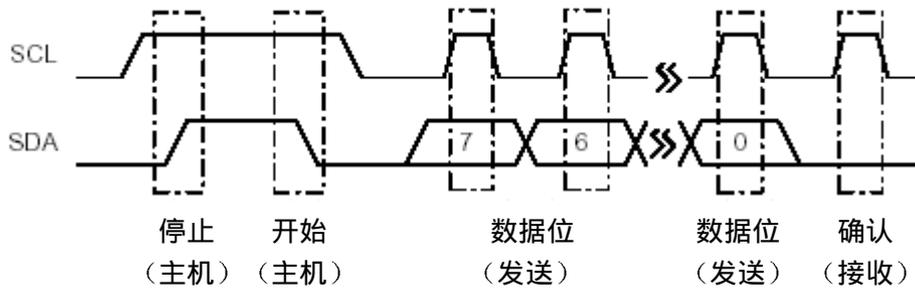


图3、数据传输协议

为一个开始信号宣布而中止。开始信号中止一个操作时，FM24CL64处于开始一个新的操作的就绪状态。

在操作过程中，当电源电压降低到规定电压VDD最小值以下，系统将优先发布一个开始信号，再至执行其他操作。

### 数据/地址 传送

所有数据传送（包括地址）都发生在SCL信号为高电平时。除了在上述两种情况下，当SCL为高电平时，SDA信号不能改变。

### 应答

在任何传送中，应答信号发生在第8位数据位被传送后。在此状态下，发送器应该释放SDA信号，以便接收器驱动。接收器驱动SDA信号到低电平，来应答收到一个字节数据。如果接收器没有把SDA拉低，即无应答，操作中止。

接收器无应答有两个明显原因。首先，数据传送失败，无应答结束正进行的操作，以便器件能被重新寻址。

这可以使最后一个传送字节在通讯错误的情况下恢复。第二且最常见的是，接收器有意不应答以便结束操作。例如，在读操作中，只要接收器发出应答信号（和时钟），FM24CL64就会继续将数据发送到总线上。读操作完成后，无需更多数据，接收器不应答最后传送的字节。如果接收器应答了最后传送字节，将会导致FM24CL64在下一个时钟来临时会试图继续驱动总线，而此时主机正发送一个新的命令，比如停止信号。

### 从机地址

开始信号后，FM24CL64所接收的第一个字节就是从机地址。如图4所示，从机地址包括器件类型，器件选择位，和读写控制位。数位7—4是器件类型，FM24CL64必须被设置为1010b。器件类型用以区分挂在两线接口上的各种功能部件。数位3—1是器件选择位，必须跟相应的外部引脚地址值相匹配以选择芯片。共有8个FM24CL64芯片被置于同一两线总线上，而各具有不同的地址值。位0是读/写控制位。A1表示读操作，低电平（A）0表示写操作。

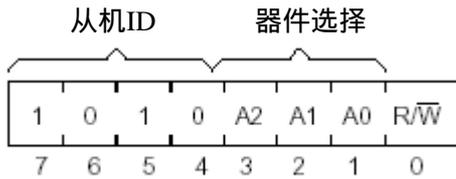


图4、从机地址

## 地址总概

FM24CL64（作为接收器）应答器件地址后，主机将内存地址放到总线上，预备一个写操作。内存地址包含两个字节，第一个字节是地址的最高有效位（高字节）。因为器件仅使用13位地址，高数位被忽略，紧跟高位字节的是地址的低位字节，它包含余下的8位地址，地址内部锁存。每次访问产生锁存地址自动递增，当前地址是锁存器中锁存地址，或者是最近写入的值，或者是上次内存访问的地址值。只要电源保持，或者直到一个新的数值被写取，当前地址就会被一直保留。读操作总是使用当前地址，一个随机读操作可以通过一个地址写入操作来实现，解释如下。

每一个数据字节被传送后，在应答之前，FM24CL64内部地址递增。这允许下一个连续字节可以被访问而无需额外外部寻址。到达最后一个地址（1FFh）后，地址锁存器内容将返回到0000h。读写操作的访问的字节数目是没有限制的。

## 数据传送

所有地址信息被传送后，主机和FM24CL64之间的数据交换开始进行。读操作时，FM24CL64将把8位数据放到总线上，等待应答。如果应答出现，开始下一个连续字节被传送。如果无应答，读操作退出。写操作时，FM24CL64将从主机接受8位数据，然后发出应答。所有数据传送都以最高有效位在前的方式传送。

## 内存操作

FM24CL64被设计成跟其他二线接口的存储器产品相似的操作形式。主要的差异是FRAM技术所具有的出色的写性能。这些改进产生了FM24CL64和相似构造的EEPROM在写操作上的一些差异。完整的读写操作描述如下：

## 写操作

所有的写操作都开始于传送从机地址，然后是字地址。主机通过设置从机地址最低有效位（LSB）为0来表示一个写操作。寻址后，主机传送每一数据字节到存储器中，存储器收到后发送应答。任意数量的连续字节都可被写入存储器。如果地址到达最后一个字节，地址计数器将从1FFh翻转到000h。

与其他非易失性存储技术不同，FRAM实质上无写延时。整个存取周期比一个总线时钟还短。因此，在一个写操作后，可以进行任何操作，包括写操作或读操作。“应答轮询”是EEPROMs写操作过程中用到的一个方法，用来查询一个写操作是否完

后，写操作开始，写操作在应答信号送出前完成。这样，如果用户需要中止一个写操作而不变更内存内容，就需要在第8位数据被发送前，发送开始或停止信号。FM24CL64无需使用页缓冲。

WP引脚用来对内存阵列进行写保护。设置WP引脚为高电平，写保护所有地址，FM24CL64不会应答试图写入被保护地址的数据，地址计数器

也不会递增。设置WP为低电平，写保护无效，WP内部下拉。  
图5和6描述的是单字节和多字节的操作。

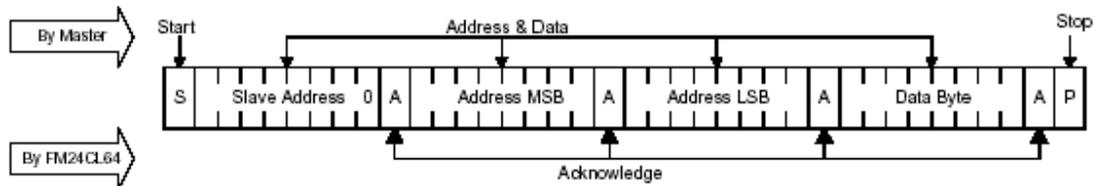


Figure 5. Single Byte Write

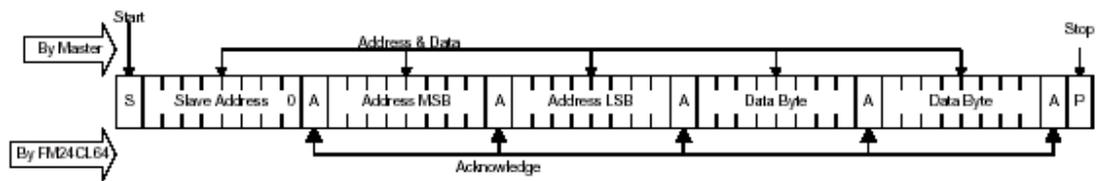


图 6、多字节写入

### 读操作

读操作有当前地址读操作和随机地址读操作两种基本形式。在当前地址读操作中，FM24CL64使用内部地址锁存器的内容作为操作的低8位地址。在随机地址读操作中，用户**执行相应操作以设置地址锁存器的值为指定值。**

#### 当前地址和连续地址读

FM24CL64使用一个内部锁存器提供低8位地址来进行读操作。当前地址读操作使用一个地址锁存器内已存在的数值作为读操作的起始地址。这个地址紧跟上一个操作。

执行当前地址读操作时，主机提供一个最低有效位置 1 的从机地址，这表示读操作将开始。接收完完整的器件地址后，FM24CL64 将从当前地址移出数据到下一个时钟。当前地址是内部地址锁存器上的值。

从当前地址开始，主机能够读写任意数目的字节。因此，一个连续读操作实际上就是多个数据传递的当前地址读。每传递一个字节，内部地址计数器都会递增。主机每确认一个字节，FM24CL64将读取下一个连续字节。有四种正确终止读操作的方式。终止读操作失败将很有可能造成总线竞争，此时FM24CL64总是试图读出多余的数据送到总线上。

四种正确操作方法如下：

1. 主机在第9个时钟不发应答信号，在第10个时钟发出停止信号。具体解释如下图，这是首选方法。
2. 主机在第9个时钟不发应答信号，在第10个时钟发开始信号
3. 主机在第9个时钟发出停止信号。
4. 主机在第9个时钟发出开始信号。

如果内部地址到达1FFFh，下一个读周期将会翻转到000h。

图7和图8描述当前地址读的正确操作。

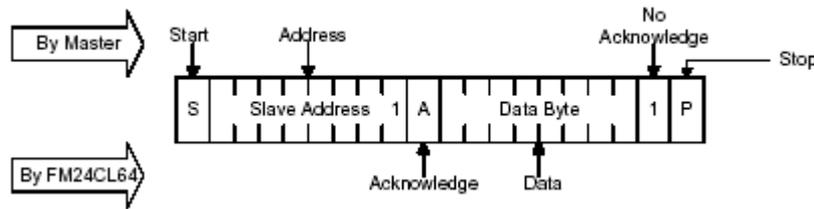


图 7、当前地址读

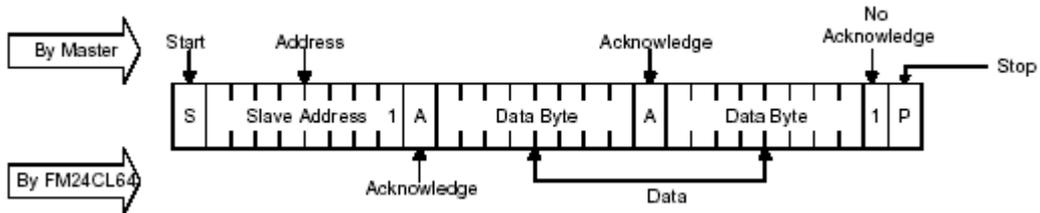


图 8、连续地址读

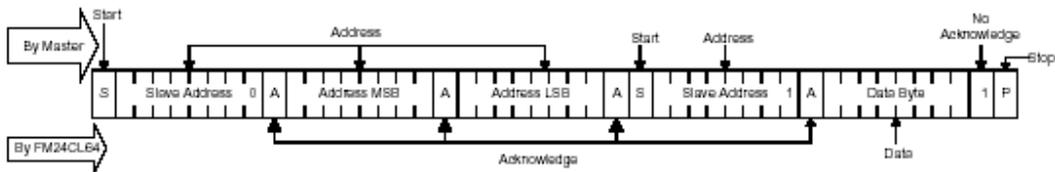


图 9、选择（随机）读

## 应用

铁电技术的优势可适用于广泛的领域。很明显，除了一次编程应用的其他所有领域，铁电记忆体在读写次数以及快速性均比EEPROM更具优势。此优势最明显表现在要求写频率高而数据在掉电情况下不丢失的数据采集领域中。

快速写性能和高擦写次数结合带来的优越性表现在许多非易失性应用领域中。

简单介绍如下：

1. **数据采集** 在数据采集和存储领域中，FRAM提供了一种极具优势的方案。它比带后备电池的SRAM更节省成本，并且比EEPROM更好的写特性。

2. **参数配置** 任何非易失性存储器都能保持其配置参数信息。但是，如果配置参数需要改变，或者电源有可能失效，FRAM出色的写性能使得参数得任何改变都可以被毫无限制地记录，任何时候，当系统的状态发生改变时，所有变化的参数都可以被写入FRAM。这就避免了当系统掉电再记录数据时，可用时间短或能源供应不足的问题。

3. **高噪声环境** 在高噪声环境下写数据，对于EEPROM极具挑战性。在严重的噪声或电源波动的情况下，EEPROM 较长的写入时间使写过程易被干扰，从而使写操作过程发生错误。而写FRAM速度非常快，可在一微秒内完成。时间之短可有效避免噪声或电源波动的干扰。

4. 加快上市速度 在一个复杂的系统中，多个软件程序都需要例行访问非易失性记忆体。在这种情况下，由于EEPROM操作中必须有延时，这不适当地增加了软件开发的复杂性。在允许一个软件程序访问前，当前的软件操作必须结束。当上市时间要求很严的时候，FRAM就可以排除这一障碍。FM24CL64在写操作中无任何延时，写操作发生时，就已经完成了。

5. RF/ID 在无接触存储领域中，FRAM提供一个理想的方案。因为RF/ID存储器是由RF方式供电的，太

长的写入时间和太大功耗使得EEPROM在这种应用场合中不可取。FRAM提供一个完美的解决方案。FM24CL64特别适合应用于多芯片的RF/ID产品中。

6. 保存轨迹（黑匣子） 在一个高度复杂的系统中，系统状态和操作记录在发生故障前都必须被记录。当信息需要频繁记录时，这种记录装置就是成为必需了。由于FRAM出色的写性能，可以完美的记录系统日志。除此之外，FM24CL64方便的两线协议可以占用最少的系统资源。

## 电性规格

### Absolute Maximum Ratings

Symbol	Description	Ratings
V <sub>DD</sub>	Power Supply Voltage with respect to V <sub>SS</sub>	-1.0V to +5.0V
V <sub>IN</sub>	Voltage on any pin with respect to V <sub>SS</sub>	-1.0V to +5.0V and V <sub>IN</sub> < V <sub>DD</sub> +1.0V
T <sub>STG</sub>	Storage Temperature	-40°C to +85°C
T <sub>LEAD</sub>	Lead temperature (Soldering, 10 seconds)	300°C

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only, and the functional operation of the device at these or any other conditions above those listed in the operational section of this specification is not implied. Exposure to absolute maximum ratings conditions for extended periods may affect device reliability.

### DC Operating Conditions (T<sub>A</sub> = -40° C to +85° C, V<sub>DD</sub> = 2.7V to 3.65V unless otherwise specified)

Symbol	Parameter	Min	Typ	Max	Units	Notes
V <sub>DD</sub>	Main Power Supply	2.7		3.65	V	
I <sub>DD</sub>	VDD Supply Current @ SCL = 100 kHz @ SCL = 400 kHz @ SCL = 1 MHz			75 150 400	μA μA μA	1
I <sub>SB</sub>	Standby Current			1	μA	2
I <sub>II</sub>	Input Leakage Current			10	μA	3
I <sub>LO</sub>	Output Leakage Current			10	μA	3
V <sub>IL</sub>	Input Low Voltage	-0.3		0.3 V <sub>DD</sub>	V	4
V <sub>IH</sub>	Input High Voltage	0.7 V <sub>DD</sub>		V <sub>DD</sub> + 0.5	V	4
V <sub>OL</sub>	Output Low Voltage @ I <sub>OL</sub> = 3.0 mA			0.4	V	
R <sub>IN</sub>	Address Input Resistance (WP, A2-A0) For V <sub>IN</sub> = V <sub>IL</sub> (max) For V <sub>IN</sub> = V <sub>IH</sub> (min)	50 1			KΩ MΩ	5
V <sub>HYS</sub>	Input Hysteresis	0.05 V <sub>DD</sub>			V	4

### Notes

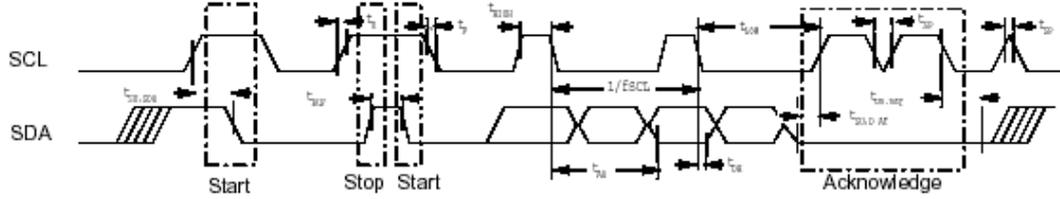
- SCL toggling between V<sub>DD</sub>-0.3V and V<sub>SS</sub>, other inputs V<sub>SS</sub> or V<sub>DD</sub>-0.3V.
- SCL = SDA = V<sub>DD</sub>. All inputs V<sub>SS</sub> or V<sub>DD</sub>. Stop command issued.
- V<sub>IN</sub> or V<sub>OUT</sub> = V<sub>SS</sub> to V<sub>DD</sub>. Does not apply to pins with pull down resistors.
- This parameter is characterized but not tested.
- The input pull-down circuit is strong (50KΩ) when the input voltage is below V<sub>IL</sub> and weak (1MΩ) when the input voltage is above V<sub>IH</sub>.



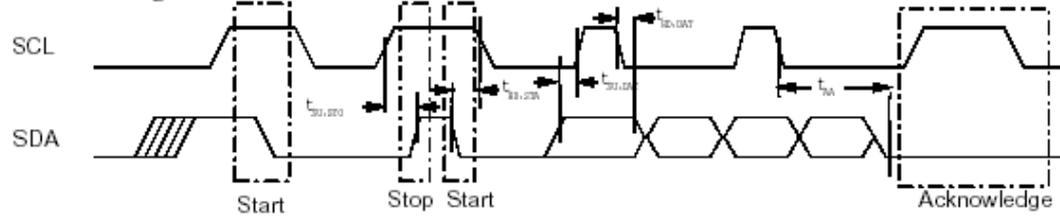
**Diagram Notes**

All start and stop timing parameters apply to both read and write cycles. Clock specifications are identical for read and write cycles. Write timing parameters apply to slave address, word address, and write data bits. Functional relationships are illustrated in the relevant data sheet sections. These diagrams illustrate the timing parameters only.

**Read Bus Timing**



**Write Bus Timing**



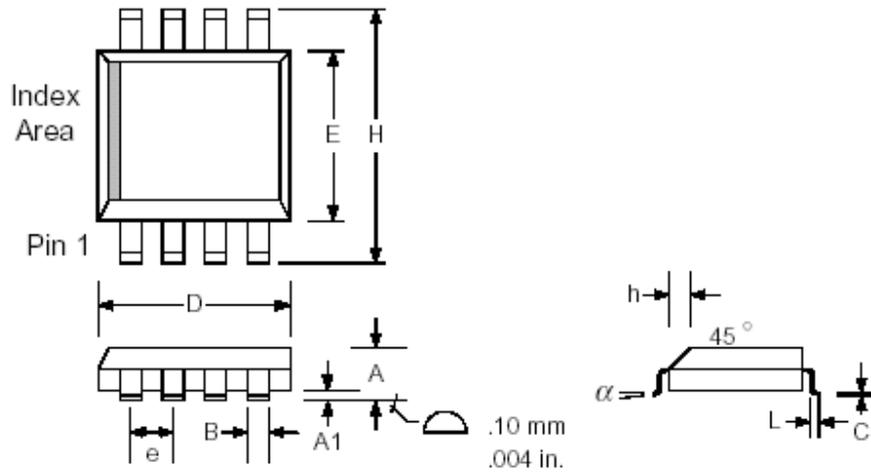
**Data Retention** ( $V_{DD} = 2.7V$  to  $3.65V$  unless otherwise specified)

Parameter	Min	Units	Notes
Data Retention	10	Years	1

**Notes**

- Endurance is the guaranteed number of read- or write-cycles per address that can be performed while maintaining the specified data retention. It is unlikely to reach this limit for most applications.

8-pin SOIC JEDEC MS-012



**Selected Dimensions**

Refer to JEDEC MS-012 for complete dimensions and notes.  
 Controlling dimensions in millimeters.  
 Conversions to inches are not exact.

Symbol	Dim	Min	Norm.	Max
A	mm in.	1.35 0.053		1.75 0.069
A1	mm in.	0.10 0.004		0.25 0.010
B	mm in.	0.33 0.013		0.51 0.020
C	mm in.	0.19 0.007		0.25 0.010
D	mm in.	4.80 0.189		5.00 0.197
E	mm in.	3.80 0.150		4.00 0.157
e	mm in.		1.27 BSC .050 BSC	
H	mm in.	5.80 0.228		6.20 0.244
h	mm in.	0.25 0.010		0.50 0.197
L	mm in.	0.40 0.016		1.27 0.050
$\alpha$		$0^\circ$		$8^\circ$