



RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

概述

MAX11014/MAX11015可以设置、控制点对点通信以及其它微波基站应用中双路MESFET功率器件的偏置。MAX11014为A类MESFET放大器提供闭环漏极电流控制，而MAX11015可对AB类MESFET放大器提供闭环漏极电流控制。两款器件均内置SRAM查找表(LUT)，用于存储温度和漏极电流补偿数据。

每款器件均包含双路、高边检流放大器，通过测试检流电阻两端的压降(0至625mV范围)监视MESFET漏极电流。利用外部接成二极管的晶体管监视MESFET的温度，内部温度检测器用于测量MAX11014/MAX11015的管芯温度。内部DAC通过控制GATE电压来设置检流电阻两端的电压。12位SAR ADC用于数字化内部、外部温度检测电压以及内部DAC电压、检流放大器电压和外部GATE电压。11路ADC输入通道中有2路可作为通用模拟输入，用于监视模拟系统。

MAX11014的栅极驱动放大器具有A类漏极电流控制环路的积分功能，而MAX11015的栅极驱动放大器为AB类应用提供-2倍增益。带限流功能的栅极驱动放大器可以被快速箝位到一个外部电压，该电压与串口的数字输入无关。MAX11014和MAX11015均具有自校准模式，能够在整个工作时间、温度和电源电压变化范围内保持最低误差。

MAX11014/MAX11015内置基准，同时还允许ADC和DAC采用独立的外部基准。内部基准为ADC、DAC和温度检测器提供稳定的、低噪声+2.5V基准。两款偏置控制器通过20MHz、兼容于SPI™/MICROWIRE™的4线串口或3.4MHz、兼容于I²C的串口(由引脚选择)进行通信。两款器件采用+4.75V至+5.25V模拟电源(2.8mA典型电源电流)、+2.7V至+5.25V数字电源(1.5mA典型电源电流)和-4.5V至-5.5V栅极驱动电源(1.1mA电源电流)供电。MAX11014/MAX11015采用48引脚、薄型QFN封装，工作在-40°C至+105°C温度范围。

特性

- ◆ 双路漏极电流检测放大器
 - 预置增益为4
 - 检测75mV到625mV之间的电压时，精度可达±0.5% (MAX11014)
- ◆ 检测电阻共模电压范围
 - 0.5V至11V (MAX11014)
 - 5V至32V (MAX11015)
- ◆ 具有±10mA GATE驱动的低噪声输出 GATE 偏置
- ◆ 快速箝位和上电复位功能
- ◆ 由12位DAC控制MESFET GATE电压
- ◆ 内置温度检测器/双路远端二极管温度检测
- ◆ 内置12位ADC用于测量温度和电压
- ◆ 可由引脚选择串口
 - 3.4MHz I²C兼容接口
 - 20MHz SPI/MICROWIRE兼容接口

订购信息

PART	PIN-PACKAGE	PKG CODE	AMPLIFIER
MAX11014BGMT+	48 Thin QFN-EP**	T4877-6	Class A
MAX11015BGMT+*	48 Thin QFN-EP**	T4877-6	Class AB

+表示无铅封装。

*未来产品——供货情况请与厂商联系。

**EP = 裸焊盘。

注：所有器件工作在-40°C至+105°C温度范围。

引脚配置和典型工作电路在数据资料的最后给出。

应用

蜂窝基站RF MESFET偏置控制器
点对点或一点对多点链路
工业过程控制

SPI是Motorola, Inc.的商标。

MICROWIRE是National Semiconductor Corp.的商标。



Maxim Integrated Products 1

RF MESFET 放大器 漏极电流自动控制器

MAX11014/MAX11015

ABSOLUTE MAXIMUM RATINGS

AVDD to AGND	-0.3V to +6V
DVDD to DGND	-0.3V to +6V
AGND to DGND	-0.3V to +0.3V
AVSS to AGND	-0.3V to -6V
RCS1+, RCS1-, RCS2+, RCS2- to GATEVSS (MAX11014)	-0.3V to +13V
RCS1+, RCS1-, RCS2+, RCS2- to AGND (MAX11015)	-0.3V to +34V
RCS1- to RCS1+	-6V to +0.3V
RCS2- to RCS2+	-6V to +0.3V
GATEVSS to AGND	+0.3V to -6V
GATE1, GATE2 to AGND(GATEVSS - 0.3V) to (AVDD + 0.3V)	
DVDD to AVDD	-0.3V to (AVDD + 0.3V)
All Other Analog Inputs to AGND	-0.3V to (AVDD + 0.3V)

PGAOUT1, PGOAOUT2 to AGND	-0.3V to (AVDD + 0.3V)
SCLK/SCL, DIN/SDA, CS/A0, N.C./A2, CNVST, OPSAFE1, OPSAFE2 to DGND	-0.3V to (DVDD + 0.3V)
DOUT/A1, SPI/I2C, ALARM, BUSY to DGND	-0.3V to (DVDD + 0.3V)
Maximum Current into Any Pin	50mA
Continuous Power Dissipation (TA = +70°C) 48-Pin Thin QFN (derate 27.0mW/°C above +70°C)	2162.2mW
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-60°C to +150°C
Junction Temperature	+150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(VGATEVSS = VAVSS = -5.5V to -4.75V, VAVDD = +4.75V to +5.25V, DVDD = +2.7V to VAVDD, external VREFADC = +2.5V, external VREFDAC = +2.5V, CREFADC = CREFDAC = 0.1μF, VOPSAFE1 = VOPSAFE2 = 0, VRCS1+ = VRCS2+ = +5V, CFILT1 = CFILT3 = 1nF, CFILT2 = CFILT4 = 1nF, VAGND = VDGND = 0, VADCIN0 = VADCIN1 = 0, VACLAMP1 = VACLAMP2 = -5V, TJ = TMIN to TMAX, unless otherwise noted. All typical values are at TJ = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CURRENT-SENSE AMPLIFIER (Note 1)						
Common-Mode Input Voltage Range	VRCS+	MAX11014	0.5		11.0	V
		MAX11015	5		32	
Common-Mode Rejection Ratio	CMRR	0.5V < VRCS+ < 11V for the MAX11014		90		dB
		5V < VRCS+ < 32V for the MAX11015		90		
Input-Bias Current	IRCS+	VSENSE < 100mV over the common-mode range			200	μA
	IRCS-				±2	
Full-Scale Sense Voltage	VSENSE	VSENSE = VRCS+ - VRCS-			625	mV
Sense Voltage Range		To within ±0.5% accuracy	75		625	mV
		To within ±2% accuracy	20		625	
		To within ±20% accuracy	2		625	
Total Current Set Error		VSENSE = 75mV		±0.1	±0.5	%
Current-Sense Settling Time	tHSCS	Settles to within ±0.5% of final value		< 25		μs
Saturation Recovery Time		Settles to within ±0.5% accuracy, from VSENSE = 1.875V		< 45		μs
CLASS AB INPUT CHANNEL						
Untrimmed Offset				19		Bits
Offset Temperature Coefficient				0		Bits/°C
Gain				4		
Gain Error				0.1		%

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

ELECTRICAL CHARACTERISTICS (continued)

(VGATEVSS = VAVSS = -5.5V to -4.75V, VAVDD = +4.75V to +5.25V, VDVDD = +2.7V to VAVDD, external VREFADC = +2.5V, external VREFDAC = +2.5V, CREFADC = CREFDAC = 0.1μF, VOPSAFE1 = VOPSAFE2 = 0, VRCS1+ = VRCS2+ = +5V, CFILT1 = CFILT3 = 1nF, CFILT2 = CFILT4 = 1nF, VAGND = VDGND = 0, VADCIN0 = VADCIN1 = 0, VACLAMP1 = VACLAMP2 = -5V, TJ = TMIN to TMAX, unless otherwise noted. All typical values are at TJ = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLASS AB OUTPUT CHANNEL						
Untrimmed Offset		(Note 1)		50		μV
Offset Temperature Coefficient				0		mV/°C
Gain				-2		
Gain Error				0.1		%
GATE-DRIVE AMPLIFIER/INTEGRATOR						
Output Gate-Drive Voltage Range (Note 2)	VGATE	IGATE = -1mA	VGATEVSS + 1			V
		IGATE = +1mA	-0.15	-4		mV
		IGATE = -10mA	VGATEVSS + 1.2			V
		IGATE = +10mA	-1	-20		mV
Gate Voltage Settling Time—MAX11015	tGATE	Settles to within ±0.5% of final value, RS = 50Ω, CGATE = 15μF, see GATE Output Resistance vs. GATE Voltage in the <i>Typical Operating Characteristics</i>		1.1		ms
Output Capacitive Load (Note 3)	CGATE	No series resistance, RS = 0Ω	0		0.5	nF
		RS = 500Ω	0	15,000		
Gate Voltage Noise		RMS noise, 1kHz to 1MHz		250		nV/√Hz
Maximum Power-On Transient		CLOAD = 1nF		±100		mV
Output Short-Circuit Current Limit	ISC	Sinking or sourcing		±25		mA
Output Safe Switch On-Resistance	ROPSW	Clamp GATE1 to ACLAMP1, GATE2 to ACLAMP2 (Note 4)			3.6	kΩ
ADC DC ACCURACY						
Resolution			12			Bits
Differential Nonlinearity	DNLADC	No missing codes			±1	LSB
Integral Nonlinearity	INLADC	(Note 5)			±1.25	LSB
Offset Error				±2	±4	LSB
Gain Error		(Note 6)		±2	±4	LSB
Gain Temperature Coefficient				±0.4		ppm/°C
Offset Temperature Coefficient				±0.4		ppm/°C
Channel-to-Channel Offset Matching				±0.1		LSB
Channel-to-Channel Gain Matching				±0.1		LSB

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

ELECTRICAL CHARACTERISTICS (continued)

(VGATEVSS = VAVSS = -5.5V to -4.75V, VAVDD = +4.75V to +5.25V, VD VDD = +2.7V to VAVDD, external VREFADC = +2.5V, external VREFDAC = +2.5V, CREFADC = CREFDAC = 0.1μF, VOPSAFE1 = VOPSAFE2 = 0, VRCS1+ = VRCS2+ = +5V, CFILT1 = CFILT3 = 1nF, CFILT2 = CFILT4 = 1nF, VAGND = VDGND = 0, VADCIN0 = VADCIN1 = 0, VACLAMP1 = VACLAMP2 = -5V, TJ = TMIN to TMAX, unless otherwise noted. All typical values are at TJ = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ADC DYNAMIC ACCURACY (1kHz sine-wave input, -0.5dB from full scale, 94.4ksps)						
Signal-to-Noise Plus Distortion	SINAD			70		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-84		dB
Spurious-Free Dynamic Range	SFDR			86		dB
Intermodulation Distortion	IMD	fIN1 = 9.9kHz, fIN2 = 10.2kHz		76		dB
Full-Power Bandwidth		-3dB point		1		MHz
Full-Linear Bandwidth		S / (N + D) > 68dB		100		kHz
ADC CONVERSION RATE						
Power-Up Time	tPU	External reference		0.8		μs
		Internal reference		50		
Acquisition Time (Note 3)	tACQ	GATE_ and sense voltage measurements	40			μs
		All other measurements	1.5			
Conversion Time	tCONV	Internally clocked			6.5	μs
Aperture Delay				30		ns
ADCIN1, ADCIN2 INPUTS						
Input Range	VADCIN_	Relative to AGND (Note 7)	0		VREFADC	V
Input Leakage Current		VADCIN_ = 0V or VAVDD		±0.01	±1	μA
Input Capacitance	CADCIN_			34		pF
TEMPERATURE MEASUREMENTS						
Internal Sensor Measurement Error		TJ = +25°C		±0.25		°C
		TJ = -40°C to +85°C (Note 3)		±1.0	±2.5	
		TJ = -40°C to +105°C (Note 3)		±1.0	±3.5	
External Sensor Measurement Error (Note 8)		TJ = +25°C		±1.0		°C
		TJ = -40°C to +105°C		±3		
Temperature Resolution				0.125		°C/LSB
External Diode Drive			3.26		75.00	μA
External Temperature Sensor Drive Current Ratio				16.6		
INTERNAL REFERENCE						
Reference Output Voltage		VREFADC = VREFDAC	+2.490	+2.500	+2.510	V
Reference Output Temperature Coefficient				±15		ppm/°C
Reference Output Impedance				6.5		kΩ
Power-Supply Rejection Ratio	PSRR	VAVDD = +5V ±5%		-83		dB

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

ELECTRICAL CHARACTERISTICS (continued)

($V_{GATEVSS} = V_{AVSS} = -5.5V$ to $-4.75V$, $V_{AVDD} = +4.75V$ to $+5.25V$, $V_{DVDD} = +2.7V$ to V_{AVDD} , external $V_{REFADC} = +2.5V$, external $V_{REFDAC} = +2.5V$, $C_{REFADC} = C_{REFDAC} = 0.1\mu F$, $V_{OPSAFE1} = V_{OPSAFE2} = 0$, $V_{RCS1+} = V_{RCS2+} = +5V$, $C_{FILT1} = C_{FILT3} = 1nF$, $C_{FILT2} = C_{FILT4} = 1nF$, $V_{AGND} = V_{DGND} = 0$, $V_{ADCIN0} = V_{ADCIN1} = 0$, $V_{ACLAMP1} = V_{ACLAMP2} = -5V$, $T_J = T_{MIN}$ to T_{MAX} , unless otherwise noted. All typical values are at $T_J = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
EXTERNAL REFERENCES						
REFADC Input Voltage Range	V_{REFADC}		+1.0		V_{AVDD}	V
REFADC Input Current	I_{REFADC}	$V_{REFADC} = +2.5V$, $f_{SAMPLE} = 178ksps$		60		μA
		Acquisition/between conversions		± 0.01		
REFDAC Input Voltage Range	V_{REFDAC}		+0.50		+2.52	V
REFDAC Input Current				26		μA
DAC DC ACCURACY						
Resolution			12			Bits
Integral Nonlinearity	INL_{DAC}	Measured at $FILT_$		± 1		LSB
Differential Nonlinearity	DNL_{DAC}	Measured at $FILT_$, guaranteed monotonic		± 0.4	± 1	LSB
POWER SUPPLIES						
Analog Supply Voltage	V_{AVDD}		+4.75		+5.25	V
Digital Supply Voltage	V_{DVDD}		+2.7		V_{AVDD}	V
Negative Supply Voltage	$V_{GATEVSS}$, V_{AVSS}	$V_{GATEVSS} = V_{AVSS}$	-5.50		-4.75	V
Analog Supply Current	I_{AVDD}	$V_{AVDD} = +5.25V$		2.8	5	mA
Digital Supply Current	I_{DVDD}	$V_{DVDD} = +5.25V$		1.5	5	mA
Negative Supply Current	$I_{GATEVSS}$ + I_{AVSS}	$V_{GATEVSS} = V_{AVSS} = -5.5V$		1.1	1.7	mA
Analog Shutdown Current		$V_{AVDD} = +5.25V$		0.8		μA
Digital Shutdown Current		$V_{DVDD} = +5.25V$		0.2		μA
Negative Shutdown Current		$V_{GATEVSS} = V_{AVSS} = -5.5V$		0.6		μA
SERIAL-INTERFACE SUPPLIES						
Input Voltage	V_{IL}				$0.3 \times V_{DVDD}$	V
	V_{IH}			$0.7 \times V_{DVDD}$		
Input Hysteresis	V_{HYS}			$0.05 \times V_{DVDD}$		V
Output Low Voltage	V_{OL}	BUSY: $I_{SINK} = 0.5mA$; DOUT, ALARM: $I_{SINK} = 3mA$			0.4	V
Output High Voltage	V_{OH}	SPI/ $\overline{I2C}$: $DVDD$; BUSY: $I_{SOURCE} = 0.5mA$; DOUT, ALARM: $I_{SOURCE} = 2mA$		$DVDD - 0.5V$		V
Input Current	I_{IN}			± 0.01	± 10	μA
Input Capacitance	C_{IN}			5		pF

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

SPI-INTERFACE TIMING CHARACTERISTICS

(Note 9) (See Figure 1.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	tCP		40			ns
SCLK High Time	tCH		16			ns
SCLK Low Time	tCL		16			ns
DIN to SCLK Rise Setup Time	tDS		10			ns
DIN to SCLK Rise Hold Time	tDH		0			ns
SCLK Fall to DOUT Transition	tDO	C _L = 30pF			20	ns
$\overline{CS}$ Fall to DOUT Enable	tDV	C _L = 30pF (Note 3)			40	ns
$\overline{CS}$ Rise to DOUT Disable	tTR	C _L = 30pF (Note 10)			40	ns
$\overline{CS}$ Rise or Fall to SCLK Rise	tCSS		10			ns
$\overline{CS}$ Pulse-Width High	tCSW	(Note 3)	40			ns
Last SCLK Rise to $\overline{CS}$ Rise	tCSH	(Note 3)	0			ns

I²C-INTERFACE SLOW-/FAST-MODE TIMING CHARACTERISTICS

(Note 9) (See Figure 2.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	fSCL		0		400	kHz
Bus Free Time Between a STOP and START Condition	tBUF		1.3			μs
Hold Time (Repeated) for START Condition	tHD;STA	After this period, the first clock pulse is generated	0.6			μs
Setup Time for a Repeated START Condition	tSU;STA		0.6			μs
SCL Pulse-Width Low	tLOW		1.3			μs
SCL Pulse-Width High	tHIGH		0.6			μs
Data Setup Time	tSU;DAT		100			ns
Data Hold Time	tHD;DAT	(Note 11)	0		0.9	μs
SDA, SCL Rise Time, Receiving	tR	(Notes 3, 12)	0		300	ns
SDA, SCL Fall Time, Receiving	tF	(Notes 3, 12)	0		300	ns
SDA Fall Time, Transmitting	tF	(Notes 3, 12, 13)	20 + 0.1 × C _B		250	ns
Setup Time for STOP Condition	tSU;STO		0.6			μs
Capacitive Load for Each Bus Line	C _B	(Notes 3, 14)			400	pF
Pulse Width of Spikes Suppressed By the Input Filter	tSP	(Note 15)			50	ns

RF MESFET放大器 漏极电流自动控制器

I²C-WIRE-INTERFACE HIGH-SPEED-MODE TIMING CHARACTERISTICS

(Note 9) (See Figure 3.)

PARAMETER	SYMBOL	CONDITIONS	C _B = 100pF max		C _B = 400pF		UNITS
			MIN	MAX	MIN	MAX	
Serial Clock Frequency	f _{SCL}		0	3.4	0	1.7	MHz
Setup Time (Repeated) START Condition	t _{SU;STA}		160		160		ns
Hold Time (Repeated) START Condition	t _{HD;STA}		160		160		ns
SCL Pulse-Width Low	t _{LOW}		160		320		ns
SCL Pulse-Width High	t _{HIGH}		60		120		ns
Data Setup Time	t _{SU;DAT}		10		10		ns
Data Hold Time	t _{HD;DAT}	(Note 11)	0	70	0	150	ns
SCL Rise Time	t _{RCL}	(Note 3)	10	40	20	80	ns
SCL Rise Time, After a Repeated START Condition and After an Acknowledge Bit	t _{RCL1}	(Note 3)	10	80	20	160	ns
SCL Fall Time	t _{FCL}	(Note 3)	10	40	20	80	ns
SDA Rise Time	t _{RDA}	(Note 3)	10	80	20	160	ns
SDA Fall Time	t _{FDA}	(Note 3)	10	80	20	160	ns
Setup Time for STOP Condition	t _{SU;STO}		160		160		ns
Capacitive Load for Each Bus Line	C _B	(Note 14)		100		400	pF
Pulse Width of Spikes Suppressed By the Input Filter	t _{SP}	(Note 15)	0	10	0	10	ns

MAX11014/MAX11015

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

MISCELLANEOUS TIMING CHARACTERISTICS

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Minimum Time to Wait After a Write Command Before Reading Back Data from the Same Location	t _{RDBK}	(Note 16)		1		μs
CNVST Active-Low Pulse Width in ADC Clock Mode 01	t _{CNV01}	(Note 3)	20			ns
CNVST Active-Low Pulse Width in ADC Clock Mode 11 to Initiate a Temperature Conversion	t _{CNV11}	(Note 3)	20			ns
CNVST Active-Low Pulse Width in ADC Clock Mode 11 for ADCIN1/2 Acquisition	t _{ACQ11A}	(Note 3)	1.5			μs
ADC Power-Up Time (External Reference)	t _{APUEXT}			0.8		μs
ADC Power-Up Time (Internal Reference)	t _{APUINT}			50		μs
DAC Power-Up Time (External Reference)	t _{DPUEXT}			2		μs
DAC Power-Up Time (Internal Reference)	t _{DPUINT}			50		μs
Acquisition Time (Internally Timed in ADC Clock Modes 00 or 01)	t _{ACQ}				0.6	μs
Conversion Time (Internally Clocked)	t _{CONV}				6.5	μs
Delay to Start of Conversion Time	t _{CONVW}	(Note 17)		1		μs
Temperature Conversion Time (Internally Clocked)	t _{CONVT}			30		μs

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

MISCELLANEOUS TIMING CHARACTERISTICS (continued)

- Note 1:** All current-sense amplifier specifications are tested after a current-sense calibration (valid when drain current = 0mA). See RCS Error vs. GATE Current in the *Typical Operating Characteristics*. The calibration is valid only at one temperature and supply voltage and must be repeated if either the temperature or supply voltage changes.
- Note 2:** The hardware configuration register's CH_OCM1 and CH_OCM0 bits are set to 0. See Table 10a. The max specification is limited by tester limitations.
- Note 3:** Guaranteed by design. Not production tested.
- Note 4:** At power-on reset, the output safe switch is closed. See the *ALMHCFG (Read/Write)* section.
- Note 5:** Integral nonlinearity is the deviation of the analog value at any code from its theoretical value after the gain and offset errors have been calibrated out.
- Note 6:** Offset nulled.
- Note 7:** Absolute range for analog inputs is from 0 to V_{AVDD} .
- Note 8:** Device and sensor at the same temperature. Verified by the current ratio (see the *Temperature Measurements* section).
- Note 9:** All timing specifications referred to V_{IH} or V_{IL} levels.
- Note 10:** $\overline{DOUT}$ goes into tri-state mode after the $\overline{CS}$ rising edge. Keep $\overline{CS}$ low long enough for the $\overline{DOUT}$ value to be sampled before it goes to tri-state.
- Note 11:** A master device must provide a hold time of at least 300ns for the SDA signal (referred to V_{IL} of the SCL signal) to bridge the undefined region of SCL's falling edge.
- Note 12:** t_R and t_F measured between $0.3 \times DV_{DD}$ and $0.7 \times DV_{DD}$.
- Note 13:** C_B = total capacitance of one bus line in pF. For bus loads between 100pF and 400pF, the timing parameters should be linearly interpolated.
- Note 14:** An appropriate bus pullup resistance must be selected depending on board capacitance. For more information, refer to the I²C documentation on the Philips website.
- Note 15:** Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.
- Note 16:** When a command is written to the serial interface, it is passed to the internal oscillator clock to be executed. There is a small synchronization delay before the new value is written to the appropriate register. If the user attempts to read the new value back before t_{RDBK} , no harm will be caused to the data, but the read command may not yet show the new value.
- Note 17:** This is the minimum time from the end of a command before $\overline{CNVST}$ should be asserted. The time allows for the data from the preceding write to arrive and set up the chip in preparation for the $\overline{CNVST}$. The time need only be observed when the write affects the ADC controls. Failure to observe this time may lead to incorrect conversions (for example, conversion of the wrong ADC channel).

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

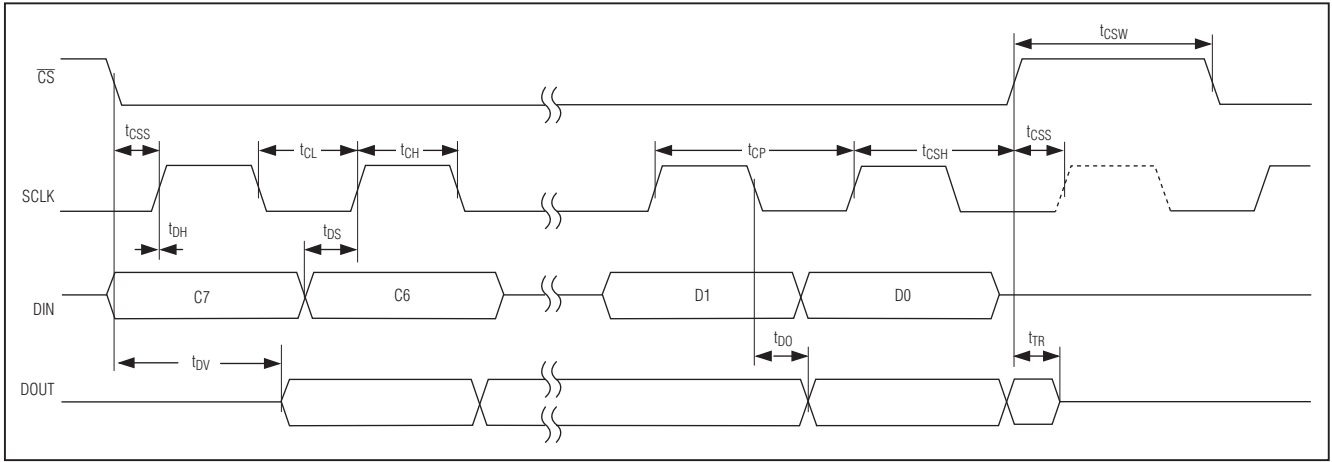


图1. SPI串口时序图

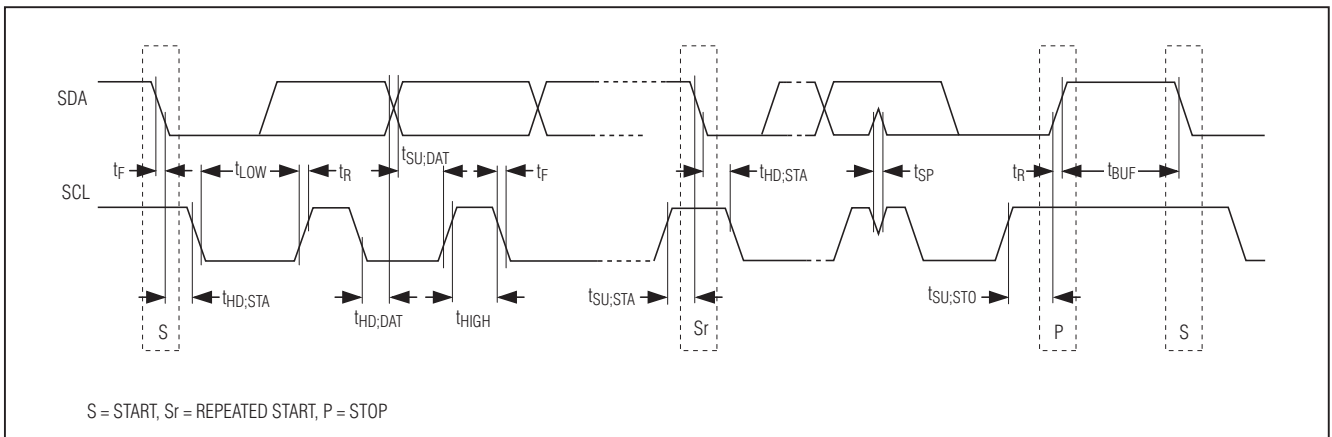


图2. 低速/快速时序图

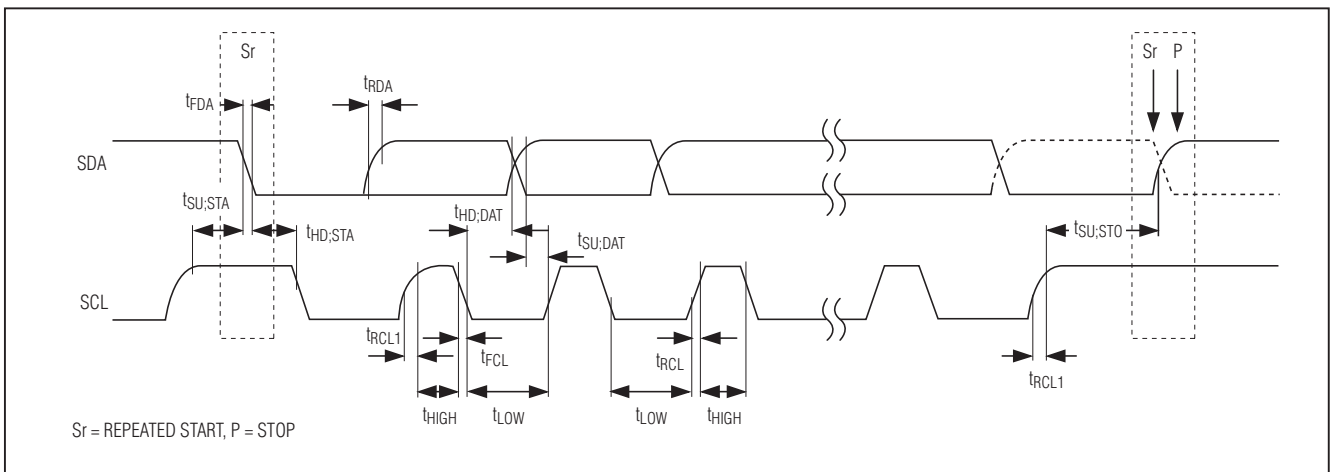
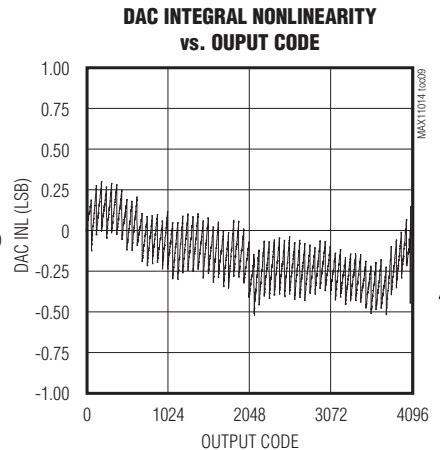
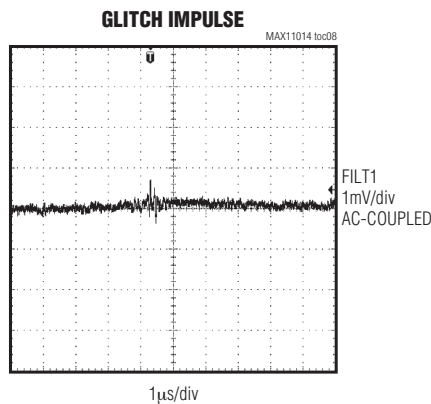
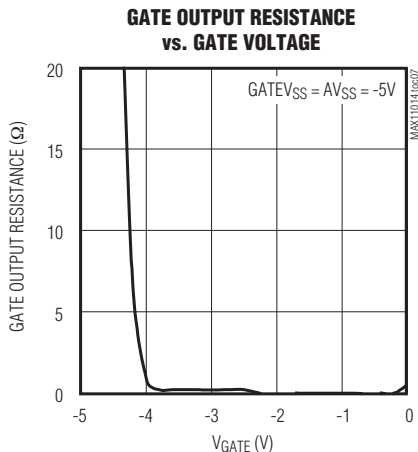
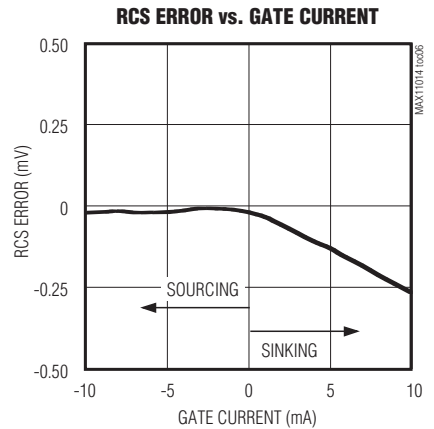
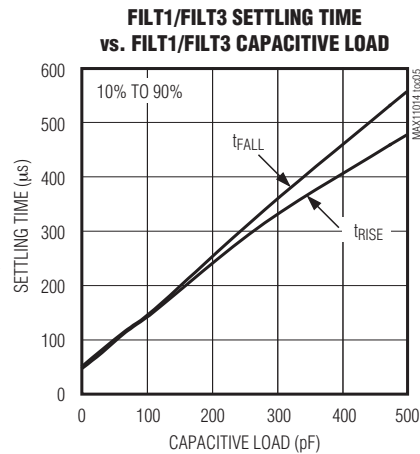
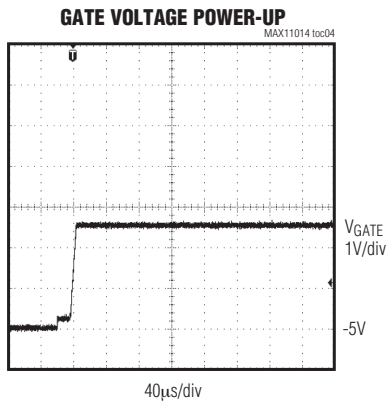
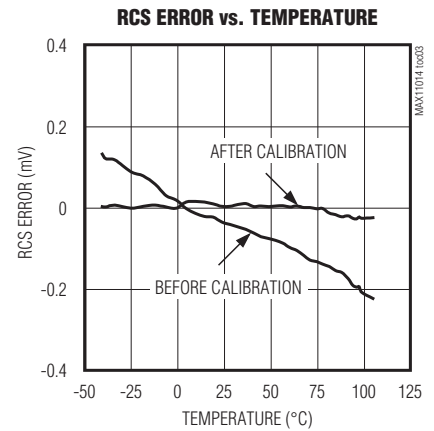
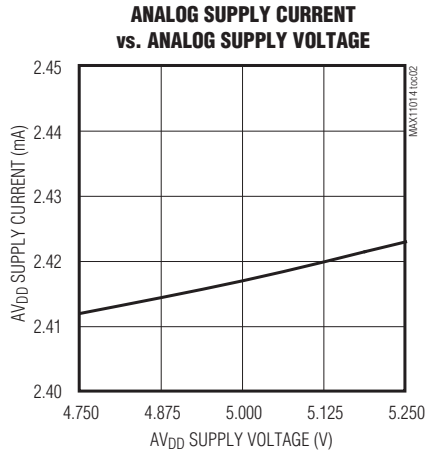
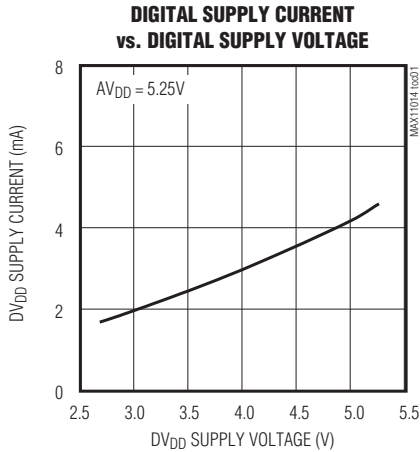


图3. 高速时序图

RF MESFET放大器 漏极电流自动控制器

典型工作特性

($V_{GATEVSS} = -5.5V$; $V_{AVDD} = V_{DVDD} = +5V$, $GATEVSS = AVSS = -5V$, external $V_{REFADC} = +2.5V$; external $V_{REFDAC} = +2.5V$; $C_{REF} = 0.1\mu F$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

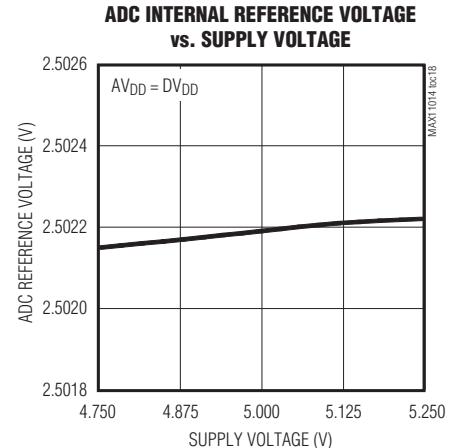
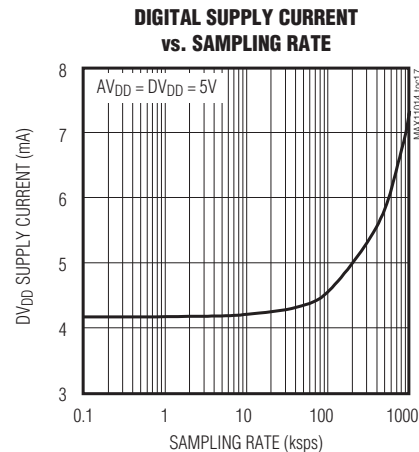
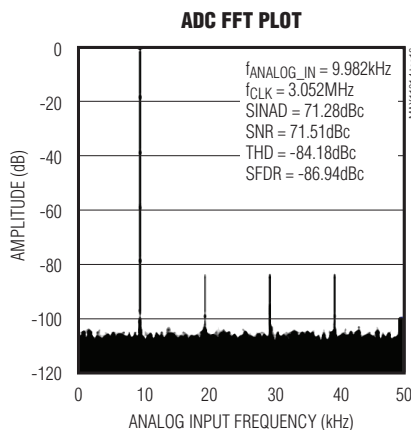
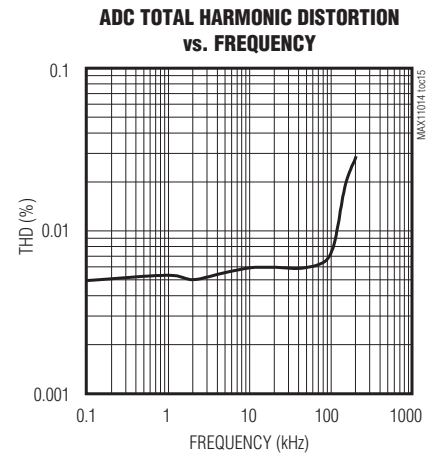
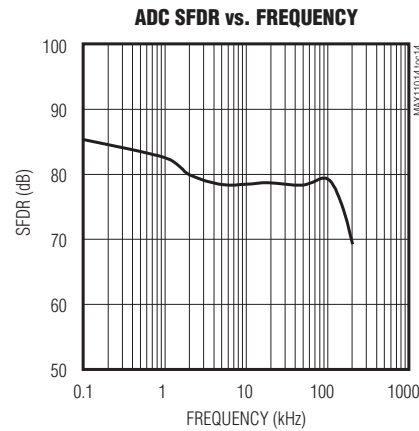
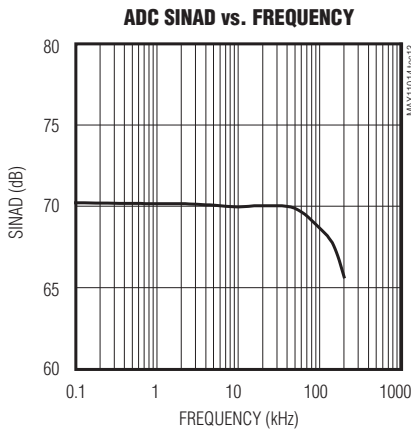
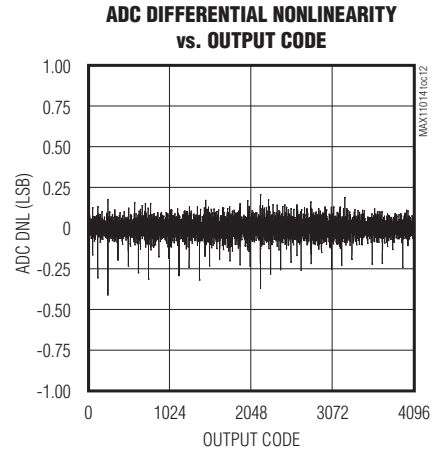
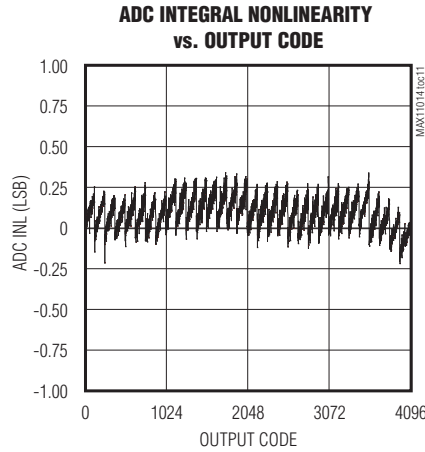
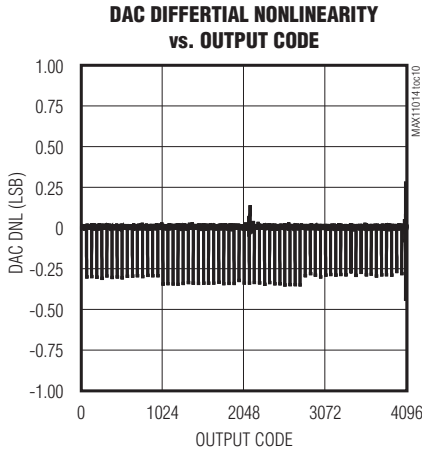


RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

典型工作特性(续)

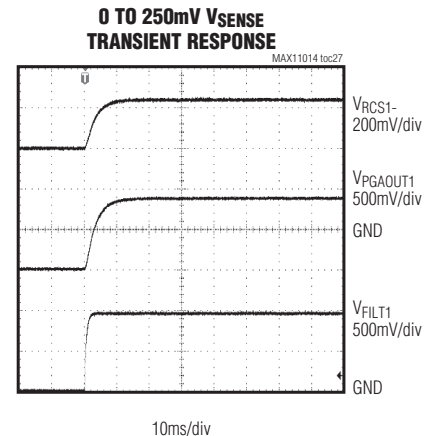
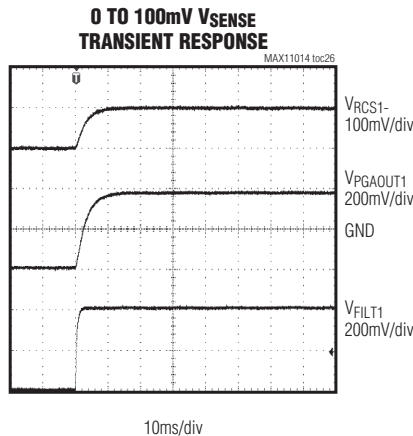
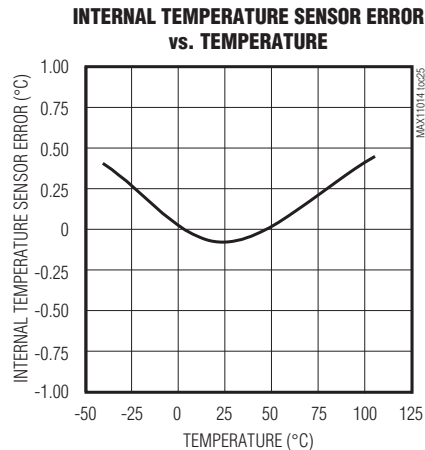
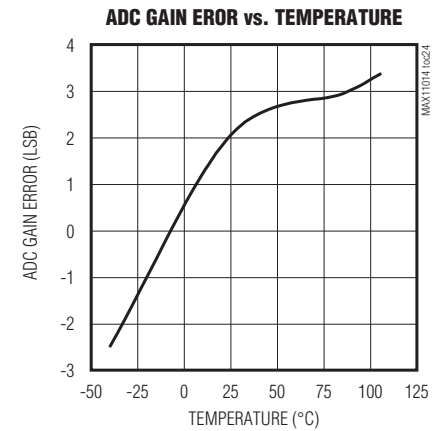
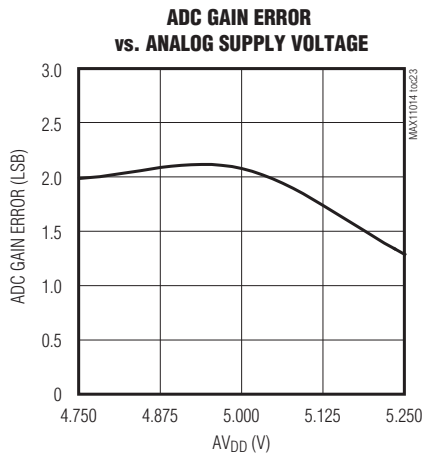
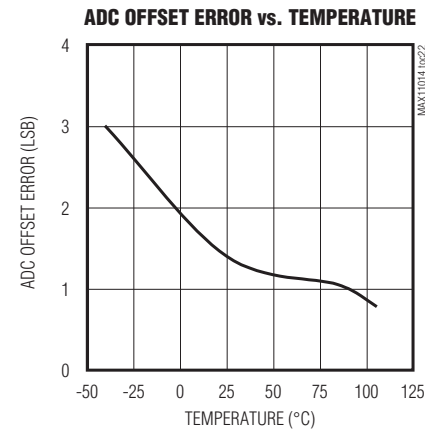
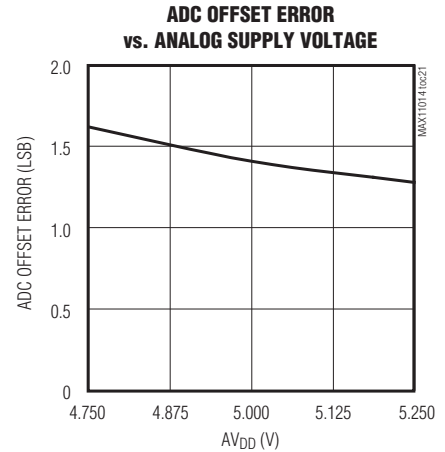
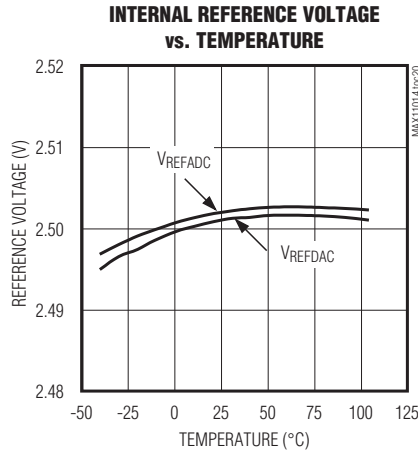
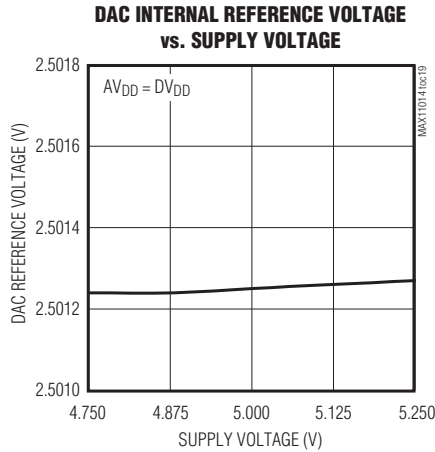
($V_{GATEVSS} = -5.5V$; $V_{AVDD} = V_{DVDD} = +5V$, $GATEVSS = AVSS = -5V$, external $V_{REFADC} = +2.5V$; external $V_{REFDAC} = +2.5V$; $C_{REF} = 0.1\mu F$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)



RF MESFET放大器 漏极电流自动控制器

典型工作特性(续)

($V_{GATEVSS} = -5.5V$; $V_{AVDD} = V_{DVDD} = +5V$, $GATEVSS = AVSS = -5V$, external $V_{REFADC} = +2.5V$; external $V_{REFDAC} = +2.5V$; $C_{REF} = 0.1\mu F$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)



RF MESFET放大器
漏极电流自动控制器

MAX11014/MAX11015

引脚说明

引脚	名称	功能
1	DIN/SDA	串行数据输入。SPI模式下，数据在SCLK的上升沿锁存到串口；I ² C模式下将一个上拉电阻连接到SDA。
2	DOUT/A1	SPI模式下为串行数据输出/I ² C模式下为地址选择脚1。在SCLK的下降沿传输数据，CS为高电平时DOUT是高阻态。将A1连接到DV _{DD} 或DGND，设置I ² C模式的器件地址。
3	ADCIN1	模拟输入1。
4	ADCIN2	模拟输入2。
5	DXN1	远端二极管吸入电流端，将远端npn晶体管BE结的发射极连接到DXN1。
6	DXP1	远端二极管源出电流端，DXP1接远端温度检测npn晶体管的基极/集电极。 不要将DXP1开路 ；没有远端二极管时将该引脚接DXN1。
7	DXN2	远端二极管吸入电流端，将远端npn晶体管BE结的发射极连接到DXN2。
8	DXP2	远端二极管源出电流端，DXP2接远端温度检测npn晶体管的基极/集电极。 不要将DXP2开路 ；没有远端二极管时将该引脚接DXN2。
9	REFDAC	DAC基准输入/输出，外部基准模式下通过一个0.1μF电容接至AGND端。请参考HCFG（读/写）部分。
10	REFADC	ADC基准输入/输出，外部基准模式下通过一个0.1μF电容接至AGND端。请参考HCFG（读/写）部分。
11, 27	AV _{DD}	正模拟电源输入，AV _{DD} 设置在+4.75V与+5.25V之间。通过一个1μF与一个0.1μF并联电容旁路至AGND。
12, 26	AGND	模拟地。
13	ACLAMP2	MESFET2外部箝位电压输入。
14	GATE2	MESFET2栅极连接，请参考栅极驱动放大器部分。
15	GATEV _{SS}	栅极驱动放大器负电源输入，GATEV _{SS} 置于-4.75V与-5.5V之间，外接AV _{SS} 。通过1μF与0.1μF并联电容旁路至AGND。
16, 28, 29, 34-37	N.C.	没有连接，内部未连接。
17	ACLAMP1	MESFET1外部箝位电压输入。
18	GATE1	MESFET1栅极连接，请参考栅极驱动放大器部分。
19	FILT1	通道1滤波器1输入，请参考图5、图6。
20	FILT2	通道1滤波器2输入，请参考图5、图6。
21	FILT3	通道2滤波器3输入，请参考图5、图6。
22	FILT4	通道2滤波器4输入，请参考图5、图6。
23	PGAOUT1	通道1放大器输出电压，请参考PGAOUT输出部分和图5、图6。
24	PGAOUT2	通道2放大器输出电压，请参考PGAOUT输出部分和图5、图6。
25	AV _{SS}	负模拟电源输入，AV _{SS} 置于-4.75V与-5.5V之间。外部连接到GATEV _{SS} ，通过1μF与0.1μF并联电容旁路至AGND。

RF MESFET放大器
漏极电流自动控制器

引脚说明(续)

MAX11014/MAX11015

引脚	名称	功能
30	RCS2+	通道2电流检测电阻连接，连接到为通道2 MESFET漏极供电的外部电源，电压介于+0.5V至+11V (MAX11014)或+5V至+32V (MAX11015)，通过1μF与0.1μF并联电容旁路至AGND。如果不用，将其连接到RCS1+。
31	RCS2-	通道2电流检测电阻连接，连接到通道2 MESFET的漏极。根据具体应用选择去耦，如果不用，将其连接到RCS2+。
32	RCS1-	通道1电流检测电阻连接，连接到通道1 MESFET的漏极。根据具体应用选择去耦，如果不用，将其连接到RCS1+。
33	RCS1+	通道1电流检测电阻连接端，连接到通道1 MESFET漏极的外部供电电源，电压介于+0.5V至+11V (MAX11014)或+5V至+32V (MAX11015)，通过1μF与0.1μF并联电容旁路至AGND。如果不用，将其连接到RCS2+。
38	OPSAFE1	通道1安全保护设置输入，OPSAFE1置为高电平将GATE1箝位到ACLAMP1，可快速保护增强型FET功率晶体管。
39	OPSAFE2	通道2安全保护设置输入，OPSAFE2置为高电平将GATE2箝位到ACLAMP2，可快速保护增强型FET功率晶体管。
40	BUSY	BUSY输出，BUSY在器件处于忙状态时置为高电平，请参考BUSY输出部分。
41	DVDD	数字电源电压，DVDD置于+2.7V与AVDD之间，通过1μF与0.1μF并联电容旁路至DGND。
42	DGND	数字地。
43	CNVST	低电平有效的启动转换输入，将CNVST置为低电平以开启时钟模式01、11下的转换。通过串口启动转换时，将CNVST接DVDD。
44	ALARM	ALARM输出，当温度或电压超出它们的预置上限/下限域值时触发ALARM输出。
45	CS/A0	SPI模式下为片选输入/I ² C模式下为地址选择0。CS为低电平有效输入，当CS为低电平时，串口使能；当CS为高电平时，DOUT为高阻态。将A0接DVDD或DGND设置I ² C模式下的器件地址。
46	SPI/I ² C	SPI/I ² C接口选择输入，将SPI/I ² C连接到DVDD选择SPI模式；将SPI/I ² C连接到DGND选择I ² C模式。
47	N.C./A2	SPI模式下无连接/I ² C模式下为地址选择2。将A2接DVDD或DGND设置I ² C模式下的器件地址。
48	SCLK/SCL	串行时钟输入。按照时钟沿控制移入或移出数据，时钟占空比介于40%至60%。I ² C模式下在SCL端连接一个上拉电阻。有关时钟模式编程的详细内容请参考表10。
—	EP	裸焊盘，连接到AGND和较大的覆铜区域，以满足功率耗散要求，不要用作接地端。

RF MESFET放大器 漏极电流自动控制器

详细说明

MAX11014/MAX11015可以设置和控制点对点微波链路通信以及其它微波基站应用中双路MESFET功率器件的偏置条件。内部DAC通过控制GATE电压来设置检流电阻两端压降。这些器件都集成有12位ADC，可以测量电压、内外温度，并通过20MHz SPI/MICROWIRE兼容4线串口或者3.4MHz I²C兼容2线串口(可通过引脚选择)进行通信。

MAX11014/MAX11015工作在+2.5V内部基准或独立的ADC和DAC外部基准。外部检流电阻监控电压使其处于0到($V_{DACREF}/4$)范围内，两个增益为4的检流放大器用于监控检流电阻两端的电压。MAX11014/MAX11015可精确测量内核温度及两个远端二极管温度传感器的数值。远端pn结是一个npn晶体管的BE结，通常为分立元件或集成在CPU、FPGA或ASIC中。

MAX11014/MAX11015有一个ALARM输出，可在内部或外部温度过高、电流检测电压过高或GATE电压过高时触发ALARM。图4显示了MAX11014的功能图。

MAX11014用于A类MESFET放大器控制，集成了双路模拟闭环漏极电流控制器。详见MAX11014 A类控制环路部分。模拟控制环路通过检流电阻设置漏极电流，MESFET栅极驱动放大器根据温度或其它系统参数的变化改变DAC码。

通过以下三个步骤实现A类放大器操作：

1) 特性曲线

通过MESFET温度特性曲线确定放大器漏极电流，假设不同器件的校准曲线一致。也许会有一个偏移量变化，但函数形式没有明显变化。上电时，这些值加载到MAX11014的LUT。工作时，存储在LUT中的数值进行线性内插。

将数值加载到数字KLUT，可调节漏极电流从而补偿输出功率或漏极电压的变化。

2) 校准

配置功率放大器时，在固定的校准温度下(例如：室温)测量静态漏极电流，并且调节 $V_{SET(CODE)}$ 使漏极电流处于指定温度下的额定门限内。存储 $V_{SET(CODE)}$ ，以便系统上电时进行加载。操作之前，需要向PGA校准控制寄存器写入数据，送入上电后的PGA校准指令，将TRACK位置0、DOCAL位置1(见表18)。

3) 运行

得到请求后，MAX11014测量MESFET的温度，并将它与上次读出的结果对比。如果温度读数有变化，MAX11014将从LUT单元读取特性曲线数据，并用它更新DAC来校正漏极电流。将PGA校准控制寄存器的TRACK、DOCAL和SELFTIME置为高电平，便可在温度变化时自动监控、调节漏极电流。

另外，如果使用KLUT，这些数值的变化将受到监控。必要时，可以进行DAC校准。

用MAX11015控制AB类放大器时，测量MESFET温度，通过LUT和DAC设置GATE_电压从而控制漏极电流。详见MAX11015 AB类控制环路部分。按照与A类操作相同的三个步骤，实现AB类放大器的控制，所不同的是：LUT在变化的温度下设置GATE_电压，以获得固定的漏极电流。

上电复位

上电时，MAX11014/MAX11015处于完全断电模式(见SHUT(写)部分)。通过向关断寄存器写入两条指令使器件进入正常加电模式。第一条指令将FULLPD位置0(忽略关断寄存器的其它位)。第二条指令使能内部单元。

MAX11014 A类控制环路

MAX11014用于设置并持续控制A类MESFET功率放大器的漏极电流。通过设置DAC码控制RCS_+和RCS_-检流电阻两端的电压。MAX11014内部控制环路自动地将检流电阻的电压保持在DAC设定值上，详见12位DAC部分。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

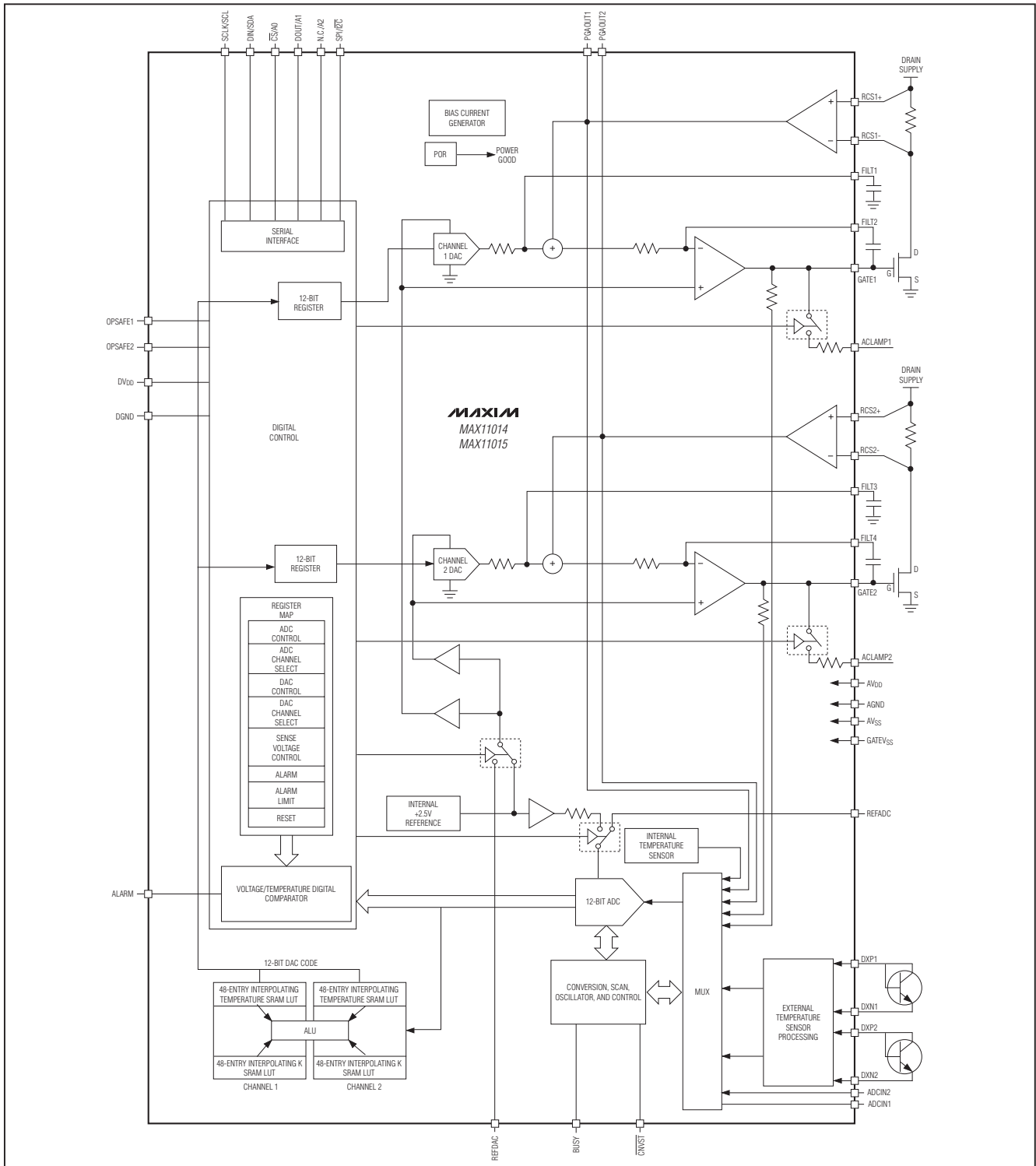


图4. 功能框图

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

一旦设置了控制环路，MAX11014将自动保持漏极电流。图5给出了详细的通道1、通道2控制环路的偏置放大器电路。

双向检流放大器将RCS₊与RCS₋之间的电压放大4倍，并加入一个偏置电压(通常是+12mV)。V_{REFDAC} = +2.5V时，这些检流放大器把检测电压放大到0至625mV范围内，详见检流放大器部分。

检流放大器输出在求和节点注入了一个与MESFET漏极电流成比例的信号，构成内部模拟反馈回路。求和节点通过100kΩ串联电阻驱动栅极放大器。栅极驱动放大器通过连接在GATE1/GATE2和FILT2/FILT4之间的外部电容配制成积分器。栅极驱动放大器包含一个自动消偏移电路，可以在0到24mV范围内自动去偏，以清除检流放大器的12mV偏置电压，详见寄存器说明和PGACAL(写)部分。

MAX11014的模拟控制回路工作点可用如下式表示：

$$V_{RCS+} - V_{RCS-} = \frac{V_{FILT}(\text{CODE} = 000h) - V_{FILT}}{4}$$

式中：

当THRUDAC1/THRUDAC2寄存器码为000h时，V_{FILT}(CODE = 000h) = V_{FILT1} (通道1) = V_{FILT3} (通道2)。

V_{FILT} = V_{FILT1} (通道1) = V_{FILT3} (通道2)

V_{RCS+} - V_{RCS-} = 检流电阻两端的电压

在FILT2和GATE1之间连接一个电容，它和通道1的100kΩ内部电阻构成积分器(设定控制环路主极点)；在FILT4和GATE2之间连接一个电容，它和通道2的100kΩ内部电阻构成积分器(设定控制环路主极点)。栅极驱动放大器的输出用于驱动MESFET的栅极，详见栅极驱动放大器部分。

通道1的DAC电压通过一个580kΩ串联电阻输出到FILT1；通道2的DAC电压通过一个580kΩ串联电阻输出到FILT3。在FILT1与AGND之间和FILT3与AGND之间连接一个电容，分别设置滤波器的时间常数。

MAX11015 AB类控制环路

MAX11015用于控制AB类放大器，可独立测量漏极电流以及通过串口设置GATE₋输出电压。当检测到漏极电流没有RF信号时，设置DAC码以获得所要求的GATE₋电压。图6给出了详细的控制通道1、通道2的偏置放大器电路。

MAX11015内部12位DAC电压作用在栅极驱动放大器，预置增益为-2，详见栅极驱动放大器部分。将DAC码设置在FFFh和000h之间，可产生0至(-2 × V_{REFDAC})之间的GATE₋电压。有关调节GATE₋最大电压的详细内容，请参考HCFG(读/写)部分。

通道1的DAC电压通过580kΩ串联电阻输出到FILT1；通道2的DAC电压通过580kΩ串联电阻输出到FILT3。在FILT1与AGND之间和FILT3与AGND之间连接一个电容，分别设置滤波器的时间常数。对于MAX11015，需要将FILT2和FILT4连接到AGND。

双向检流放大器把RCS₊与RCS₋之间的电压放大4倍，并加入一个偏置电压(通常是+12mV)。V_{REFDAC} = +2.5V时，检流放大器将检测电压放大到0至625mV之间，详见检流放大器部分。

检流放大器

双向检流放大器用于放大RCS₊与RCS₋之间的电压，并加入一个偏置电压。在RCS₊与RCS₋之间连接一个电阻检测MESFET的漏极电流，检流放大器能够把检测电压无失真地放大4倍，这些放大器可以去除漏极电源电压，即电流信号中的直流共模电平。

栅极驱动放大器包含一个自动消偏移电路，可以自动消除0至24mV的偏移，从而去除检流放大器的12mV偏置，详见PGACAL(写)部分。

栅极驱动放大器

栅极驱动放大器控制MESFET栅极偏置，MAX11014通道1、通道2的DAC电压通过一个求和节点注入栅极驱动放大器；MAX11015通道1、通道2的DAC电压直接注入栅极驱动放大器，具有-2预置增益。有关DAC码的设置细节，请参考12位DAC部分。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

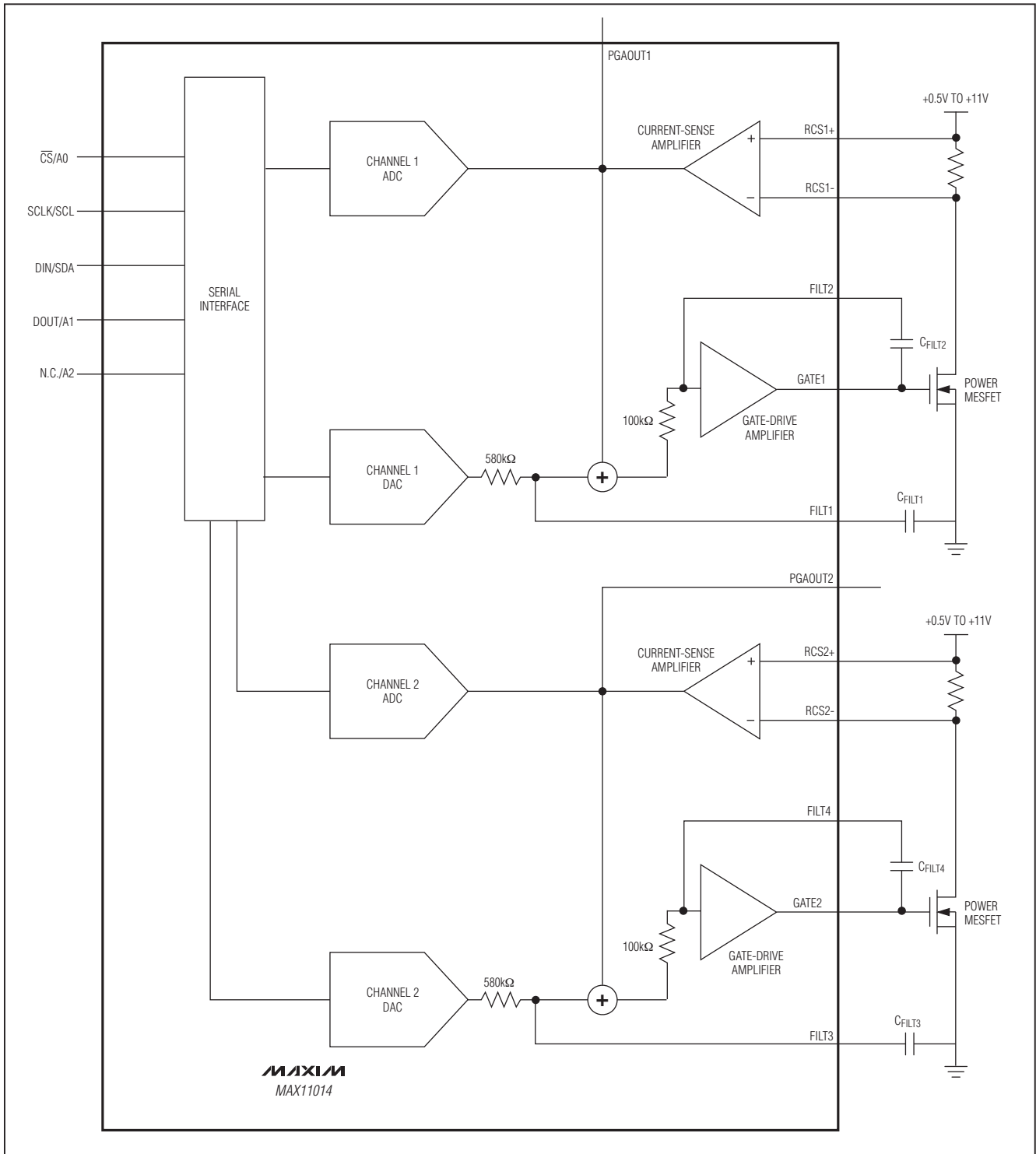


图5. MAX11014 A类模拟控制回路

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

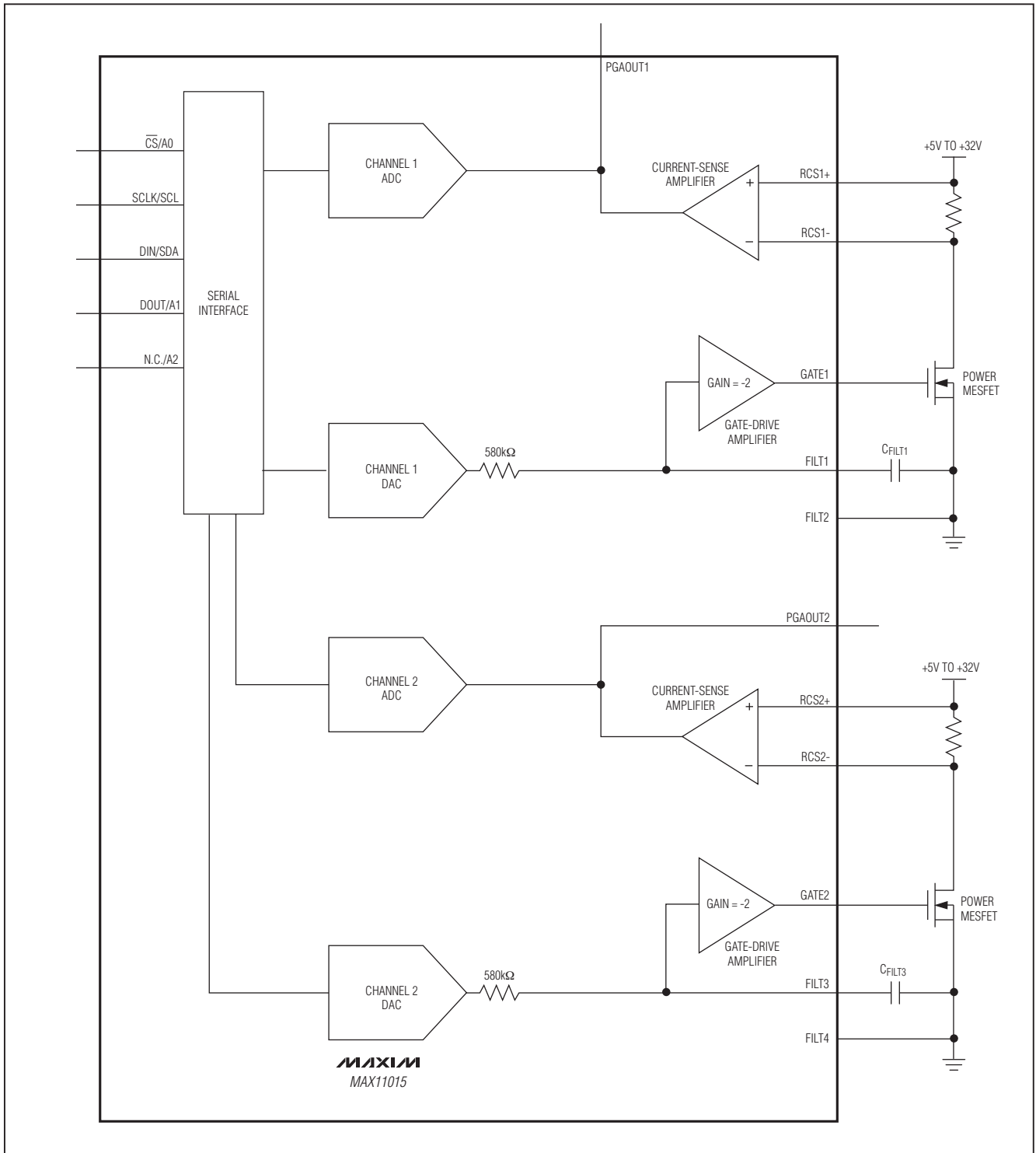


图6. MAX11015 AB类模拟控制回路

RF MESFET放大器
漏极电流自动控制器

MAX11014/MAX11015

MESFET	GATE VOLTAGE	USER ENTERED DAC CODE	ADC CODE READ FROM THE FIFO	RCS_+ TO RCS_- SENSE VOLTAGE	PGAOUT VOLTAGE	GATE VOLTAGE ALARM THRESHOLDS
FULLY ON	0V	FFFh	FFFh	VREFDAC / 4	0V	DEFAULT V _H = FFFh TOO HIGH NEW HIGH GATE VOLTAGE ALARM THRESHOLD V _{GATE} WITHIN THRESHOLDS TOO LOW NEW LOW GATE VOLTAGE ALARM THRESHOLD DEFAULT V _L = 000h
OFF	-2 x VREFDAC	000h	000h	0mV	VREFDAC	

图7. DAC码范围

将MESFET漏极连接到RCS_-端，MESFET栅极连接到GATE_输出端。将GATE_电压设置为-2 x VREFDAC，可以完全关闭MESFET。将GATE_电压设置为0V，可以完全开启MESFET，见图7。

MAX11014/MAX11015 GATE_输出电压可以箝位到作用在ACLAMP_的外部电压。OPSAFE_电压设为高电平时将无条件地箝位GATE_电压，通过串口发送其它指令也可以对GATE_电压进行箝位。这些器件还可通过软件修改箝位机制，监测报警电路，详见自动GATE箝位和ALMHCFG(读/写)部分。

12位ADC

MAX11014/MAX11015 ADC采用全差分逐次逼近寄存器(SAR)转换技术和片上采样/保持(T/H)电路，将温度、电压信号转换成12位数字信号。模拟输入接受单端输入信号，单端输入信号采用单极性传输函数进行转换，详见ADC传输函数部分。

内置ADC单元对管芯温度、远端二极管温度、电流检测电压和ADCIN_电压进行模/数转换。ADC单元也读取

GATE_模拟输出电压，并将其转换成12位数字，转换结果写入FIFO内存。FIFO可以保留15个字(每个字16位)和4位通道标志，用来表示12位数据来自哪个通道，见表25。FIFO可每次读回一个数据字或连续读取数据字，详见ADCCON(写)部分。FIFO总是存储最新的转换数据，覆盖最早的数据。FIFO会通过标志寄存器指示上、下溢出状态(读取空FIFO)，详见FLAG(读)部分。

模拟输入采样与保持

图8所示电路为MAX11014/MAX11015 ADCIN_输入电路结构。在采样模式，正输入电容连接到ADCIN1/ADCIN2，而负输入电容连接到AGND。T/H进入保持模式后，采样输入和AGND之间的电压差被转换成数字信号。输入电容的充电率决定了T/H采集输入信号所需的时间，这个时间也会随着输入信号源阻抗的增加而增加。300Ω以下的源阻抗不会对ADC的交流特性产生明显影响。也可在ADCIN_和AGND之间放置一个1μF电容，以获得一个高阻信号源。模拟输入源阻抗和模拟输入电容组成一个RC滤波电路，从而限制了输入模拟信号的带宽。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

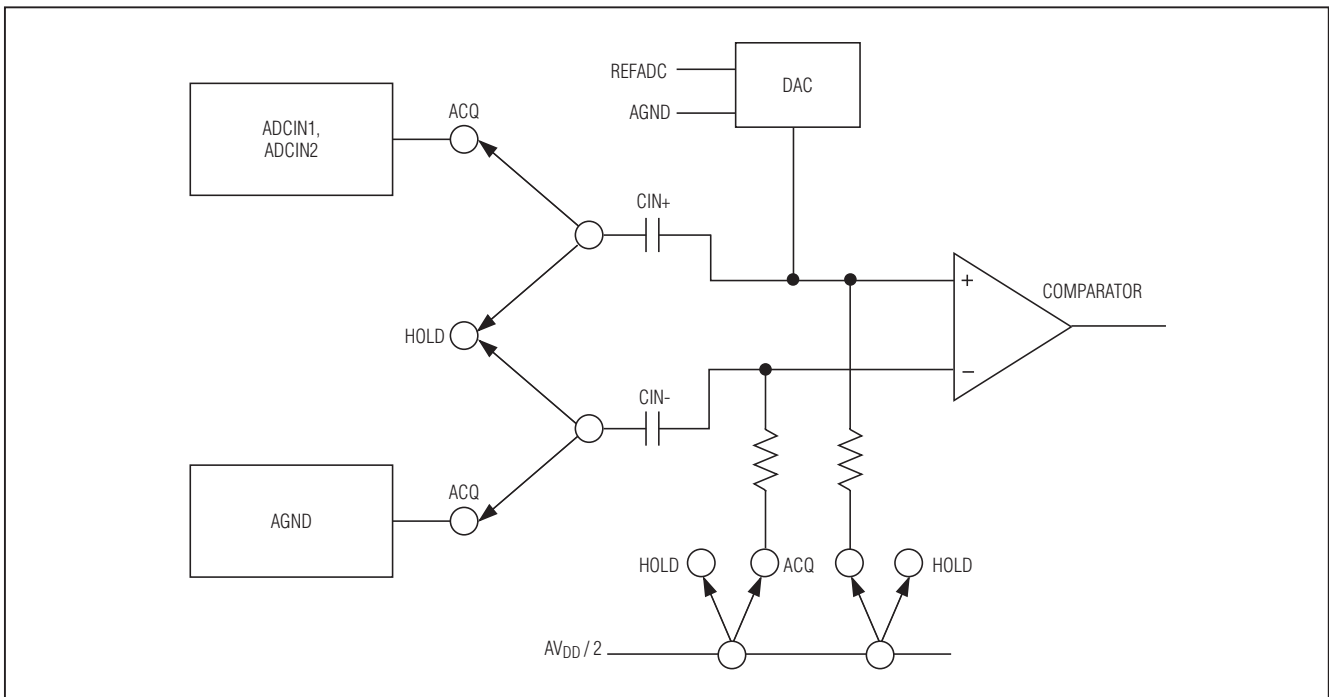


图8. ADC输入等效电路

模拟输入保护

内置ESD保护二极管将ADCIN1/ADCIN2箝位于 AV_{DD} 和AGND，允许 $(AGND - 0.3V)$ 至 $(AV_{DD} + 0.3V)$ 的电压摆幅，不会损坏器件。为了在满量程附近准确转换，输入不要比 AV_{DD} 高出50mV或比AGND低出50mV。一旦模拟输入电压超过电源电压，则将输入电流限制在2mA。

温度测量

MAX11014/MAX11015可以测量内核及两个远端二极管的温度。向ADC转换寄存器写入指令可以启动温度转换，见表19。将CH6置为1，计算远端二极管DXP2/DXN2温度传感器的读数，并将数据装载到FIFO中。将CH1置为1，计算远端二极管DXP1/DXN1温度传感器的读数，并将数据装载到FIFO中。将CH0置为1，计算内核温度传感器的读数，并将数据装载到FIFO中。温度数据采用带有符号的2的补码格式，在SPI模式下从DOUT端输出，在I²C模式下从SDA输出，温度传输函数见图22。

MAX11014/MAX11015通过一个连接成二极管的晶体管测量内部温度。二极管偏置电流在66 μ A至4 μ A之间变化，

产生一个与温度相关的偏置压差。第一次66 μ A的转换结果减去第二次4 μ A的转换结果可以计算出与绝对温度成正比的数值。为了从开氏温标转换到摄氏温标，最终存储的数据还要将上述数值减去一个偏移量。温度测量单元的基准电压取自内部基准源，可保证温度测量精度在+0.125 $^{\circ}$ C时达到1 LSB。

测量外部温度时，在DXP_和DXN_之间连接一个npn晶体管。如图4所示，连接晶体管基极和集电极构成一个基极-集电极pn结。当内部或外部温度高于上限温度或低于下限温度时，MAX11014/MAX11015会在ALARM端产生ALARM输出。通过设置通道1/通道2的高/低温ALARM门限寄存器建立温度的上/下限ALARM阈值，详见表3、4、5。

在一个完整的ADC转换过程中，温度检测电路上电并进行第一次温度测量。温度检测单元将持续保持上电状态，直到整个ADC转换过程结束，以避免每个通道都出现50 μ s的上电延时，详见ADCCON（写）部分以及图31、图32。当ADC转换寄存器的连续转换位(CONCONV)置1，并且当前的ADC转换包括温度通道时，温度检测电路将始终保持上电状态。温度检测电路在CONCONV位置低以前将始终保持上电状态。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

外部温度传感器驱动电流比针对2N3904 npn晶体管进行优化，理想因子为1.0065，非理想偏差通过内部预置的数字系数消除。使用具有不同理想因子的晶体管时会产生绝对温度的偏差。有关该问题的详细讨论以及外部温度传感器的相关内容，请参考Maxim网站(www.maxim-ic.com.cn)的应用笔记1057: *Compensating for Ideality Factor and Series Resistance Differences between Thermal Sense Diodes*以及应用笔记1944: *Temperature Monitoring Using the MAX1253/54 and MAX1153/54*。

12位DAC

MAX11014/MAX11015包括两个电压输出、12位单调输出DAC，具有±1 LSB的积分非线性误差和±0.4 LSB的微分非线性误差。DAC可以工作在内部+2.5V基准或REFDAC端的外部基准。使用外部电压基准时，在REFDAC处接一个0.1μF电容旁路至AGND。REFDAC外部电压范围在+0.7V至+2.5V之间。

MAX11014通道1/通道2的DAC通过控制GATE_偏置设置RCS_+和RCS_-之间的检流电压，详见MAX11014 A类控制环路部分。MAX11015通道1/通道2的DAC通过增益为-2的栅极驱动放大器直接驱动GATE_输出，不受检流电压的影响，详见MAX11015 AB类控制环路部分。

分别写入DAC输入寄存器、DAC输入/输出寄存器或V_{SET}寄存器，配置通道1/通道2的DAC码。向DAC输入寄存器(表16)写入数据，并随后向软件装载DAC寄存器(表21)写入数据，控制刷新定时。向DAC输入/输出寄存器(表17)写入数据，可以不受软件装载DAC寄存器的控制，直接设置DAC的输出电压编码。向V_{SET}寄存器(表14)写入数据，可将LUT数据包含在DAC编码中。向V_{SET}寄存器写入数据，可以触发如下所示的V_{DAC(CODE)}计算过程：

$$V_{DAC(CODE)} = V_{SET(CODE)} = (1 + LUT_K[K] \times LUT_{TEMP}[TEMP])$$

式中，

V_{DAC(CODE)} = 修正后的通道1/通道2的12位DAC编码。

V_{SET(CODE)} = 写入通道1/通道2 V_{SET}寄存器的12位DAC编码。

LUT_K[K] = 插值，分数形式的12位KLUT值。KLUT数据来自不同的数据源，包括V_{SET}寄存器值、K参数寄存器值或各个ADC通道，详见SRAM LUT部分。

LUT_{TEMP}[TEMP] = 插值，分数形式的12位、2的补码温度LUT值。温度LUT数据来自内部或外部温度数据，详见SRAM LUT部分。

V_{DAC(CODE)}等式结果装载到DAC输入寄存器或DAC输出寄存器，具体取决于相应通道软件配置寄存器的LDAC位，见表11。

自校准

向PGA校准控制寄存器写入数据，可对通道1和通道2进行校准。MAX11014/MAX11015上电后没有经过校准，为了保证在上电后获得最佳性能，将TRACK位置0、DOCAL位置1使能校准功能(见表18)。随后，将TRACK、DOCAL和SELFTIME置1可以在整个温度、供电电压范围内保持最小的性能损失。

自校准算法以95μV为增量抵消栅极驱动放大器输入端的失调电压，从而提高精度。可以在DAC断电时进行自校准，但此时的结果并不精确。为了达到最佳效果，在DAC上电后(t_{DPUEXT})再运行校准程序。自校准期间，ADC操作被挂起。BUSY输出为低电平时表示自校准程序结束，详见BUSY输出部分。自校准程序结束后，再请求ADC转换。

RF MESFET放大器 漏极电流自动控制器

ADC/DAC基准

MAX11014/MAX11015为ADC、DAC以及温度传感器提供了一个内部低噪声+2.5V基准。设置硬件配置寄存器的D3-D0位，可以控制DAC和ADC的基准源，详见表10c和10d。

外部ADC基准模式下，需要在REFADC端连接一个+1.0V至 AV_{DD} 的电压源。外部DAC基准模式下，在REFDAC端连接一个+0.7V至+2.5V的电压源。使用外部电压基准时，将REFADC和REFDAC通过一个0.1 μ F的电容旁路至AGND。

供电

MAX11014/MAX11015由相互独立的模拟、数字电源供电。模拟电源电压 AV_{DD} 设置在+4.75V至+5.25V；数字电源电压 DV_{DD} 设置在+2.7V至 AV_{DD} 。 AV_{DD} 通过一个0.1 μ F和1 μ F的并联电容旁路至AGND， DV_{DD} 通过一个0.1 μ F和1 μ F的并联电容旁路至DGND。一般情况下，模拟电路消耗2.8mA的电源电流，数字电路消耗3.7mA。

负模拟电源电压 AV_{SS} 和 $GATEV_{SS}$ 设置在-4.75V至-5.5V，在外部将 AV_{SS} 与 $GATEV_{SS}$ 连接到一起。每个负电源端通过一个0.1 μ F和1 μ F的并联电容旁路至AGND。

RCS₊输入为检流放大器输入电路供电。对于MAX11014，将它设置在+0.5V与+11V之间；对于MAX11015，将它设置在+5V与+32V之间。RCS₊端通过一个0.1 μ F和1 μ F的并联电容旁路至AGND。

串口

MAX11014/MAX11015可通过引脚选择I²C/SPI接口，将SPI/ $\overline{I2C}$ 接DGND选择I²C模式，而将SPI/ $\overline{I2C}$ 接 DV_{DD} 则选择SPI模式。SDA、SCL (I²C模式)以及DIN、SCLK、 $\overline{CS}$ (SPI模式)能够方便地实现MAX11014/MAX11015与主机之间的通信。

SPI兼容性($SPI/\overline{I2C} = DV_{DD}$)

MAX11014/MAX11015通过串口进行通信，该接口与SPI、MICROWIRE器件兼容。对于SPI通信，确定SPI总线主控制器(通常为 μ C)运行在主机模式，产生串行时钟信号。将SCLK频率设置在20MHz或更低，将 μ C控制寄存器的时钟极性(CPOL)与相位(CPHA)设置为同一数值。SCLK处于高电平或低电平闲置状态时MAX11014/MAX11015工作，具体取决于CPOL = CPHA = 0或CPOL = CPHA = 1。 $\overline{CS}$ 置为低电平时，在SCLK上升沿锁存DIN输入数据；在SCLK的下降沿更新DOUT输出数据，见图1。温度值是带有符号的2的补码格式，其它数据为二进制格式。

$\overline{CS}$ 端由高电平变化到低电平将启动一次24位数据输入周期。 $\overline{CS}$ 为低电平时，在DIN端写入一个8位命令字节(MSB在前)，指定要访问的内部寄存器。命令字节同时指示随后的数据是写入串口还是从串口读出，详见寄存器说明部分。写入命令字节后，就能向DIN端写入两个数据字节或从DOUT端读出两个数据字节。在整个24位字写入过程中，要保持 $\overline{CS}$ 为低电平，ADC和DAC单元经常用到串口电路。

写数据时，将8位命令字和16位数据从DIN写入，见图9。数据在SCLK的上升沿写入串口。读数据时，在DIN端写入8位命令字，随后在SCLK的下降沿从DOUT读取16位数据，见图10。从DOUT端发送数据时，DIN端可以置为高电平或低电平。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

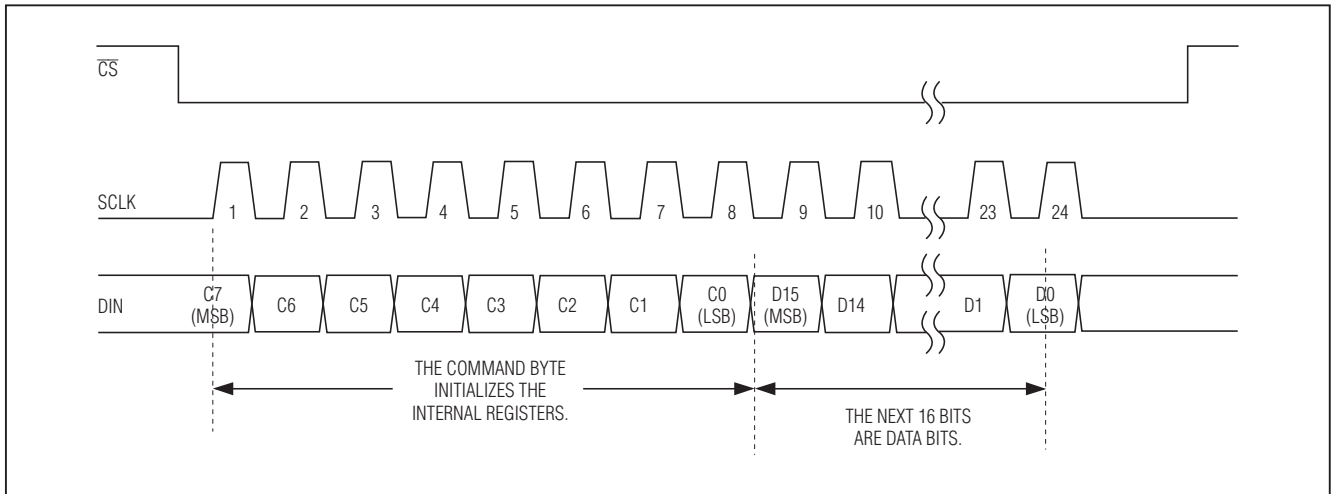


图9. MAX11014/MAX11015写时序

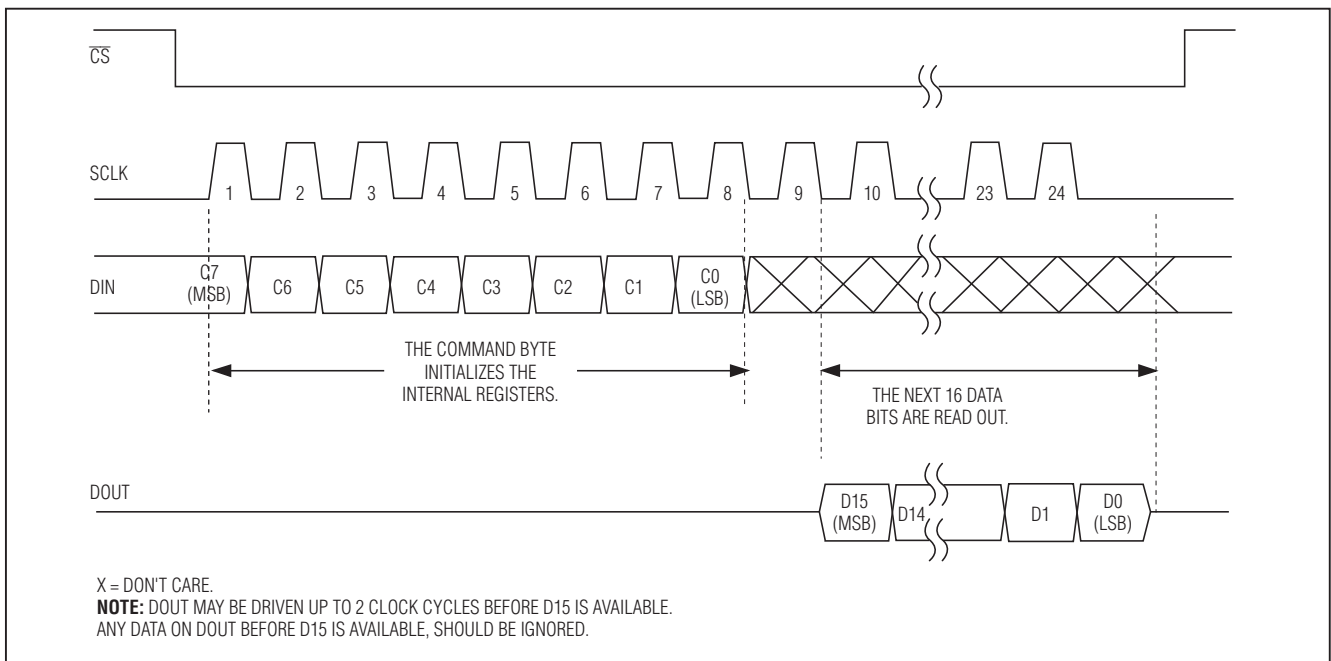


图10. MAX11014/MAX11015读时序

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015/MAX11015

I^2C 兼容性(SPI/I²C = DGND)

MAX11014/MAX11015通过一个I²C兼容的2线串口进行通信，串口由一条串行数据线(SDA)和一个串行时钟(SCL)组成。SDA和SCL使得MAX11014/MAX11015能够与主机之间以高达3.4MHz的数据速率进行双向通信。主机(通常是μC)启动总线上的数据传输，并产生SCL信号传送数据。MAX11014/MAX11015作为I²C从器件传输、接收数据。

I²C正常工作时，SCL和SDA必须拉至高电平，一般通过上拉电阻(1kΩ或更高)实现。还可以选择使用串联电阻，用来保护输入电路不会被总线上的高压击穿，并能减小总线信号的串扰和下冲。

每个SCL时钟周期传送一位数据，从MAX11014/MAX11015传入或传出1个字节的数据至少需要9个时钟(8位数据和1位应答(ACK)/非应答(NACK)位)。数据在SCL的上升沿锁存，在下降沿读出。SCL时钟为高电平期间，SDA上的数据必须保持稳定。SCL处于稳定的高电平时，SDA的变化将被视作控制信号(见START和STOP条件部分)。总线空闲时，SDA和SCL均保持在高电平。

START和STOP条件

主机通过START(开始)条件(S)启动一次数据传输，START条件是SCL为高电平时SDA由高到低的跳变。主机通过STOP(停止)条件(P)终止一次数据传输，STOP条件是SCL为高电平时SDA由低到高的跳变(图11)。为了保持总线有效，使接口模式保持不变，可以用重复START条件(Sr)取代STOP条件(见高速模式部分)。

地址字节、命令字节和数据字节在START和STOP条件之间传送。从MAX11014/MAX11015传入或传出数据，需要9个时钟周期，见图15和16。如果接收器返回非应答位，MAX11014/MAX11015便释放总线。如果在16位字中间出现非应答位，则其余位将全部丢弃。

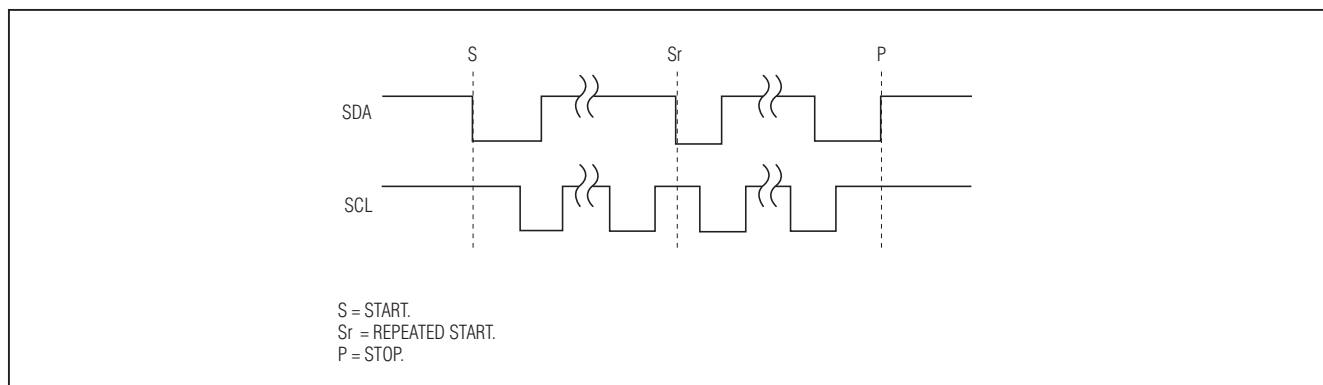


图11. START和STOP条件

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

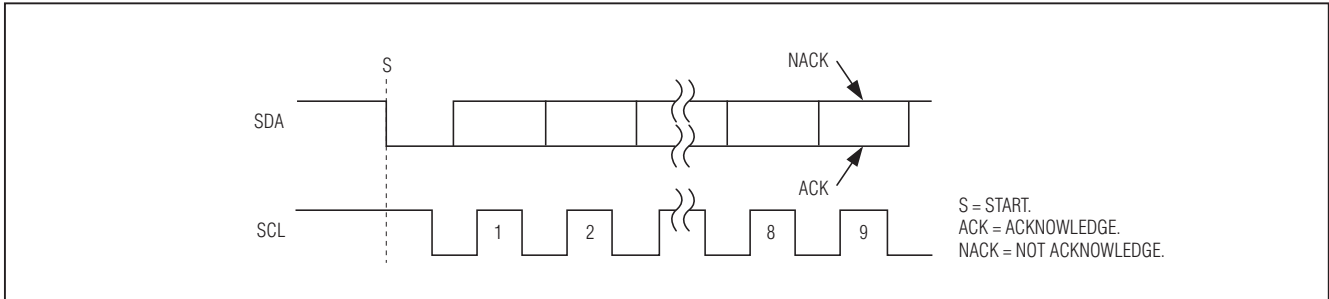


图12. 应答位

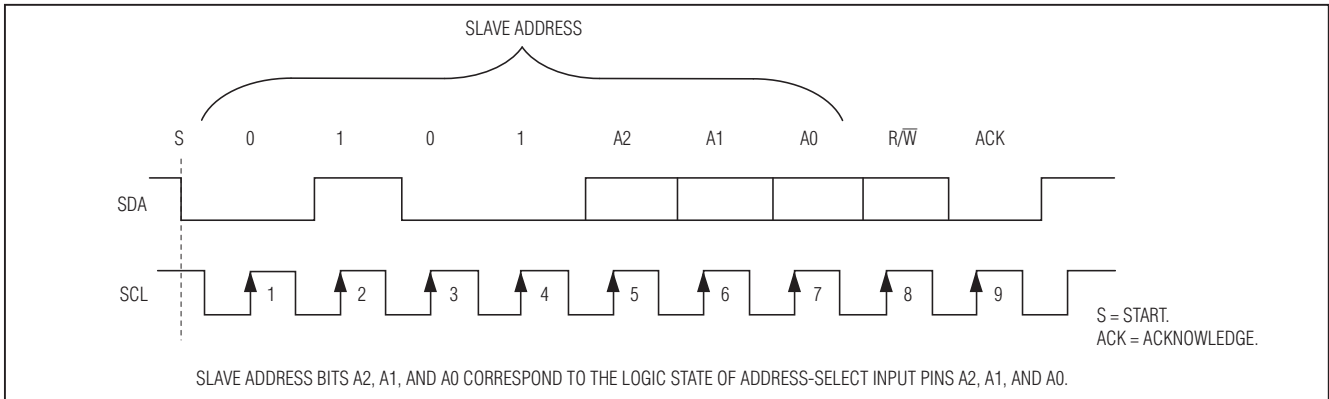


图13. 从地址字节

应答和非应答条件

数据传输由应答位或非应答位确认。主机和MAX11014/MAX11015 (从机)都会产生应答位。接收器件在应答时钟(第9个时钟)的上升沿之前将SDA拉低，并在时钟的高电平期间保持低电平不变即可产生一个应答位(图12)。

接收器件在应答时钟(第9个时钟)的上升沿之前将SDA拉高，并在时钟高电平期间保持高电平不变，则产生一个非应答位。通过监测应答位可以发现失败的数据传输，不成功的数据传输通常出现在接收设备忙或发生系统故障的条件下。发生错误的数据传输时，总线主机应在稍后重新尝试通信。

从地址

MAX11014/MAX11015具有7位I²C从地址，从地址的MSB由工厂预置为0101。地址输入A2、A1、A0的逻辑状态决定器件地址的3个LSB (图13)。把A2、A1、A0连接到DV_{DD}置为逻辑高电平，而连接到DGND置为逻辑低电平，由此，最多允许8片MAX11014/MAX11015挂接到一条总线上。

MAX11014/MAX11015连续监视START条件后的从地址，一旦器件识别出其从地址，则会根据第8位(R/W位)准备接收或发送数据。

高速模式

加电状态下，总线时序置于快速模式(F/S模式，400kHz I²C时钟)，从而限制了接口速率。切换到高速模式(HS模式，3.4MHz I²C时钟)，可以提高接口速率。接口能够支持低速(100kHz)、快速(400kHz)及高速(3.4MHz)通信协议，见图14。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

以HS模式主机代码0000 1XXX (X = 任意)寻址总线上的所有器件, 可使器件从F/S模式转换到HS模式。在成功接收到HS模式主机码后, MAX11014/MAX11015发出一个NACK, 使SDA保持一个周期的高电平。

在发出NACK后, MAX11014/MAX11015工作在HS模式。发送重复START条件和从地址, 启动一次HS模式下的通信。如果主机产生STOP条件, MAX11014/MAX11015将返回F/S模式。如果用重复START条件取代STOP条件, 总线将保持有效, 且不改变模式。

命令字节/数据字节(写周期)

写周期从主机产生START条件开始, 随后是七位从地址(图13)和一个写位($R/\overline{W}=0$)。写入第8位数据后, MAX11014/MAX11015从器件通过拉低SDA一个时钟周期产生应答位。

写入从地址(C7-C0, MSB在前)后, 向从器件写入命令字节, 见图15、17、表1及命令字节部分。命令字节后从器件发出另一个应答信号, 使SDA保持一个周期的低电平。在命令字节之后写入两个数据字节, 允许每个字节后面跟一个应答信号。主机发送STOP条件结束写周期。工作在HS模式时, STOP条件使总线返回F/S模式, 请参考高速模式部分。

MAX11014/MAX11015内部转换时钟频率为4.8MHz (典型值), 产生典型的4.6μs转换周期。图15给出了一个完整的写周期。

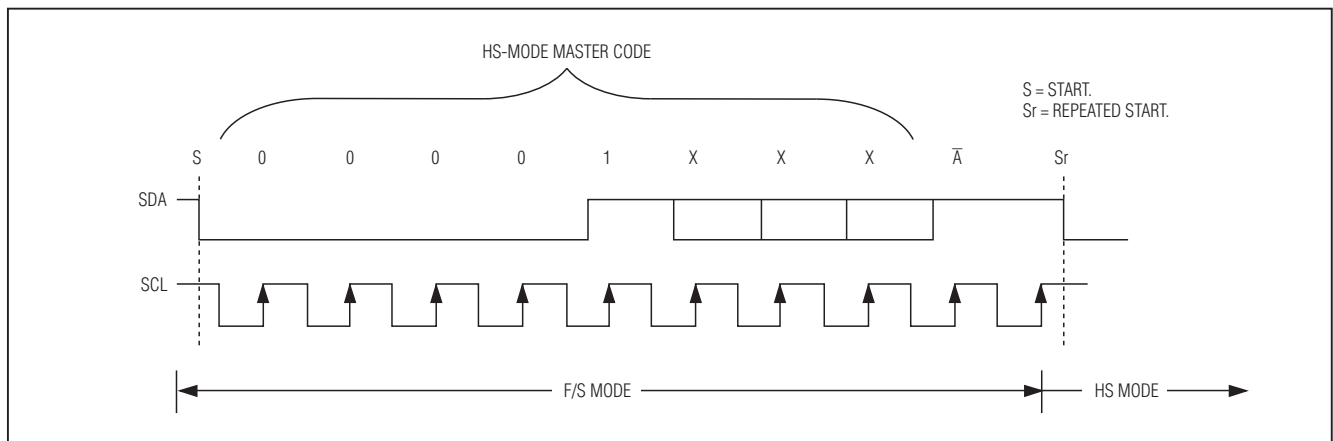


图14. 从F/S模式到HS模式的转换

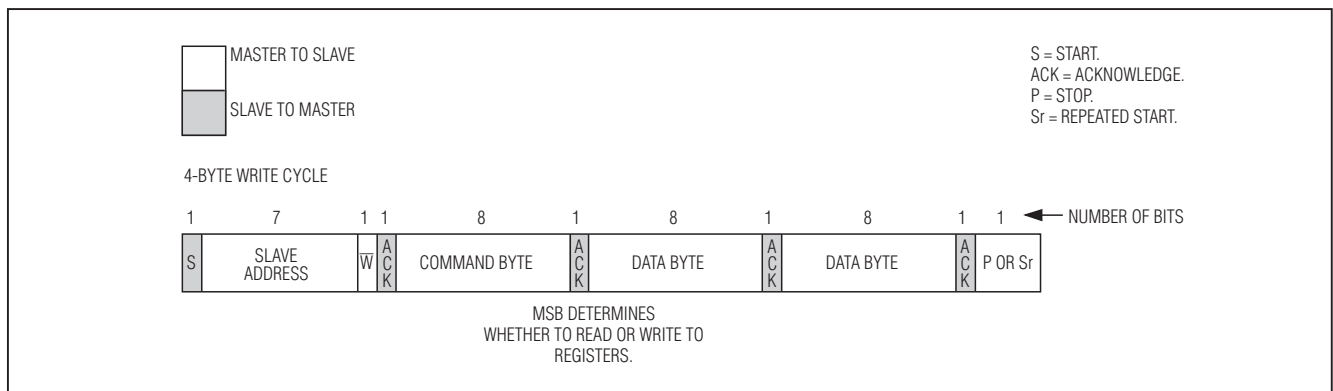


图15. 写周期

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

命令字节/数据字节(读周期)

读周期从主机产生一个START条件开始，随后是7位从地址(图18)以及一个读位($R/\overline{W} = 1$)。写完第8位数据后，MAX11014/MAX11015 (从器件)将SDA拉低一个时钟周期产生应答信号。

写入从地址(C7-C0，MSB在前)后，向从器件写入命令字节，详见图16、18、19、表1以及命令字节部分。命令字节之后，从器件再次发送应答信号，将SDA拉低一个时钟周期。写命令字节后，主机发送重复START条件，再次写从地址字节，并在第9位发送应答信号。第三次应答信号后，可从SDA读出两个字节的的数据。读取第一个字节后，主机应产生一个应答位；读取第二个字节后，主机发出非应答位和STOP信号。

默认读操作

典型的I²C读命令包括写从地址、命令字节、再次写从地址，随后从SDA读取数据。图16给出了详细的5字节读周期序列。通过默认读命令从MAX11014/MAX11015读取数据，无需写入命令字节及第二个从地址字节，请参考图16所示的默认读序列。

默认读操作从写入从地址和一个应答位开始，随后读取两个数据字节，主机在每个字节之后发送应答位。发送应答信号可连续接收数据，读取最后一个字节后，主机发送非应答位和STOP条件。默认读操作读取命令字节指定的寄存器数据(表2)，如图18所示。默认读操作功能对于2线数据读取非常有用，可以保证最高的数据吞吐率，不需要每次发送从地址和命令字节。

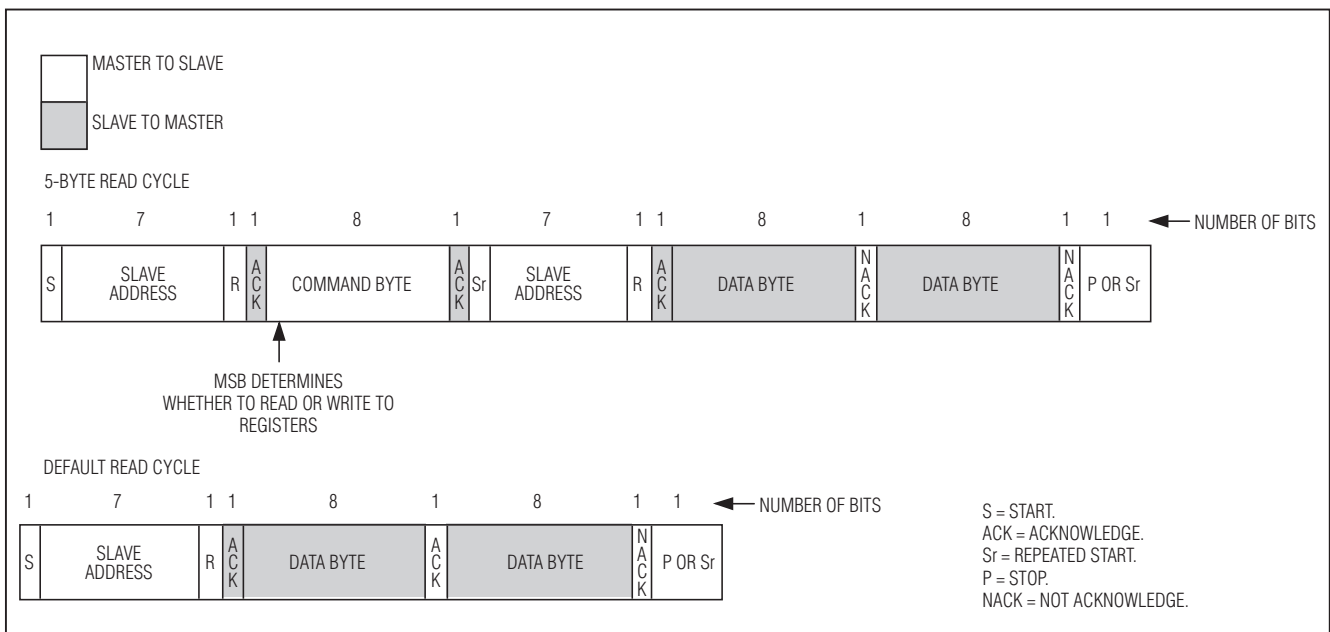


图16. 读周期

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

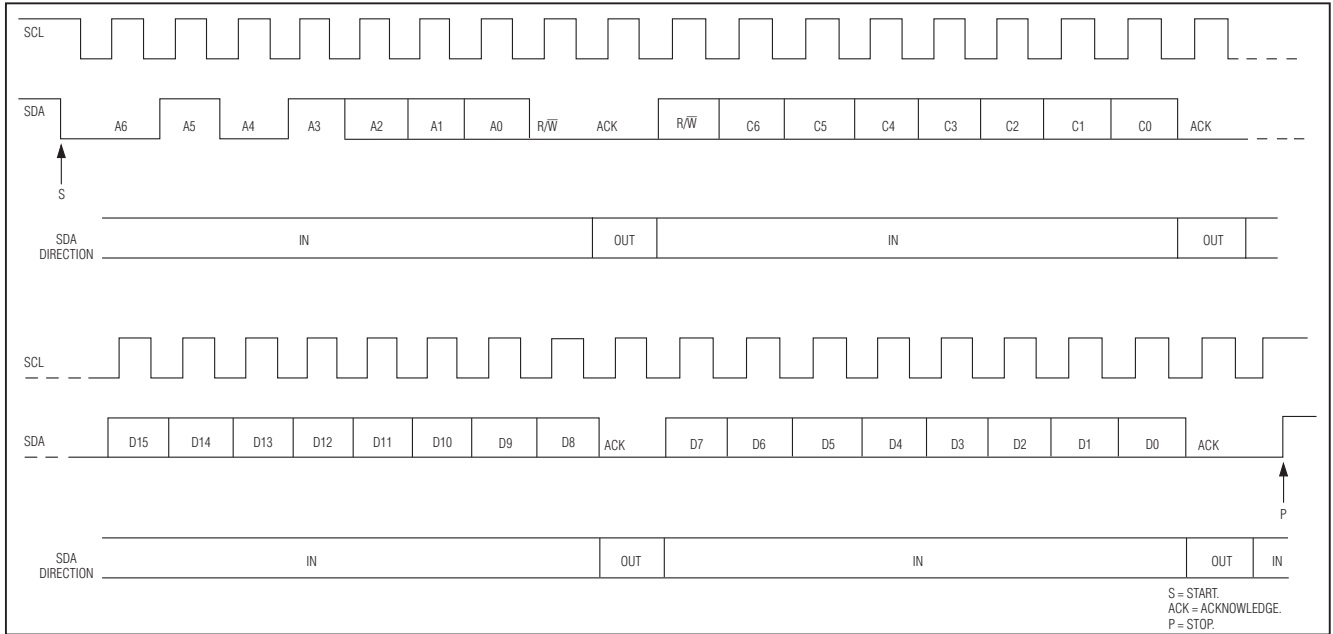


图17. MAX11014/MAX11015 I²C写时序

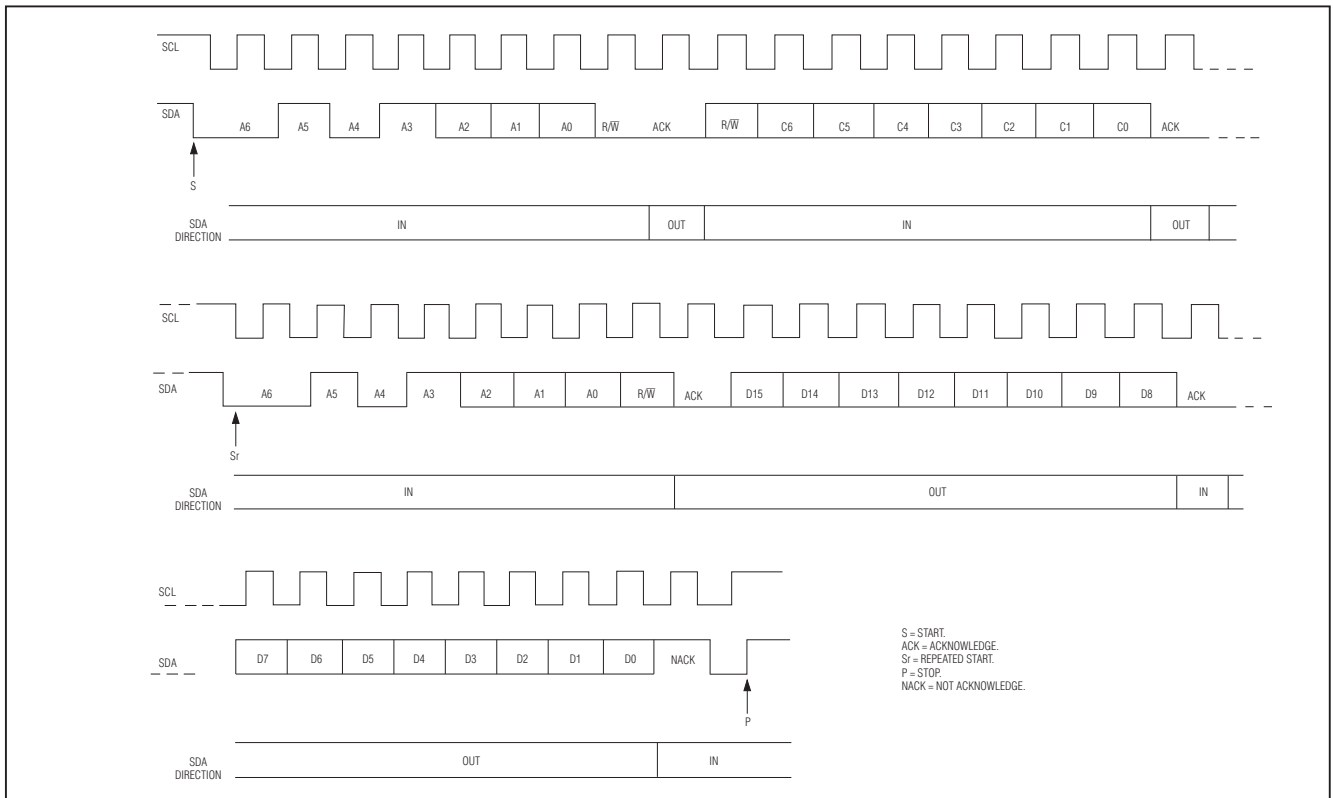


图18. MAX11014/MAX11015 I²C读时序

RF MESFET放大器
漏极电流自动控制器

MAX11014/MAX11015

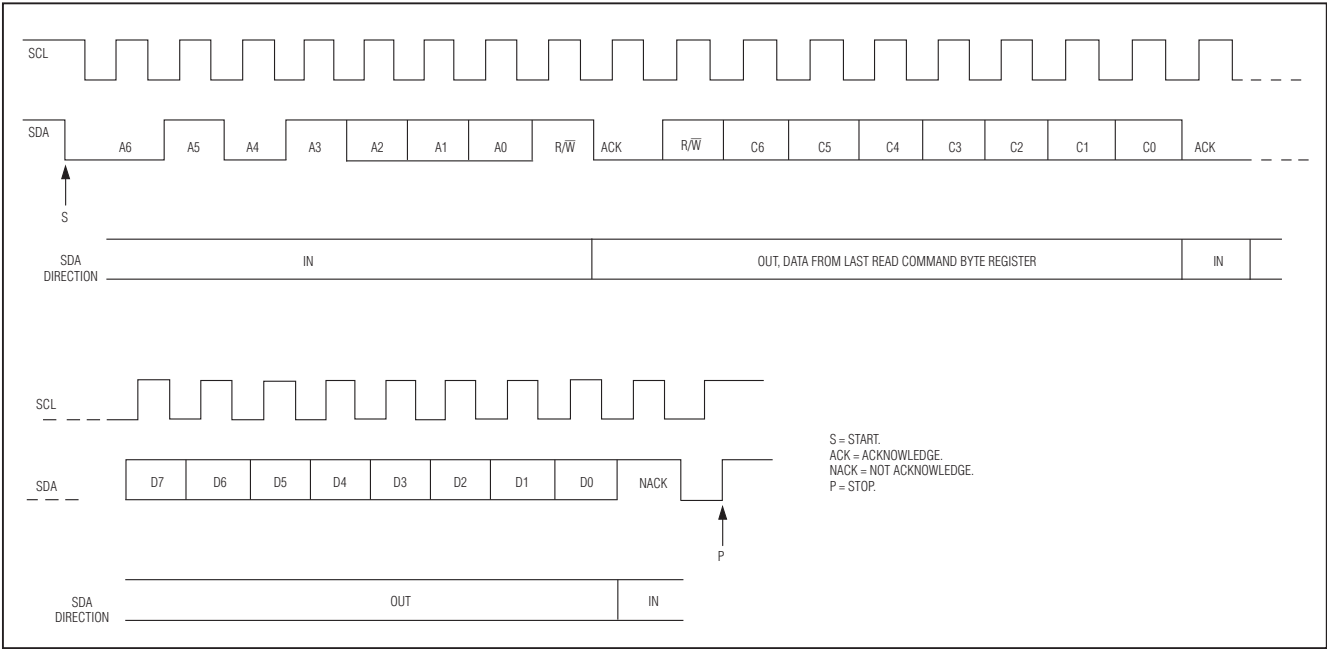


图19. MAX11014/MAX11015 I²C默认读时序

命令字节

通过DIN/SDA 写入命令字节启动对MAX11014/MAX11015 的读、写操作，将C7置高启动读操作；将C7置低启动写操作，如表1所示。其余位，C6–C0，由命令字节确定要

访问的寄存器。表2列出了寄存器的读/写操作。命令字节中C7为MSB，C0为LSB。命令字节之后，可以读出/写入2个字节的数据D15–D0，其中，D15是两个数据字节的MSB，D0是LSB，请参考图9、10、17、18、19和寄存器说明部分。

表 1. 输入命令位

24-BIT SERIAL INPUT WORD																							
COMMAND BYTE								DATA BITS															
MSB								LSB															
C7 R/W	C6	C5	C4	C3	C2	C1	C0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

RF MESFET放大器
漏极电流自动控制器

MAX11014/MAX11015

表2. 寄存器列表

REGISTER DESCRIPTION	MNEMONIC	HEX CODE	
		WRITE	READ
ADC Conversion	ADCCON	62	—
ALARM Flag Register	ALMFLAG	—	F8
Channel 1 DAC Input	IPDAC1	48	—
Channel 1 DAC Input and Output	THRUDAC1	4A	—
Channel 1 High GATE Voltage ALARM Threshold	VH1	28	A8
Channel 1 High Sense Voltage ALARM Threshold	IH1	24	A4
Channel 1 High Temperature ALARM Threshold	TH1	20	A0
Channel 1 K Parameter	USRK1	44	—
Channel 1 Low GATE Voltage ALARM Threshold	VL1	2A	AA
Channel 1 Low Sense Voltage ALARM Threshold	IL1	26	A6
Channel 1 Low Temperature ALARM Threshold	TL1	22	A2
Channel 1 VSET	VSET1	40	—
Channel 2 DAC Input	IPDAC2	4C	—
Channel 2 DAC Input and Output	THRUDAC2	4E	—
Channel 2 High GATE Voltage ALARM Threshold	VH2	34	B4
Channel 2 High Sense Voltage ALARM Threshold	IH2	30	B0
Channel 2 High Temperature ALARM Threshold	TH2	2C	AC
Channel 2 K Parameter	USRK2	46	—
Channel 2 Low GATE Voltage ALARM Threshold	VL2	36	B6
Channel 2 Low Sense Voltage ALARM Threshold	IL2	32	B2
Channel 2 Low Temperature ALARM Threshold	TL2	2E	AE
Channel 2 VSET	VSET2	42	—
First-In First-Out Memory	FIFO	—	80
Flag Register	FLAG	—	F6
Hardware ALARM Configuration	ALMHCFG	3C	BC
Hardware Configuration	HCFG	38	B8
LUT Address	LUTADD	7A	—
LUT Data	LUTDAT	7C	FC
PGA Calibration Control	PGACAL	5E	—
Shutdown	SHUT	64	—
Software ALARM Configuration	ALMSCFG	3E	BE
Software Clear	SCLR	74	—
Software Configuration	SCFG	3A	BA
Software Load DAC	LDAC	66	—

寄存器说明

MAX11014/MAX11015通过串口实现内部寄存器与外部总线之间的通信。表1列出了命令位(C7–C0)和串行输入字的数据位(D15–D0)。表2列出了命令字节和对应访问的寄

存器。表3–27列出了内部各读、写寄存器及其上电复位后的状态。

上电后，MAX11014/MAX11015处于完全关断模式(见SHUT(写)部分)。为了转至标准的上电模式，需要向关断寄存

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

表3. TH1和TH2 (读/写)

BIT	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RESET STATE	X	X	X	X	0	1	1	1	1	1	1	1	1	1	1	1
BIT VALUE (°C)	X	X	X	X	MSB (sign)	128	64	32	16	8	4	2	1	0.5	0.25	LSB 0.125

X = 无关。

表4. 高/低温ALARM门限示例

TEMPERATURE SETTING	DATA BITS D11–D0 (TWO'S COMPLEMENT)
-40°C	1110 1100 0000
-1.625°C	1111 1111 0011
0°C	0000 0000 0000
+27.125°C	0000 1101 1001
+105°C	0011 0100 1000

表5. TL1和TL2 (读/写)

BIT	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RESET STATE	X	X	X	X	1	0	0	0	0	0	0	0	0	0	0	0
BIT VALUE (°C)	X	X	X	X	MSB (sign)	128	64	32	16	8	4	2	1	0.5	0.25	LSB 0.125

X = 无关。

器写入两条命令。第一条命令将FULLPD位置0 (关断寄存器的其它位可为无关项)。向该寄存器写入第二条命令使能内部工作单元。

TH1和TH2 (读/写)

分别写入命令字节20h和2Ch设置外部通道1和通道2的高温ALARM门限。命令字节之后写入D11–D0 12位数据。分别写入命令字节A0h和ACh后,可读取通道1和通道2的高温ALARM门限。命令字节之后可读取D11–D0 12位数据, D15–D12为无关项。温度数据以2的补码格式写入或读取, LSB对应于+0.125°C, 如表3所示。高温ALARM门限寄存器的POR值为0111 1111 1111, 对应于+255.875°C。通道1/通道2高、低温门限设置范例请参考表4, 图25、27给出了ALARM范例。

TL1和TL2 (读/写)

分别写入命令字节22h和2Eh设置外部通道1和通道2的低温ALARM门限。命令字节之后写入D11–D0 12位数据。分别写入命令字节A2h和AEh可读取通道1、通道2的低温ALARM门限, 命令字节之后可读取D11–D0 12位数据, D15–D12为无关项。温度数据以2的补码格式进行读、写, LSB对应于+0.125°C, 如表5所示。低温ALARM门限寄存器的POR值为1000 0000 0000, 对应于-256.0°C, 图25、27给出了ALARM示例。

IH1和IH2 (读/写)

分别写入命令字节24h和30h设置通道1、通道2的检流电压ALARM上限。在命令字节之后写入D11–D0 12位数据。分别写入命令字节A4h和B0h可读取通道1、通道2的检流

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

表6. IH1和IH2 (读/写)

BIT	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RESET STATE	X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1
BIT VALUE	X	X	X	X	MSB	—	—	—	—	—	—	—	—	—	—	LSB

X = 无关。

表7. IL1和IL2 (读/写)

BIT	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RESET STATE	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0
BIT VALUE	X	X	X	X	MSB	—	—	—	—	—	—	—	—	—	—	LSB

X = 无关。

表8. VH1和VH2 (读/写)

BIT	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RESET STATE	X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1
BIT VALUE	X	X	X	X	MSB	—	—	—	—	—	—	—	—	—	—	LSB

X = 无关。

电压ALARM门限的上限值。在命令字节之后读取D11–D0 12位数据，D15–D12为无关项。检流电压数据直接以二进制格式进行读、写，见表6。检流电压ALARM门限的上限POR值为1111 1111 1111，图25、27给出了ALARM示例。

检流电压在RCS₊和RCS₋之间测量，读数1111 1111 1111对应于V_{REFDAC} / 4；读数0000 0000 0000对应于0mV。

IL1和IL2 (读/写)

分别写入命令字节26h和32h设置通道1、通道2的检流电压ALARM下限。在命令字节之后写入D11–D0 12位数据。分别写入命令字节A6h和B2h读取通道1、通道2的检流电压ALARM门限下限值。在命令字节之后读取D11–D0 12位数据，D15–D12为无关项。检流电压数据直接以二进制格式进行读、写，见表7。检流电压ALARM门限的下限POR值为0000 0000 0000，图25、27给出了ALARM示例。

检流电压在RCS₊和RCS₋之间测量，读数1111 1111 1111对应于V_{REFDAC} / 4；读数0000 0000 0000对应于0mV。

VH1和VH2 (读/写)

分别写入命令字节28h和34h设置通道1、通道2的GATE电压ALARM门限上限值。在命令字节之后写入D11–D0 12位数据。分别写入命令字节A8h和B4h读取通道1、通道2的GATE电压ALARM上限值。在命令字节之后读取D11–D0 12位数据，D15–D12为无关项。GATE电压直接以二进制格式进行读、写，见表8。GATE电压ALARM门限的上限POR值为1111 1111 1111，图7给出了GATE电压的例子，图25、27给出了ALARM示例。

VL1和VL2 (读/写)

分别写入命令字节2Ah和36h设置通道1、通道2的GATE电压ALARM下限值。在命令字节之后写入D11–D0 12位数据。分别写入命令字节AAh和B6h读取通道1、通道2的GATE电压ALARM门限下限值。在命令字节之后读取D11–D0 12位数据，D15–D12为无关项。GATE电压直接以二进制格式进行读、写，见表9。GATE电压ALARM门限的下限POR值为0000 0000 0000，图7给出了GATE电压的例子，图25、27给出了ALARM示例。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

表9. VL1和VL2 (读/写)

BIT	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RESET STATE	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0
BIT VALUE	X	X	X	X	MSB	—	—	—	—	—	—	—	—	—	—	LSB

X = 无关。

表10. HCFG (读/写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
X	D15–D12	X	Don't care.
CH2OCM1	D11	0	Maximum GATE2 voltage control bits.
CH2OCM0	D10	0	
CH1OCM1	D9	0	Maximum GATE1 voltage control bits.
CH1OCM0	D8	0	
X	D7	X	Don't care.
ADCMON	D6	0	ADC monitor bit. Set to 1 to load ADC results into the FIFO. Set to 0 to not load any ADC results into the FIFO. The value of ADCMON does NOT affect whether the results from any particular ADC conversion are checked against ALARM limits or examined for changes to the $V_{DAC(CODE)}$ equations.
CKSEL1	D5	0	Clock mode and $\overline{CNVST}$ configuration bits.
CKSEL0	D4	0	
ADCRE1	D3	0	ADC reference select bits.
ADCRE0	D2	0	
DACRE1	D1	0	DAC reference select bits.
DACRE0	D0	0	

HCFG (读/写)

通过设置硬件配置寄存器的D11–D0选择每个通道的最大GATE电压、时钟模式、ADC监控模式、DAC和ADC基准模式。命令字节38h用于硬件配置寄存器的写操作，命令字节B8h用于硬件配置寄存器的读操作，D15–D12位无关。通过设置CH2OCM1/0位(D11和D10)指定GATE2输出电压的正向最大值。通过设置CH1OCM1/0位(D9和D8)指定GATE1输出电压的正向最大值，见表10。

将ADCMON (D6)置1可将ADC结果装载到FIFO；将ADCMON置0不向FIFO装载ADC的结果。设置CKSEL1/0位(D5和D4)确定转换、采样的时钟模式，见表10b，另请

参考内部定时采样与转换和外部定时采样与转换部分。设置ADCRE1/0位(D3和D2)选择ADC的基准源，见表10c；设置DACRE1/0位(D1和D0)选择DAC的基准源，见表10d。

SCFG (读/写)

向软件配置寄存器写入数据确定将 $V_{DAC(CODE)}$ 计算结果装载到DAC输入寄存器，或DAC输入、输出寄存器。这个寄存器还用来在 $V_{DAC(CODE)}$ 计算过程中设置K参数及温度查找表的控制模式。命令字节3Ah用于软件配置寄存器的写操作，命令字节BAh用于软件配置寄存器的读操作。

RF MESFET放大器
漏极电流自动控制器

MAX11014/MAX11015

表 10a. 最大GATE_电压模式

CH_OCM1	CH_OCM0	FUNCTION
0	0	Maximum positive voltage at GATE_ = AGND.
0	1	Maximum positive voltage at GATE_ = AGND + 250mV.
1	0	Maximum positive voltage at GATE_ = AGND + 500mV.
1	1	Maximum positive voltage at GATE_ = AGND + 750mV.

表 10b. 时钟模式

CKSEL1	CKSEL0	CONVERSION CLOCK	ACQUISITION/SAMPLING
0	0	Internal	Internally timed acquisitions and conversions. Default state. Begin a conversion by writing to the ADC conversion register to convert all channels specified in this register.
0	1	Internal	Internally timed acquisitions and conversions. Begin a conversion by pulling $\overline{\text{CNVST}}$ low only once for at least 20ns to convert all of the channels selected in the ADC conversion register.
1	0	Reserved	Do not use.
1	1	Internal	Externally timed single acquisitions. Conversions internally timed. Begin each individual conversion by pulling $\overline{\text{CNVST}}$ low for each channel converted. See the <i>Electrical Characteristics</i> table for $\overline{\text{CNVST}}$ timing. The MAX11014/MAX11015 acquire while $\overline{\text{CNVST}}$ is low and sample when $\overline{\text{CNVST}}$ returns high.

表 10c. ADC 基准模式

ADCREF1	ADCREF0	ADC VOLTAGE REFERENCE
0	X	External. Bypass REFADC with a 0.1 μ F capacitor to AGND.
1	0	Internal. Leave REFADC unconnected.
1	1	Internal. Bypass REFADC with a 0.1 μ F capacitor to AGND for better noise performance.

X = 无关。

表 10d. DAC 基准模式

DACREF1	DACREF0	DAC VOLTAGE REFERENCE
0	X	External. Bypass REFDAC with a 0.1 μ F capacitor to AGND.
1	0	Internal. Leave REFDAC unconnected.
1	1	Internal. Bypass REFDAC with a 0.1 μ F capacitor to AGND for better noise performance.

X = 无关。

软件配置寄存器中的D15–D12位为无关项，LDAC2 (D11) 置1时根据 $V_{\text{DAC2(CODE)}}$ 的计算结果将 V_{DAC2} 的新值装载到通道2的DAC输入、输出寄存器，见图20；置0时根据 $V_{\text{DAC2(CODE)}}$ 的计算结果将 V_{DAC2} 的新值装载到通道2的

DAC输入寄存器。设置T2COMP1/0位(D10和D9)控制通道2的温度LUT，见表11a。设置KSRC2-2/1/0 (D8、D7和D6) 控制通道2的K参数LUT，见表11b和SRAM LUT部分。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

LDAC1 (D5)置1时根据 $V_{DAC1(CODE)}$ 的计算结果将 V_{DAC1} 的新值装载到通道1的DAC输入、输出寄存器；置0时根据 $V_{DAC1(CODE)}$ 的计算结果将 V_{DAC1} 的新值装载到通道1的DAC输入寄存器。设置T1COMP1/0位(D4和D3)控制通道1的温度LUT，见表11a。设置KSRC1-2/1/0 (D2、D1和D0)控制通道1的K参数LUT，见表11b和SRAM LUT部分。

分别对各通道的DAC输入寄存器、DAC输入和输出寄存器或 V_{SET} 寄存器写入数值设置通道1/通道2的DAC码。首先向DAC输入寄存器(表16)写入数据，随后写软件装载DAC寄存器(表21)，控制数据更新时序。向DAC输入、输出寄存器(表17)写入数据可在不受软件装载DAC寄存器影响的情况下直接设置DAC输出电压编码。向 V_{SET} 寄存器(表14)写入数据可以在DAC编码中包含LUT数据。向 V_{SET} 寄存器写入数据时将触发一次 $V_{DAC(CODE)}$ 的计算过程：

$$V_{DAC(CODE)} = V_{SET(CODE)}(1 + LUT_K[K] \times LUT_{TEMP}[TEMP])$$

式中，

$V_{DAC(CODE)}$ = 修改后的通道1/通道2 12位DAC码。

$V_{SET(CODE)}$ = 写入通道1/通道2 V_{SET} 寄存器的12位DAC码。

$LUT_K[K]$ = 插值，分数形式的12位KLUT值。KLUT数据来自不同的数据源，包括 V_{SET} 寄存器值、K参数寄存器值或各个ADC通道，详见SRAM LUT部分。

$LUT_{TEMP}[TEMP]$ = 插值，分数形式的12位、2的补码温度LUT值。温度LUT数据来自内部或外部温度数据，详见SRAM LUT部分。

当KSRC_-2/KSRC_-1/KSRC_-0位置为000，而T_COMP1/T_COMP0位置为00或01时， $V_{DAC(CODE)}$ 等式可简化为：

$$V_{DAC(CODE)} = V_{SET(CODE)}$$

注：这是一个特殊情况，而且只有采样数据已经存在时才会触发 V_{GATE} 计算，这个功能可通过THRUDAC寄存器使用。

对于温度采样或KLUT数据采样，要想自动触发 $V_{DAC(CODE)}$ 计算，必须配置ADC提供相关的采样值。这样，ADC转换寄存器(表19)应该把相应的通道位置位，并且，无论ADCMON是否置位，ADC都必须置于合适的时钟模式。

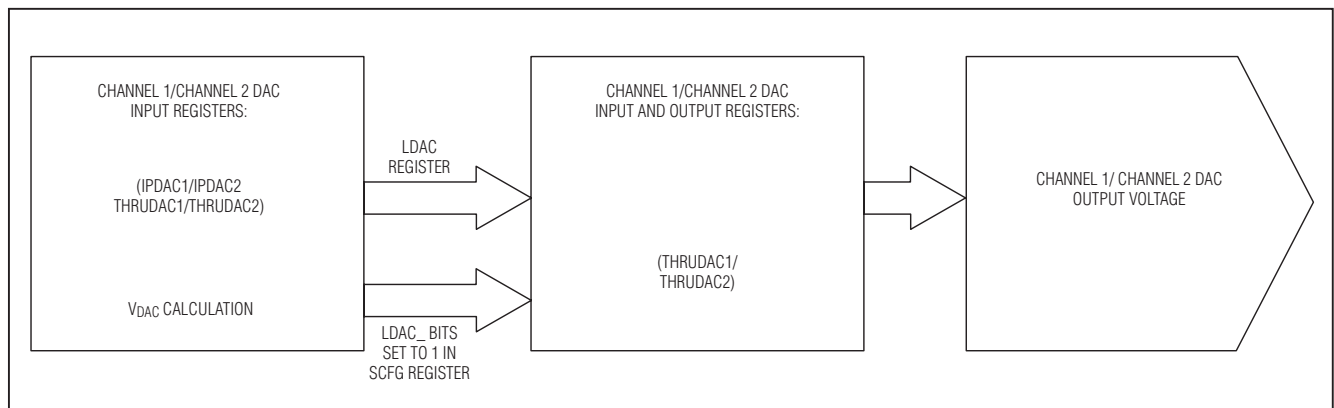


图20. DAC寄存器

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

表 11. SCFG (读/写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
X	D15–D12	X	Don't care.
LDAC2	D11	0	Channel 2 load DAC. Set to 1 to load the new value of $V_{DAC2(CODE)}$, upon completion of a $V_{DAC2(CODE)}$ calculation, into both the channel 2 DAC input and output registers. When set to 1, BUSY pulses high after a new V_{DAC2} output is calculated. Set to 0 to load the new value of $V_{DAC2(CODE)}$, upon completion of a $V_{DAC2(CODE)}$ calculation, to only the channel 2 DAC input register. When set to 0, set the DACCH2 bit high in the software load DAC register to transfer the $V_{DAC(CODE)}$ calculation value from the DAC input register to the DAC output.
T2COMP1	D10	0	Channel 2 temperature LUT control bits.
T2COMP0	D9	0	
KSRC2-2	D8	0	
KSRC2-1	D7	0	Channel 2 KLUT control bits.
KSRC2-0	D6	0	
LDAC1	D5	0	Channel 1 load DAC. Set to 1 to load the new value of V_{DAC1} , upon completion of a $V_{DAC1(CODE)}$ calculation, into both the channel 1 DAC input and output registers. When set to 1, BUSY pulses high after a new V_{DAC1} output is calculated. Set to 0 to load the new value of V_{DAC1} , upon completion of a $V_{DAC1(CODE)}$ calculation, to only the channel 1 DAC input register. When set to 0, set the DACCH1 bit high in the software load DAC register to transfer the $V_{DAC(CODE)}$ calculation value from the DAC input register to the DAC output.
T1COMP1	D4	0	Channel 1 temperature LUT control bits.
T1COMP0	D3	0	
KSRC1-2	D2	0	
KSRC1-1	D1	0	Channel 1 KLUT control bits.
KSRC1-0	D0	0	

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

表 11a. 通道 1/通道 2 温度 LUT 控制模式

T_COMP1	T_COMP0	FUNCTION
0	0	A change in temperature does not trigger a $V_{DAC}(CODE)$ calculation. Any $V_{DAC}(CODE)$ calculation triggered in another way does not include the temperature lookup. This bit setting simplifies the $V_{DAC}(CODE)$ calculation to $V_{DAC}(CODE) = V_{SET}(CODE) (1 + LUT_K[K])$.
0	1	A change in temperature does not trigger a $V_{DAC}(CODE)$ calculation. Any $V_{DAC}(CODE)$ calculation triggered in another way does not include the temperature lookup. This bit setting simplifies the $V_{DAC}(CODE)$ calculation to $V_{DAC}(CODE) = V_{SET}(CODE) (1 - LUT_K[K])$.
1	0	A change in the channel 1/channel 2 external temperature sensor reading triggers a $V_{DAC}(CODE)$ calculation for the corresponding DAC channel. When a $V_{DAC}(CODE)$ calculation is triggered, the calculation includes the temperature lookup function.
1	1	A change in the internal temperature sensor reading triggers a $V_{DAC}(CODE)$ calculation for the corresponding channel. When a $V_{DAC}(CODE)$ calculation is triggered, the calculation includes the temperature lookup function.

表 11b. 通道 1/通道 2 KLUT 控制模式

KSRC_-2	KSRC_-1	KSRC_-0	FUNCTION
0	0	0	No KLUT operations performed. This bit setting simplifies the $V_{DAC}(CODE)$ calculation to: $V_{DAC}(CODE) = V_{SET}(CODE) (1 + LUT_{TEMP}[TEMP])$
0	0	1	The $V_{DAC}(CODE)$ calculation simplifies to: $V_{DAC}(CODE) = V_{SET}(CODE) (1 + LUT_K[VSET] \times LUT_{TEMP}[TEMP])$
0	1	0	The $V_{DAC}(CODE)$ calculation simplifies to: $V_{DAC}(CODE) = V_{SET}(CODE) (1 - LUT_K[USRK] \times LUT_{TEMP}[TEMP])$
0	1	1	The $V_{DAC}(CODE)$ calculation simplifies to: $V_{DAC}(CODE) = V_{SET}(CODE) (1 + LUT_K[sense\ voltage] \times LUT_{TEMP}[TEMP])$
1	0	0	The $V_{DAC}(CODE)$ calculation simplifies to: $V_{DAC}(CODE) = V_{SET}(CODE) (1 + LUT_K[ADCIN_-] \times LUT_{TEMP}[TEMP])$
1	0	1	The $V_{DAC}(CODE)$ calculation simplifies to: $V_{DAC}(CODE) = V_{SET}(CODE) + USRK \times LUT_K[VSET] \times LUT_{TEMP}[TEMP]$
1	1	0	The $V_{DAC}(CODE)$ calculation simplifies to: $V_{DAC}(CODE) = V_{SET}(CODE) + USRK \times LUT_K[sense\ voltage] \times LUT_{TEMP}[TEMP]$
1	1	1	The $V_{DAC}(CODE)$ calculation simplifies to: $V_{DAC}(CODE) = V_{SET}(CODE) + USRK \times LUT_K[ADCIN_-] \times LUT_{TEMP}[TEMP]$

RF MESFET放大器
漏极电流自动控制器

MAX11014/MAX11015

表 12. ALMHCFG (读/写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
X	D15–D12	X	Don't care.
INTEMP	D11	0	Internal temperature conversion bit. Set to 1 to cause ALARM comparisons for channel 2 to use the internal temperature conversion result. Set to 0 to cause ALARM comparisons for channel 2 to use the external temperature conversion result.
ALMCMP	D10	0	ALARM comparator bit. Set to 1 to configure the ALARM output in comparator mode. Set to 0 to configure the ALARM output in interrupt mode.
VGHYST1	D9	0	GATE voltage hysteresis bits. The VGHYST_ bits control the built-in hysteresis level when using the ALARM function in windowing mode for GATE voltage measurements. The same value is used for the GATE voltage ALARM measurements in both channels.
VGHYST0	D8	0	
ITHYST1	D7	0	Sense voltage/temperature hysteresis bits. The ITHYST_ bits control the built-in hysteresis level when using the ALARM function in windowing mode for sense voltage and temperature measurements. The same value is used for the sense voltage and temperature ALARM measurements in both channels.
ITHYST0	D6	0	
ALM2CLMP1	D5	0	Channel 2 ALARM clamp bits.
ALM2CLMP0	D4	0	
ALM1CLMP1	D3	0	Channel 1 ALARM clamp bits.
ALM1CLMP0	D2	0	
ALMPOL	D1	0	ALARM polarity bit. Set to 1 to force the ALARM output to be active-low. Set to 0 to force the ALARM output to be active-high.
ALMOPN	D0	0	ALARM open-drain/push-pull output bit. Set to 1 to configure the ALARM output as open-drain. An external pullup or pulldown resistor is required. Multiple ALARM outputs can be wired together onto a single line in open-drain mode. Set to 0 to configure the ALARM output as a push-pull output (no external resistor required).

ALMHCFG (读/写)

硬件ALARM配置寄存器控制ALARM的输出状态。命令字节3Ch用于控制硬件ALARM配置寄存器的写操作；命令字节BCh用于控制硬件ALARM配置寄存器的读操作，D15–D12为无关项。INTEMP位(D11)置1，将使能通道2的ALARM电路对内部温度转换结果进行比较。ALMCMP位(D10)置1使ALARM输出处于比较器模式。ALMCMP(D10)置0时，使ALARM输出处于中断模式，详见图25。

工作在窗模式时，设置VGHYST1/0位(D9和D8)可以控制GATE电压ALARM门限的滞回电平。滞回电平作用于通道1和通道2，见表12a和图25。工作在窗模式时，设置

ITHYST1/0位(D7和D6)可以控制检流电压和温度ALARM门限的滞回电平，滞回电平作用于通道1和通道2，见表12b。通过设置ALM2CLMP1/0位(D5和D4)可以控制GATE2输出是否箝位在ACLAMP2的外接电压，见表12c。通过设置ALM1CLMP1/0位(D3和D2)可以控制GATE1输出是否箝位在ACLAMP1的外接电压，请参考表12c和自动GATE箝位部分。将ALMPOL(D1)置1使ALARM输出低电平有效；将ALMPOL置0使ALARM输出高电平有效。将ALMOPN(D0)置1使ALARM为漏极开路输出；将ALMOPN置0使ALARM成为推挽式输出。

RF MESFET放大器
漏极电流自动控制器

MAX11014/MAX11015

表 12a. GATE 电压滞回电平

VGHYST1	VGHYST0	FUNCTION
0	0	8 LSBs of hysteresis.
0	1	16 LSBs of hysteresis.
1	0	32 LSBs of hysteresis.
1	1	64 LSBs of hysteresis.

表 12b. 检流电压/温度滞回电平

ITHYST1	ITHYST0	FUNCTION
0	0	8 LSBs of hysteresis.
0	1	16 LSBs of hysteresis.
1	0	32 LSBs of hysteresis.
1	1	64 LSBs of hysteresis.

表 12c. ALARM 箝位模式

ALM_CLMP1	ALM_CLMP0	FUNCTION
0	0	Default state. The GATE_ outputs are clamped to the respective external voltage applied at ACLAMP_ independent of alarms. GATE_ remains clamped until this register value is changed or a software clear command is issued.
0	1	The corresponding ALARM bit in the ALARM flag register goes high if an ALARM condition is triggered by a conversion of sense voltage, temperature, or GATE_ voltage. However, the GATE_ outputs are not clamped.
1	0	Fully automatic clamping. The GATE_ outputs are clamped to the respective external voltage applied at ACLAMP_ when an ALARM condition is triggered. The clamp is removed if a subsequent temperature or sense voltage conversion removes the ALARM condition. GATE_ remains clamped when a GATE_ voltage ALARM is triggered. For a GATE_ voltage ALARM, ALM_CLMP 10 mode functions the same as 11 mode. This exception breaks the feedback loop created by sampling GATE_ voltage and then clamping the same signal.
1	1	Semi-automatic clamping. The GATE_ outputs are clamped to the respective external voltage applied at ACLAMP_ when an ALARM condition is triggered. If an ALARM condition is triggered, the ALM_CLMP bits are overwritten to 00, causing a permanent clamp condition. Clear this permanent clamp condition with a subsequent write to reset the ALM_CLMP bits.

ALMSCFG (读/写)

软件ALARM配置寄存器控制哪一路电压、温度通道触发ALARM输出，以及ALARM比较器工作在窗模式或滞回模式。命令字节3Eh用于控制软件ALARM配置寄存器的写操作；命令字节BEh用于控制软件ALARM配置寄存器的读操作，D15-D12为无关项。VALARM2 (D11)置1将使能GATE2电压测量的ALARM功能。VWIN2 (D10)置1时，ALARM比较器在窗模式下监视GATE2电压；VWIN2置0时，ALARM比较器在滞回模式下监视GATE2电压。

TALARM2 (D9)置1将使能通道2温度测量的ALARM功能。TWIN2 (D8)置1时ALARM比较器在窗模式下监视通道2温度；TWIN2置0时ALARM比较器在滞回模式下监视通道2温度。IALARM2 (D7)置1将使能通道2检流电压(RCS2+至RCS2-)测量的ALARM功能。IWIN2 (D6)置1时ALARM比较器在窗模式下监控通道2的检流电压；IWIN2置0时ALARM比较器在滞回模式下监控通道2的检流电压。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

表 13. ALMSCFG (读/写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
X	D15–D12	X	Don't care.
VALARM2	D11	0	Channel 2 GATE voltage ALARM bit. Set to 1 to enable the ALARM functionality for GATE2 voltage measurements. Set to 0 to disable the ALARM functionality for GATE2 voltage measurements.
VWIN2	D10	0	Channel 2 GATE voltage windowing bit. Set to 1 to monitor the GATE2 voltage with the ALARM comparator in windowing mode. Set to 0 to monitor the GATE2 voltage with the ALARM comparator in hysteresis mode.
TALARM2	D9	0	Channel 2 temperature ALARM bit. Set to 1 to enable the ALARM functionality for channel 2 temperature measurements. Set to 0 to disable the ALARM functionality for channel 2 temperature measurements.
TWIN2	D8	0	Channel 2 temperature windowing bit. Set to 1 to monitor the channel 2 temperature with the ALARM comparator in windowing mode. Set to 0 to monitor the channel 2 temperature with the ALARM comparator in hysteresis mode.
IALARM2	D7	0	Channel 2 sense voltage ALARM bit. Set to 1 to enable the ALARM functionality for channel 2 sense voltage measurements. Set to 0 to disable the ALARM functionality for channel 2 sense voltage measurements.
IWIN2	D6	0	Channel 2 sense voltage windowing bit. Set to 1 to monitor the channel 2 sense voltage with the ALARM comparator in windowing mode. Set to 0 to monitor the channel 2 sense voltage with the ALARM comparator in hysteresis mode.
VALARM1	D5	0	Channel 1 GATE voltage ALARM bit. Set to 1 to enable the ALARM functionality for GATE1 voltage measurements. Set to 0 to disable the ALARM functionality for GATE1 voltage measurements.
VWIN1	D4	0	Channel 1 GATE voltage windowing bit. Set to 1 to monitor the GATE1 voltage with the ALARM comparator in windowing mode. Set to 0 to monitor the GATE1 voltage with the ALARM comparator in hysteresis mode.
TALARM1	D3	0	Channel 1 temperature ALARM bit. Set to 1 to enable the ALARM functionality for channel 1 temperature measurements. Set to 0 to disable the ALARM functionality for channel 1 temperature measurements.
TWIN1	D2	0	Channel 1 temperature windowing bit. Set to 1 to monitor the channel 1 temperature with the ALARM comparator in windowing mode. Set to 0 to monitor the channel 1 temperature with the ALARM comparator in hysteresis mode.
IALARM1	D1	0	Channel 1 sense voltage ALARM bit. Set to 1 to enable the ALARM functionality for channel 1 sense voltage measurements. Set to 0 to disable the ALARM functionality for channel 1 sense voltage measurements.
IWIN1	D0	0	Channel 1 sense voltage windowing bit. Set to 1 to monitor the channel 1 sense voltage with the ALARM comparator in windowing mode. Set to 0 to monitor the channel 1 sense voltage with the ALARM comparator in hysteresis mode.

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

表 14. VSET1和VSET2 (写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
X	D15–D12	X	Don't care.
VSET11–VSET0	D11–D0	0000 0000 0000	VSET11 is the MSB and VSET0 is the LSB. Data format is straight binary.

表 15. USRK1和USRK2 (写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
X	D15–D12	X	Don't care.
K11–K0	D11–D0	N/A	K11 is the MSB and K0 is the LSB. Data format is straight binary.

VALARM1 (D5)置1将使能GATE1电压测量的ALARM功能。VWIN1 (D4)置1时ALARM比较器在窗模式下监控GATE1电压；VWIN1置0时ALARM比较器在滞回模式下监控GATE1电压。TALARM1 (D3)置1将使能通道1温度测量的ALARM功能。TWIN1 (D2)置1时ALARM比较器在窗模式下监控通道1的温度；TWIN1置0时ALARM比较器在滞回模式下监控通道1的温度。IALARM1 (D1)置1将使能通道1检流电压(RCS1+至RCS1-)测量的ALARM功能。IWIN1 (D0)置1时ALARM比较器在窗模式下监控通道1的检流电压；IWIN1置0时ALARM比较器在滞回模式下监控通道1的检流电压。

VSET1和VSET2 (写)

向通道1/通道2的V_{SET}寄存器写入数据，可以设置V_{DAC(CODE)}等式中的V_{SET(CODE)}码，这些寄存器的写操作将触发对V_{DAC(CODE)}的计算。根据软件配置寄存器中LDAC1/LDAC2的设置，将该代码装载到通道1/通道2的DAC输入寄存器或通道1/通道2的DAC输入、输出寄存器。命令字节40h用于控制通道1的V_{SET}寄存器写操作；命令字节42h用于控制通道2的V_{SET}寄存器写操作，见表14。D15–D12为无关项，D11–D0中写入二进制数据。

USRK1和USRK2 (写)

向通道1/通道2的K参数寄存器写入数据，设置V_{DAC(CODE)}等式中的LUT_K[K]。当软件配置寄存器中的KSRC_置为010、101、110或111时，K参数寄存器的值装载到V_{DAC(CODE)}等式，见表11b。通过向软件配置寄存器写数据，可以用K参数作为KLUT的索引或在V_{DAC(CODE)}等式中作为乘数替代V_{SET(CODE)}，见表11。命令字节44h控制通道1的K参数寄存器写操作；命令字节46h控制通道2的K参数寄存器写操作，见表15。D15–D12为无关项，D11–D0内写入二进制数据。

IPDAC1和IPDAC2 (写)

向通道1/通道2的DAC输入寄存器写数据，可以装载DAC编码并避开V_{DAC(CODE)}计算。将软件装载DAC寄存器中相应的DACCH_置位，可将写入DAC输入寄存器编码传送到通道1/通道2的DAC输出寄存器。命令字节48h和4Ch分别控制通道1/通道2 DAC输入寄存器的写操作，见表16。D15–D12为无关项，D11–D0内写入二进制数据。

向这些寄存器写数据时，会覆盖所有以前在V_{DAC(CODE)}计算过程中载入的数据。

RF MESFET放大器
漏极电流自动控制器

MAX11014/MAX11015

表 16. IPDAC1和IPDAC2 (写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
X	D15–D12	X	Don't care.
DAC11–DAC0	D11–D0	0000 0000 0000	DAC11 is the MSB and DAC0 is the LSB. Data format is straight binary.

表 17. THRUDAC1和THRUDAC2 (写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
X	D15–D12	X	Don't care.
DAC11–DAC0	D11–D0	N/A	DAC11 is the MSB and DAC0 is the LSB. Data format is straight binary.

表 18. PGACAL (写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
X	D15–D5	X	Don't care.
HVCAL2	D4	0	Channel 2 high-side calibration bit. Set to 1 to short circuit the current-sense amplifier inputs so that only the offset is apparent at the PGAOUT2 output and the channel 2 current-sense conversion.
HVCAL1	D3	0	Channel 1 high-side calibration bit. Set to 1 to short circuit the current-sense amplifier inputs so that only the offset is apparent at the PGAOUT1 output and the channel 1 current-sense conversion.
TRACK	D2	0	Acquisition/tracking bit. Set to 0 to force the next current-sense calibration to run in acquisition mode. Set to 1 to force the next calibration to run in tracking mode. Set TRACK to 0 the first time through a calibration.
DOCAL	D1	0	Dual calibration bit. Set to 1 to run a current-sense self-calibration routine in both channels 1 and 2. At the end of the calibration routine, DOCAL is set to 0. When DOCAL and SELFTIME are both set to 1, the internal timer is reset at the end of the routine and waits another 13ms before performing the next self-timed calibration.
SELFTIME	D0	0	Self-time bit. Set to 1 to perform a calibration of the current-sense amplifier in both channels 1 and 2 on a self-timed periodic basis (approximately every 15ms). When set to the default state of 0, calibration only occurs when DOCAL is set to 1.

THRUDAC1和THRUDAC2 (写)

向通道1/通道2的DAC输入、输出寄存器写数据，可以直接将DAC编码装载到各自的DAC输出，取消 $V_{DAC(CODE)}$ 计算过程。命令字节4Ah和4Eh用于控制通道1、通道2的DAC输入、输出寄存器写操作，见表17。D15–D12为无关项，D11–D0内写入二进制数据。

向这些寄存器写入数据的时候，会覆盖所有以前在 $V_{DAC(CODE)}$ 计算过程中载入的数据。

PGACAL (写)

向PGA校准控制寄存器写数据用于校准通道1、通道2的检流放大器。命令字节5Eh控制PGA校准控制寄存器的写操作，见表18，D15–D5为无关项。HVCAL2 (D4)置1时，通道2检流放大器的输入端短路，在PGAOUT2输出端只有失调量。HVCAL1 (D3)置1时，通道1检流放大器的输入端短路，在PGAOUT1输出端只有失调量。设置HVCAL₁位并发送一次检流电压的ADC转换命令，可以确定输入通道的失调(+12mV，典型值)。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

电流检测校准过程包括两个操作模式：采集和跟踪。采集模式下将连续运行校准过程，直到误差降低到50 μ V或更小。跟踪模式下，每隔15ms运行一次校准过程，使干扰降至最小，平均校准时间更长。采样/保持电路可避免跟踪模式下GATE_端的开关噪声。TRACK位(D2)置0可在采集模式下运行校准过程；TRACK置1可在跟踪模式下运行校准过程。第一次校准时将TRACK置0。

DOCAL (D1)置1将在通道1、通道2运行检流自校准过程，校准过程结束后，DOCAL置0。将SELFTIME (D0)置1，周期性地执行检流校准，周期典型值为15ms。DOCAL、SELFTIME需配合使用，校准过程由DOCAL控制时，SELFTIME置1，内部定时器在校准过程结束时复位，并在下一次自定时校准之前等待15ms。

可以在DAC断电时执行自校准命令，但结果并不准确。为了得到更好的结果，应在DAC上电时间 t_{DPUEXT} 结束后运行校准程序。

ADCCON (写)

向ADC转换寄存器写入数据可以启动ADCIN_端、GATE_端、内部DAC以及检流电压的转换，ADC转换寄存器也会对内部、外部温度数据进行转换，并对接口进行设置实现连续转换，见表19。命令字节62h用于控制ADC转换寄存器的写操作，D15-D12位为无关项。硬件配置寄存器的ADCMON必须置1才能将ADC结果装载到FIFO。CONCONV (D11)置1可以启动连续的ADC转换。

CH10 (D10)置1时转换ADCIN2端的电压；CH9 (D9)置1时转换GATE2端的电压；CH8 (D8)置1时转换通道2的DAC编码；CH7 (D7)置1时转换通道2的检流电压；CH6 (D6)置1时转换通道2外部温度传感器的测量数据；CH5 (D5)置1时转换ADCIN1端的电压；CH4 (D4)置1时转换GATE1端的电压；CH3 (D3)置1时转换通道1的DAC编码；CH2 (D2)置1时转换通道1的检流电压；CH1 (D1)置1时转换通道1外部温度传感器的测量数据。CH0 (D0)置1时，转换内部温度传感器的测量值。

通过配置ADC转换寄存器可以实现任何组合方式的ADC通道转换。收到一个以上的通道转换请求时，将按照从CH0到CH10的顺序进行转换。

CONCONV置1时，如果数据没有及时读出，可能会造成FIFO溢出。连续转换模式只能在时钟模式00和01下运行，详见时钟模式00和时钟模式01部分。CONCONV置位时ADC不会触发“忙”指示信号。CONCONV置位时，如果扫描转换过程包含温度通道，则内部基准及温度传感器会在CONCONV置0前保持上电状态。同样，如果扫描状态下ADC测量使用内部基准，则在第一次转换前开启内部基准并在CONCONV置0以前保持开启状态。

时钟模式00和01下，当CONCONV位置0并完成当前扫描过程(不仅仅是当前的转换)时，ADC进入空闲状态并等待下一个指令。CONCONV位置0后，BUSY输出被置为高电平，并在当前扫描过程结束之前始终保持高电平状态。详见BUSY输出部分。

SHUT (写)

设置关断寄存器可分别关闭所有内部单元，包括DAC、ADC及栅极驱动放大器，见表20。命令字节64h用于控制关断寄存器的写操作，D15-D12为无关项。FULLPD位(D11)置1关断所有内部单元，使 AV_{DD} 电源电流降至0.8 μ A。FULLPD位的上电默认状态为1，在写入其它命令之前首先将FULLPD置0，以使能内部单元和功能电路。

FBGON位(D10)置1可始终保持内部带隙基准在上电状态；WDGPD位(D9)置1将关闭看门狗振荡器并禁止看门狗定时器的自检功能；OSCPD位(D8)置1时将内部振荡器断电；PD2-3 (D7)置1时将通道2的检流放大器断电；PD2-2 (D6)置1时将通道2的栅极驱动放大器断电；PD2-1 (D5)置1时将终止通道2 DAC求和节点的供电；PD2-0 (D4)置1时将通道2的DAC断电；PD1-3 (D3)置1时将通道1的检流放大器断电；PD1-2 (D2)置1时断开通道1栅极驱动放大器电源；PD1-1 (D1)置1时断开通道1 DAC求和节点的电源；PD1-0 (D0)置1时将通道1的DAC断电。

RF MESFET放大器
漏极电流自动控制器

MAX11014/MAX11015

表 19. ADCCON (写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
X	D15–D12	X	Don't care.
CONCONV	D11	0	Set to 1 to command continuous ADC conversions. The ADCMON bit in the hardware configuration register must be set to 1 to load ADC results into the FIFO. Continuous conversions are only applicable in clock modes 00 and 01. When CONCONV is set to 1, the ADC continuously converts the channels selected by the ADC conversion register using the conversion mode selected by the CKSEL1/CKSEL0 bits. Results are accumulated in the FIFO. Empty the FIFO quickly enough to prevent overflow conditions.
CH10	D10	0	Set to 1 to convert the ADCIN2 voltage in the next ADC conversion cycle.
CH9	D9	0	Set to 1 to convert the GATE2 voltage in the next ADC conversion cycle. Also, the PD2-3 bit in the shutdown register must be set to 0.
CH8	D8	0	Set to 1 to convert the channel 2 DAC code in the next ADC conversion cycle.
CH7	D7	0	Set to 1 to convert the channel 2 sense voltage in the next ADC conversion cycle.
CH6	D6	0	Set to 1 to convert the channel 2 external temperature-sensor measurement in the next ADC conversion cycle.
CH5	D5	0	Set to 1 to convert the ADCIN1 voltage in the next ADC conversion cycle.
CH4	D4	0	Set to 1 to convert the GATE1 voltage in the next ADC conversion cycle. Also, the PD1-3 bit in the shutdown register must be set to 0.
CH3	D3	0	Set to 1 to convert the channel 1 DAC code in the next ADC conversion cycle.
CH2	D2	0	Set to 1 to convert the channel 1 sense voltage in the next ADC conversion cycle.
CH1	D1	0	Set to 1 to convert the channel 1 external temperature sensor measurement in the next ADC conversion cycle.
CH0	D0	0	Set to 1 to convert the internal temperature sensor measurement in the next ADC conversion cycle.

为了得到最高精度，最好在校准之前给内部单元上电 (MAX11014)。MAX11015不需要给检流放大器上电即可校准。

LDAC (写)

软件装载DAC寄存器的写操作将DAC输入寄存器中的存储数据装载到相应的DAC输出寄存器。命令字节66h控制软件装载DAC寄存器的写操作，见表21，D15–D2为无关项。

DACCH2 (D1)置1时将存储在通道2 DAC输入寄存器的数据装载到通道2 DAC输出寄存器；DACCH1 (D0)置1时将存储在通道1 DAC输入寄存器的数据装载到通道1 DAC输出寄存器，见图20。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

表20. SHUT (写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
X	D15–D12	X	Don't care.
FULLPD	D11	1	Set to 1 to power down all internal blocks. FULLPD takes precedence over any of the other power-down control bits. All commands in progress are suspended and the DACs and ADC are disabled. The serial interface remains functional. FULLPD is set to 1 on power-up. Set the FULLPD bit to 0 after power-up and before writing any other commands to activate all internal blocks.
FBGON	D10	0	Set to 1 to force the internal bandgap voltage block to power up, remain powered up between conversions, and avoid the 50μs reference power-up delay time. Forcing the internal reference to remain on increases the power dissipation. Set FBGON to its default state of 0 to power the bandgap voltage as required by the ADC.
WDGPD	D9	0	Set to 1 to turn off the watchdog oscillator. The watchdog oscillator monitors the internal ALU and resets the logic state to the startup condition after 80ms. This reduces power consumption but prevents the self-monitoring function of the watchdog timer.
OSCPD	D8	0	Set to 1 to power down the internal oscillator. OSCPD is automatically reset to 0 after receiving the next interface command.
PD2-3	D7	1	Set to 1 to power down the channel 2 current-sense amplifier.
PD2-2	D6	1	Set to 1 to power down the channel 2 gate-drive amplifier.
PD2-1	D5	1	Set to 1 to power down the channel 2 DAC summing node (MAX11014)/DAC buffer (MAX11015). The summing node acts as a buffer in the MAX11015.
PD2-0	D4	1	Set to 1 to power down the channel 2 DAC.
PD1-3	D3	1	Set to 1 to power down the channel 1 current-sense amplifier.
PD1-2	D2	1	Set to 1 to power down the channel 1 gate-drive amplifier.
PD1-1	D1	1	Set to 1 to power down the channel 1 DAC summing node (MAX11014)/DAC buffer (MAX11015). The summing node acts as a buffer in the MAX11015.
PD1-0	D0	1	Set to 1 to power down the channel 1 DAC.

表21. LDAC (写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
X	D15–D2	X	Don't care.
DACCH2	D1	N/A	Set to 1 to load the channel 2 DAC output register with the value stored in the channel 2 DAC input register.
DACCH1	D0	N/A	Set to 1 to load the channel 1 DAC output register with the value stored in the channel 1 DAC input register.

RF MESFET放大器
漏极电流自动控制器

MAX11014/MAX11015

表22. SCLR (写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
X	D15–D7	X	Don't care.
FULLRESET	D6	N/A	Write the following sequence to perform a full reset and return all internal registers to their respective reset state: Write to the software clear register once with FULLRESET = 0 and ARMRESET = 1. Write a second word to the software clear register with FULLRESET = 1 and ARMRESET = 0. The full reset takes effect after completion of the second write to this register.
ARMRESET	D5	0	After a full software reset, the internal registers return to their power-on state, but the internal oscillator remains running (unlike at power-up). After a full software reset, it is not necessary to set the FULLPD bit to 0 (as it is on a normal power-on reset) before attempting any other commands. The BUSY output is set high and the ALU initializes internal RAM before setting BUSY low.
ALMSCLR	D4	N/A	Set to 1 to reset all ALARM threshold registers and the ALARM flag register.
CACHECLR	D3	N/A	Set to 1 to force the ALU to clear the pointers and lookup value cache to their power-up values. This forces an LUT operation and a VDACC(CODE) calculation for the next sample, regardless of whether the sample produces a table pointer that is different.
FIFOCLR	D2	N/A	Set to 1 to reset the FIFO address pointers and clear the FIFO's contents.
DAC2CLR	D1	N/A	Set to 1 to reset the channel 2 DAC input and output registers.
DAC1CLR	D0	N/A	Set to 1 to reset the channel 1 DAC input and output registers.

表23. LUTADD (写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
LUTWORD7–LUTWORD0	D15–D8	0000 0000	Set these 8 bits to determine the number of LUT words to be read/written.
LUTADD7–LUTADD0	D7–D0	0000 0000	Set these 8 bits to determine the base address for the read/write operation.

SCLR (写)

写软件清零寄存器可以复位所有内部寄存器，清除内部ALU或复位FIFO指针并清空FIFO。这个寄存器也可以复位ALARM门限寄存器、ALARM标志寄存器和DAC寄存器。命令字节74h控制软件清零寄存器的写操作，见表22，D15–D7为无关项。FULLRESET (D6)、ARMRESET (D5)用于设置完全复位功能。按照如下所示顺序写入数据可实现完全复位操作，并将所有内部寄存器恢复到相应的复位状态：

- FULLRESET = 0、ARMRESET = 1时写软件清零寄存器。

- 设置FULLRESET = 1、ARMRESET = 0，向软件清零寄存器写入第二个字节。完成第二次寄存器写操作后，复位功能立即生效。

ALMSCLR (D4)置1时可复位所有ALARM门限寄存器和ALARM标志寄存器。CACHECLR (D3)置1，可将ALU指针清零，查找表恢复到上电初始值。在下次采样时无论是否产生一个不同的表指针。都会强制LUT工作，计算VDACC(CODE)。FIFOCLR (D2)置1时复位FIFO地址指针并清空FIFO；DAC2CLR (D1)置1时复位通道2的DAC输入、输出寄存器；DAC1CLR (D0)置1时复位通道1的DAC输入、输出寄存器。

RF MESFET放大器
漏极电流自动控制器

MAX11014/MAX11015

表 24. LUTDAT (读/写)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
LUTDAT15–LUTDAT0	D15–D0	N/A	The 16-bit data word written to the LUT data or configuration memory space.

表 25. FIFO

DATA BITS							CONVERSION-DATA ORIGIN
CHANNEL TAG				D11	D10–D1	D0	
D15	D14	D13	D12				
0	0	0	0	MSB	—	LSB	Internal temperature sensor.
0	0	0	1	MSB	—	LSB	Channel 1 external temperature sensor.
0	0	1	0	MSB	—	LSB	Channel 1 sense voltage.
0	0	1	1	MSB	—	LSB	Channel 1 DAC input register.
0	1	0	0	MSB	—	LSB	Channel 1 GATE voltage.
0	1	0	1	MSB	—	LSB	ADCIN1 voltage.
0	1	1	0	MSB	—	LSB	Channel 2 external temperature sensor.
0	1	1	1	MSB	—	LSB	Channel 2 sense voltage.
1	0	0	0	MSB	—	LSB	Channel 2 DAC input register.
1	0	0	1	MSB	—	LSB	Channel 2 GATE voltage.
1	0	1	0	MSB	—	LSB	ADCIN2 voltage.
1	0	1	1	MSB	—	LSB	Reserved.
1	1	0	D12	D11	—	LSB	LUT data value. See Table 28. Bit D12 is the MSB for the LUT configuration words. Bit D11 is the MSB for all other LUT reads.
1	1	1	0	MSB	—	LSB	Conversion may be corrupted. This occurs only when arriving data causes the FIFO to overflow at the same time data is being read out.
1	1	1	1	MSB	—	LSB	Empty FIFO. The current value of the flag register is read out in place of the FIFO data.

LUTADD (写)

写LUT地址寄存器确定进行读写操作的LUT单元数、基址指针及LUT配置字，见表23。命令字节7Ah控制LUT地址寄存器的写操作。LUTWORD位(D15–D8)设置需要读、写的LUT字数；LUTADD位(D7–D0)设置进行读、写操作的基址。

如果在到达LUTWORD限制之前LUT内存溢出，则中止LUT数据寄存器的读/写操作。向LUTWORD写入00h可退出LUT读/写操作。有关LUT寻址编程的细节请参考SRAM LUT部分，表28列出了LUT的地址位置。

LUTDAT (读/写)

通过LUT数据寄存器进行LUT数据读、写操作。命令字节7Ch控制LUT数据寄存器的写操作；命令字节FCh控制LUT数据寄存器的读操作。向LUT数据寄存器写入16位数据即可装载不同地址的查找表数据，见表24。每次完成LUT数据寄存器写操作后，LUT内存地址会自动递增。

利用特有的110_标签区分LUT数据和ADC数据，见表25。

RF MESFET放大器
漏极电流自动控制器

MAX11014/MAX11015

表 26. FLAG (读)

BIT NAME	DATA BIT	RESET	FUNCTION
X	D15–D7	X	Don't care.
RESTART	D6	0	RESTART is set to 1 after either a watchdog timer reset or by commanding a software reset through the software clear register's FULL RESET function. RESTART returns to 0 after a power-on reset or a flag register read command.
ALUBUSY	D5	0	ALUBUSY is set to 1 when the ALU is performing other tasks not covered by specific status bits elsewhere in this register. This includes, for example, the internal memory initialization after power-up.
PGABUSY	D4	0	PGABUSY is set to 1 when the ALU is performing a PGA calibration (whether commanded or self-timed).
ADCBUSY	D3	0	ADCBUSY is set to 1 when the ADC is busy, an ALARM value is being checked, or the ADC results are being loaded into the FIFO. ADCBUSY returns to 0 after the ADC completes all of the conversions in the current scan.
VGBUSY	D2	1	VGBUSY is set to 1 when the ALU is performing a lookup and interpolation or VDAC(CODE) calculation for either channel.
FIFOEMP	D1	1	FIFOEMP is set to 1 when the FIFO is empty and contains no data. FIFOEMP is reset to 0 if data is written into the FIFO. Writing to the software clear register with FIFOCLR set to 1 causes the FIFO to be cleared, which then sets FIFOEMP to 1.
FIFOOVR	D0	0	FIFOOVR functions in one of two modes: 1) Reading the ADC data: FIFOOVR is set to 1 if the FIFO has a data overflow. FIFOOVR is reset to 0 by reading the flag register or by clearing the FIFO through the software clear register. Emptying the FIFO does not clear the FIFOOVR bit. 2) Reading the LUT data: When commanding an LUT read, the FIFO is no longer allowed to overflow (as it is for normal ADC monitoring). FIFOOVR is set to 1 if the LUT is full and set to 0 if the LUT is not full, for that instant in time only.

FIFO

写入命令字节 80h 可以从 FIFO 中读取最早的结果，SPI 模式下从 DOUT 读取后续的 16 位数据，I²C 模式下从 SDA 读取后续的 16 位数据，D15–D12 (通道标签) 指示正在转换的 ADC 或 LUT 通道，D11–D0 为对应通道的 ADC/LUT 转换结果。对于任何 ADC、LUT 数据，D11 为 MSB、D0 为 LSB，LUT 配置字除外。读取 LUT 配置寄存器时，D12 为 MSB、D0 为 LSB，见表 25。

FLAG (读)

从标志寄存器读取数据可以获得“忙”状态下的输入源。命令字节 F6h 控制标志寄存器的读取，D15–D7 为无关项，见表 26。看门狗定时器复位或通过软件清零寄存器的 FULL RESET 功能执行软件复位命令后，RESTART (D6) 被置 1；上电复位或执行标志寄存器读命令后，RESTART 被置 0；如果 ALU 执行特殊状态位以外的任务时，ALUBUSY (D5) 置 1；ALU 执行 PGA 校准时，PGABUSY (D4) 置 1。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

表 27. ALMFLAG (读)

BIT NAME	DATA BIT	RESET STATE	FUNCTION
X	D15–D12	X	Don't care.
HIGH-V2	D11	0	HIGH-V2 is set to 1 when the GATE2 voltage exceeds the high threshold setting. HIGH-V2 is reset to 0 by either a read of the ALARM flag register or a software clear command.
LOW-V2	D10	0	LOW-V2 is set to 1 when the GATE2 voltage decreases below the low threshold setting. LOW-V2 is reset to 0 by either a read of the ALARM flag register or a software clear command.
HIGH-I2	D9	0	HIGH-I2 is set to 1 when the channel 2 sense voltage exceeds the high threshold setting. HIGH-I2 is reset to 0 by either a read of the ALARM flag register or a software clear command.
LOW-I2	D8	0	LOW-I2 is set to 1 when the channel 2 sense voltage decreases below the low threshold setting. LOW-I2 is reset to 0 by either a read of the ALARM flag register or a software clear command.
HIGH-T2	D7	0	HIGH-T2 is set to 1 when the channel 2 external temperature exceeds the high threshold setting. HIGH-T2 is reset to 0 by either a read of the ALARM flag register or a software clear command.
LOW-T2	D6	0	LOW-T2 is set to a 1 when the channel 2 external temperature decreases below the low threshold setting. LOW-T2 is reset to 0 by either a read of the ALARM flag register or a software clear command.
HIGH-V1	D5	0	HIGH-V1 is set to 1 when the GATE1 voltage exceeds the high threshold setting. HIGH-V1 is reset to 0 by either a read of the ALARM flag register or a software clear command.
LOW-V1	D4	0	LOW-V1 is set to 1 when the GATE1 voltage decreases below the low threshold setting. LOW-V1 is reset to 0 by either a read of the ALARM flag register or a software clear command.
HIGH-I1	D3	0	HIGH-I1 is set to 1 when the channel 1 sense voltage exceeds the high threshold setting. HIGH-I1 is reset to 0 by either a read of the ALARM flag register or a software clear command.
LOW-I1	D2	0	LOW-I1 is set to 1 when the channel 1 sense voltage decreases below the low threshold setting. LOW-I1 is reset to 0 by either a read of the ALARM flag register or a software clear command.
HIGH-T1	D1	0	HIGH-T1 is set to 1 when the channel 1 external temperature exceeds the high threshold setting. HIGH-T1 is reset to 0 by either a read of the ALARM flag register or a software clear command.
LOW-T1	D0	0	LOW-T1 is set to a 1 when the channel 1 external temperature decreases below the low threshold setting. LOW-T1 is reset to 0 by either a read of the ALARM flag register or a software clear command.

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

ADC处于“忙”状态、正在检测ALARM值或正在将ADC结果装载到FIFO时，ADCBUSY (D3)置1。ADC完成当前扫描的所有转换后，ADCBUSY置0。当ALU正在执行查找、插值操作或为任意通道进行 $V_{DAC(CODE)}$ 运算时，VGBUSY (D2)置1。当FIFO清空，没有任何数据时，FIFOEMP (D1)置1；向FIFO写入数据时，FIFOEMP置0。FIFOCLR置1，并向软件清零寄存器写数据，可将FIFO清零并将FIFOEMP置1。FIFOOVR (D0)的功能取决于FIFO装载的是ADC数据还是LUT数据，FIFOOVR存在以下两个模式：

- 1) 读ADC数据：如果FIFO出现数据溢出，则FIFOOVR置1。只有在读标志寄存器或通过软件清零寄存器给FIFO清零时，FIFOOVR才被复位到0。清空FIFO时不会清除FIFOOVR位。
- 2) 读LUT数据：执行LUT读命令时，不允许FIFO溢出。LUT装满时FIFOOVR置1，否则FIFOOVR置0，及时更新数据，见FIFO说明部分。

ALMFLAG (读)

读取ALARM标志寄存器可确定处于ALARM状态的输入源。命令字节F8h控制ALARM标志寄存器的读操作，D15-D12为无关项，见表27。D11-D0在ALARM标志寄存器读操作或执行软件清零命令后复位至0。当GATE2电压超过门限的上限值时，HIGH-V2 (D11)置1；当GATE2电压低于门限的下限值时，LOW-V2 (D10)置1。当通道2的检流电压超过门限的上限值时，HIGH-I2 (D9)置1；通道2的检流电压低于门限的下限值时，LOW-I2 (D8)置1。当通道2的外部温度超过设定的高温门限时，HIGH-T2 (D7)置1；通道2的外部温度低于所设定的低温门限时，LOW-T2 (D6)置1。

当GATE1电压超过门限的上限值时，HIGH-V1 (D5)置1；当GATE1电压低于门限的下限值时，LOW-V1 (D4)置1。当通道1的检流电压超过门限上限值时，HIGH-I1 (D3)置1；通道1的检流电压低于门限的下限值时，LOW-I1 (D2)置1。当通道1的外部温度超过所设定的高温门限时，HIGH-T1 (D1)置1；通道1的外部温度低于所设定的低温门限时，LOW-T1 (D0)置1。

FIFO说明

MAX11014/MAX11015的FIFO可存储15个ADC采样值或16个SRAM LUT数据字。读取FIFO数据时将从DOUT (SPI模式)或SDA (I²C模式)端输出，见表25。ADC采样数据由4位通道标示和12位数据组成，ADC通道标示指示温度或电压输出结果的数据源。LUT数据包括3位用于LUT配置字的通道标示和用于其它LUT数据的4位标示。LUT标示位表示LUT数据为温度值(T)或系数(K)，不要将FIFO中的ADC结果与LUT结果相混淆。

FIFO允许ADC数据溢出，通常只保留最近的15个ADC转换结果。从FIFO中快速读出数据可避免发生溢出。检验标志寄存器中的FIFOOVR位，可检查FIFO是否出现溢出(是否发生数据丢失)。

输出SRAM LUT数据时FIFO不会溢出，对输出字进行计数(由LUT地址寄存器的LUTWORD对应数值得到)了解当前提供的是哪个LUT数据字。

ADC监控模式

ADC在监控模式下每次转换一个采样值，数据字和4位通道标志装载到FIFO内。执行命令字节80h能够将数据从FIFO加载到DOUT (SPI模式下)或SDA (I²C模式下)。

硬件配置寄存器中的ADCMON位确定是否将ADC采样值装载到FIFO，见表10。ADCMON置1时将ADC采样装载到FIFO，置0时则不会将ADC结果存入FIFO。ADCMON的数值不会影响ADC转换结果与ALARM门限的比较或检验 $V_{DAC(CODE)}$ 等式的变化。

读出全部ADC FIFO数据后，标志寄存器将FIFOEMP置1。如果在FIFO为空时发出FIFO读指令，则FIFO返回1111通道标示和12位标志寄存器值，见表25。

FIFO允许接口在新的ADC采样值或LUT数据到达的同时进行读取。但是，如果在FIFO满或溢出时，而ADC采样结果又刚好在接口进行读操作时到达，将有可能破坏数据。这种情况由通道标示1110表示(与一般的ADC通道标示不同)。这种情况下，只有最后一个数据被破坏，FIFO中的其它数据仍然有效，并且能在以后读取。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

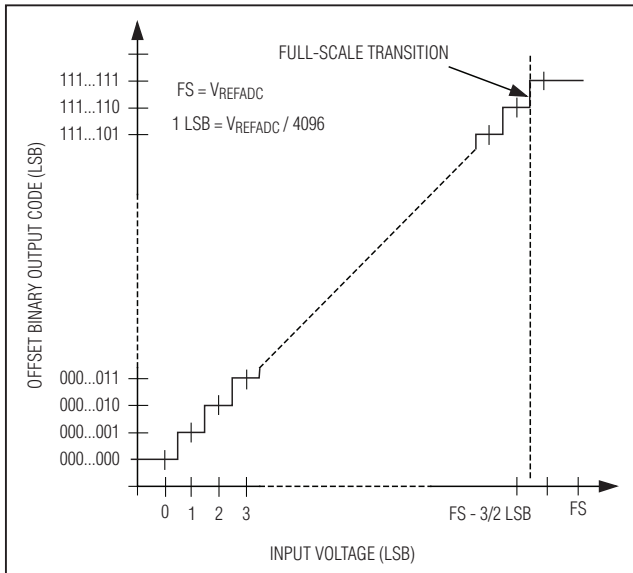


图21. ADC传输函数

从FIFO中快速读取数据可以防止由于溢出而造成的数据破坏。在快速串口时钟频率下，从FIFO读取数据有可能比ADC装载数据的速度快。在运行过程中设置连续的ADC扫描和连续的FIFO数据读操作。假设读取FIFO的速度比写入速度快，那么连续的FIFO读操作将在正确的ADC结果中混杂一些空的通道标志位(1111和标志寄存器值)。需要根据4位通道标示将有效的ADC结果与标志寄存器值分离出来。

SRAM LUT读模式

LUT数据寄存器读操作后，SRAM LUT中的数据被复制到FIFO内。通过对FIFO的读操作将FIFO数据加载到DOUT (SPI模式下)或SDA (I²C模式下)。如果SRAM LUT数据写入FIFO的速度比读出速度快，那么FIFO会被填满。中止FIFO数据复制操作，直到可以继续读取FIFO为止。如果FIFO的读操作快于SRAM LUT向FIFO装载数据，有效的LUT数据将与错误通道标示(1111和标志寄存器值)混合在一起。

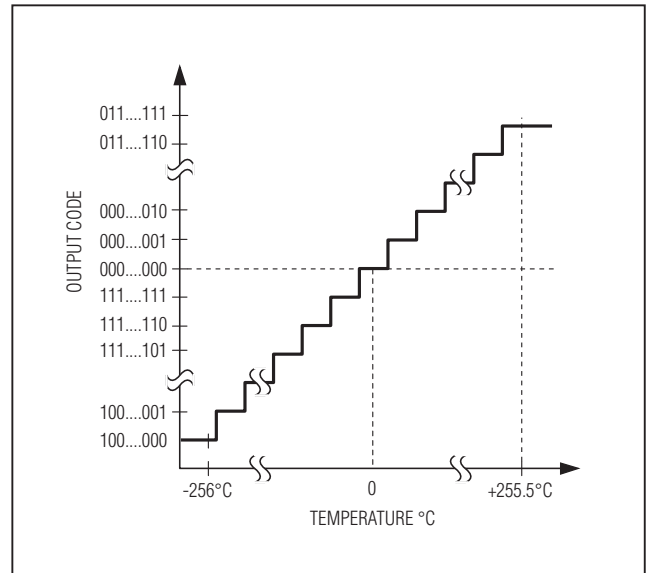


图22. 温度传输函数

输出数据格式

所有转换结果都以双字节、MSB在前的形式输出。SPI模式下，数据在SCLK的下降沿传送到DOUT；I²C模式下，数据在SCL上升沿传送到SDA。图10、18、19给出了MAX11014/MAX11015的读时序。图21和22分别给出了ADC和温度的传输函数。

ADC传输函数

温度转换结果/报警数据以2的补码格式输出，其余数据直接以二进制格式输出，图21给出了单端输入时的单极性传输函数，输出码跳变发生在连续整数LSB的中点，输出码为二进制格式，单极性工作状态下，1 LSB = $V_{REFADC} / 2.5V$ ；对于温度测量单元，1 LSB = +0.125°C。

PGAOUT输出

PGAOUT输出电压来自检流电压转换器，双向检流放大器将RCS₊与RCS₋之间的电压放大4倍，并加上一个偏置电压(正常情况下为+12mV)，检流放大器可以把电压无失真地放大至+625mV。MAX11014 A类控制环路如图5所示，MAX11015 AB类模拟控制单元如图6所示。用下面等式计算PGAOUT_{电压}：

$$V_{PGAOUT} = V_{REFADC} - [4 \times (V_{RCS+} - V_{RCS-}) + 12mV]$$

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

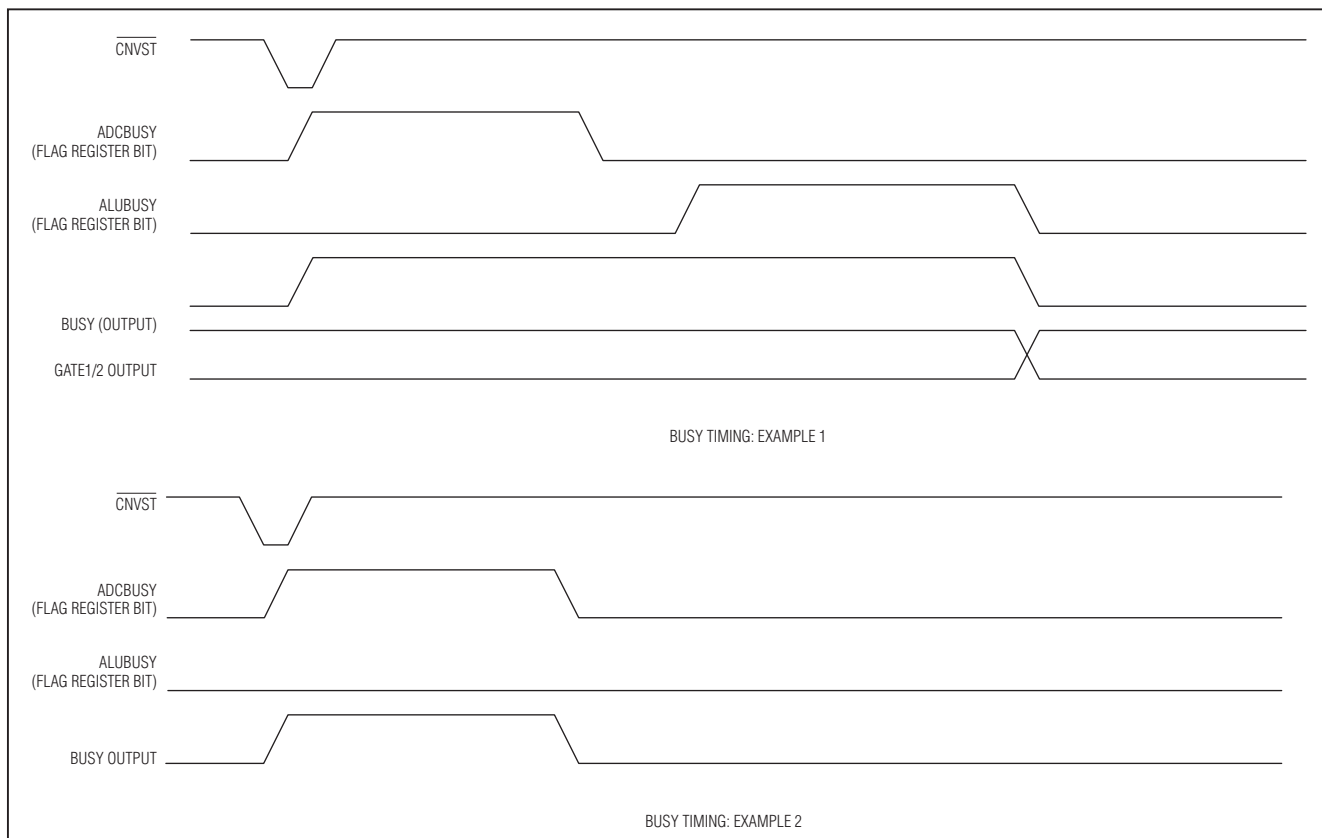


图23. BUSY时序

向PGA校准控制寄存器的HVCAL_位写数据可以控制检流放大器输入短路，从而在PGAOUT_输出和ADC输入端得到失调电压。

BUSY输出

BUSY输出会因多种原因而变为高电平，使BUSY输出高电平的原因包括：

- ADC在非连续转换模式下处于数据转换过程
- 内部ALU核正在执行上电初始化过程
- 内部ALU核正在进行 $V_{DAC(CODE)}$ 运算
- 内部ALU核正在执行其它功能
- 正在进行自校准

ADC转换寄存器的CONCONV位置1时，ADC转换数据过程中不会触发BUSY输出(适用于任何时钟模式)，这样就能在连续ADC转换过程中避免屏蔽其它BUSY事件。

无论BUSY处于何种状态，串口始终有效，即使某些命令不可用。例如：在ADC操作中BUSY为高电平，从FIFO读数据时将无法读出当前的转换结果。而且，如果BUSY在ADC转换过程中被触发，则只有当正在进行的转换完成，使BUSY返回到低电平后，才能开始另一次转换。

图23给出了一对BUSY时序的示例，例1中，外部定时的ADC转换触发了标志寄存器的ADCBUSY位，并将BUSY置为高电平。随后， $V_{DAC(CODE)}$ 运算改变了标志寄存器的ALUBUSY位状态，并使BUSY保持高电平。例2中，没有请求 $V_{DAC(CODE)}$ 运算。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

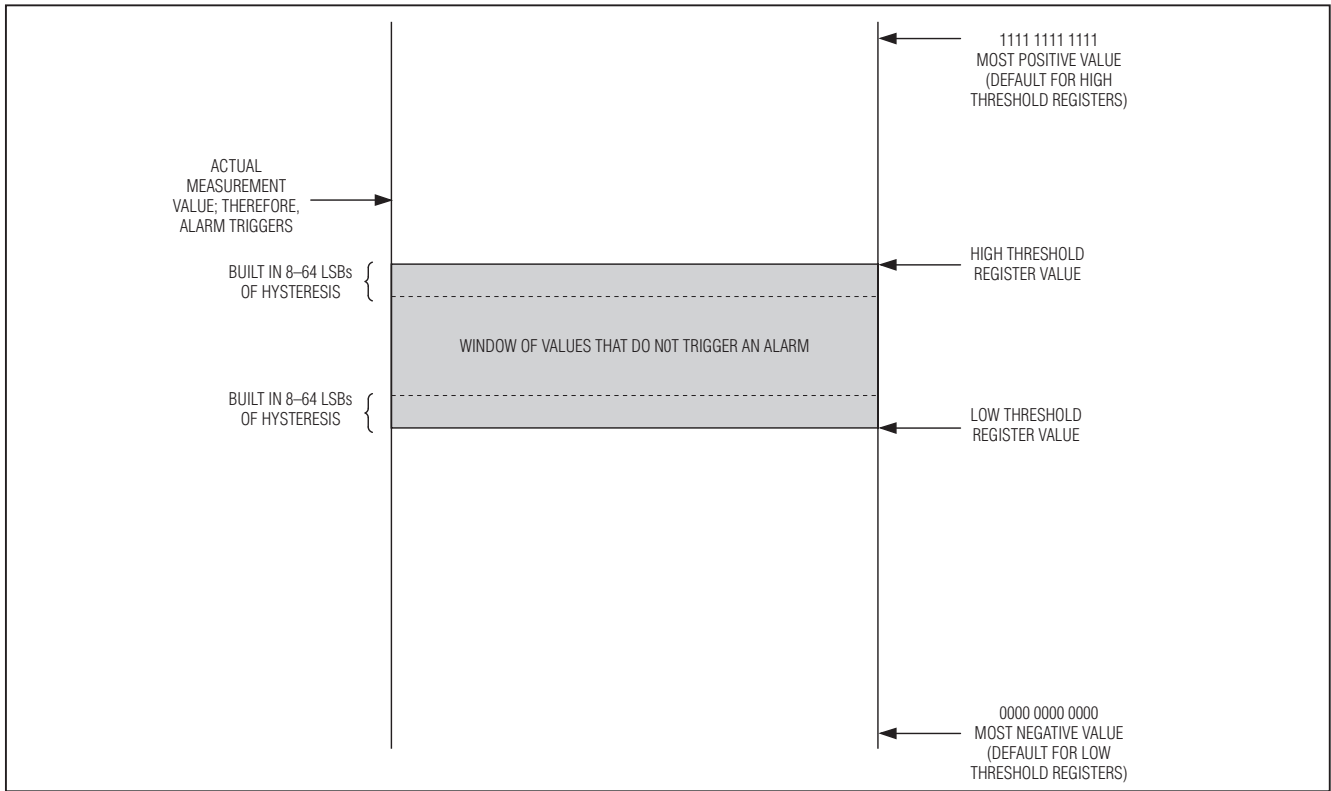


图24. ALARM窗比较器示例

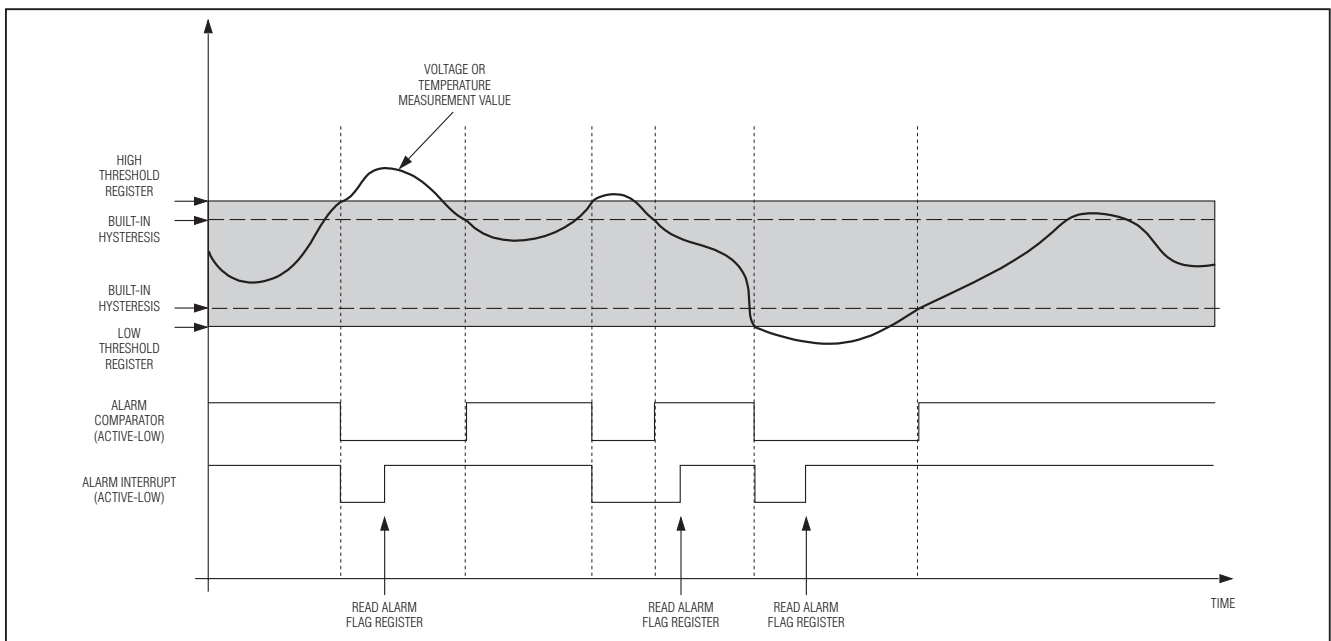


图25. ALARM窗模式时序示例

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

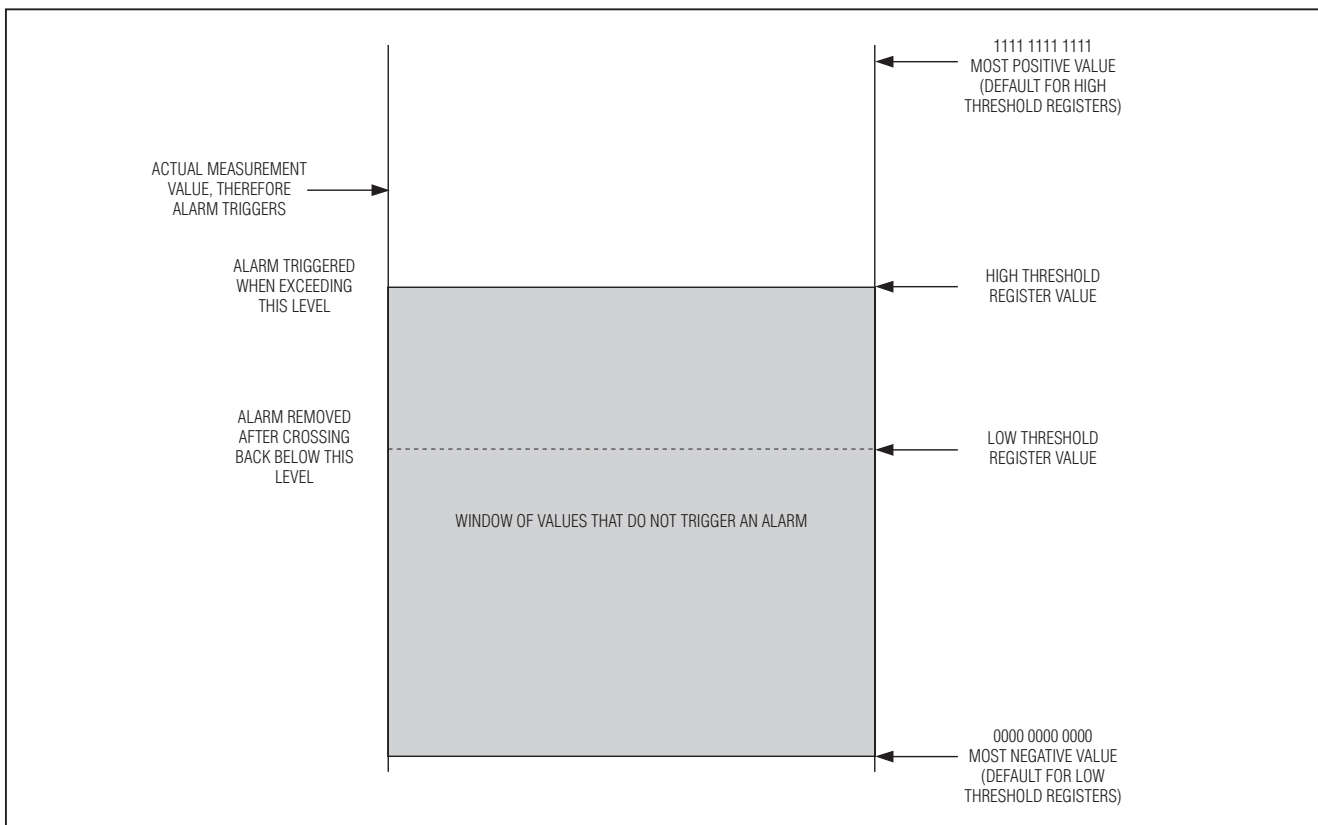


图26. ALARM滞回比较器示例

ALARM输出

当通道温度或电压读数超过各自的高/低ALARM门限时，便会产生ALARM输出。每次转换检流电压、温度(任意通道的外部温度及通道2的内部温度)或GATE_电压后，其结果都要与高/低ALARM门限进行对比。

ALARM比较单元在窗模式或滞回模式下进行比较，窗比较器模式下(软件ALARM配置寄存器的TWIN_、IWIN_或VGWIN_置1)，将监测ADC输出结果，保证转换结果处于ALARM门限寄存器的上、下限范围内，见表13和图24。

窗比较器包括一个内部滞回电平，以确保采样数据处于门限值附近时不会反复触发ALARM输出。硬件ALARM配置寄存器的ALMHYST位可以在8至64 LSB之间选择内部滞回电平。滞回电平就像一个噪声滤波器，可避免采样值在门限边缘变化时发生不必要的输出跃变。ALARM

状态将一直保持到被测值恢复到上、下限门限值以内为止，图25给出了一个详细的窗模式时序。

ALARM输出提供中断或比较器两种模式，中断模式下，ALARM输出将在读取ALARM标志寄存器之前始终保持有效；比较器模式下，ALARM输出直接反映了内部ALARM状态，在ALARM故障解除之前将始终保持ALARM状态。在监测值恢复到窗检测或滞回电平要求的门限以内时，ALARM输出才会解除ALARM状态。

工作在滞回比较器模式时(软件ALARM配置寄存器的TWIN_、IWIN_或VGWIN_置0)，将对ADC输出值进行监测，以保证其始终低于ALARM门限寄存器设置的上限值，见图26。一旦ADC输出超过了对应的ALARM上限寄存器值，将会触发ALARM输出。在监测值恢复到下限值以下之前将始终保持ALARM状态，图27列出了滞回模式的时序范例。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

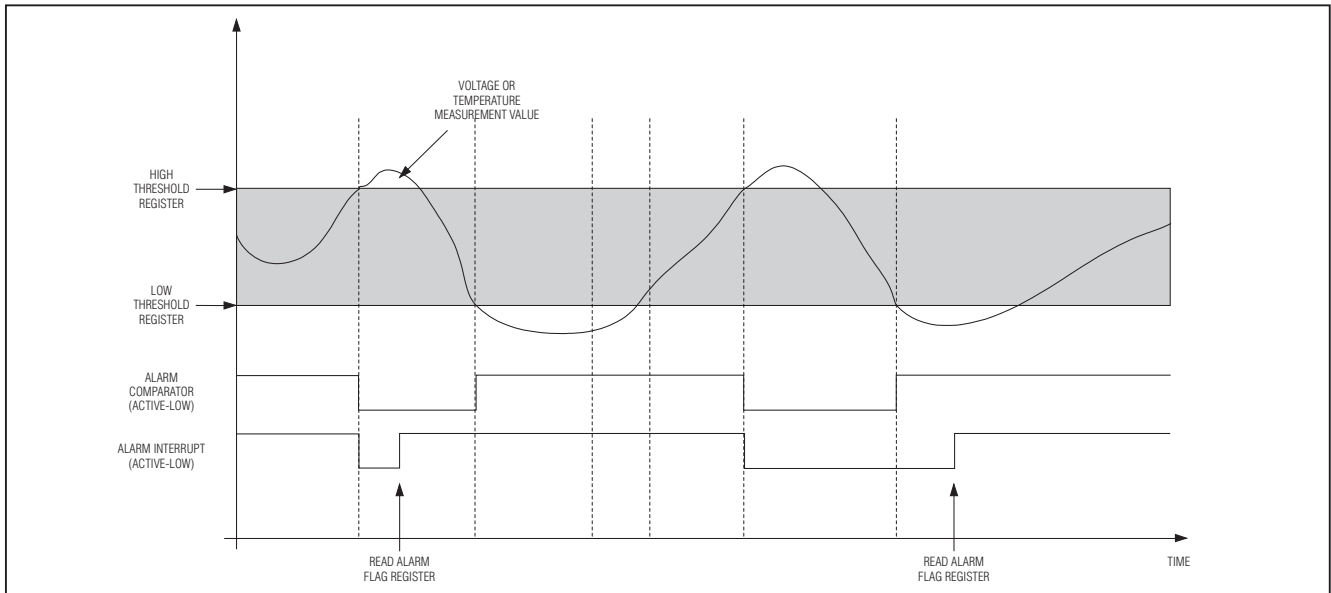


图27. ALARM滞回模式时序图

中断模式下，被测ADC输出超出门限的上、下限范围时，将会触发ALARM输出。但是在中断模式下，ALARM输出将在读取ALARM标志寄存器之前始终保持有效。从ALARM标志寄存器读取数据后将复位标志位和ALARM输出。

上、下限门限寄存器的默认值为测量范围的极限值(全1或全0)。利用硬件ALARM配置寄存器可以将ALARM输出配置为漏极开路或推挽式、高电平有效或低电平有效输出，见表12。上电时，ALARM输出的默认配置为中断模式下高电平有效输出。

自动GATE箝位

通过硬件ALARM配置寄存器的设置，可以在相应的ALARM状态下将GATE1输出箝位于ACLAMP1或将GATE2输出箝位于ACLAMP2，见表12c。通过设置ALM_CLMP_位(D5-D2)控制相应通道的GATE输出箝位。

每个通道有4种可能的ALM_CLMP1/ALM_CLMP0值：

- ALM_CLMP1/ALM_CLMP0 = 00

上电复位状态，在任何ALARM条件下，GATE_通过一个串联的2.4kΩ电阻箝位于ACLAMP_。在试图改变DAC电压之前将这两位数据复位。

- ALM_CLMP1/ALM_CLMP0 = 01

此模式下禁止自动GATE_箝位，GATE_输出不受任何ALARM条件的影响。ALARM输出功能正常运行(采样值超出门限时仍会引起ALARM标志位置位，按照比较器或中断模式产生ALARM输出)。

- ALM_CLMP1/ALM_CLMP0 = 10

此模式下提供完全自动箝位，发生ALARM条件之前，GATE_电压受检流电压(MAX11014)或DAC设置(MAX11015)的控制。发生ALARM时，GATE_电压将被箝位于ACLAMP_，并在ALARM状态下始终保持箝位。当随后的ADC转换清除ALARM状态时才会解除GATE_的箝位状态。然后，GATE_电压将返回到检流电压/DAC设置。发生GATE_箝位时，比较器模式下触发ALARM输出。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

GATE_电压ALARM状态下, GATE_将保持箝位, ALM_CLMP 10模式的功能与11模式相同。所不同的是对GATE_电压采样后将导致不同的反馈环路状态, 重新建立箝位。

- ALM_CLMP1/ALM_CLMP0 = 11

该模式提供半自动箝位, 发生ALARM状况之前, GATE_电压通过检流电压(MAX11014)或DAC设置(MAX11015)控制。一旦触发ALARM状态, GATE_电压将箝位于ACLAMP_。这种情况下, 即使发生随后的ADC转换, 所有的ALARM通道被清除, GATE_输出也将保持箝位状态。只有重新设置ALM_CLMP1/ALM_CLMP0为11或01时, 才能脱离箝位状态。

OPSAFE输入

将OPSAFE1和OPSAFE2输入置为高电平, 可将GATE1、GATE2输出分别箝位于ACLAMP1和ACLAMP2外部电压。OPSAFE1/OPSAFE2的优先级高于任何软件指令, 硬件ALARM配置寄存器的ALM_CLMP1/ALM_CLMP0位同样可以提供箝位控制。

SRAM LUT

MAX11014/MAX11015具有4个独立的查找表(LUT), 它们分别基于温度(TLUT)或基于数字(KLUT)。通道1、通道2分别具有独立的TLUT和KLUT, 每个LUT能够存储48个数据字, 如图28所示。除了存储数据外, LUT存储器还包括指定LUT容量、滞回和步进值的配置寄存器。表28列出了详细的LUT配置寄存器。

按照如下顺序向LUT写数据:

- 1) 写LUT地址寄存器设置第一个数据字的基址(LUTWORD位在LUT写操作中不用考虑)。
- 2) 写LUT数据寄存器以写入数据值, 每向LUT数据寄存器写入一次, LUT存储器地址会自动递增。

按照如下顺序从LUT读取数据:

- 1) 写LUT地址寄存器设置第一个数据字的基址并确定要读取的LUT字数。
- 2) 发送LUT数据寄存器的读命令, MAX11014/MAX11015随后将要求的LUT数据填充到FIFO, 从LUTADD基址开始, 且在达到存储器顶端或LUTWORD指示的位置之前, 地址会自动递增。
- 3) 从DOUT (SPI模式)或SDA (I²C模式)端读取来自FIFO的数据, 每次读取16位LUT数据字(包括3位或4位通道标识)。

写LUT地址寄存器启动一次LUT写操作或读操作, 如表23所示。这个寄存器设置LUT的基址, 以及随后从LUT数据寄存器读取的地址数。命令字节7Ah控制LUT地址寄存器的写操作。将LUTWORD位(D15-D8)设置为LUT读操作中需要输出的LUT字数(1至48); 将LUTADD位(D7-D0)设置为LUT的基址指针。TLUT1-0到TLUT1-47 (通道1)数值存储在地址00h至2Fh; TLUT2-0到TLUT2-47 (通道2)数值存储在地址30h至5Fh。KLUT1-0到KLUT1-47 (通道1)数值存储在地址60h至8Fh; KLUT2-0到KLUT2-47 (通道2)数值存储在地址90h至BFh。

LUT通过设置以下参数定义:

- 1) 表的基值
- 2) 表的步长(输入间隔)
- 3) 滞回门限尺寸
- 4) LUT的容量(输入数量)

LUT配置

写LUT配置过程可以初始化步长、滞回门限尺寸以及LUT的容量。通过以下步骤确定各个通道的温度或KLUT配置:

- 1) 将LUT地址寄存器的LUTADD位设置为C0h (TLUT1)、C1h (TLUT2)、C2h (KLUT1)或C3h (KLUT2), 见表28a。
- 2) 写LUT数据寄存器(LUTDAT15-LUTDAT0)以初始化步长、滞回门限尺寸和LUT的容量, 见表28b。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

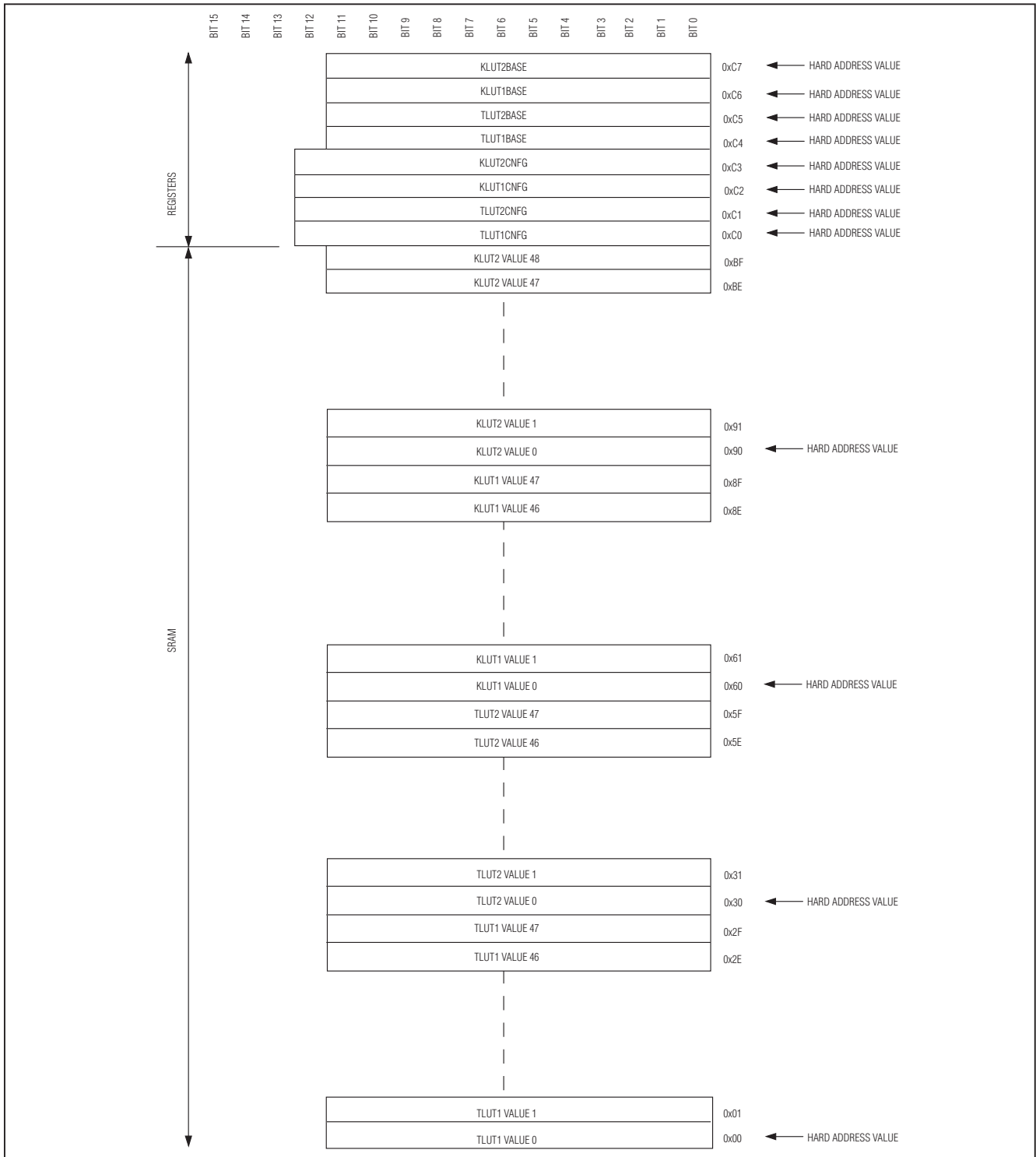


图28. LUT存储空间

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

表 28. LUT 地址

LUTADD7–LUTADD0	HEX	FUNCTION
0000 0000 to 0010 1111	00 to 2F	TLUT1-0 to TLUT1-47
0011 0000 to 0101 1111	30 to 5F	TLUT2-0 to TLUT2-47
0110 0000 to 1000 1111	60 to 8F	KLUT1-0 to KLUT1-47
1001 0000 to 1011 1111	90 to BF	KLUT2-0 to KLUT2-47
1100 0000	C0	TLUT1 configuration
1100 0001	C1	TLUT2 configuration
1100 0010	C2	KLUT1 configuration
1100 0011	C3	KLUT2 configuration
1100 0100	C4	TLUT1 base
1100 0101	C5	TLUT2 base
1100 0110	C6	KLUT1 base
1100 0111	C7	KLUT2 base

执行写操作时，前3位LUTDAT (D15、D14、D13)为无关项；执行读操作时，这些位是LUT数据的通道标识110。D12–D7以二进制格式表示LUT的容量，LUT容量设置范围为8 (001000)至48 (110000)。D6、D5、D4设置滞回位的门限。以温度LUT为例，如果HYS为101 (16位)且最新温度测量值与上一次的温度转换值相差2°C以上，则执行新的TLUT操作，计算新的TLUT值。D3–D0设置LUT的步长，见表28c。步长按照 2^N 计算，N为STEP位表示的数值。步长可以设置在1 (2^0)至512 (2^9)之间，1010 (2^{10})至1111 (2^{15})保留，不要向这些地址写入数据。

LUT基值

以下两个步骤确定通道的温度或KLUT基值：

- 1) 将LUT地址寄存器的LUTADD位设置为C4h (TLUT1)、C5h (TLUT2)、C6h (KLUT1)和C7h (KLUT2)，见表28d。
- 2) 写LUT数据寄存器(LUTDAT15–LUTDAT0)初始化基值字，KLUT基值以二进制格式存储，LSB等于1。TLUT基值以2的补码格式存储，LSB等于+0.125°C。

表 28a. LUT 数据寄存器存储空间映射

ADDRESS NAME	LUTADD7–LUTADD0 (HEX)	LUTDAT15 LUTDAT0														
		D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1 D0
TLUT1	00 to 2F	1	1	0	X	MSB	—	—	—	—	—	—	—	—	—	LSB
TLUT2	30 to 5F	1	1	0	X	MSB	—	—	—	—	—	—	—	—	—	LSB
KLUT1	60 to 8F	1	1	0	X	MSB	—	—	—	—	—	—	—	—	—	LSB
KLUT2	90 to BF	1	1	0	X	MSB	—	—	—	—	—	—	—	—	—	LSB
TLUT1 Configuration	C0	1	1	0	See Table 28b for bit details.											
TLUT2 Configuration	C1	1	1	0	See Table 28b for bit details.											
KLUT1 Configuration	C2	1	1	0	See Table 28b for bit details.											
KLUT2 Configuration	C3	1	1	0	See Table 28b for bit details.											
TLUT1 Base	C4	1	1	0	X	MSB	—	—	—	—	—	—	—	—	—	LSB
TLUT2 Base	C5	1	1	0	X	MSB	—	—	—	—	—	—	—	—	—	LSB
KLUT1 Base	C6	1	1	0	X	MSB	—	—	—	—	—	—	—	—	—	LSB
KLUT2 Base	C7	1	1	0	X	MSB	—	—	—	—	—	—	—	—	—	LSB

X = 无关。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

表 28b. LUT 配置

BIT NAME	DATA BIT	RESET	FUNCTION
SIZE5	D12	0	The SIZE field is a straight binary representation of the size of the respective LUT. SIZE5 is the MSB of the 6 SIZE bits. SIZE0 is the LSB. Set the size of the LUT between eight entries (001000) and 48 entries (110000).
SIZE4	D11	0	
SIZE3	D10	0	
SIZE2	D9	0	
SIZE1	D8	0	
SIZE0	D7	0	
HYS2	D6	0	The HYS2, HYS1, and HYS0 bits set the hysteresis bit threshold for each LUT. When the difference between the last index value and the next index value is less than the value set by HYS2, HYS1, and HYS0 bits, the LUT operation for that parameter is omitted and the last value calculated for the respective LUT is used. Set the HYS2 (MSB), HYS1, and HYS0 (LSB) bits to the following hysteresis bit values: 000: 0 bits (a new LUT operation is always performed) 001: 1 bit (if the value differs by 1 bit, a new LUT operation is performed) 010: 2 bits 011: 4 bits 100: 8 bits 101: 16 bits 110: 32 bits 111: 64 bits
HYS1	D5	0	
HYS0	D4	0	
STEP3	D3	0	
STEP2	D2	0	The STEP3–STEP0 bits determine the LUT 12-bit step size. The step size is a 2^N value. The N value is determined by the STEP bits, with STEP3 being the MSB and STEP0 the LSB. See Table 28c for the TLUT and KLUT step-size equivalents.
STEP1	D1	0	
STEP0	D0	0	

表 28c. LUT 步长配置

STEP3	STEP2	STEP1	STEP0	LUT STEP SIZE	TLUT STEP-SIZE EQUIVALENT	KLUT STEP-SIZE EQUIVALENT
0	0	0	0	1	+0.125°C	1
0	0	0	1	2	+0.25°C	2
0	0	1	0	4	+0.5°C	4
0	0	1	1	8	+1°C	8
0	1	0	0	16	+2°C	16
0	1	0	1	32	+4°C	32
0	1	1	0	64	+8°C	64
0	1	1	1	128	+16°C	128
1	0	0	0	256	+32°C	256
1	0	0	1	512	+64°C	512
1	0	1	0	Reserved. Do not use.		
1	0	1	1	Reserved. Do not use.		
1	1	0	0	Reserved. Do not use.		
1	1	0	1	Reserved. Do not use.		
1	1	1	0	Reserved. Do not use.		
1	1	1	1	Reserved. Do not use.		

RF MESFET放大器
漏极电流自动控制器

MAX11014/MAX11015

表 28d. LUT 基值

BIT NAME	DATA BIT	RESET STATE	FUNCTION
BASE11–BASE0	D11–D0	N/A	The base value signifies the starting point for the LUT. The KLUT base value is stored in binary format, with the LSB equaling 1. The TLUT base value is stored in two's-complement format, with the LSB equaling +0.125°C.

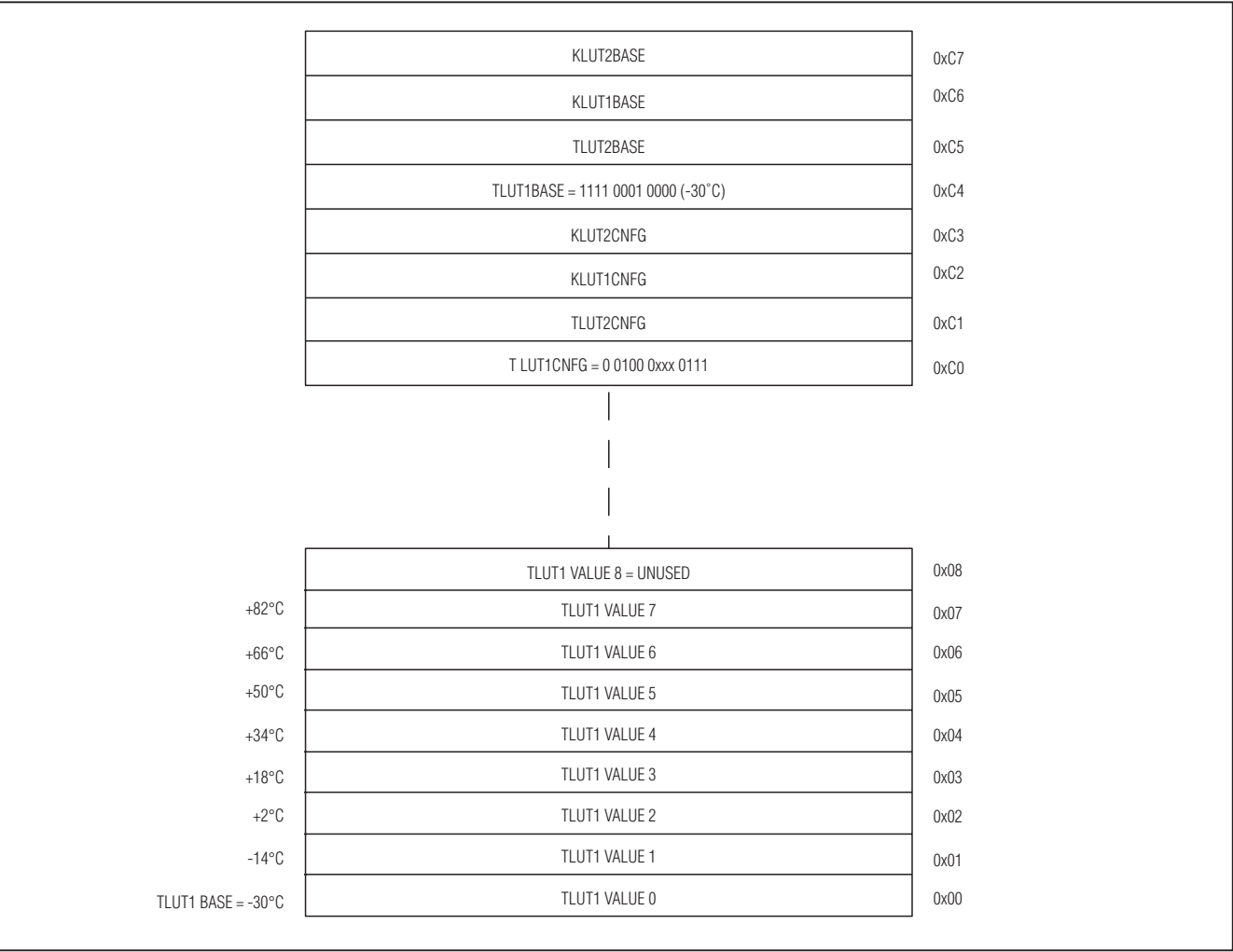


图 29. TLUT 举例

TLUT 和 KLUT 都包含 12 位数据，TLUT 数据以 2 的补码格式存储，包含小数，范围在 -2048/2048 (-1) 到 +2047/2048 (+0.9995)，步长大约为 0.0005。

KLUT 数据以二进制格式存储，包含小数，范围在 0 到 +4095/4096 (0.9998)，步长大约为 0.0002。

温度 LUT 数据以 2 的补码格式存储，图 29 给出了一个通道 1 的 TLUT 例子，有 8 个输入值，基值温度是 -30°C，步长为 128 (输入之间间隔 +16°C)。

RF MESFET放大器
漏极电流自动控制器

MAX11014/MAX11015

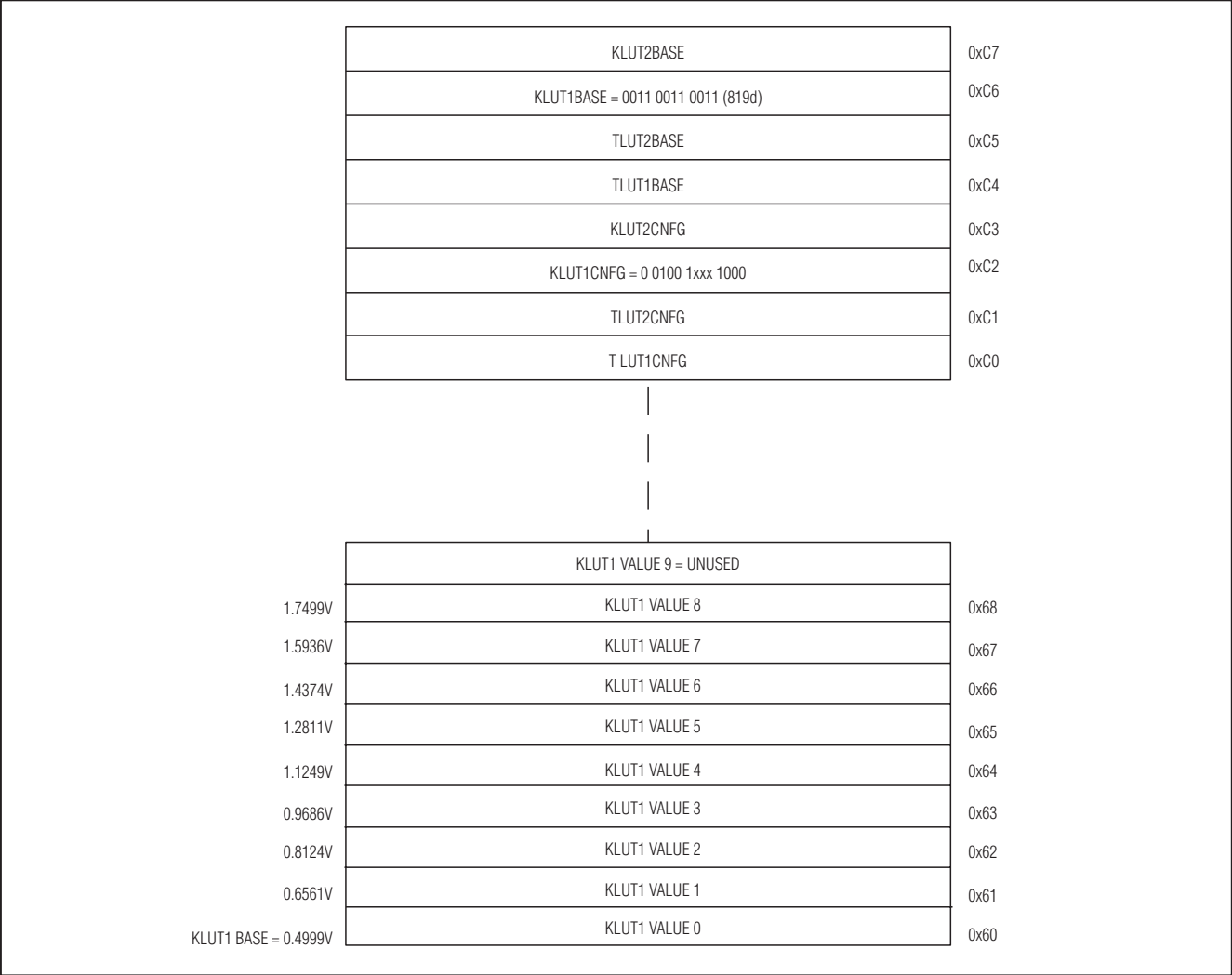


图30. KLUT举例

KLUT数据直接以二进制格式存储，图30给出了一个通道1的KLUT的例子，有9个输入值，范围从0.5V到1.7V，步长256。

假设 $V_{REFDAC} = +2.5V$ ，基值(819d)由下式确定：

$$\frac{0.5V}{2.5V} \times 4096 = 819d$$

内部定时采样与转换

时钟模式00

在时钟模式00下，向ADC转换寄存器写入数据对上电、采样、转换、关断控制进行初始化，自动使用内部振荡器执行操作，该模式为默认的时钟模式。将ADCMON置1，ADC将BUSY输出置为高电平，然后上电并扫描所有请求通道，完成扫描后将结果存入FIFO，然后关断。扫描结束后，BUSY输出置为低电平，结果可从FIFO读取。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

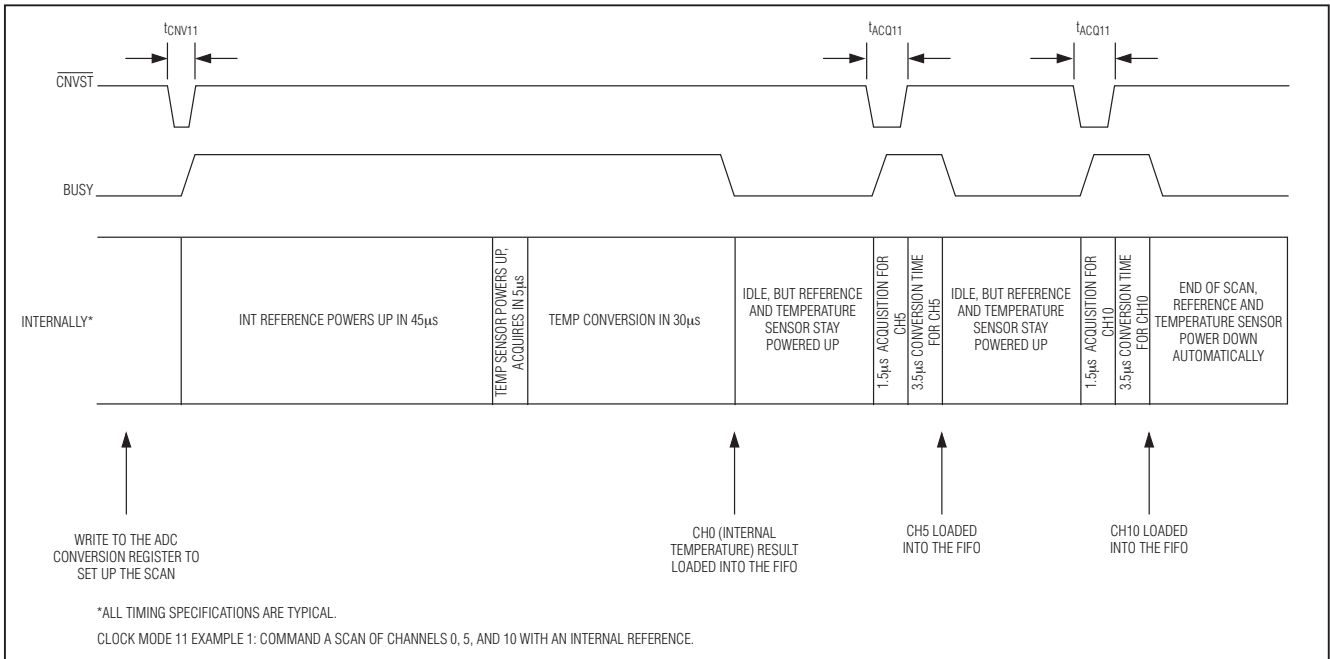


图31. 时钟模式11时序示例1

时钟模式01

在时钟模式01下，将 $\overline{\text{CNVST}}$ 置为一个低电平脉冲对上电、采样、转换、关断控制进行初始化，使用内部振荡器自动执行操作。向ADC转换寄存器写入数据指示要转换的通道，可初始化一次扫描过程。然后，只需将 $\overline{\text{CNVST}}$ 拉低并持续至少20ns，便可完成ADC转换寄存器选择通道的数据转换。ADCMON置1时，ADC将BUSY输出置为高电平，然后上电并扫描所有通道，最后将结果存入FIFO，然后关断。扫描完成后，BUSY输出拉至低电平，可从FIFO读取转换结果。

外部定时采样与转换

时钟模式10

保留时钟模式10，不要使用该时钟模式。

时钟模式11

时钟模式11下，转换由 $\overline{\text{CNVST}}$ 逐次控制进行初始化，使用内部振荡器进行操作。图31和32给出了两个时钟模式11时序的例子，向ADC转换寄存器写入数据初始化转换过程，每个通道的转换需要 $\overline{\text{CNVST}}$ 保持至少1.5 μs 的低电

平。定时参数会因以下具体情况而不同：转换温度、利用外部基准转换电压或利用内部基准转换电压。

内部和外部温度转换使用内部定时，将 $\overline{\text{CNVST}}$ 置为低电平至少20ns，可执行一次温度转换。采样过程中BUSY输出高电平，内部基准需要45 μs (典型值)的上电时间，温度检测电路还需要5 μs 的上电时间，经过额外的30 μs 时间后可以获得温度转换结果。由此可见，第一次温度检测的典型转换时间是80 μs 。随后，由于内部基准和温度检测电路已上电就绪，温度扫描只需30 μs (典型值)即可完成，请参考*Electrical Characteristics*表。

将 $\overline{\text{CNVST}}$ 拉低至少1.5 μs ，可使用外部基准实现电压转换。采样过程中BUSY输出高电平，经过额外的3.5 μs (典型值)后可得转换结果。

将 $\overline{\text{CNVST}}$ 置低至少50 μs ，可启动一次使用内部基准的电压转换，BUSY输出高电平，且在额外的3.5 μs (典型值)后得到转换结果。接下来的电压转换不需要内部基准的上电时间，将 $\overline{\text{CNVST}}$ 置低至少1.5 μs ，即可给ADC上电将其置于跟踪模式。采样过程中BUSY输出高电平，且在5.6 μs 后可以得到转换结果。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

应用信息

布板考虑

为了使外部温度传感器达到指定的规范要求，远端二极管应尽可能靠近MAX11014/MAX11015安装。DXP_和DXN_引线上不应穿过噪声较大的引线和总线，最好在DXP_和DXN_引线两侧加地线保护，而且应当位于低噪地平面之上。应该保证足够宽(大于10mm)的引线，以减小寄生电感，降低噪声辐射。

定义

积分非线性

积分非线性(INL)是实际传输函数与直线的偏差。这条直线可以是最佳直线拟合，也可以是消除失调与增益误差后传输函数两个端点间的连线。MAX11014/MAX11015 INL参数测量采用的是端点法。

微分非线性

微分非线性(DNL)是实际步长宽度与1个LSB理想值之差，小于1 LSB的DNL误差保证不会产生失码，并可确保传输函数的单调性。

ADC失调误差

理想情况下，中点跳变出现在零点以上0.5个LSB处，失调误差是测试得到的第一个跳变点与理想跳变点间的差值。

ADC增益误差

理想情况下，当正向满量程电压作用到转换器输入时，数字输出应该为全1 (FFFh)。从FFEh至FFFh的跳变出现在低于满量程1.5个LSB处。增益误差是在消除失调误差后测试的满量程跳变点与理想跳变点之间的差值。

DAC失调误差

DAC失调误差是DAC中装载全0码时对应的模拟输出电压。

DAC增益误差

DAC增益误差定义为消除失调误差后，理想传输函数与实际测量传输函数在DAC中装载全1码时对应的偏差。

孔径抖动

孔径抖动， t_{AJ} ，是孔径延时期间采样值的变化统计量。

孔径延时

孔径延时(t_{AD})是指采样时钟上升沿与实际采样瞬间的时间差。

信噪比

从数字采样中重建最佳波形，理论上信噪比(SNR)最大值是满量程模拟输入(RMS值)与量化误差RMS(剩余误差)之比，理想情况下，模数转换的噪声最小值仅由量化误差决定，并直接由ADC的分辨率(N位)确定：

$$SNR = (6.02 \times N + 1.76)dB$$

实际上，除了量化噪声外还有其它噪声源：热噪声、基准噪声、时钟抖动等。SNR采用信号RMS与噪声RMS之比计算。噪声RMS包括除基波、前五次谐波与直流失调以外所有奈奎斯特频率的频谱成份。

信号与噪声 + 失真比

信号与噪声 + 失真比(SINAD)采用基频信号RMS与噪声 + 失真RMS之比计算。噪声 + 失真RMS包括除基波与直流失调以外奈奎斯特频率的所有频谱成份：

$$SINAD (dB) = 20 \times \log (SIGNAL_{RMS} / NOISE_{RMS})$$

有效位数

有效位数(ENOB)规定了在指定输入频率与采样频率下ADC的总体精度。理想的ADC误差仅包括量化误差。ADC满量程正弦输入波形的ENOB由下式计算：

$$ENOB = (SINAD - 1.76) / 6.02$$

总谐波失真

总谐波失真(THD)通常是输入信号前5次谐波的RMS之和与基波之比，可以用下式表示：

RF MESFET放大器 漏极电流自动控制器

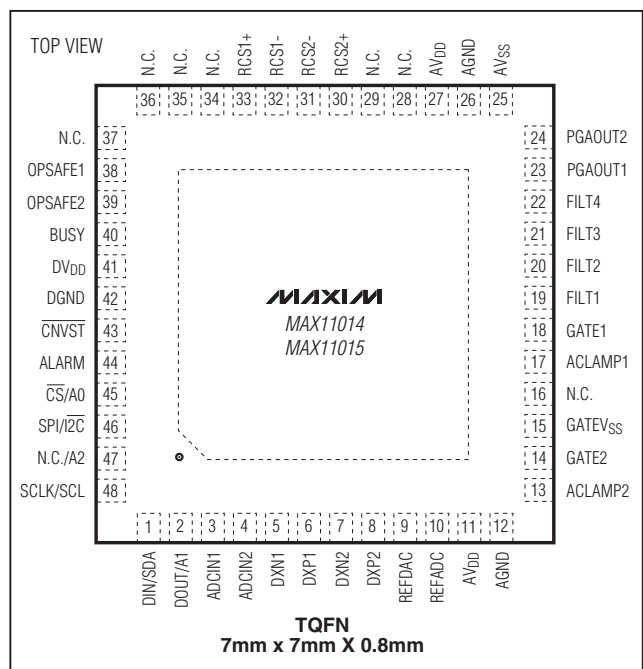
ADC电源抑制比

电源抑制比定义为电源电压从最小工作电压变化到最大工作电压时产生的失调误差偏移量。

DAC电源抑制比

DAC PSR是当电源电压偏离其标称值时，满量程转换结果的变化量。PSR的测量假设转换器的线性度不会受电源电压变化的影响。

引脚配置



芯片信息

PROCESS: BiCMOS

修订历史

Rev 1中的修改页：1、21、65-69。

$$THD = 20 \times \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中， V_1 为基波幅值， V_2 至 V_6 为2次至6次谐波幅值。

无杂散动态范围

无杂散动态范围(SFDR)是基波(信号成分最大值) RMS值与二次谐波的RMS值之比。

ADC通道间串扰

将ON通道偏置在中间值，在所有OFF通道作用一个满量程幅度的正弦测试信号，然后对ON通道结果进行FFT运算。ADC通道间串扰是OFF通道测试频率对应的FFT幅值，以dB表示。

交调失真(IMD)

当 f_1 和 f_2 两路信号加在输入端时，IMD是相对于总输入功率的交调分量总功率，交调分量为 $(f_1 \pm f_2)$ 、 $(2 \times f_1)$ 、 $(2 \times f_2)$ 、 $(2 \times f_1 \pm f_2)$ 、 $(2 \times f_2 \pm f_1)$ 。每路输入信号电平为-7dBFS。

小信号带宽

将-20dBFS的模拟输入信号送入ADC、在信号摆率不会限制ADC性能的条件下，随着输入频率的升高数字转换结果将会下降，下降到-3dB时所对应的频点称为小信号带宽。注意，跟踪/保持(T/H)的性能通常是制约小信号输入带宽的因素。

满功率带宽

将-0.5dBFS的模拟输入信号送入ADC，随着输入频率的升高数字转换结果将会下降，下降到-3dB时所对应的频点称为满功率带宽频率。

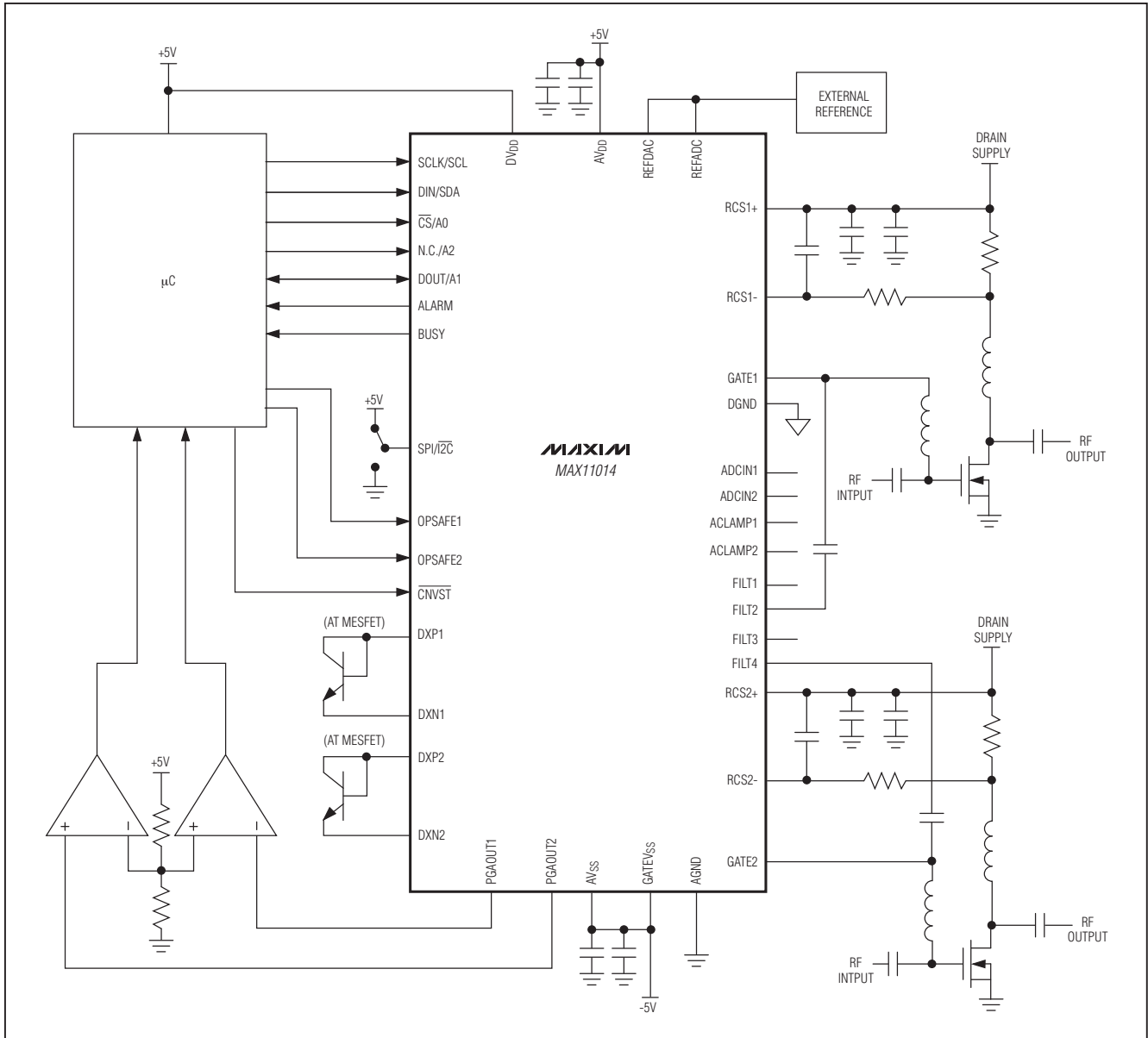
DAC数字馈通

DAC数字馈通是当触发DAC数字控制线时出现在DAC输出端的噪声大小。

RF MESFET放大器 漏极电流自动控制器

MAX11014/MAX11015

典型工作电路



The drawing illustrates the mechanical specifications of a Dallas Semiconductor 32, 44, 48, 56L Thin QFN package. It includes the following views and details:

- TOP VIEW:** Shows the package footprint with dimensions E and $E/2$ for the overall width and pin pitch. The length is D with a center-to-center distance of $D/2$ between the pin rows. A hatched area indicates the seating plane. Pin 1 is located at the bottom-left corner, marked with a triangle and 'PIN # 1 I.D.'. The package is marked with '2X', '0.15[C]B', and '0.19[C]A'.
- BOTTOM VIEW:** Shows the underside of the package with dimensions E , $E/2$, and $D/2$. It includes a detail of the solder bump with dimensions k and b . The package is marked with '2X', '0.10[C]B', and '0.35x45°'.
- SIDE VIEW:** Shows the profile of the package with dimensions A_1 , A_2 , and A for the lead heights. The package is marked with '0.10[C]' and '0.06[C]B'.
- DETAIL A:** Provides a close-up of the terminal tip and solder bump, showing the terminal tip dimension k and the solder bump dimension b .

The package is identified as a 32, 44, 48, 56L THIN QFN, 7x7x0.8mm. The drawing is labeled 'DRAWING NOT TO SCALE'.

COMMON DIMENSIONS																EXPOSED PAD VARIATIONS									
		44L 7x7						48L 7x7						CUSTOM PKG. (T4877-1)		56L 7x7		PKG. CODES	DEPOPULATED LEADS	D2	E2	JESDEC MCCO REY.			
PKG		MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.									
SYMBOL		0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	T3277-2	-	4.50	4.70	4.85	4.50	4.70	4.85	
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	T3277-3	-	4.55	4.70	4.85	4.55	4.70	4.85		
A1	0.20	0.02	0.06	0.20	0.02	0.06	0.20	0.02	0.06	0.20	0.02	0.06	0.20	0.02	0.06	0.20	T4477-2	-	4.55	4.70	4.85	4.55	4.70	4.85	
A2	0.20 REF.	0.20 REF.	0.20 REF.	0.20 REF.	0.20 REF.	0.20 REF.	0.20 REF.	0.20 REF.	0.20 REF.	0.20 REF.	0.20 REF.	0.20 REF.	0.20 REF.	0.20 REF.	0.20 REF.		T4477-3	-	4.55	4.70	4.85	4.55	4.70	4.85	
b	0.25	0.30	0.35	0.25	0.30	0.35	0.25	0.30	0.35	0.25	0.30	0.35	0.25	0.30	0.35	0.10	T4877-3	13,27,48	4.20	4.30	4.40	4.20	4.30	4.40	
d	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	T4877-4	-	4.95	5.10	5.25	4.95	5.10	5.25	
E	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	T4877-5	-	5.40	5.50	5.60	5.40	5.50	5.60	
e	0.60 BSC.	0.50 BSC.	0.50 BSC.	0.60 BSC.	0.50 BSC.	0.50 BSC.	0.60 BSC.	0.50 BSC.	0.50 BSC.	0.60 BSC.	0.50 BSC.	0.50 BSC.	0.60 BSC.	0.50 BSC.	0.40 BSC.		T4877-6	-	5.40	5.50	5.60	5.40	5.50	5.60	
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	T4877N-1	-	5.40	5.50	5.60	5.40	5.50	5.60
L	0.45	0.50	0.65	0.45	0.50	0.65	0.45	0.50	0.65	0.45	0.50	0.65	0.45	0.50	0.65	0.40	T4877N-8	-	5.40	5.50	5.60	5.40	5.50	5.60	
N	32			44			48			44			44			56		T4877N-8	-	5.40	5.50	5.60	5.40	5.50	5.60
ND	8			11			12			10			10			14		T5677-1	-	5.40	5.90	6.40	5.40	5.90	6.40
NE	8			11			12			12			12			14		T5677-2	-	5.40	5.90	6.40	5.40	5.90	6.40

-DRAWING NOT TO SCALE-

** NOTE: T4877-1 IS A CUSTOM 48L PKG. WITH 4 LEADS DEPOPULATED
TOTAL NUMBER OF LEADS ARE 44.

 DALLAS SEMICONDUCTOR					
TITLE PACKAGE OUTLINE 32, 44, 48, 56L THIN QFN, 7x7x0.8mm					
APPROVAL		DOCUMENT CONTROL NO. 21-0144		REV. F	

© 2007 Maxim Integrated Products. 项目开发 芯片解密 零件配单 TEL: 15013652265 00:38537442 是 Maxim Integrated Products, Inc. 的注册商标。