



3线接口、全速USB收发器， 带有/不带内部串联电阻

概述

MAX13342E/MAX13345E是专为低电压ASIC与USB接口设计的USB兼容收发器，可以减少设计所需要的面积和外围元件。该系列器件完全兼容于USB 2.0规范，可工作在全速(12Mbps)模式。收发器内置3.3V稳压器，一个内部1.5k Ω 的D+上拉电阻，以及集成的用于保护USB I/O接口(D+、D-)的 ± 15 kV ESD电路。MAX13345E还具有内部串联电阻器，可以直接与USB连接器相连。

该系列器件工作在低至+2.3V的逻辑电源电压下，确保与低电压ASIC兼容。低功耗模式可以将电流损耗降低到45 μ A以下。枚举功能控制D+上拉电阻，允许器件在插入时与总线逻辑断开。

MAX13342E的D+/D-具有可控的输出阻抗，允许通过外部开关将两个不同的USB设备连接到一个USB连接器。MAX13345E的D+/D-端具有43.5 Ω (最大)的内部电阻，可直接与USB连接器连接。

MAX13342E/MAX13345E具有DAT和SE0接口信号。这一系列收发器具有USB检测功能，用于监视USB的V_{BUS}是否连接并指示该状态。

该系列器件工作在-40°C至+85°C的扩展级温度范围，采用UCSP™、2.0mm x 1.5mm和14引脚TDFN (3mm x 3mm)封装。

UCSP是Maxim Integrated Products, Inc.的商标。

应用

PDA
PC外设
蜂窝电话
数据托架
MP3播放器

引脚配置在数据资料的最后给出。

特性

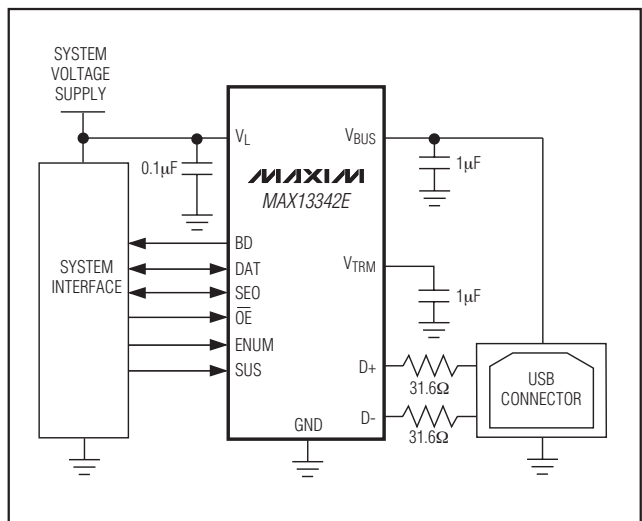
- ◆ 兼容USB 2.0 (全速，12Mbps)的收发器
- ◆ 内部上拉
- ◆ V_{BUS}检测
- ◆ 内部串联电阻(MAX13345E)
- ◆ D+和D-具有 ± 15 kV (HBM)的ESD保护
- ◆ 枚举输入控制D+上拉电阻
- ◆ 支持3线DAT/SE0接口
- ◆ +2.3V至+3.6V接口电压(V_L)
- ◆ 无上电排序要求
- ◆ 低USB输出阻抗(MAX13342E)

订购信息

PART	PIN-PACKAGE	TOP MARK	PKG CODE
MAX13342EETD+	14 TDFN-EP (3mm x 3mm)	ACZ	T1433-2
MAX13342EEBC+*	12 UCSP (2.0mm x 1.5mm)	ACU	B12-3
MAX13345EETD+	14 TDFN-EP (3mm x 3mm)	ADA	T1433-2
MAX13345EEBC+*	12 UCSP (2.0mm x 1.5mm)	ACX	B12-3

* 未来产品——供货信息请与厂商联系。
+ 无铅封装。
EP = 裸焊盘。

典型工作电路



3线接口、全速USB收发器， 带有/不带内部串联电阻

MAX13342E/MAX13345E

ABSOLUTE MAXIMUM RATINGS

(All voltages refer to GND unless otherwise noted.)

Supply Voltage (V_{BUS})-0.3V to +6V
System Supply Voltage (V_L)-0.3V to +6V
Output of Internal Regulator (V_{TRM})-0.3V to (V_{BUS} + 0.3V)
Input Voltage (D+, D-)-0.3V to +6V
SUS, BD-0.3V to (V_L + 0.3V)
ENUM, SE0, DAT-0.3V to (V_L + 0.3V)
Short-Circuit Current to V_{BUS} or GND (D+, D-)±150mA
Maximum Continuous Current (all other pins)±15mA

Continuous Power Dissipation (T_A = +70°C)

14-Pin TDFN (derate 18.5mW/°C above +70°C)1482mW
4mm x 3mm UCSP

(derate 6.5mW/°C above +70°C)518mW

Operating Temperature Range-40°C to +85°C

Junction Temperature+150°C

Storage Temperature Range-65°C to +150°C

Bump Soldering+235°C

Lead Soldering (10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{BUS} = +4.0V to +5.5V, V_L = +2.3V to +3.6V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V_{BUS} = +5.0V, V_L = +2.5V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY INPUTS (V_{BUS}, V_{TRM}, V_L)						
V _{BUS} Input Range	V _{BUS}		4.0		5.5	V
V _L Input Range	V _L		2.3		3.6	V
Regulated Supply-Voltage Output	V _{TRM}		3.0	3.3	3.6	V
Operating V _{BUS} Supply Current	I _{VBUS}	Full-speed transmitting/receiving at 12Mbps, C _L = 50pF on D+ and D-			10	mA
Operating V _L Supply Current	I _{VL}	Full-speed transmitting/receiving at 12Mbps, C _L = 15pF receiver outputs, V _L = 2.5V		1.5		mA
Full-Speed Idle and SE0 Supply Current	I _{VBUS(IDLE)}	Full-speed idle, V _{D+} > 2.7V, V _{D-} < 0.3V			500	μA
		SE0: V _{D-} < 0.3V, V _{D+} < 0.3			500	
Static V _L Supply Current	I _{VL(STATIC)}	Full-speed idle, SE0 or suspend mode			10	μA
Suspend Supply Current	I _{VBUS(SUSP)}	SE0 = DAT = open; SUS = $\overline{OE}$ = high		30	45	μA
Disable-Mode Supply Current	I _{VBUS(DIS)}	V _L = GND or open			25	μA
Sharing-Mode V _L Supply Current	I _{VL(SHARING)}	V _{BUS} = GND or open, $\overline{OE}$ = low, SE0 = DAT = low or high, SUS = high			5	μA
D+/D- Supply Current	I _{D+/D-}	V _{BUS} = GND or open			20	μA
V _{BUS} Power-Supply Detection Threshold	V _{TH_VBUS}	V _L > 2.3V	0.8		3.6	V
V _{BUS} Power-Supply Detection Hysteresis	V _{VBUSHYS}			100		mV
V _L Power-Supply Threshold	V _{TH_VL}			850		mV

3线接口、全速USB收发器， 带有/不带内部串联电阻

MAX13342E/MAX13345E

ELECTRICAL CHARACTERISTICS (continued)

($V_{BUS} = +4.0V$ to $+5.5V$, $V_L = +2.3V$ to $+3.6V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{BUS} = +5.0V$, $V_L = +2.5V$, $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS AND OUTPUTS (DAT, SE0, OE, ENUM, SUS, BD)						
Input-High Voltage	V_{IH}		$0.7 \times V_L$			V
Input-Low Voltage	V_{IL}			$0.3 \times V_L$		V
Output-Voltage High	V_{OH}	$I_{SOURCE} = 2mA$	$V_L - 0.4$			V
Output-Voltage Low	V_{OL}	$I_{SINK} = 2mA$			0.4	V
Input Leakage Current	I_{LKG}		-1		+1	μA
Input Capacitance		Measured from input to GND		10		pF
ANALOG INPUTS AND OUTPUTS (D+/D-)						
Differential Input Sensitivity	V_{ID}	$ V_{D+} - V_{D-} $	200			mV
Differential Common-Mode Voltage Range	V_{CM}	Includes V_{ID} range	0.8		2.5	V
Single-Ended Input Voltage High	V_{IHSE}		2.0			V
Single-Ended Input Voltage Low	V_{ILSE}				0.8	V
Receiver Single-Ended Hysteresis	V_{HYS}			200		mV
Output-Voltage Low	V_{OLD}	$R_L = 1.5k\Omega$ from D+ or D- to 3.6V			0.3	V
Output-Voltage High	V_{OHD}	$R_L = 15k\Omega$ from D+ or D- to GND	2.8		3.6	V
Off-State Leakage Current		Tri-state driver	-1		+1	μA
Transceiver Capacitance	C_{IND}	Measured from D+ or D- to GND		20		pF
Driver Output Impedance	R_{OUT}	MAX13342E	4		14	Ω
		MAX13345E	28		43	
Internal Pullup Resistor	R_{PU}		1.425	1.500	1.575	$k\Omega$
Input Impedance	Z_{IN}	Drivers off, tri-state driver, ENUM = 0, $V_{D+}, V_{D-} = 0$ OR $+3.6V$	1			$M\Omega$
LINEAR REGULATOR						
External Capacitor	C_{OUT}	Compensation of linear regulator	1			μF
ESD PROTECTION (D+, D-)						
Human Body Model				± 15		kV
IEC 61000-4-2 Air-Gap Discharge				± 8		kV
IEC 61000-4-2 Contact Discharge				± 8		kV

3线接口、全速USB收发器，
带有/不带内部串联电阻

TIMING CHARACTERISTICS

(V_{BUS} = +4V to +5.5V, V_L = +2.3V to +3.6V, E_{NUM} = V_L, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V_{BUS} = +5V, V_L = +2.5V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
TRANSMITTER (C _L = 50pF)							
Rise Time	t _{FR}	10% to 90% of V _{OH} D-V _{OL} D with an external 31.6Ω series resistor (MAX13342E), Figures 3, 8		4		20	ns
Fall Time	t _{FF}	10% to 90% of V _{OH} D-V _{OL} D with an external 31.6Ω series resistor (MAX13342E), Figures 3, 8		4		20	ns
Rise-and-Fall Time Matching (Note 1)	t _{LR} /t _{LF}	Figures 3, 8		90		110	%
Output Signal Crossover (Note 2)	V _{CRS_L} , V _{CRS_F}	Figure 4		1.3		2	V
Driver Propagation Delay	t _{PLH_DRV}	Low-to-high transition, Figures 4, 8	V _L > 2.3V			20	ns
	t _{PHL_DRV}	High-to-low transition, Figures 4, 8	V _L > 2.3V			20	
Driver-Enabled Delay Time	t _{PZH_DRV}	Off-to-high transition, Figures 5, 8	V _L > 2.3V			18	ns
	t _{PZL_DRV}	Off-to-low transition, Figures 5, 8	V _L > 2.3V			18	
Driver Disable Delay	t _{PHZ_DRV}	High-to-off transition, Figure 5, 9	V _L > 2.3V			18	ns
	t _{PLZ_DRV}	Low-to-off transition, Figures 5, 9	V _L > 2.3V			18	
RECEIVER (C _L = 15pF)							
Differential Receiver Propagation Delay	t _{PLH_RCV}	Low-to-high transition, Figures 6,10	V _L > 2.3V			20	ns
	t _{PHL_RCV}	High-to-low transition, Figures 6,10	V _L > 2.3V			20	
Single-Ended Receiver Propagation Delay	t _{PLH_SE}	Low-to-high transition, Figures 6,10				18	ns
	t _{PHL_SE}	High-to-low transition, Figures 6,10				18	
Single-Ended Receiver Disable Delay	t _{PHZ_SE}	High-to-off transition, Figure 7	V _L > 2.3V			20	ns
	t _{PLZ_SE}	Low-to-off transition, Figure 7	V _L > 2.3V			20	
Single-Ended Receiver Enable Delay	t _{PZH_SE}	Off-to-high transition, Figure 7	V _L > 2.3V			22	ns
	t _{PZL_SE}	Off-to-low transition, Figure 7	V _L > 2.3V			22	

Note 1: Parameters are 100% production tested at +25°C, unless otherwise noted. Limits over temperature are guaranteed by design.

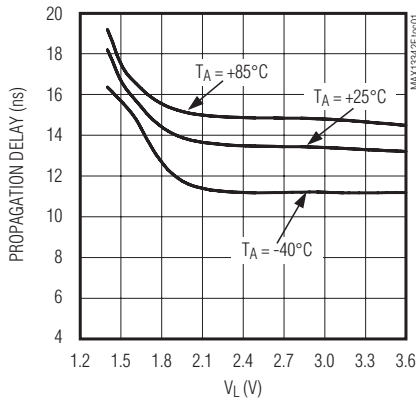
3线接口、全速USB收发器， 带有/不带内部串联电阻

典型工作特性

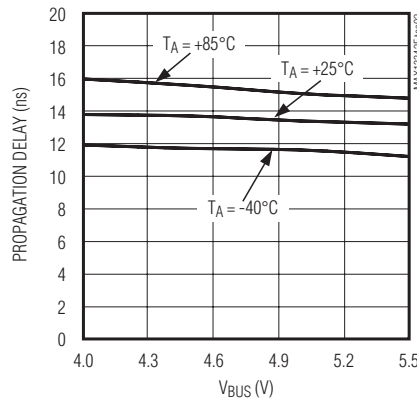
($V_{BUS} = +5V$, $V_L = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX13342E/MAX13345E

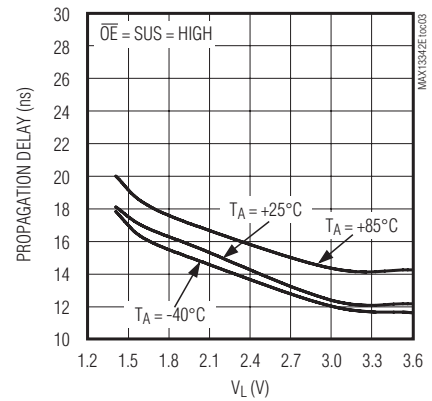
**DIFFERENTIAL RECEIVER PROPAGATION
DELAY vs. V_L**



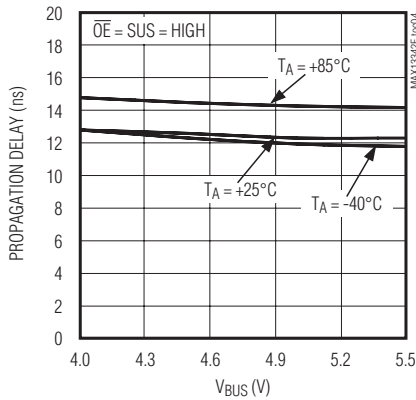
**DIFFERENTIAL RECEIVER PROPAGATION
DELAY vs. V_{BUS}**



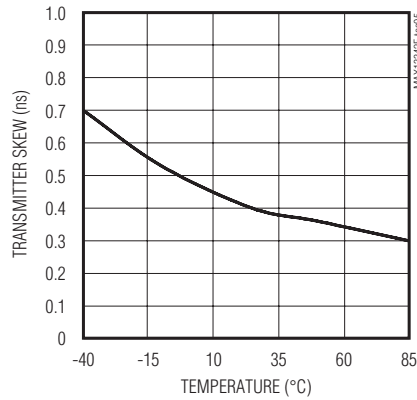
**SINGLE-ENDED RECEIVER PROPAGATION
DELAY vs. V_L**



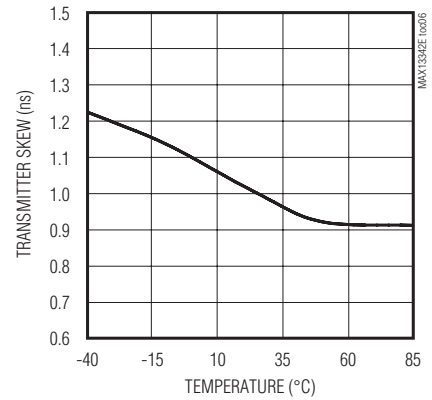
**SINGLE-ENDED RECEIVER PROPAGATION
DELAY vs. V_{BUS}**



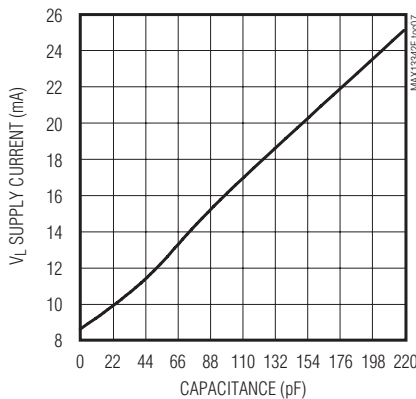
**TRANSMITTER SKEW
vs. TEMPERATURE**



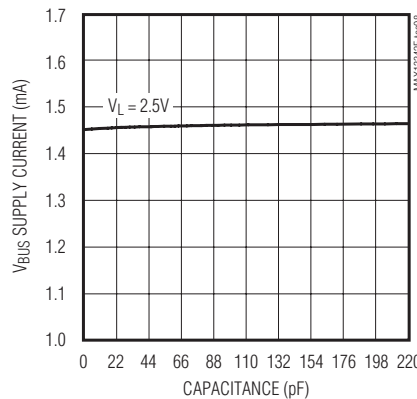
**RECEIVER SKEW
vs. TEMPERATURE**



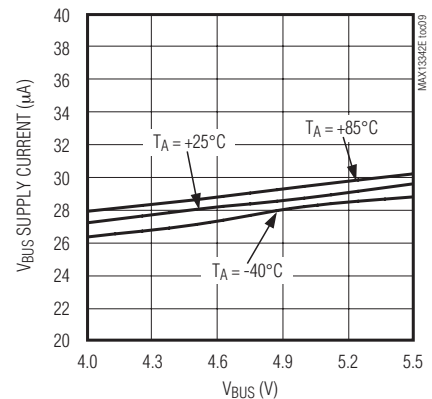
**V_L SUPPLY CURRENT
vs. D+/D- CAPACITANCE**



**V_{BUS} SUPPLY CURRENT
vs. D+/D- CAPACITANCE**



**V_{BUS} SUSPEND CURRENT
vs. V_{BUS} SUPPLY VOLTAGE**



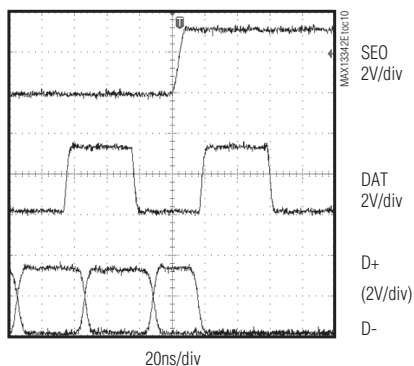
3线接口、全速USB收发器， 带有/不带内部串联电阻

MAX13342E/MAX13345E

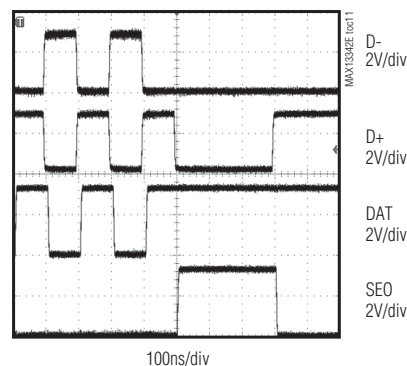
典型工作特性(续)

(VBUS = +5V, VL = +3.3V, TA = +25°C, unless otherwise noted.)

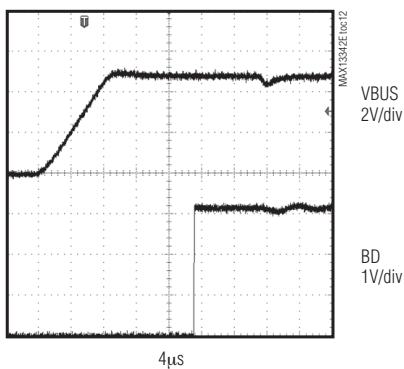
MAX13342E/MAX13345E
TRANSMITTING



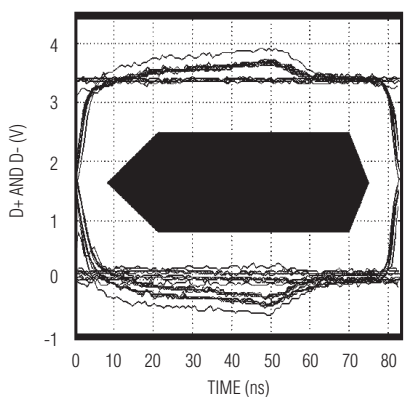
MAX13342E/MAX13345E
RECEIVING



MAX13342E/MAX13345E
BUS DETECTION



EYE DIAGRAM



3线接口、全速USB收发器，
带有/不带内部串联电阻

引脚说明

MAX13342E/MAX13345E

引脚		名称	功能
TDFN	UCSP		
1	B1	VTRM	稳压输出。VTRM由VBUS供电，可提供3.3V输出。采用1μF (最小)的低ESR电容，例如陶瓷或塑料薄膜电容，将VTRM旁路至GND。VTRM为内部电路、内部D+上拉电阻供电。不要用VTRM为外部电路供电。该系列USB收发器也可以由连接到VBUS和VTRM的外部3.3V稳压电源供电。
2	A1	VL	系统侧电源输入。连接VL到系统逻辑电源。采用一个0.1μF (最小)的低ESR陶瓷电容将VL旁路至GND。
3	A2	SE0	逻辑侧数据输入/输出。当OE为低电平时，SE0作为输入端口使用，当OE为高电平时，SE0则作为输出端口使用。作为输入时，当SE0为高电平时，D+和D-将变为低电平。作为输出时，D+、D-均为低电平时SE0为高(参见表3和表4)。
4	A3	DAT	逻辑侧数据输入/输出。当OE为低电平时，DAT被用作D+/D-端数据的输入。当OE为高电平时，DAT用作D+/D-端差分接收器的输出(参见表3和表4)。
5, 12	—	N.C.	无连接。N.C.悬空。N.C.内部无连接。
6	B3	SUS	挂起输入。驱动SUS至低电平，收发器进入正常工作模式。驱动SUS至高电平，器件进入低功耗模式。
7	A4	BD	USB检测器输出。BD为高电平，表示VBUS处于正常连接状态。
8	B4	OE	输出使能。在USB模式下，OE用于控制USB发送器输出(D+/D-)和接口信号(DAT、SE0)。驱动OE至高电平，将D+/D-设置为输入端，同时将逻辑接口信号设置为输出端。驱动OE至低电平，将D+/D-设置为输出端，并将逻辑接口信号设置为输入端。
9	C4	GND	地。
10	C3	D-	USB差分数据输入/输出负端。D-直接连接(MAX13345E)或通过串联电阻(MAX13342E)连接到USB连接器。当OE为高电平时，D-用作输入端，当OE为低电平时，D-用作输出端。
11	C2	D+	USB差分数据输入/输出正端。D+直接连接(MAX13345E)或通过串联电阻(MAX13342E)连接到USB连接器。当OE为高电平时，D+用作输入端，当OE为低电平时，D+用作输出。
13	B2	ENUM	枚举。驱动ENUM至高电平时，通过1.5kΩ的内部电阻将D+连接到VTRM。驱动ENUM至低电平时，断开1.5kΩ内部电阻。
14	C1	VBUS	USB侧电源输入。连接VBUS到USB输入电源。采用一个1μF陶瓷电容将VBUS旁路至GND。
EP	—	EP	裸焊盘。连接EP至GND。

3线接口、全速USB收发器， 带有/不带内部串联电阻

MAX13342E/MAX13345E

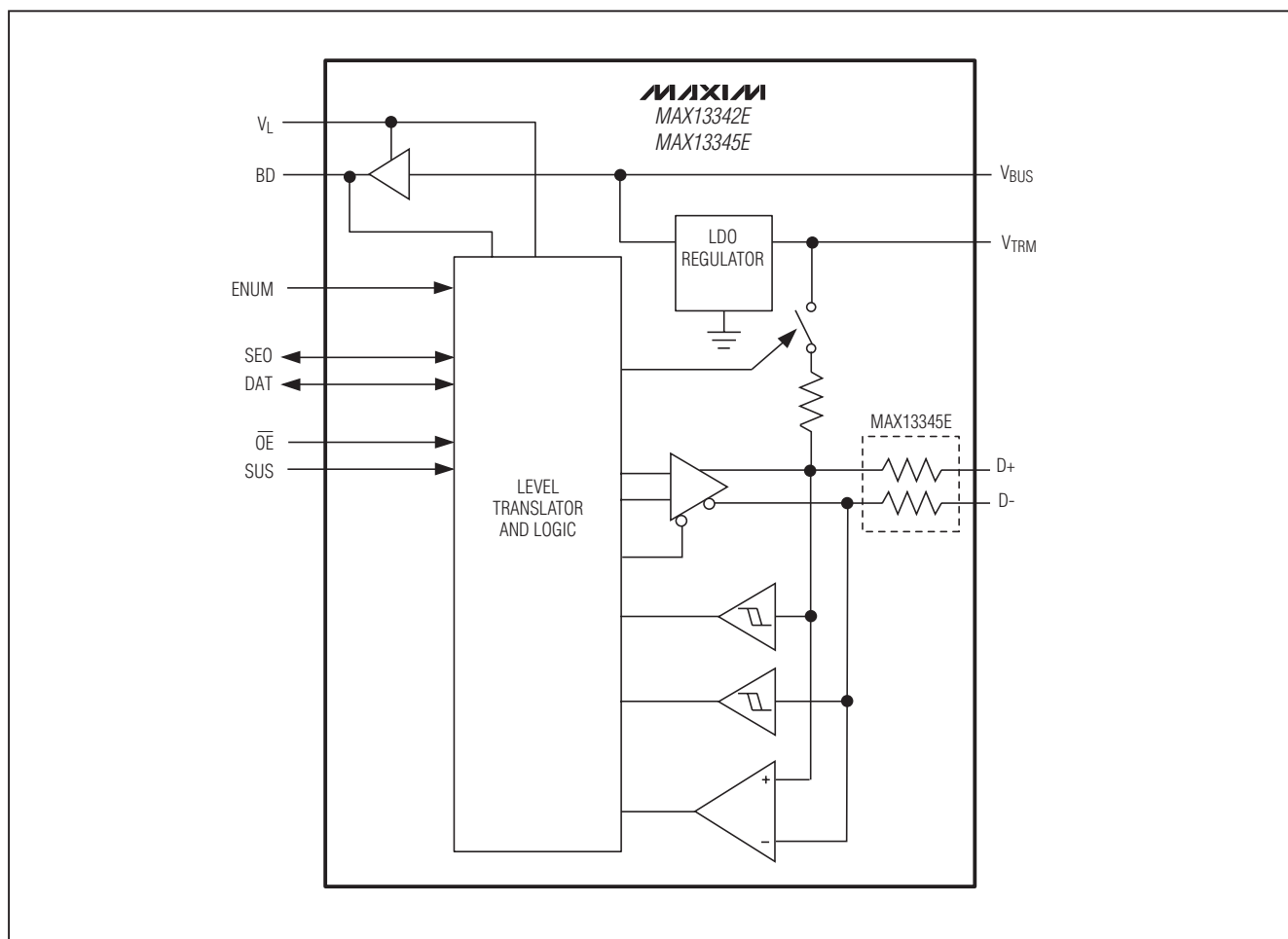


图1. MAX13342E/MAX13345E的功能框图

详细说明

MAX13342E/MAX13345E是USB兼容收发器，可减少低电压ASIC与USB接口时所需的面积和外围元件。该系列器件兼容于USB 2.0规范，工作于全速(12Mbps)模式。收发器内置3.3V稳压器，一个1.5k Ω 的D+内部上拉电阻以及集成的 ± 15 kV (HBM) ESD保护电路，可为D+、D-提供ESD保护。图1是MAX13342E/MAX13345E的功能框图。

MAX13342E具有受控的D+/D-端输出阻抗，允许通过外部开关将两个不同的USB器件连接到同一个USB连接器上。

MAX13345E的D+/D-端带有内部电阻，允许直接与USB连接器连接。低功耗模式使电流损耗降低到45 μ A以下。枚举功能用于控制内部D+上拉电阻的连接状态。

MAX13342E/MAX13345E具有DAT和SEO接口信号，支持3线USB收发器接口。尽管3线接口通常用于USB On-the-Go收发器，但MAX13342E/MAX13345E仅支持USB外设。该系列收发器具有USB V_{BUS} 检测功能，用于监视USB V_{BUS} 是否连接并指示其状态。

3线接口、全速USB收发器，
带有/不带内部串联电阻

MAX13342E/MAX13345E

接口

MAX13342E/MAX13345E的控制信号用来控制USB的D+/D-线路。V_L给逻辑侧接口供电，并且设置这些信号的输入和输出门限。MAX13342E和MAX13345E的控制信号是DAT、SE0和OE。

低功耗模式

SUS置高，收发器将进入低功耗模式。在低功耗模式中，USB差分接收器关闭，V_{BUS}仅消耗低于45μA的电源电流。驱动SUS至高电平时，单端D+和D-接收器仍然处于工作状态。

电源配置

正常工作模式

各种电源配置参见表1。

V_{BUS}为USB收发器供电。将V_{BUS}与+4V至+5.5V的电源连接。将V_L与+2.3V至+3.6V的电源连接。V_{BUS}通常直接连接到USB连接器。内部稳压器为内部电路提供3.3V电源，并且在V_{TRM}提供3.3V稳压输出，同时也为内部D+上拉电阻供电。也可以将3.3V外部稳压器连接到V_{BUS}和V_{TRM}，为MAX13342E和MAX13345E供电。

共享模式

V_L连接至系统电源，V_{BUS} (或V_{BUS}和V_{TRM})悬空或将其连接至GND。D+和D-为三态端口，使其它电路能共用USB的D+和D-总线。V_L电源电流损耗小于5μA。当收发器工作在共享模式时，SUS的输入无效，接口信号(SE0、DAT)处于高阻态。

禁止模式

V_{BUS}连接至系统电源，V_L悬空或将其连接至GND。在禁止模式下，D+和D-进入三态，V_{BUS}或V_{TRM} (或V_{BUS}和V_{TRM})电流损耗将小于25μA。当收发器工作在禁止模式时，OE、SUS和接口控制信号的输入均无效(参见表2)。

表1. 电源配置

V _{BUS} (V)	V _{TRM} (V)	V _L (V)	CONFIGURATION	NOTES
+4.0 to +5.5	+3.0 to +3.6 output	+2.3 to +3.6	Normal mode	—
+4.0 to +5.5	+3.0 to +3.6 output	GND or floating	Disable mode	Table 2
GND or Floating	High Z	+2.3 to +3.6	Sharing mode	Table 2

表2. 禁止模式和共享模式的连接

INPUTS/OUTPUTS	DISABLE MODE	SHARING MODE
V _{BUS} / V _{TRM}	4V to 5.5V	Floating or connected to GND
V _L	Floating or connected to GND	2.3V to 3.6V input
D+ and D-	High impedance	High impedance
DAT, SE0	High impedance	High impedance
SUS	High impedance	High impedance
BD	Low	Low

3线接口、全速USB收发器， 带有/不带内部串联电阻

3线DAT/SE0接口

MAX13342E/MAX13345E通过DAT和SE0将数据或单端零信号输出到D+/D-线上。当 $\overline{OE}$ 为低电平时，SE0是输入端，作为单端零信号驱动。当SE0为高电平时，D+和D-均变为低电平。当SE0驱动至低电平时，D+/D-输出由DAT控制。

当 $\overline{OE}$ 和SE0同时为低电平时，DAT将数据发送到D+/D-。当DAT为高电平时，D+为高电平，D-为低电平。当DAT为低电平时，D+输出低电平，D-输出高电平。

在接收模式中($\overline{OE}$ = 高电平)，DAT是连接到D+和D-的差分接收器的输出。当D+和D-同时为低电平时，SE0才变为高电平有效状态。

控制信号

USB检测

MAX13342E/MAX13345E的USB检测功能用来指示 V_{BUS} 是否连接。MAX13342E/MAX13345E推挽式总线检测输出(BD)监测 V_{BUS} 的连接状态，当 V_{BUS} 和 V_L 正常连接时，BD将输出高电平。如果 V_{BUS} 小于+3.6V同时器件进入共享模式，则BD输出低电平。

$\overline{OE}$

当 V_L 和 V_{BUS} 都处于正常连接状态， $\overline{OE}$ 将控制通信的方向。 $\overline{OE}$ 为低电平时，DAT和SE0用作逻辑输入端，D+/D-作为输出端。 $\overline{OE}$ 为高电平时，DAT和SE0用作逻辑输出端，D+/D-作为输入端。

SUS

SUS可以将MAX13342E/MAX13345E设定为标准模式或挂起模式。驱动SUS至低电平，将器件设置为标准模式。驱动SUS至高电平，则将器件设置为挂起模式。在挂起模式下，单端接收器(D+/D-)随时检测唤醒事件。挂起模式下电源电流下降到45 μ A以下。

挂起模式下，MAX13342E/MAX13345E通过D+和D-传送数据。这个功能可用于发送远程唤醒信号。

ENUM

D+端的1.5k Ω 上拉电阻用于指示全速(12Mbps)工作模式。驱动ENUM至高电平时，通过内部上拉电阻将D+连接到 V_{TRM} 上。驱动ENUM至低电平时，通过内部上拉电阻断开D+与 V_{TRM} 的连接。

D+和D-

D+和D-是双向信号，具有 ± 15 kV (HBM)的ESD保护能力。标准USB模式下， $\overline{OE}$ 控制D+和D-的方向(表3和4)。

V_{TRM}

内部线性稳压器产生 V_{TRM} 电压(典型值+3.3V)。 V_{TRM} 由 V_{BUS} 供电(参见电源配置一节)。 V_{TRM} 为内部USB电路供电，并为内部1.5k Ω 电阻提供上拉电压。采用一个1 μ F的陶瓷电容将 V_{TRM} 旁路至GND，该电容应尽可能靠近器件放置。不要使用 V_{TRM} 为外部电路供电。

3线接口、全速USB收发器，
带有/不带内部串联电阻

MAX13342E/MAX13345E

表3. 发送真值表

(OE = 0, SUS = 0)			
INPUTS		OUTPUTS	
DAT	SE0	D+	D-
0	0	0	1
0	1	0	0
1	0	1	0
1	1	0	0

应用信息

USB数据传输

发送数据

当OE为低电平时，MAX13342E/MAX13345E通过D+和D-以差分形式向USB发送数据。D+和D-的输出由SE0和DAT决定(参见表3)。

接收数据

驱动OE至高电平并将SUS置为低电平，器件将通过D+/D-接收数据。D+和D-接收到的差分数据通过DAT端输出。只有D+和D-同时为低电平时，SE0才变为高电平(表4)。

外部电阻
(MAX13342E)

MAX13342E的D+/D-端具有较低的内部阻抗。USB规范要求连接两个外部串联电阻，以实现阻抗匹配。将电阻连接在MAX13342E和USB连接器之间(参见图2)。

表4. 接收真值表

(OE = 1, SUS = 0)			
INPUTS		OUTPUTS	
D+	D-	DAT	SE0
0	0	*DAT	1
0	1	**0	0
1	0	**1	0
1	1	X	0

*初态。
**D+/D-差分接收输出。
X = 未定义。

外部电容

正常工作时，需要连接三个外部电容。用一个0.1μF的陶瓷电容将VL旁路至GND。用一个1μF的陶瓷电容将VBUS旁路至GND。用一个1μF (最小)的陶瓷电容或塑料薄膜电容将VTRM旁路至GND。所有电容应尽可能靠近器件放置。

UCSP应用信息

关于UCSP结构、尺寸、载带信息、印刷电路板(PCB)技术、焊盘布局、推荐的回流焊温度曲线，以及可靠性测试结果的最新应用数据，可从Maxim网站www.maxim-ic.com.cn/ucsp下载应用笔记1891：UCSP—晶片级封装。

3线接口、全速USB收发器， 带有/不带内部串联电阻

ESD 保护

IEC 61000-4-2

MAX13342E/MAX13345E的D+和D-端具有 $\pm 15\text{kV}$ (HBM)的ESD保护能力。ESD保护电路可在所有工作模式下承受较高的ESD冲击：正常工作模式、挂起模式和断电模式。为了保证 $\pm 15\text{kV}$ ESD保护电路正常工作，应在 V_{TRM} 和GND之间连接一个 $1\mu\text{F}$ 或者更大的电容。 V_{BUS} 和D+/D-具有以下保护：

- $\pm 15\text{kV}$ 人体模式
- $\pm 8\text{kV}$ IEC 61000-4-2接触放电模式
- $\pm 8\text{kV}$ IEC 61000-4-2气隙放电模式

ESD测试条件

ESD性能取决于多种因素。有关测试条件、测试方法和测试结果的可信性报告，请与Maxim联系。

人体模式

图11所示为人体模式，图12所示为向低阻放电时产生的电流波形。该模型由 100pF 电容组成，该电容充电到所要求的ESD电压，然后通过 $1.5\text{k}\Omega$ 电阻向测试器件放电。

IEC 61000-4-2标准涵盖了最终设备的ESD测试和性能；该标准不是专门针对集成电路的。MAX13342E/MAX13345E有助于用户设计符合IEC 61000-4-2第4级要求的设备，而无需额外的ESD保护元件。人体模式和IEC 61000-4-2测试的主要差别在于IEC 61000-4-2具有更高的峰值电流，因为IEC 61000-4-2使用的串联电阻阻值更低。因此，根据IEC 61000-4-2标准所测量的ESD耐受电压通常比人体模式测得的结果低。图13所示为IEC 61000-4-2模型。气隙放电测试使用充电的探针靠近器件。而接触放电方式是在探针充电之前先将探针连接到器件。

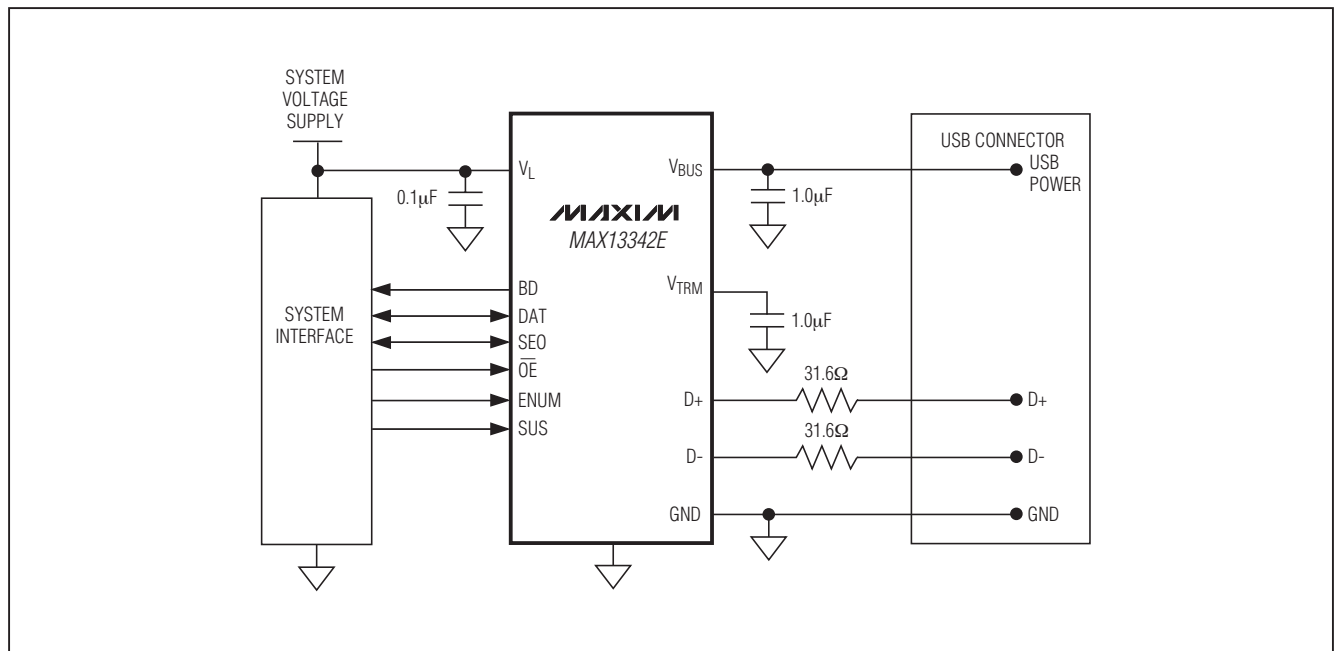


图2. MAX13342E通过外部电阻连接到USB连接器

3线接口、全速USB收发器， 带有/不带内部串联电阻

时序图/测试电路

MAX13342E/MAX13345E

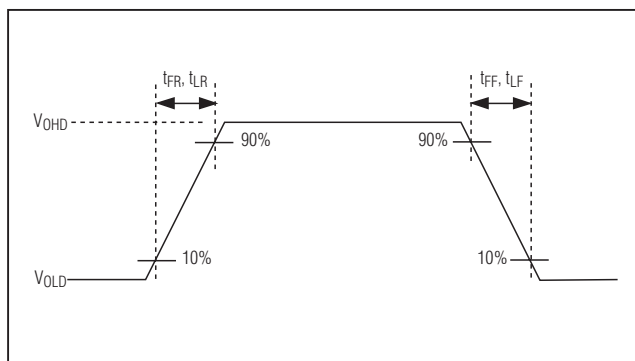


图3. 上升和下降时间

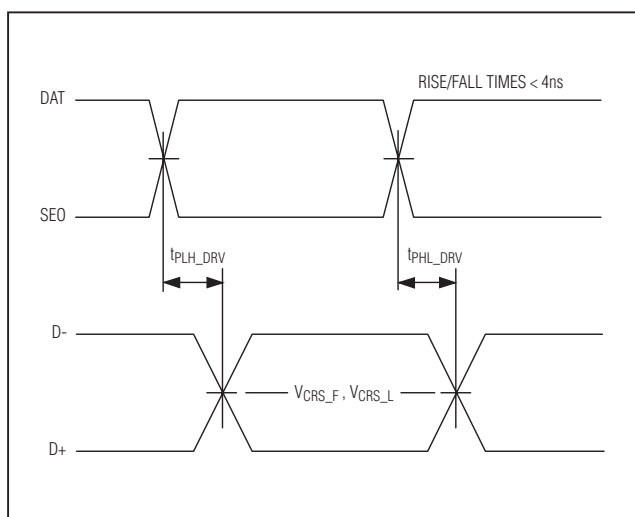


图4. DAT、SE0时序和D+与D-的对应关系

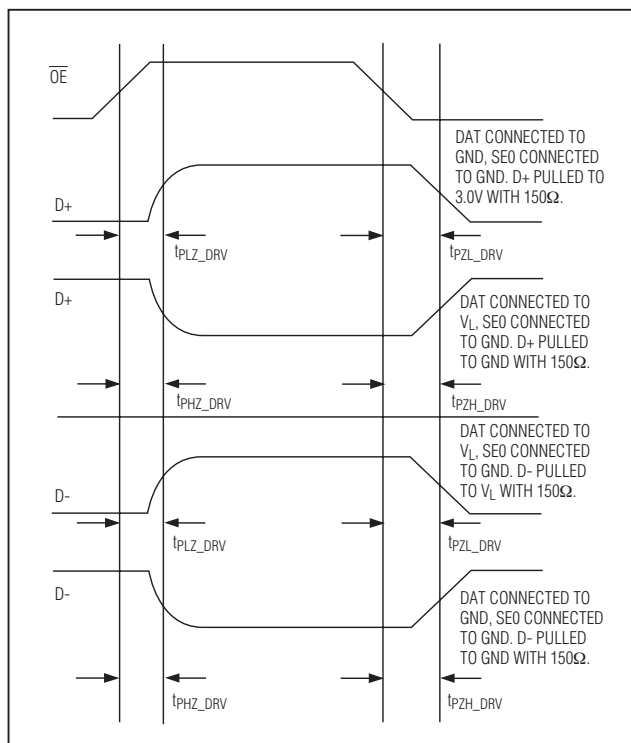


图5. 发送器使能和禁止时序

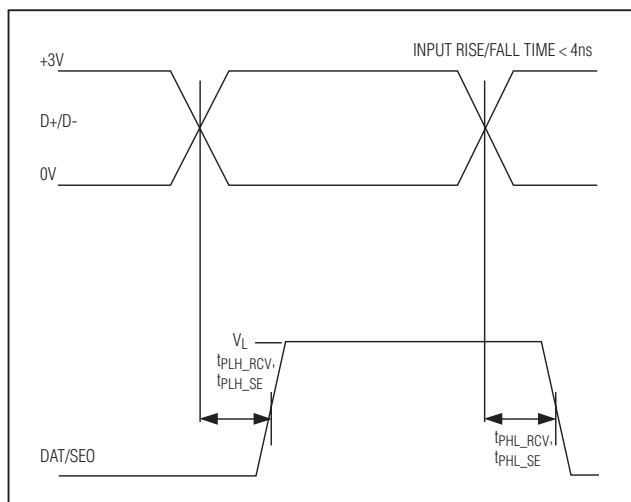


图6. D+/D-相对DAT、SE0的传输延时

3线接口、全速USB收发器， 带有/不带内部串联电阻

MAX13342E/MAX13345E

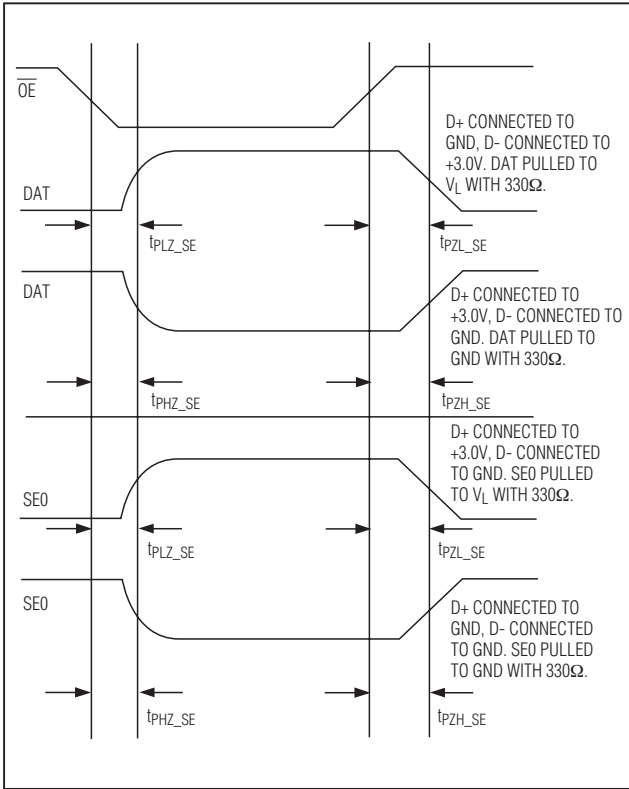


图7. 接收器使能和禁止时序

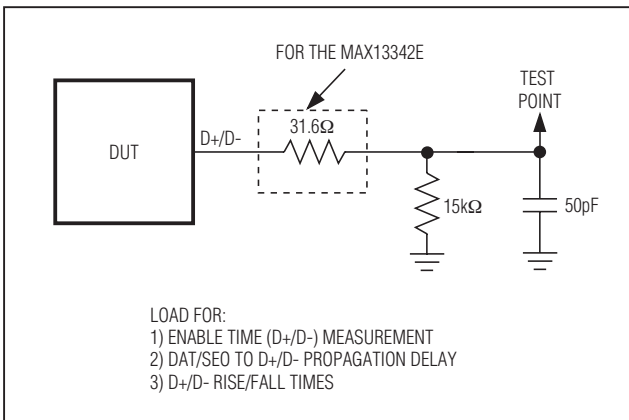


图8. 测量发送器传输延时、使能时序、发送器上升/下降时序的负载

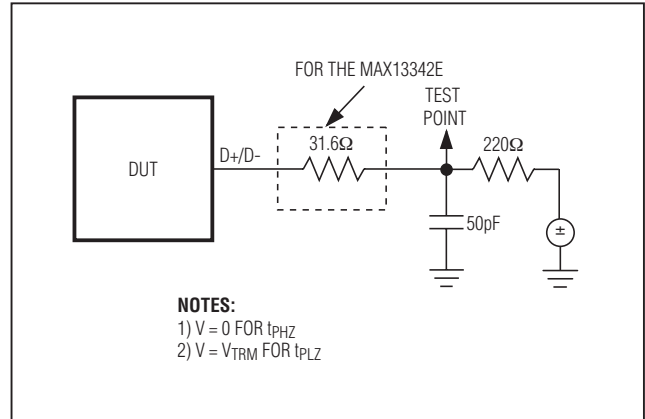


图9. 测量禁止时间的负载

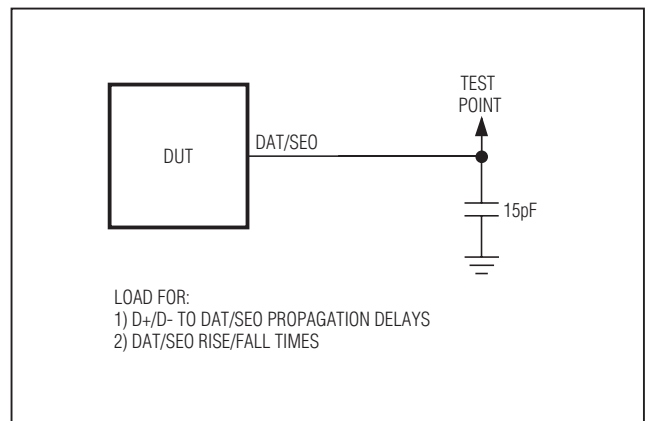


图10. 测量接收器传输延时、接收器上升/下降时序的负载

3线接口、全速USB收发器， 带有/不带内部串联电阻

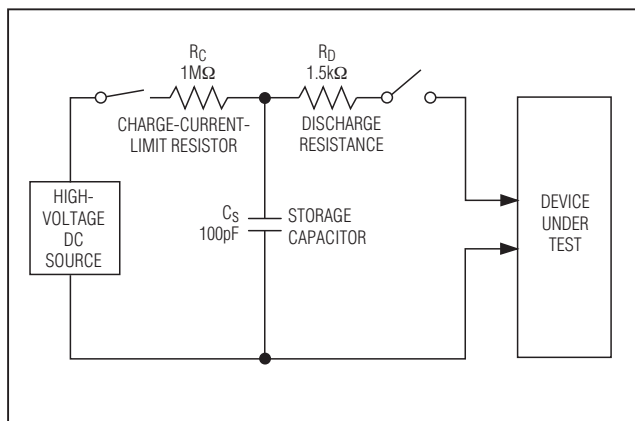


图11. 人体ESD测试模型

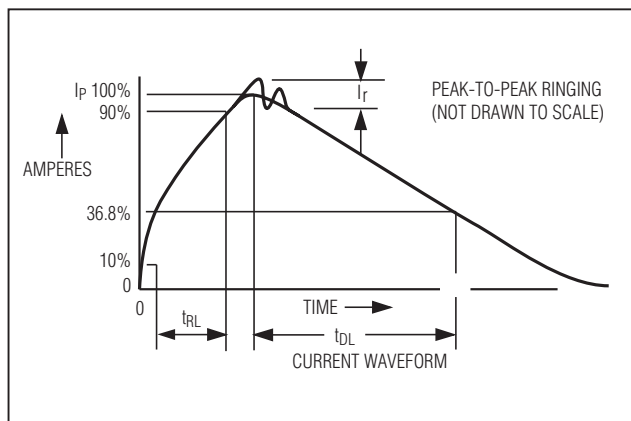


图12. 人体ESD测试模型电流波形

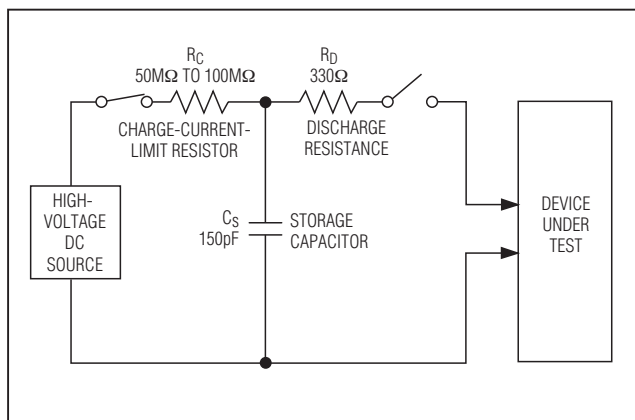


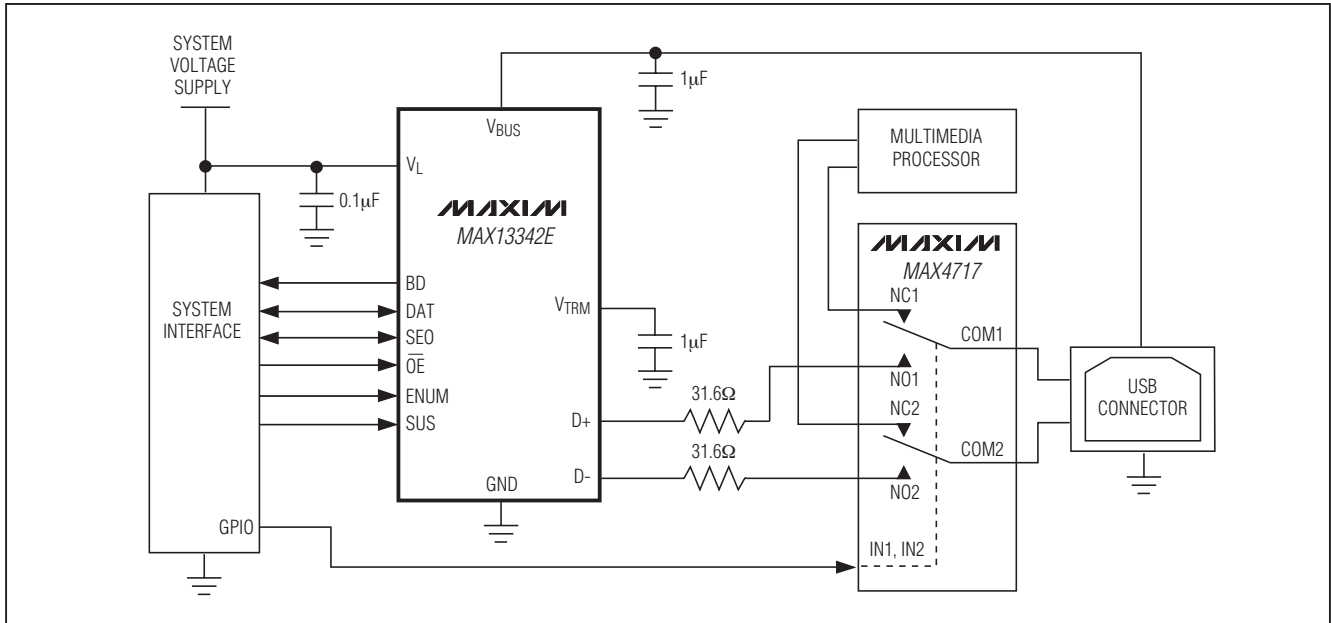
图13. IEC 61000-4-2 ESD测试模型

MAX13342E/MAX13345E

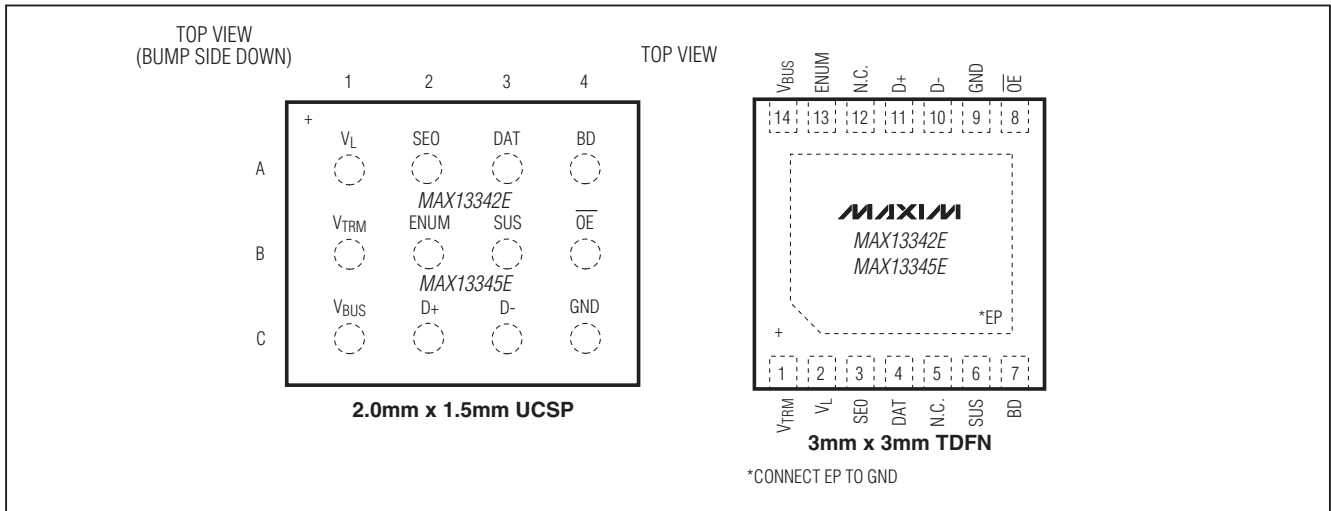
3线接口、全速USB收发器， 带有/不带内部串联电阻

MAX13342E/MAX13345E

典型应用电路



引脚配置



芯片信息

PROCESS: BiCMOS

封装信息

[illegible]

COMMON DIMENSIONS		
SYMBOL	MIN.	MAX.
A	0.70	0.80
D	2.90	3.10
E	2.90	3.10
A1	0.00	0.05
L	0.20	0.40
k	0.25 MIN.	
A2	0.20 REF.	

PACKAGE VARIATIONS							
PKG. CODE	N	D2	E2	e	JEDEC SPEC	b	[(N/2)-1] x e
T633-1	6	1.50±0.10	2.30±0.10	0.95 BSC	MO229 / WEEA	0.40±0.05	1.90 REF
T633-2	6	1.50±0.10	2.30±0.10	0.95 BSC	MO229 / WEEA	0.40±0.05	1.90 REF
T833-1	8	1.50±0.10	2.30±0.10	0.65 BSC	MO229 / WEEC	0.30±0.05	1.95 REF
T833-2	8	1.50±0.10	2.30±0.10	0.65 BSC	MO229 / WEEC	0.30±0.05	1.95 REF
T833-3	8	1.50±0.10	2.30±0.10	0.65 BSC	MO229 / WEEC	0.30±0.05	1.95 REF
T1033-1	10	1.50±0.10	2.30±0.10	0.50 BSC	MO229 / WEED-3	0.25±0.05	2.00 REF
T1033-2	10	1.50±0.10	2.30±0.10	0.50 BSC	MO229 / WEED-3	0.25±0.05	2.00 REF
T1433-1	14	1.70±0.10	2.30±0.10	0.40 BSC	----	0.20±0.05	2.40 REF
T1433-2	14	1.70±0.10	2.30±0.10	0.40 BSC	----	0.20±0.05	2.40 REF

NOTES:

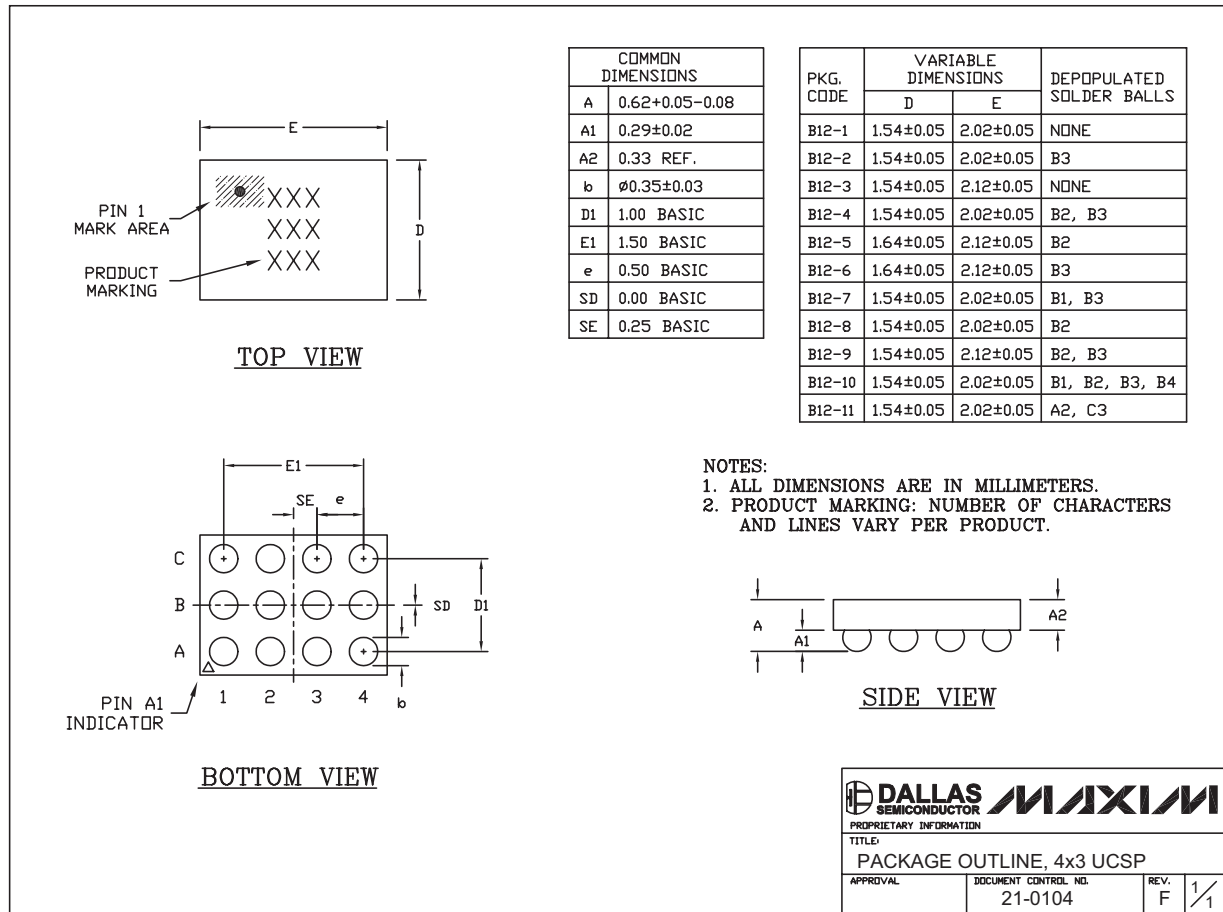
- NOTES:
1. ALL DIMENSIONS ARE IN mm. ANGLES IN DEGREES.
 2. COPLANARITY SHALL NOT EXCEED 0.08 mm.
 3. WARPAGE SHALL NOT EXCEED 0.10 mm.
 4. PACKAGE LENGTH/PACKAGE WIDTH ARE CONSIDERED AS SPECIAL CHARACTERISTIC(S).
 5. DRAWING CONFORMS TO JEDEC MO229, EXCEPT DIMENSIONS "D2" AND "E2", AND T1433-1 & T1433-2.
 6. THIS IS THE TOTAL NUMBER OF LEADS.
 7. THE NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
 8. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.

 DALLAS SEMICONDUCTOR			
TITLE: PACKAGE OUTLINE. 6.8, 10 & 14L, TDFN, EXPOSED PAD, 3x3x0.80 mm			
APPROVAL	DOCUMENT CONTROL NO. 21-0137	REV. H	2/

3线接口、全速USB收发器， 带有/不带内部串联电阻

封装信息(续)

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外形信息，请查询 www.maxim-ic.com.cn/packages.)



Maxim北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

18 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2006 Maxim Integrated Products

MAXIM 是 Maxim Integrated Products, Inc. 的注册商标。

项目开发 芯片解密 零件配单 TEL:15013652265 QQ:38537442