

可提供评估板



21位解串器，提供可编程 频谱扩展和直流平衡

MAX9242/MAX9244/MAX9246/MAX9254

概述

MAX9242/MAX9244/MAX9246/MAX9254能够对三路LVDS串行数据进行解串，转换成21位单端LVC MOS/LVTTL输出。独立的并行LVDS时钟提供解串定时。MAX9242/MAX9244/MAX9246/MAX9254具有扩频功能，允许在一定范围内扩展输出数据和时钟频率，以降低EMI。单端数据和时钟输出可编程设置为±2%、±4%扩频或不扩频。当MAX9242/MAX9244/MAX9246/MAX9254工作在非直流平衡模式时，也可使用扩频功能。LVDS时钟输入为33MHz时，扩频调制率为32kHz，与频率成线性关系。单端输出具有独立的供电电源，可提供+1.8V至+5V输出逻辑电平。

MAX9254具有高输出驱动电流，在负载电容较大的应用中可驱动数据和时钟输出，提供较快的瞬态时间。

MAX9242/MAX9244/MAX9246/MAX9254还具有可编程直流平衡功能，允许采用交流耦合，以实现串行器和解串器之间的隔离。MAX9242/MAX9244/MAX9246/MAX9254与MAX9209/MAX9213串行器配合使用，提供上升沿输出选通(MAX9242)或下降沿输出选通(MAX9244/MAX9246/MAX9254)。LVDS输入符合ISO 10605 ESD规范，具有±30kV气隙放电和±6kV接触放电保护。

应用

汽车导航系统
汽车DVD播放系统
数字复印机
激光打印机

选型指南

PART	STROBE EDGE	OVER- SAMPLING	FREQUENCY RANGE	
			NON-DC BALANCE (MHz)	DC BALANCE (MHz)
MAX9242	Rising	Yes	20 to 40	16 to 34
MAX9244	Falling	Yes	20 to 40	16 to 34
MAX9246	Falling	No	8 to 20	6 to 18
MAX9254	Falling	Yes	20 to 40	16 to 34

特性

- ◆ 可编程±4%、±2%或关闭扩频输出，有助于降低EMI
- ◆ 可编程直流平衡或非直流平衡模式
- ◆ 直流平衡可以采用交流耦合，允许更宽的输入共模电压范围
- ◆ 扩频功能能够工作在直流平衡或非直流平衡模式
- ◆ 高输出驱动能力(MAX9254)
- ◆ 过采样消除 $\pi/4$ 偏差(MAX9242/MAX9244/MAX9254)
- ◆ 工作在16MHz至34MHz (直流平衡)和20MHz至40MHz (非直流平衡) (MAX9242/MAX9244/MAX9254)
- ◆ 工作在6MHz至18MHz (直流平衡)和8MHz至20MHz (非直流平衡) (MAX9246)
- ◆ 上升沿(MAX9242)或下降沿(MAX9244/MAX9246/MAX9254)输出选通
- ◆ PWRDWN为低电平时输出置为高阻，允许共用总线
- ◆ 独立的输出级供电电源方便了与+1.8V、+2.5V、+3.3V和+5V逻辑的接口
- ◆ LVDS输入符合ISO 10605 ESD保护规范，可承受±30kV气隙放电和±6kV接触放电的冲击
- ◆ LVDS输入符合IEC 61000-4-2 4级ESD保护规范，可承受±15kV气隙放电和±8kV接触放电的冲击
- ◆ LVDS输入符合ANSI TIA/EIA-644标准
- ◆ +3.3V主电源供电

订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX9242EUM	-40°C to +85°C	48 TSSOP
MAX9242GUM	-40°C to +105°C	48 TSSOP
MAX9244EUM	-40°C to +85°C	48 TSSOP
MAX9244GUM	-40°C to +105°C	48 TSSOP
MAX9246EUM	-40°C to +85°C	48 TSSOP
MAX9246GUM	-40°C to +105°C	48 TSSOP
MAX9254EUM	-40°C to +85°C	48 TSSOP

该器件提供无铅封装。订购时请在产品型号后标上“+”号，表明您需要的是无铅封装器件。

引脚配置在数据资料的最后给出。



21位解串器，提供可编程
频谱扩展和直流平衡

ABSOLUTE MAXIMUM RATINGS

(All voltages referenced to GND.)		IEC 61000-4-2 (R _D = 330Ω, C _S = 150pF)
V _{CC} , LVDSV _{CC} , PLLV _{CC}	-0.5V to +4.0V	LVDS Inputs to GND (Air-Gap Discharge).....±15kV
V _{CCO}	-0.5V to +6.0V	LVDS Inputs to GND (Contact Discharge).....±8kV
RxIN ₋ , RxCLKIN ₋	-0.5V to +4.0V	ISO 10605 (R _D = 2.0kΩ, C _S = 330pF)
PWRDWN	-0.5V to +6.0V	LVDS Inputs to GND (Air-Gap Discharge).....±30kV
SSG, DCB.....	-0.5V to (V _{CC} + 0.5V)	LVDS Inputs to GND (Contact Discharge).....±6kV
RxOUT ₋ , RxCLKOUT	-0.5V to (V _{CCO} + 0.5V)	Operating Temperature Range
Continuous Power Dissipation (T _A = +70°C)	1282mW	Storage Temperature Range
48-Pin TSSOP (derate 16mW/°C above +70°C)	1282mW	Junction Temperature
ESD Protection		Lead Temperature (soldering, 10s).....+300°C
Human Body Model (R _D = 1.5kΩ, C _S = 100pF)		
All Pins to GND	±2.5kV	

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = LVDSV_{CC} = PLLV_{CC} = +3.0V to +3.6V, V_{CCO} = +3.0V to +5.5V, PWRDWN = high; SSG = high, open, or low; DCB = high or low, differential input voltage |V_{ID}| = 0.05V to 1.2V, input common-mode voltage V_{CM} = |V_{ID}| / 2l to 2.4V - |V_{ID}| / 2l, unless otherwise noted. Typical values are at V_{CC} = V_{CCO} = LVDSV_{CC} = PLLV_{CC} = +3.3V, |V_{ID}| = 0.2V, V_{CM} = +1.25V, T_A = +25°C.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS			MIN	TYP	MAX	UNITS
POWER SUPPLY								
Power-Supply Range	V _{CC} , LVDSV _{CC} , PLLV _{CC}				3.0		3.6	V
Output-Supply Range	V _{CCO}				1.8		5.5	V
Worst-Case Supply Current	I _{CCW}	C _L = 8pF, worst-case pattern, V _{CC} = V _{CCO} = 3.0V to 3.6V, Figure 2 (MAX9242, MAX9244, MAX9254)	DC-balanced mode (SSG = low)	16MHz	50	68	mA	
				34MHz	81	108		
			Non-DC-balanced mode (SSG = low)	20MHz	55	73		
				33MHz	75	97		
				40MHz	83	110		
			DC-balanced mode (SSG = high or open)	16MHz	62	85		
				34MHz	101	135		
			Non-DC-balanced mode (SSG = high or open)	20MHz	67	91		
				33MHz	93	123		
				40MHz	107	134		

21位解串器，提供可编程 频谱扩展和直流平衡

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = LVDSV_{CC} = PLLV_{CC} = +3.0V$ to $+3.6V$, $V_{CCO} = +3.0V$ to $+5.5V$, $\overline{PWRDWN} = \text{high}$; SSG = high, open, or low; DCB = high or low, differential input voltage $|V_{ID}| = 0.05V$ to $1.2V$, input common-mode voltage $V_{CM} = |V_{ID}| / 2$ to $2.4V - |V_{ID}| / 2$, unless otherwise noted. Typical values are at $V_{CC} = V_{CCO} = LVDSV_{CC} = PLLV_{CC} = +3.3V$, $|V_{ID}| = 0.2V$, $V_{CM} = +1.25V$, $T_A = +25^\circ C$.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS				MIN	TYP	MAX	UNITS
Worst-Case Supply Current	I _{CCW}	C _L = 8pF, worst-case pattern, V _{CC} = V _{CCO} = 3.0V to 3.6V, Figure 2 (MAX9246)	DC-balanced mode (SSG = low)		6MHz		29	45	mA
					8MHz		33	49	
					18MHz		48	69	
			Non-DC-balanced mode (SSG = low)		8MHz		33	47	
					10MHz		37	52	
					20MHz		52	73	
			DC-balanced mode (SSG = high or open)		6MHz		37	54	
					8MHz		41	62	
					18MHz		65	91	
			Non-DC-balanced mode (SSG = high or open)		8MHz		41	58	
					10MHz		46	65	
					20MHz		66	92	
Power-Down Supply Current	I _{CCZ}	PWRDWN = low						50	μA
5V-TOLERANT LOGIC INPUT (PWRDWN)									
High-Level Input Voltage	V _{IH}					2.0		5.5	V
Low-Level Input Voltage	V _{IL}					-0.3		+0.8	V
Input Current	I _{IN}	PWRDWN = high or low level				-20		+20	μA
Input Clamp Voltage	V _{CL}	I _{CL} = -18mA				-1.5			V
THREE-LEVEL LOGIC INPUTS (DCB, SSG)									
High-Level Input Voltage	V _{IH}					2.5		V _{CC} + 0.3	V
Mid-Level Input Current	I _{IM}	DCB, SSG open or connected to a driver with output in high-impedance state (Note 3)				-10		+10	μA
Low-Level Input Voltage	V _{IL}					-0.3		+0.8	V
Input Current	I _{IN}	DCB, SSG = high or low level, PWRDWN = high or low				-20		+20	μA
Input Clamp Voltage	V _{CL}	I _{CL} = -18mA				-1.5			V
SINGLE-ENDED OUTPUTS (RxOUT_, RxCLKOUT)									
High-Level Output Voltage	V _{OH}	I _{OH} = -100μA				V _{CCO} - 0.1		V	
		I _{OH} = -2mA	RxCLKOUT (Note 4)		V _{CCO} - 0.25				
			RxOUT_		V _{CCO} - 0.43				
				MAX9254		V _{CCO} - 0.25			
Low-Level Output Voltage	V _{OL}	I _{OL} = 100μA				0.1		V	
		I _{OL} = 2mA	RxCLKOUT (Note 4)		0.2				
			RxOUT_		0.26				
				MAX9254		0.2			

21位解串器，提供可编程 频谱扩展和直流平衡

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = LVDSV_{CC} = PLLV_{CC} = +3.0V$ to $+3.6V$, $V_{CCO} = +3.0V$ to $+5.5V$, $\overline{PWRDWN}$ = high; SSG = high, open, or low; DCB = high or low, differential input voltage $|V_{ID}| = 0.05V$ to $1.2V$, input common-mode voltage $V_{CM} = |V_{ID}| / 2$ to $2.4V - |V_{ID}| / 2$, unless otherwise noted. Typical values are at $V_{CC} = V_{CCO} = LVDSV_{CC} = PLLV_{CC} = +3.3V$, $|V_{ID}| = 0.2V$, $V_{CM} = +1.25V$, $T_A = +25^{\circ}C$.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
High-Impedance Output Current	IOZ	PWRDWN = low, VOUT = -0.3V to (VCCO + 0.3V)		-30		+30	μA
Output Short-Circuit Current (Note 5)	IOS	VCCO = 3.0V to 3.6V, VOUT = 0V	RxCLKOUT (Note 4)	-10		-40	mA
			RxOUT_	-5		-20	
		VCCO = 4.5V to 5.5V, VOUT = 0V	RxCLKOUT (Note 4)	-28		-75	
			RxOUT_	-13		-37	
Output Short-Circuit Current (MAX9254) (Note 5)	IOS	VCCO = 3.0V to 3.6V, VOUT = 0V	RxOUT_	-16		-51	mA
			RxCLKOUT (Note 4)				
		VCCO = 4.5V to 5.5V, VOUT = 0V	RxOUT_	-34		-93	
			RxCLKOUT (Note 4)				
LVDS INPUTS (RxIN_, RxCLKIN_)							
Differential Input High Threshold	VTH	(Note 6)				50	mV
Differential Input Low Threshold	VTL	(Note 6)		-50			mV
Input Current	IIN+, IIN-	PWRDWN = high or low		-25		+25	μA
Power-Off Input Current	IINO+, IINO-	VCC = VCCO = 0V or open		-40		+40	μA
Input Resistor 1	RIN1	PWRDWN = high or low, VCC = VCCO = 0V or open, Figure 1	-40°C to +85°C	42		78	kΩ
			-40°C to +105°C	42		85	
Input Resistor 2	RIN2	PWRDWN = high or low, VCC = VCCO = 0V or open, Figure 1	-40°C to +85°C	246		410	kΩ
			-40°C to +105°C	246		440	

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = LVDSV_{CC} = PLLV_{CC} = +3.0V$ to $+3.6V$, $V_{CCO} = +3.0V$ to $+3.6V$, $C_L = 8pF$, $\overline{PWRDWN}$ = high; SSG = high, open, or low; DCB = high or low, differential input voltage $|V_{ID}| = 0.1V$ to $1.2V$, input common-mode voltage $V_{CM} = |V_{ID}| / 2$ to $2.4V - |V_{ID}| / 2$, unless otherwise noted. Typical values are at $V_{CC} = V_{CCO} = LVDSV_{CC} = PLLV_{CC} = +3.3V$, $|V_{ID}| = 0.2V$, $V_{CM} = +1.25V$, $T_A = +25^{\circ}C$.) (Notes 6, 7, 8)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Output Rise Time	CLHT	$0.1 \times V_{CCO}$ to $0.9 \times V_{CCO}$, Figure 3	RxOUT_	2.9	4.7	6.5	ns
			RxCLKOUT	2.0	3.3	4.1	
Output Fall Time	CHLT	$0.9 \times V_{CCO}$ to $0.1 \times V_{CCO}$, Figure 3	RxOUT_	2.1	3.0	4.2	ns
			RxCLKOUT	1.10	1.94	2.70	
Output Rise Time (MAX9254)	CLHT	$0.1 \times V_{CCO}$ to $0.9 \times V_{CCO}$, Figure 3	RxOUT_	1.4	2.2	3.3	ns
Output Fall Time (MAX9254)	CHLT	$0.9 \times V_{CCO}$ to $0.1 \times V_{CCO}$, Figure 3	RxCLKOUT	1.1	1.8	2.8	ns
RxIN_ Skew Margin (Note 9)	RSKM	DC-balanced mode, Figure 4	16MHz	2560	3142		ps
			34MHz	900	1386		
		Non-DC-balanced mode, Figure 4	20MHz	2500	3164		
			40MHz	960	1371		

21位解串器，提供可编程 频谱扩展和直流平衡

AC ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = LVDSV_{CC} = PLLV_{CC} = +3.0V$ to $+3.6V$, $V_{CCO} = +3.0V$ to $+3.6V$, $C_L = 8pF$, $\overline{PWRDWN} = \text{high}$; SSG = high, open, or low; DCB = high or low, differential input voltage $|V_{ID}| = 0.1V$ to $1.2V$, input common-mode voltage $V_{CM} = |V_{ID}| / 2$ to $2.4V - |V_{ID}| / 2$, unless otherwise noted. Typical values are at $V_{CC} = V_{CCO} = LVDSV_{CC} = PLLV_{CC} = +3.3V$, $|V_{ID}| = 0.2V$, $V_{CM} = +1.25V$, $T_A = +25^\circ C$.) (Notes 6, 7, 8)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
RxCLKOUT High Time	RCOH	Figures 5a, 5b		0.35 x RCOP			ns
RxCLKOUT Low Time	RCOL	Figures 5a, 5b		0.35 x RCOP			ns
RxOUT_ Setup to RxCLKOUT	RSRC	Figures 5a, 5b		0.3 x RCOP			ns
RxOUT_ Hold from RxCLKOUT	RHRC	Figures 5a, 5b		0.45 x RCOP			ns
RxCLKIN_ to RxCLKOUT Delay	RCCD	SSG = low, Figures 6a, 6b		4.5 + (RCIP / 2)	6.5 + (RCIP / 2)	8.2 + (RCIP / 2)	ns
Deserializer Phase-Locked-Loop Set	RPLLS	Figure 7				65,600 x RCIP	ns
Deserializer Power-Down Delay	RPDD	Figure 8				100	ns
Deserializer Phase-Locked-Loop Set from SSG Change	RPLLS2	Figure 9				32,800 x RCIP	ns
Spread-Spectrum Output Frequency	$f_{RxCLKOUT}$	SSG = high, Figure 10	Maximum output frequency	$f_{RxCLKIN_} + 3.6\%$	$f_{RxCLKIN_} + 4.0\%$	$f_{RxCLKIN_} + 4.4\%$	MHz
			Minimum output frequency	$f_{RxCLKIN_} - 4.4\%$	$f_{RxCLKIN_} - 4.0\%$	$f_{RxCLKIN_} - 3.6\%$	
		SSG = open, Figure 10	Maximum output frequency	$f_{RxCLKIN_} + 1.8\%$	$f_{RxCLKIN_} + 2.0\%$	$f_{RxCLKIN_} + 2.2\%$	
			Minimum output frequency	$f_{RxCLKIN_} - 2.2\%$	$f_{RxCLKIN_} - 2.0\%$	$f_{RxCLKIN_} - 1.8\%$	
		SSG = low		$f_{RxCLKIN_}$		$f_{RxCLKIN_}$	
Spread-Spectrum Modulation Frequency	f_{SSM}	Figure 10		$f_{RxCLKIN_} / 1016$			Hz

Note 1: Current into a pin is defined as positive. Current out of a pin is defined as negative. All voltages are referenced to ground, except V_{TH} and V_{TL} .

Note 2: Maximum and minimum limits over temperature are guaranteed by design and characterization. Devices are production tested at $T_A = +25^\circ C$.

Note 3: To provide a mid level, leave the input open, or, if driven, put driver in high impedance. High-impedance leakage current must be less than $\pm 10\mu A$.

Note 4: RxCLKOUT limits are scaled based on RxOUT_ measurements, design, and characterization data.

Note 5: One output shorted at a time. Current out of the pin.

Note 6: V_{TH} , V_{TL} , and AC parameters are guaranteed by design and characterization, and are not production tested. Limits are set at ± 6 sigma.

Note 7: C_L includes probe and test jig capacitance.

Note 8: RCIP is the period of RxCLKIN_. RCOP is the period of RxCLKOUT.

Note 9: RSKM is measured with less than 150ps cycle-to-cycle jitter on RxCLKIN_.

MAX9242/MAX9244/MAX9246/MAX9254

21位解串器，提供可编程 频谱扩展和直流平衡

MAX9242/MAX9244/MAX9246/MAX9254

测试电路/时序图

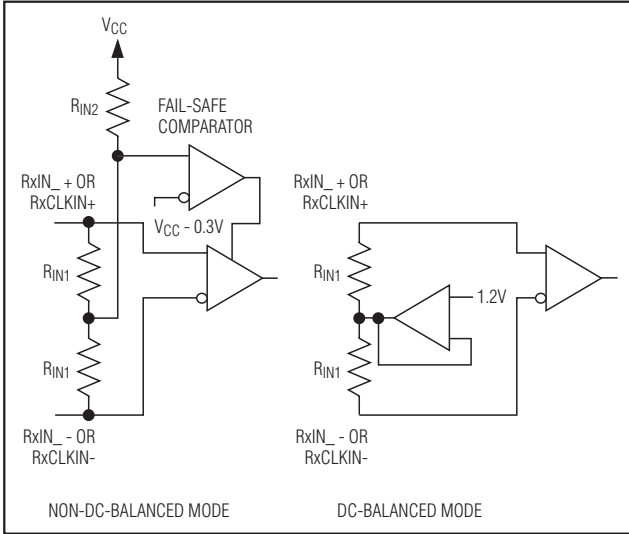


图1. LVDS输入电路

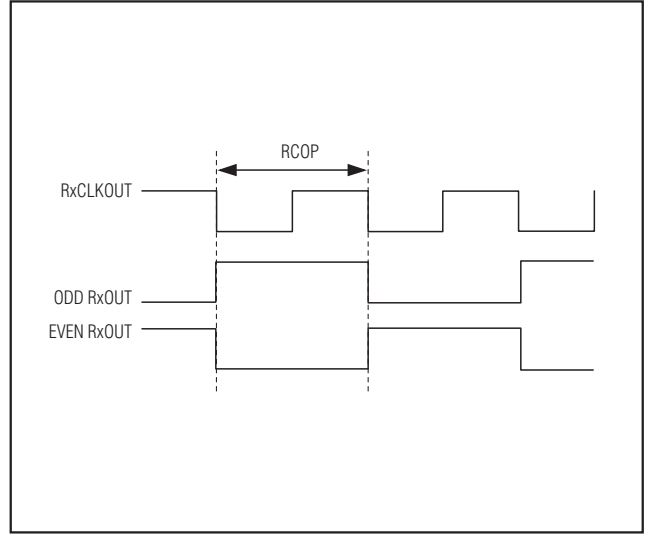


图2. 最差情况下的测试波形

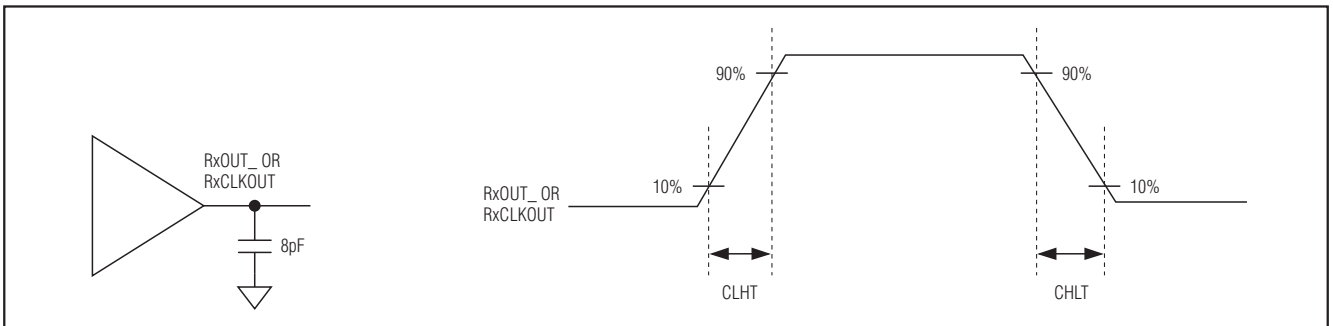


图3. 输出负载和转换时间

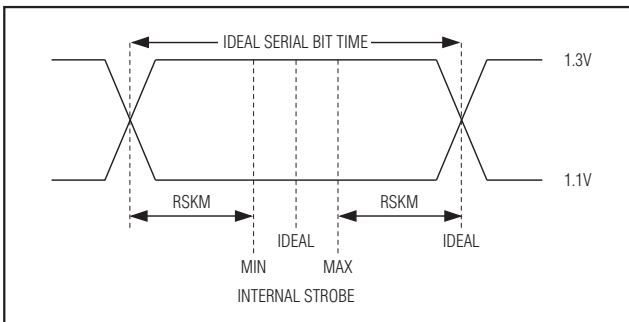


图4. LVDS接收器输入偏差余量

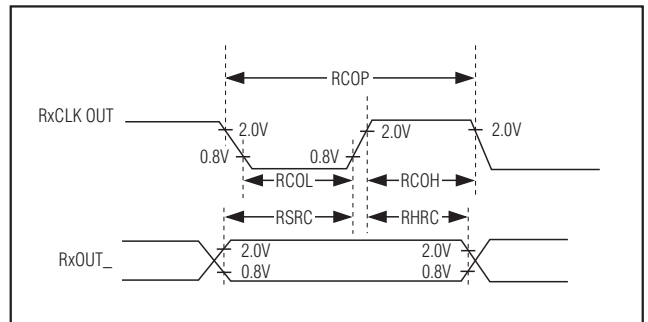


图5a. 上升沿输出建立/保持和高/低电平时序

21位解串器，提供可编程 频谱扩展和直流平衡

测试电路/时序图(续)

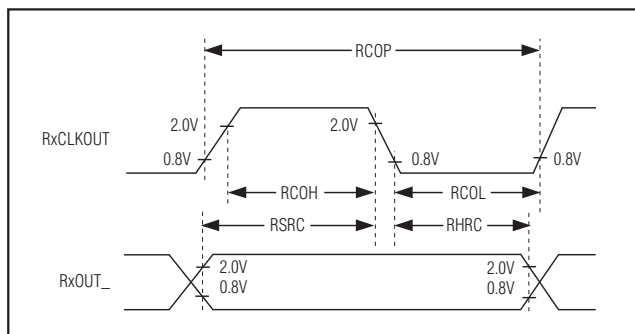


图5b. 下降沿输出建立/保持和高/低电平时序

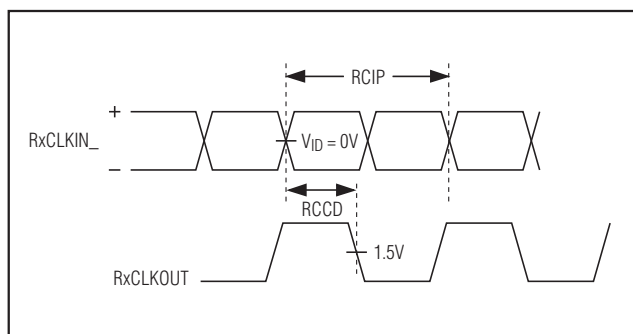


图6a. 时钟输入到时钟输出的延迟(MAX9244/MAX9246/MAX9254)

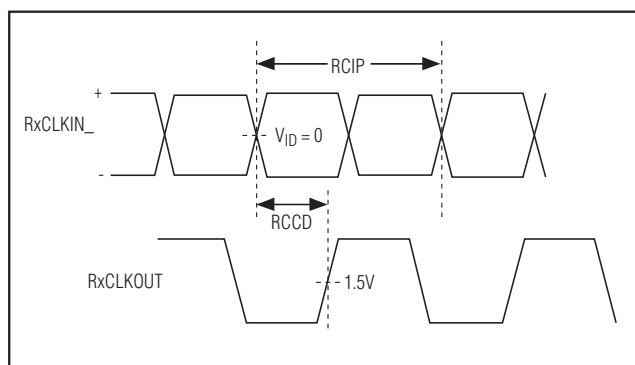


图6b. 时钟输入到时钟输出的延迟(MAX9242)

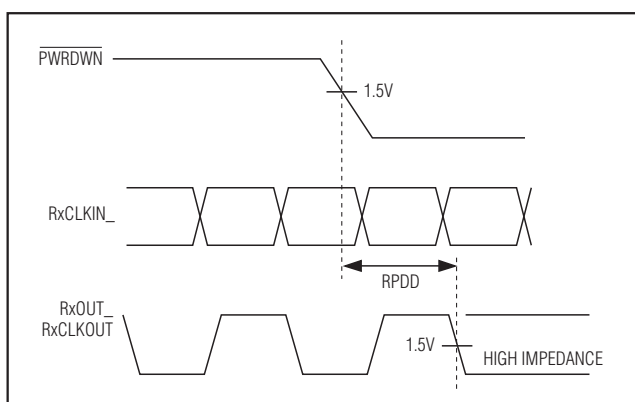


图8. 断电延迟

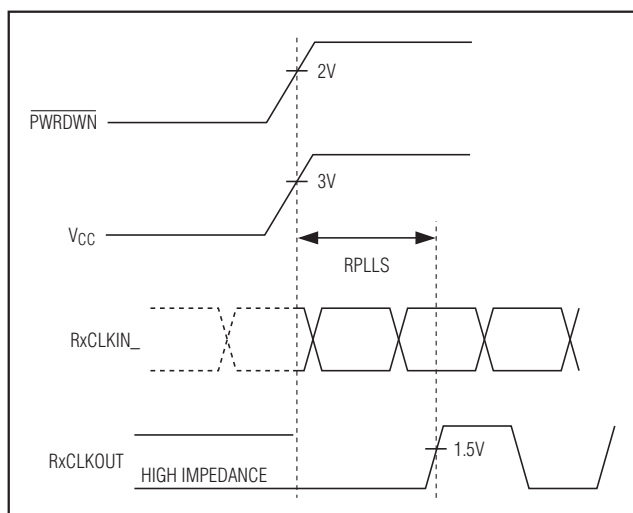


图7. 锁相环建立时序

MAX9242/MAX9244/MAX9246/MAX9254

21位解串器，提供可编程 频谱扩展和直流平衡

测试电路/时序图(续)

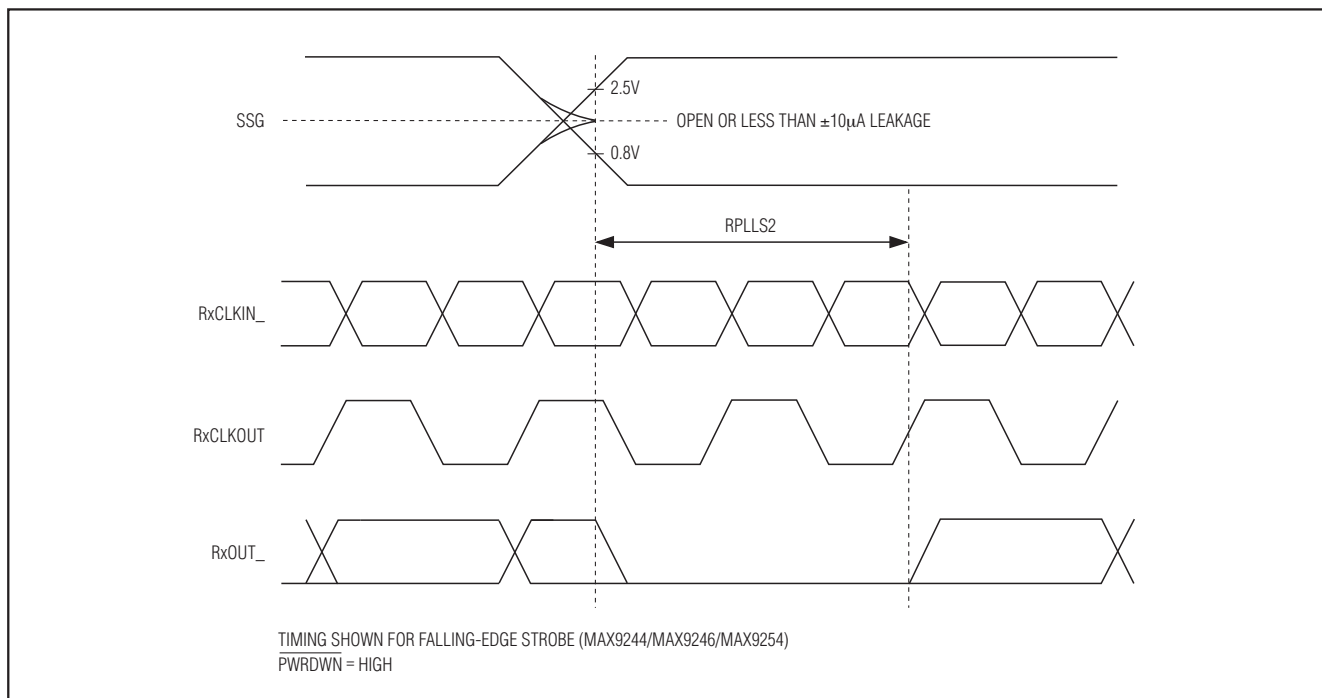


图9. SSG变化后锁相环的建立时间

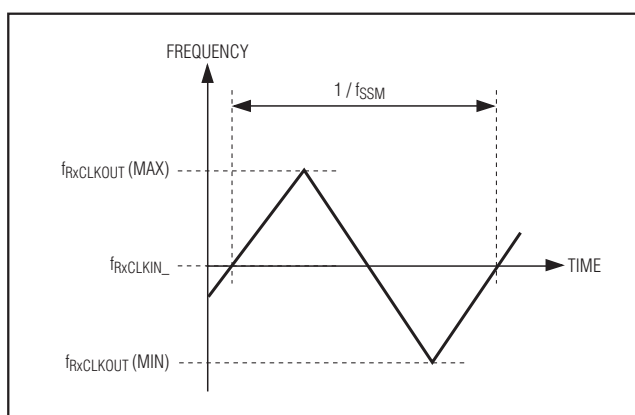


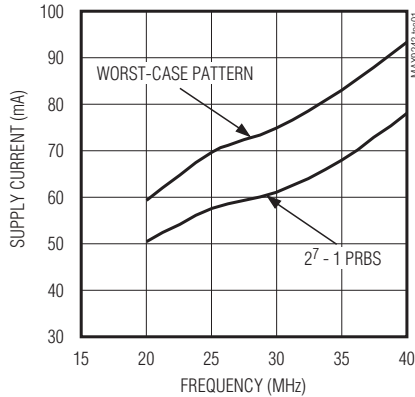
图10. 简化的调制曲线

21位解串器，提供可编程 频谱扩展和直流平衡

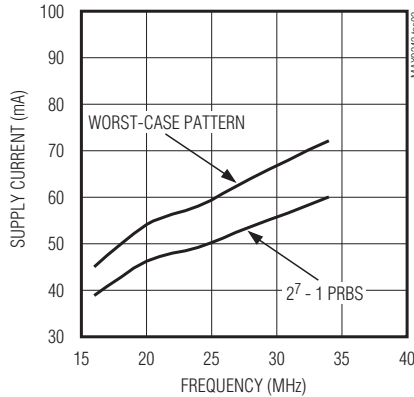
典型工作特性

($V_{CC} = PLLV_{CC} = LVDSV_{CC} = V_{CCO} = +3.3V$, $C_L = 8pF$, $PWRDWN = high$, differential input voltage $|V_{ID}| = 0.2V$, input common-mode voltage $V_{CM} = 1.2V$, $T_A = +25^\circ C$, MAX9244/MAX9254, unless otherwise noted.)

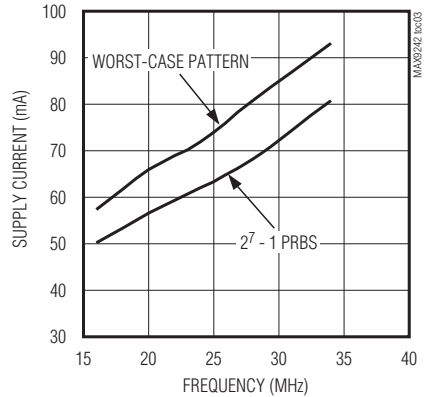
**WORST-CASE AND PRBS SUPPLY CURRENT vs. FREQUENCY
(NON-DC-BALANCED MODE, NO SPREAD)**



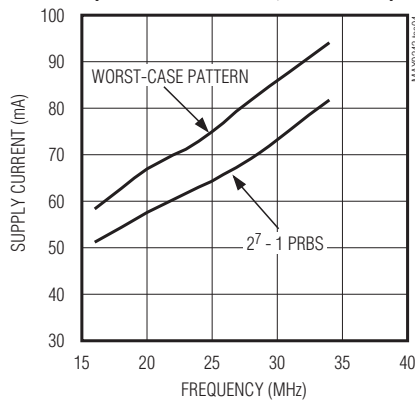
**WORST-CASE AND PRBS SUPPLY CURRENT vs. FREQUENCY
(DC-BALANCED MODE, NO SPREAD)**



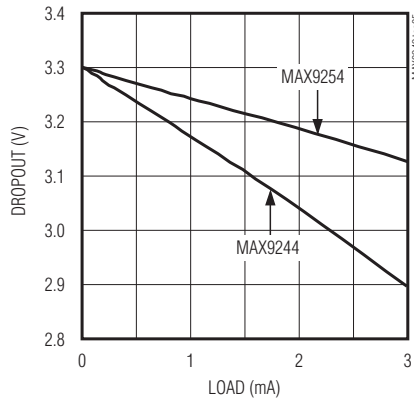
**WORST-CASE AND PRBS SUPPLY CURRENT vs. FREQUENCY
(DC-BALANCED MODE, 2% SPREAD)**



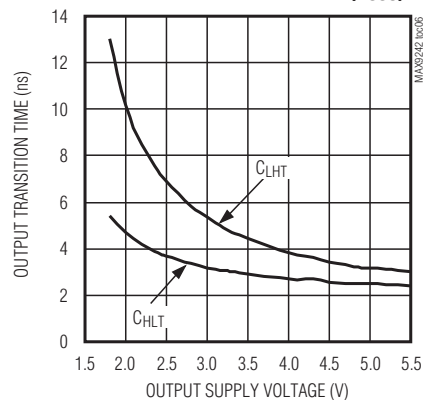
**WORST-CASE AND PRBS SUPPLY CURRENT vs. FREQUENCY
(DC-BALANCED MODE, 4% SPREAD)**



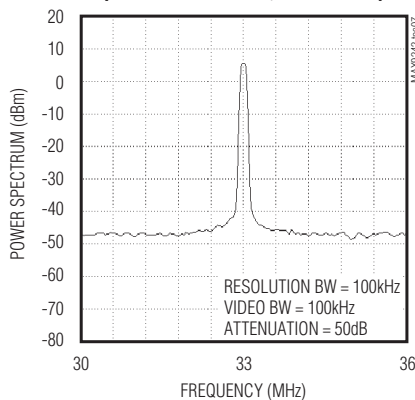
RxOUT_ OUTPUT LOADING



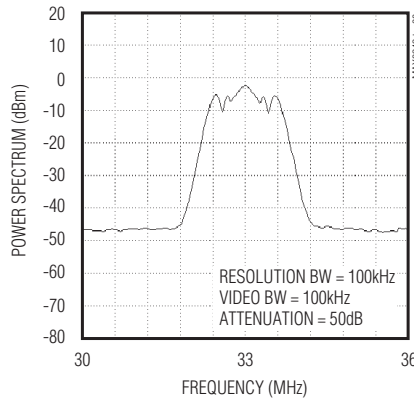
RxOUT_ TRANSITION TIME vs. OUTPUT SUPPLY VOLTAGE (V_{CCO})



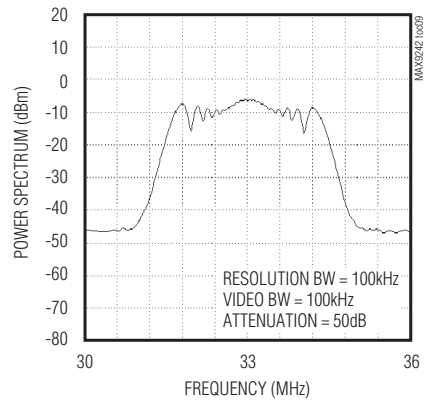
**RxCLKOUT POWER SPECTRUM vs. FREQUENCY
(RxCLKIN_ = 33MHz, NO SPREAD)**



**RxCLKOUT POWER SPECTRUM vs. FREQUENCY
(RxCLKIN_ = 33MHz, 2% SPREAD)**



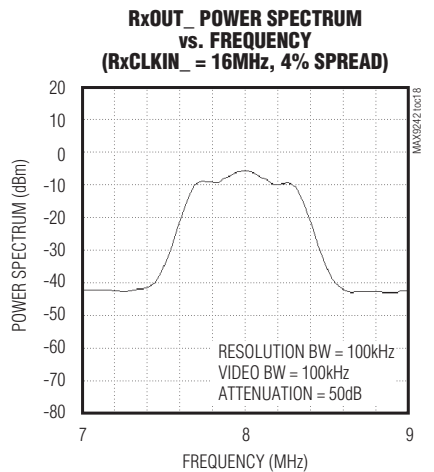
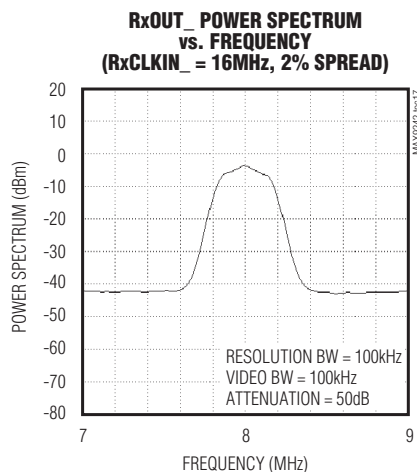
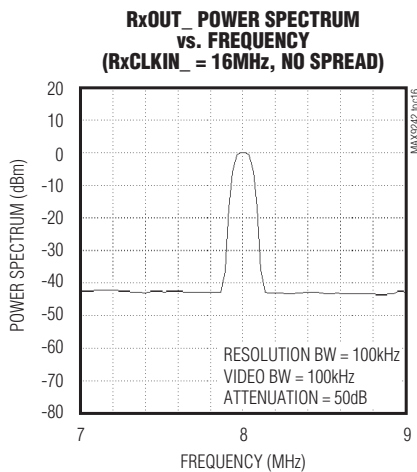
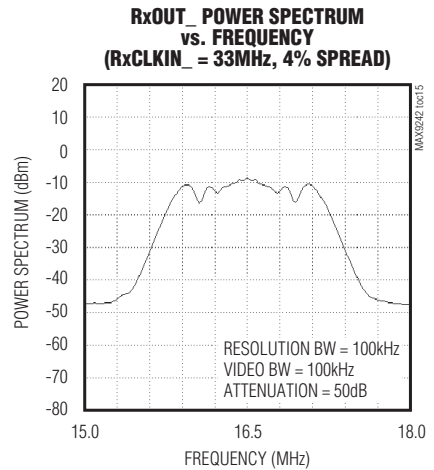
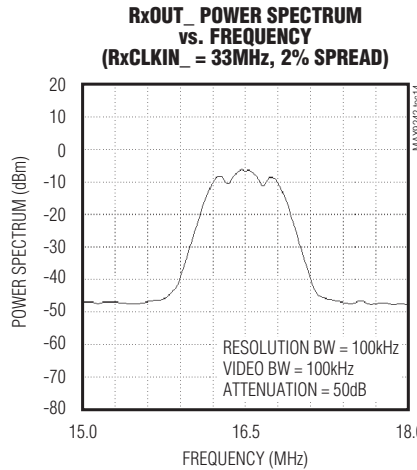
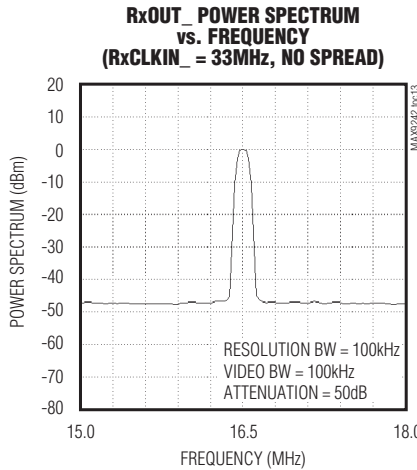
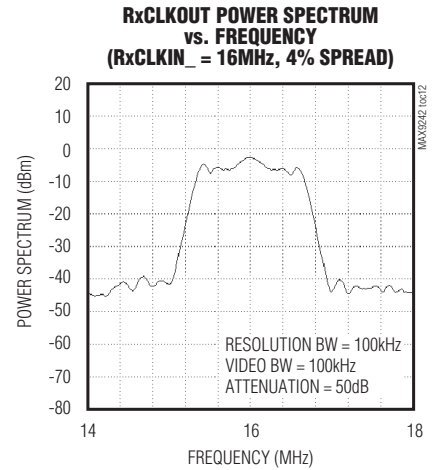
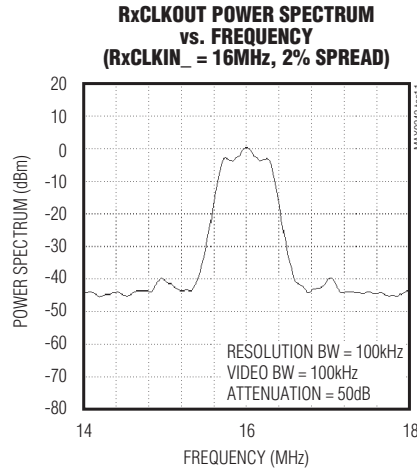
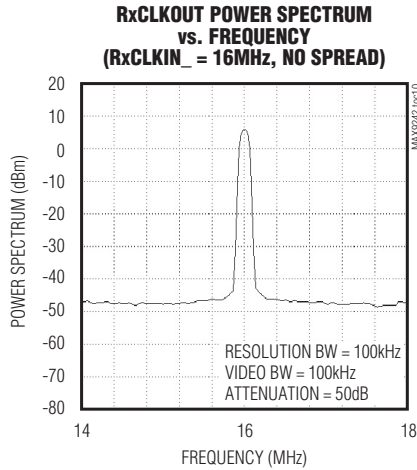
**RxCLKOUT POWER SPECTRUM vs. FREQUENCY
(RxCLKIN_ = 33MHz, 4% SPREAD)**



21位解串器，提供可编程 频谱扩展和直流平衡

典型工作特性(续)

($V_{CC} = PLLV_{CC} = LVDSV_{CC} = V_{CCO} = +3.3V$, $C_L = 8pF$, $PWRDWN = high$, differential input voltage $|V_{ID}| = 0.2V$, input common-mode voltage $V_{CM} = 1.2V$, $T_A = +25^\circ C$, MAX9244/MAX9254, unless otherwise noted.)



21位解串器，提供可编程
频谱扩展和直流平衡

引脚说明

MAX9242/MAX9244/MAX9246/MAX9254

引脚	名称	功能
1	RxOUT17	通道2单端输出。
2	RxOUT18	
3, 25, 32, 38, 44	GND	地。
4	RxOUT19	通道2单端输出。
5	RxOUT20	
6	SSG	三电平逻辑，扩频发生器控制输入。SSG选择相对于RxCLKIN_的RxCLKOUT扩展频率(参见表3)。
7	DCB	三电平逻辑，直流平衡控制输入。DCB用来选择直流平衡模式、非直流平衡模式或保留模式(参见表1)。
8	RxIN0-	通道0 LVDS串行数据反相输入。
9	RxIN0+	通道0 LVDS串行数据同相输入。
10	RxIN1-	通道1 LVDS串行数据反相输入。
11	RxIN1+	通道1 LVDS串行数据同相输入。
12	LVDSV _{CC}	LVDS电源电压，采用0.1μF和0.001μF的并联电容将LVDSV _{CC} 旁路至GND，电容应尽可能靠近该引脚放置。
13, 18	LVDSGND	LVDS地。
14	RxIN2-	通道2 LVDS串行数据反相输入。
15	RxIN2+	通道2 LVDS串行数据同相输入。
16	RxCLKIN-	LVDS并行时钟反相输入。
17	RxCLKIN+	LVDS并行时钟同相输入。
19, 21	PLL _{GND}	PLL地。
20	PLL _{V_{CC}}	PLL电源，采用0.1μF和0.001μF的并联电容将PLL _{V_{CC}} 旁路至GND，电容应尽可能靠近该引脚放置。
22	$\overline{\text{PWRDWN}}$	5V容限的LVTTTL/LVCMOS关断输入。 $\overline{\text{PWRDWN}}$ 在内部下拉至GND。当 $\overline{\text{PWRDWN}}$ 为低电平或开路时，输出为高阻。
23	RxCLKOUT	并行时钟单端输出，MAX9242具有上升沿输出选通，MAX9244/MAX9246/MAX9254具有下降沿输出选通。
24	RxOUT0	通道0单端输出。
26	RxOUT1	
27	RxOUT2	
28, 36, 48	V _{CC0}	输出级供电电源，采用0.1μF和0.001μF的并联电容旁路V _{CC0} 至GND，电容应尽可能靠近该引脚放置。
29	RxOUT3	通道0单端输出。
30	RxOUT4	
31	RxOUT5	
33	RxOUT6	

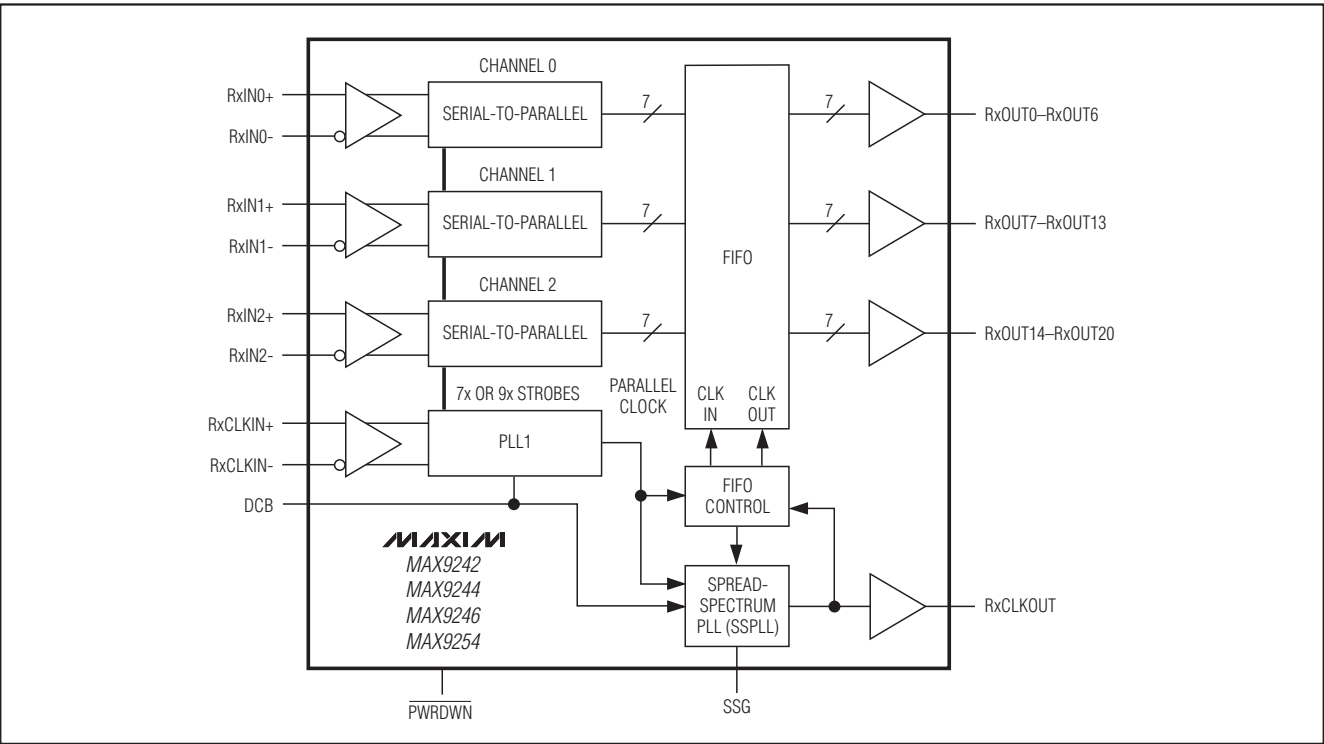
21位解串器，提供可编程
频谱扩展和直流平衡

MAX9242/MAX9244/MAX9246/MAX9254

引脚说明(续)

引脚	名称	功能
34	RxOUT7	通道1单端输出。
35	RxOUT8	
37	RxOUT9	
39	RxOUT10	
40	RxOUT11	
41	RxOUT12	
42	VCC	数字供电电源，采用0.1μF和0.001μF的并联电容旁路VCC至GND，电容应尽可能靠近该引脚放置。
43	RxOUT13	通道1单端输出。
45	RxOUT14	通道2单端输出。
46	RxOUT15	
47	RxOUT16	

功能框图



21位解串器，提供可编程 频谱扩展和直流平衡

MAX9242/MAX9244/MAX9246/MAX9254

详细说明

MAX9242/MAX9244/MAX9246/MAX9254能够对三路LVDS串行数据进行解串，转换成21位单端LVC MOS/LVTTL输出。输出可设置为不扩频或 $\pm 2\%$ 、 $\pm 4\%$ 扩频(相对于LVDS输入时钟频率)。在直流平衡模式下，MAX9242/MAX9244/MAX9254并行时钟频率为16MHz至34MHz；而在非直流平衡模式下，MAX9242/MAX9244/MAX9254并行时钟频率为20MHz至40MHz。在直流平衡模式下，MAX9246并行时钟频率为6MHz至18MHz；非直流平衡模式下，MAX9246并行时钟频率为8MHz至20MHz。直流平衡和非直流平衡工作模式由DCB输入控制。MAX9242为上升沿选通，而MAX9244/MAX9246/MAX9254为下降沿选通。

直流平衡(DCB)

直流平衡和非直流平衡工作模式由DCB输入控制(参见表1)。在非直流平衡模式下，各个通道在每个并行时钟周期内将串行数据解串为7位并行数据。在直流平衡工作模式下，各个通道在每个时钟周期内将串行数据解串为9位并行数据(7个数据位 + 2个直流平衡位)。在直流平衡模式下，每通道的最高串行数据速率为 $34\text{MHz} \times 9 = 306\text{Mbps}$ 。在非直流平衡模式下，每通道的最大数据速率则为 $40\text{MHz} \times 7 = 280\text{Mbps}$ 。

表1. DCB功能

DCB INPUT LEVEL	FUNCTION
High	Non-DC-balanced mode
Mid	Reserved
Low	DC-balanced mode

MAX9209/MAX9213串行器的数据编码(与MAX9242/MAX9244/MAX9246/MAX9254解串器配合使用)限制了每个通道传输1、0的不平衡性。如果每传输一个二进制1赋值为+1，每传输一个二进制0赋值为-1的话，那么总赋值之和变量称为数字和变量(DSV)。数据通道的DSV最大值为10。也就是说，在已传输数据中，数据0与数据1的个数最多相差不超过10个。对时钟通道来说，DSV的最大值为5。限制DSV、选择适当的耦合电容，可以保持差分信号的幅度，并减小由于交流耦合链路压降引起的抖动。

数据通道若要获得直流平衡，串行器的并行数据是反相还是同相，取决于字边界处数据和的符号。在每组7位并行输入数据增添两个补码，用来表明MAX9242/MAX9244/MAX9246/MAX9254解串器的数据位是否反相(参见图11和图12)。解串器可恢复并行数据的初始状态，LVDS时钟信号使占空比在4/9和5/9之间转换，以保持直流平衡。

扩频发生器(SSG)

MAX9242/MAX9244/MAX9246/MAX9254单端数据和时钟输出可编程设置在LVDS输入时钟频率的 $\pm 2\%$ 或 $\pm 4\%$ 范围内变化。LVDS时钟输入为33MHz时，频率变化调制率为32.48kHz，并与输入时钟频率成线性关系(参见表2)，也可以关闭扩频功能。输出扩频由SSG输入控制(参见表3)。若要选择中间电平，则将输入开路，或使驱动器输出置于高阻状态。驱动器的高阻漏电流必须小于 $\pm 10\mu\text{A}$ 。

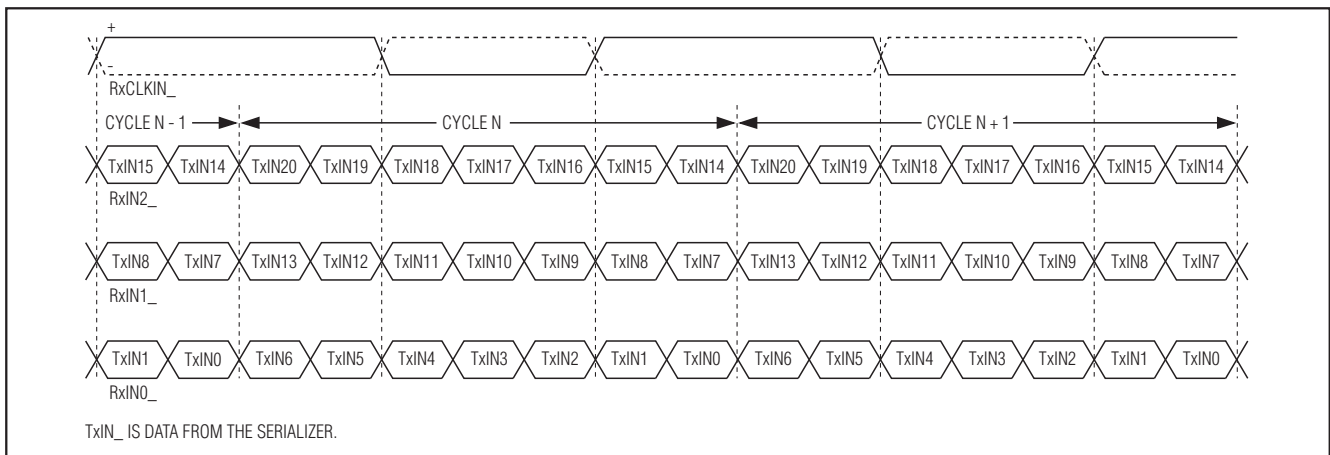


图11. 非直流平衡模式下解串器的串行输入

21位解串器，提供可编程
频谱扩展和直流平衡

MAX9242/MAX9244/MAX9246/MAX9254

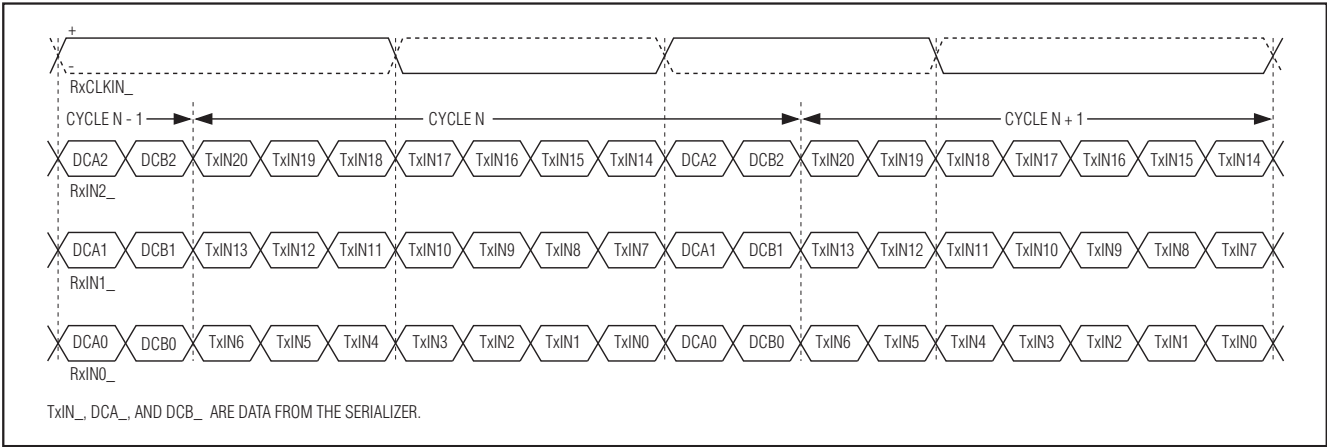


图12. 直流平衡模式下解串器的串行输入

表2. 调制率

f _{RxCLKIN_} (MHz)	f _M (kHz) = f _{RxCLKIN_} / 1016
6	5.91
8	7.87
10	9.84
16	15.75
18	17.72
20	19.68
33	32.48
34	33.46
40	39.37

表3. SSG功能

SSG INPUT LEVEL	FUNCTION
High	RxCLKOUT frequency spread ±4% relative to RxCLKIN_
Mid	RxCLKOUT frequency spread ±2% relative to RxCLKIN_
Low	No spread on RxCLKOUT relative to RxCLKIN_

注：由于RxCLKOUT选通FIFO的输出，因此RxOUT_数据输出扩频。

任何扩频变化到输出数据有效的最大延迟时间为32,800 x RCIP。当扩频量从±2%变为±4%，或反向变化时，数据输出在延迟时间内保持低电平(参见图13)。同样，当器件由非扩频模式变为±2%或±4%扩频时，数据输出也在延迟时间内保持低电平(参见图14)。当扩频量从±2%或±4%变为非扩频时，在延迟时间内有数据转换，但为无效数据(参见图15)。MAX9242/MAX9244/MAX9246/MAX9254工作在非直流平衡模式时，也具有扩频功能。

热插拔

当把MAX9242/MAX9244/MAX9246/MAX9254与工作状态下的串行器连接时，仍可保证正确同步。PLL控制电压在响应热插拔过程中产生的高频干扰时不会出现饱和。当MAX9242/MAX9244/MAX9246/MAX9254与工作中的串行器连接时，无需重新启动PWRDWN输入。

PLL锁存时间

MAX9242/MAX9244/MAX9246/MAX9254具有两路PLL，第一路PLL (PLL1)从RxCLKIN_产生7倍时钟频率(非直流平衡模式)或9倍时钟频率(直流平衡模式)，对LVDS输入进行解串，另一路PLL (SSPLL)用于扩频调制。上电初始化过程中，PLL1先锁定，随后立即锁定SSPLL。PLL锁存时间由内部计数器设置，每路PLL的最大锁存时间为32,800个时钟周期。电源和时钟应保持稳定，以满足锁存时间的要求。初始化后，如果第一路PLL失锁，它将再次锁定，并且紧接着锁定扩频PLL (参见图16)。如果扩频PLL失锁，则延迟一个PLL锁存时间后，即可再次锁定(参见图17)。

21位解串器，提供可编程 频谱扩展和直流平衡

MAX9242/MAX9244/MAX9246/MAX9254

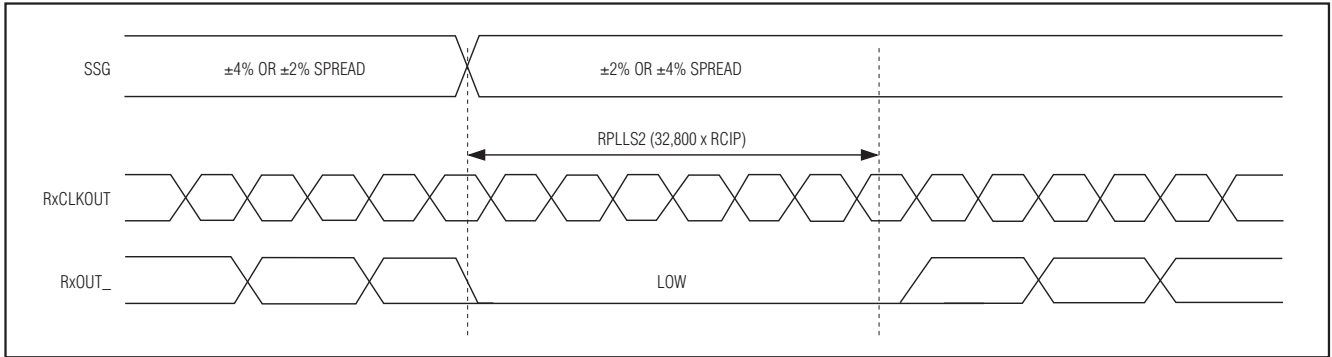


图13. 扩频量变化时的输出波形

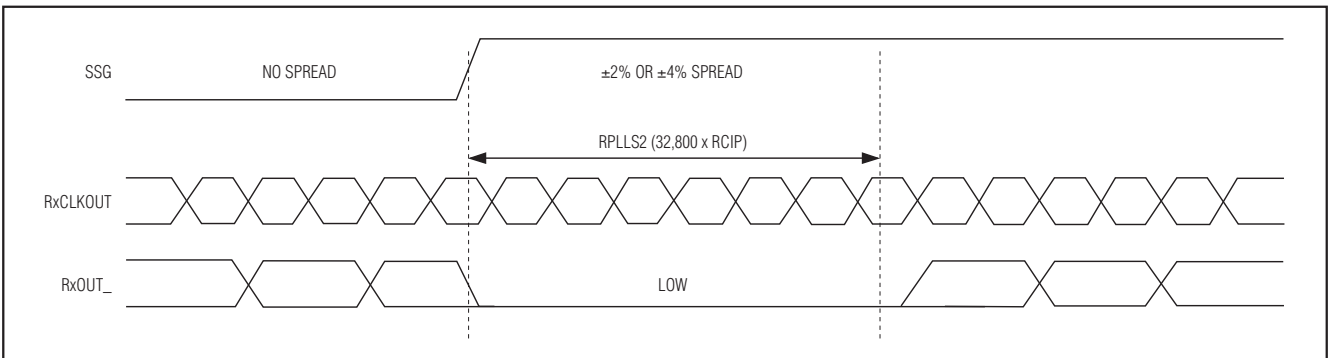


图14. 启用扩频功能时的输出波形

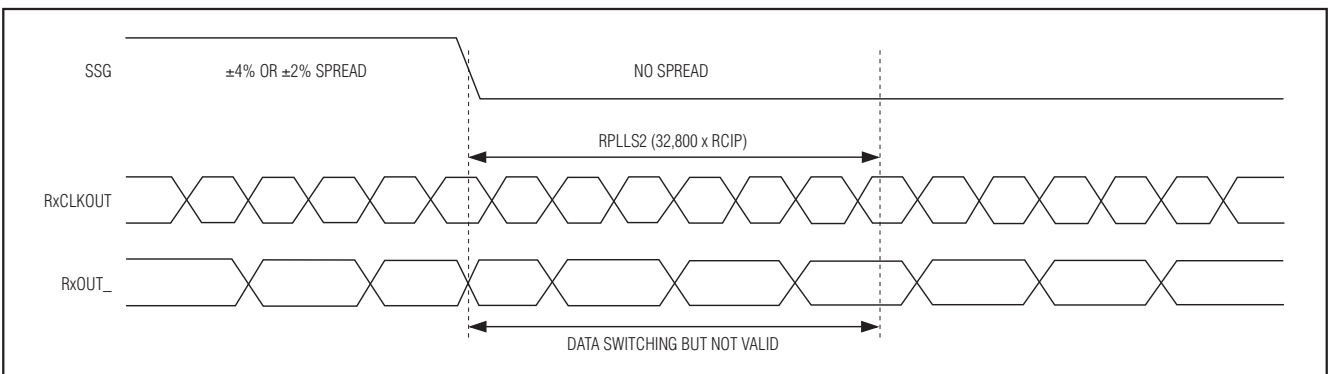


图15. 取消扩频功能时的输出波形

交流耦合的优点

通过交流耦合增大接收器共模电压范围，可消除由直流耦合引入的误码(图18)。交流耦合增大了LVDS接收器的共模电压范围，使其接近电容的额定电压。LVDS驱动器的典型输出电压摆幅为350mV，以1.25V偏置电压为中心点，因此单端输出电压为1.425V和1.075V。LVDS接收器

接受0至2.4V的信号，使得直流耦合链路上驱动器和接收器之间的共模压差约为 $\pm 1V$ ($2.4V - 1.425V = 0.975V$, $1.075V - 0V = 1.075V$)。共模压差可能由地电位的变化或共模噪声产生，如果共模压差大于 $\pm 1V$ ，则接收器无法保证正确读取输入信号，可能导致误码。交流耦合消除了地电位的低频偏移和共模噪声，并对高频数据短路。共

21位解串器，提供可编程 频谱扩展和直流平衡

MAX9242/MAX9244/MAX9246/MAX9254

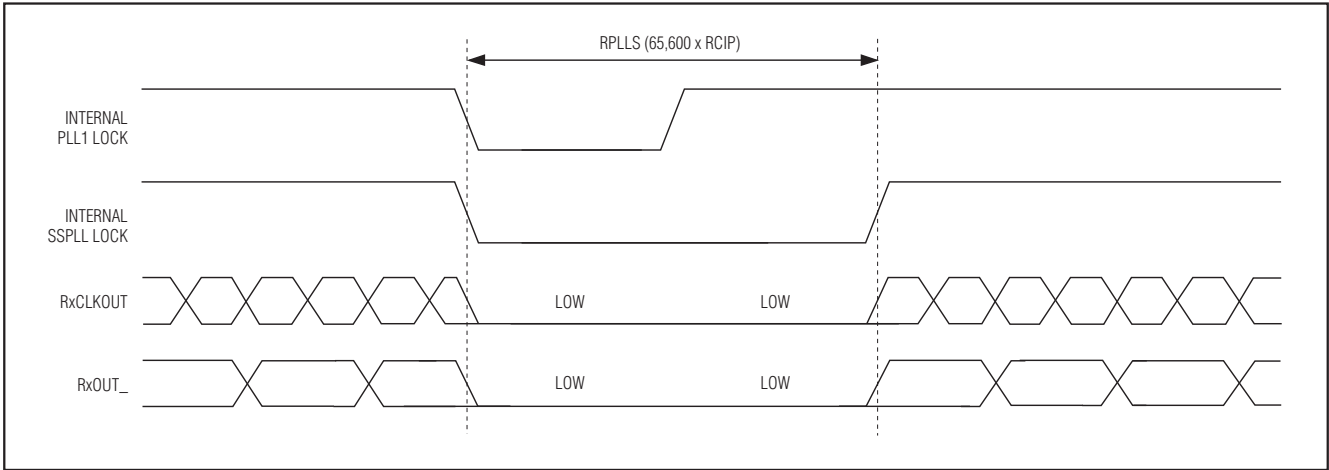


图16. PLL1失锁和再次锁定的输出波形

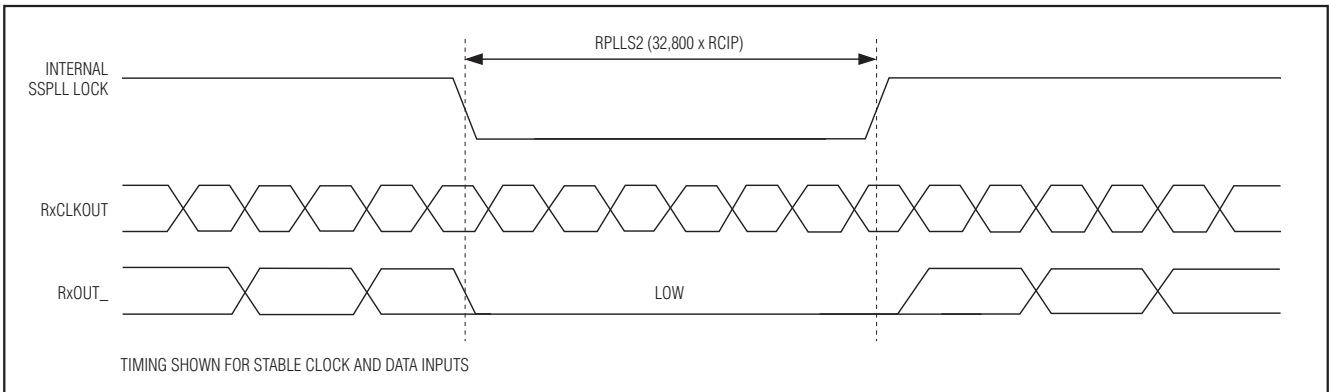


图17. 扩频PLL失锁和再次锁定的输出波形

模压差容许达到耦合电容的额定电压(减去差分摆幅的一半)。需要对数据进行直流平衡编码，以保持差分信号振幅，限制交流耦合链路的抖动。LVDS驱动器的每路输出串联一个电容即可实现交流耦合。但是，为了避免在任何情况下出现电缆终端与高压短路的情况，需要采用两个电容——一个接在串行器的输出端，另一个接在解串器的输入端。

应用信息

选择交流耦合电容

电压衰减和传输信号的DSV导致信号在不同电平间跳变。由于跳变时间有限，信号从不同电平开始跳变时会引起

时间抖动。须选择适当的交流耦合链路的时间常数，把电压衰减和抖动降低到可接受的范围内。

交流耦合链路的RC网络由LVDS接收器端接电阻(R_T)、LVDS驱动器输出电阻(R_O)以及串联交流耦合电容(C)组成。采用两个相同的串联电容时，其RC时间常数为($C \times (R_T + R_O)$) / 2 (图19)。采用四个等值串联电容，其RC时间常数为($C \times (R_T + R_O)$) / 4 (图20)。

R_T 要与传输线阻抗(通常为100Ω)匹配， R_O 取决于LVDS驱动器设计(在下例中，MAX9209/MAX9213串行器的差分输出电阻取最小值78Ω)。因此可以通过选择电容改变系统的时间常数。

21位解串器，提供可编程 频谱扩展和直流平衡

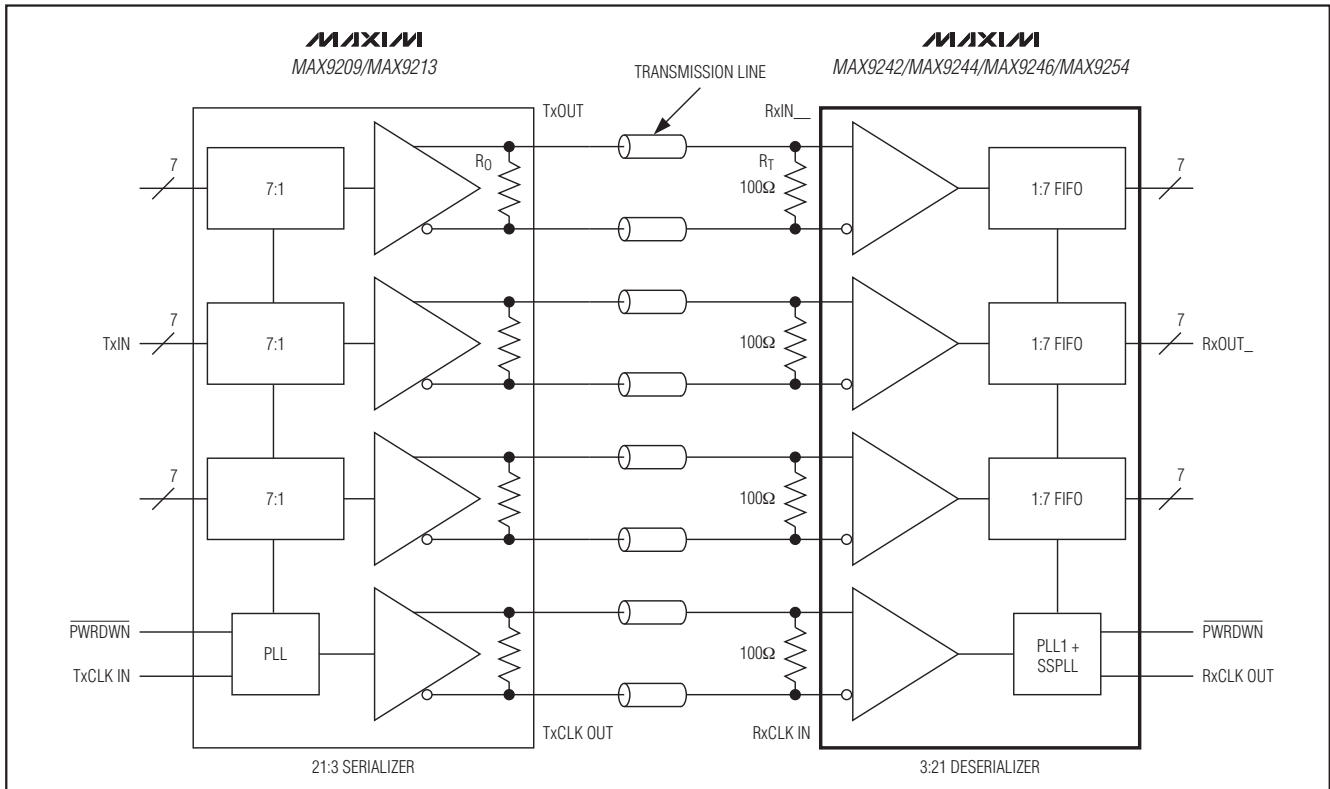


图18. 直流耦合链路，非直流平衡模式

下例中，计算电压衰减2%时的电容值。假设信号跳变过渡时间为1ns，计算由该电压衰减引起的抖动：

$$C = -(2 \times t_B \times DSV) / (\ln(1 - D) \times (R_T + R_O)) \quad (式1)$$

其中：

C = 交流耦合电容(F)

t_B = 数据位时间(s)

DSV = 数字和变量(整数)

ln = 自然对数

D = 压降(信号幅度的百分比)

R_T = 端接电阻(Ω)

R_O = 输出电阻(Ω)

式1表示采用两个电容串联时的情况(图19)。数据位时间(t_B)等于并行时钟周期除以9，DSV等于10。四个电容串联时的情况如式3 (图20)。

在16MHz并行时钟下，2%最大电压衰减对应的电容为：

$$C = -(2 \times t_B \times DSV) / (\ln(1 - D) \times (R_T + R_O))$$

$$C = -(2 \times 6.95\text{ns} \times 10) / (\ln(1 - 0.02) \times (100\Omega + 78\Omega))$$

$$C = 0.038\mu\text{F}$$

由于电压衰减引起的抖动与电压衰减、过渡时间成正比：

$$t_J = t_T \times D \quad (式2)$$

其中：

t_J = 抖动(s)

t_T = 过渡时间(s) (0至100%)

D = 压降(信号幅度的百分比)

假设过渡时间为1ns，电压衰减2%时引起的抖动为：

$$t_J = 1\text{ns} \times 0.02$$

$$t_J = 20\text{ps}$$

21位解串器，提供可编程 频谱扩展和直流平衡

MAX9242/MAX9244/MAX9246/MAX9254

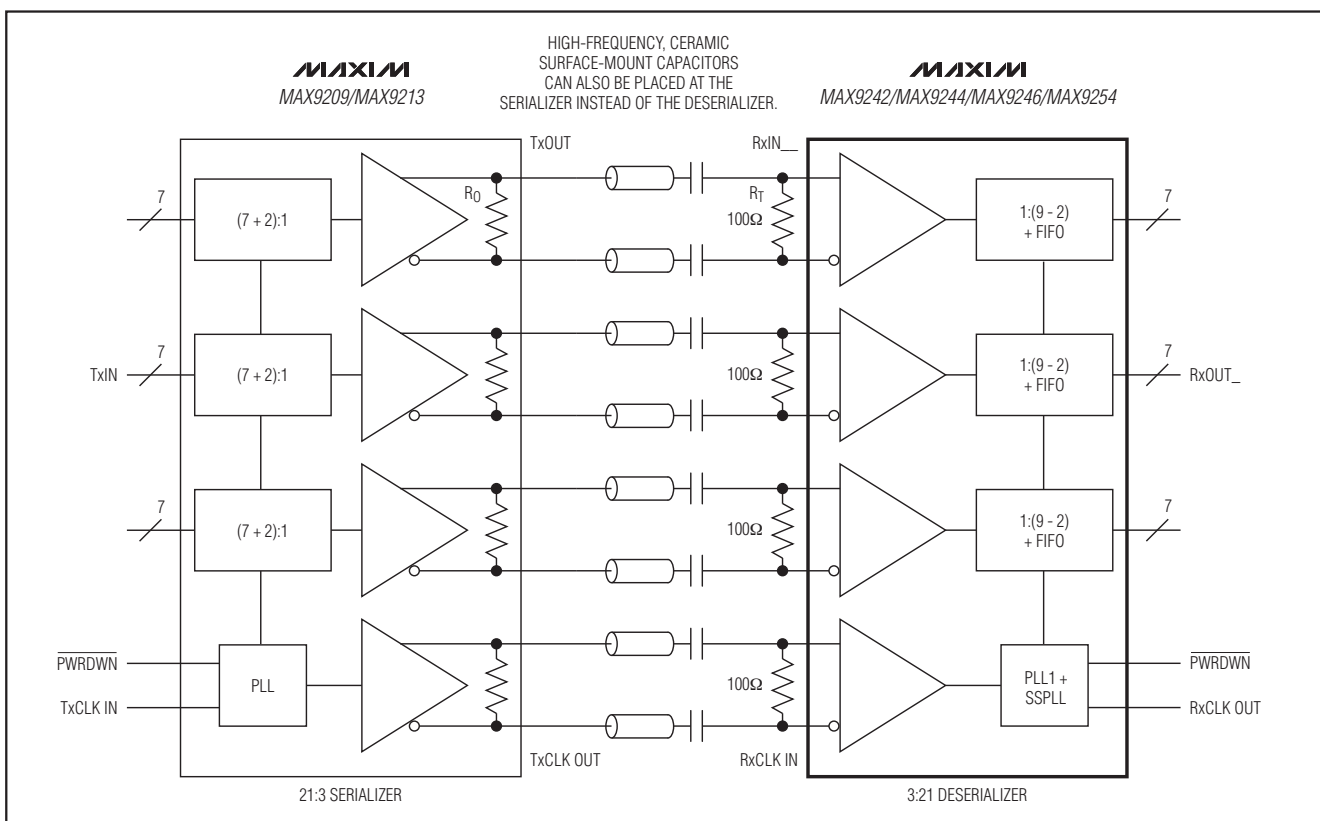


图19. 双电容链路，交流耦合、直流平衡模式

实际系统的过渡时间由串行器驱动的电缆的频率响应决定。随着并行时钟频率的提高以及电压衰减和抖动的变大，电容值减小。应采用高频、表贴陶瓷电容。

对于采用四个串联电容(图20)的情况，式1变为：

$$C = -(4 \times t_B \times DSV) / (\ln(1 - D) \times (R_T + R_O)) \quad (\text{式3})$$

失效保护

在非直流平衡模式下，MAX9242/MAX9244/MAX9246/MAX9254具有失效保护LVDS输入(图1)。当相应的LVDS输入断开、未驱动且短路，或未驱动且采用并行端接时，失效保护将输出驱动为低电平。当电源稳定时，LVDS时钟输入的失效保护能够将所有输出驱动为低电平。直流平衡模式下不具有失效保护。

输入偏置和频率检测

在直流平衡模式下，LVDS的反相和同相输入通过42kΩ(最小值)电阻由内部连接至+1.2V，为交流耦合提供偏置电压(图1)。无时钟输入驱动时，为了防止由于噪声引起的

输出变化，在同相输入端和LVDSV_{CC}之间连接一个10kΩ ±1%的上拉电阻，在反相输入端和地之间连接一个10kΩ ±1%的下拉电阻，使时钟输入(RxCLKIN₊, RxCLKIN₋)偏置为+15mV差分电压。这些偏置电阻与100Ω ±1%容限的端接电阻配合使用，可提供+15mV的差分输入。+15mV偏置电压会引起RSKM的小幅下降，与时钟输入摆率成正比。例如：如果500ps内时钟跳变250mV，则摆率为0.5mV/ps时，RSKM减少30ps。

没有使用的LVDS数据输入

在非直流平衡模式下，将没有使用的LVDS数据输入开路。在非直流平衡模式下，输入失效保护电路驱动相应的输出为低电平，无需上拉电阻和下拉电阻。在直流平衡模式下，每个不使用的LVDS数据输入端应通过一只10kΩ电阻将反相输入上拉至LVDSV_{CC}，采用相同的10kΩ电阻将同相输入下拉至地。不要连接端接电阻，上拉电阻和下拉电阻将相应输出驱动为低电平，可避免由于噪声引起的输出变化。

21位解串器，提供可编程 频谱扩展和直流平衡

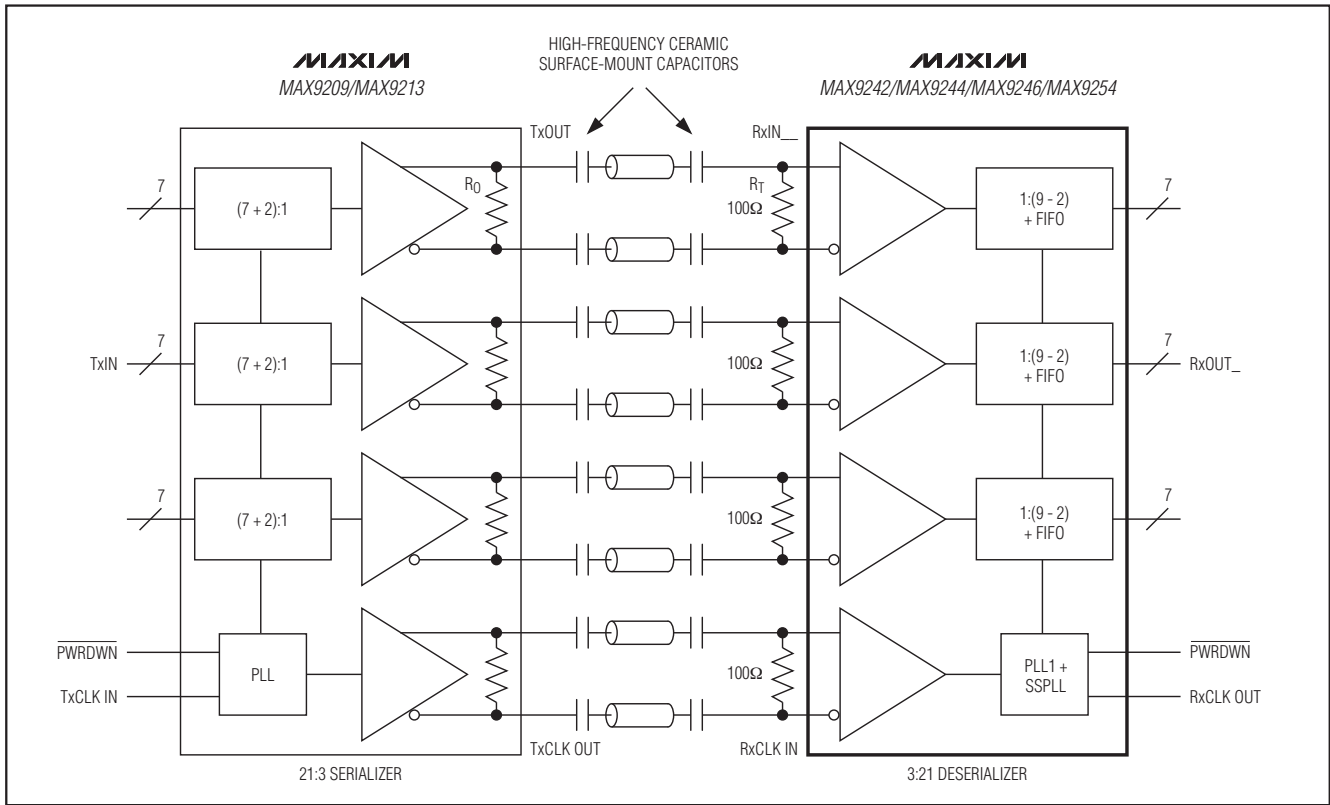


图20. 四电容链路，交流耦合、直流平衡模式

链路上电顺序

推荐的链路上电顺序是串行器先上电，等待串行器PLL锁定后，解串器再上电。这一顺序可防止上电时解串器上出现无驱动或不稳定的输入。

$\overline{\text{PWRDWN}}$

驱动 $\overline{\text{PWRDWN}}$ 至低电平时，输出呈高阻状态，停止PLL，电源电流降至50 μA 甚至更低。驱动 $\overline{\text{PWRDWN}}$ 至高电平时，输出在PLL锁定以前保持低电平。两个解串器的输出可组成一个2:1复用器，输出由 $\overline{\text{PWRDWN}}$ 控制。禁用一个解串器(驱动 $\overline{\text{PWRDWN}}$ 至低电平)后，等待100ns再使能另一个解串器(驱动 $\overline{\text{PWRDWN}}$ 至高电平)，可避免总线输出竞争。

电源旁路

该器件具有独立的片上数字电路电源、输出级电源、PLL电源和LVDS输入电源。用高频、表面贴装的0.1 μF 和0.001 μF

并联陶瓷电容旁路 V_{CC} 、 V_{CCO} 、 $\text{PLL}V_{\text{CC}}$ 和 $\text{LVDS}V_{\text{CC}}$ 引脚，电容应尽可能靠近器件放置，最小电容距离电源引脚最近。

电缆和连接器

LVDS互连时，典型差分阻抗为100 Ω 。采用与差分阻抗相匹配的电缆和连接器，以保持阻抗的连续性。

与带状电缆相比，双绞线和屏蔽双绞线能提供良好的信号质量，大大降低由于磁场退磁效应引起的EMI。LVDS接收器抑制平衡电缆所拾取的共模噪声。

电路板布局

将LVTTTL/LVCMOS输出和LVDS输入信号隔离开，以防止串扰。推荐使用电源、地、LVDS输入以及数字信号之间相互隔离的四层PCB。PCB布线应考虑100 Ω 的差分特性阻抗。布线尺寸与所采用的引线类型(微带线或带状线)有关。需要注意的是：当两条50 Ω PCB引线紧靠在一起时，其表现出来的并不是100 Ω 的差分阻抗——当引线靠近时，阻抗降低。

21位解串器，提供可编程 频谱扩展和直流平衡

MAX9242/MAX9244/MAX9246/MAX9254

将LVDS通道的PCB布线并行排布(每个LVDS通道有两根导线)，以保持差分特性阻抗。在距离LVDS接收器输入1/4英寸的范围内，在PCB布线的末尾放置端接电阻，应避免采用过孔。如果必须采用过孔的话，则每个LVDS通道只能采用一对儿过孔，并沿着PCB布线的长度将每条线路的过孔放置在同一位置。这样，在同一时刻就会造成相同的信号反射。不要将过孔置于ATE测试点。PCB上LVDS时钟和数据线对儿的长度应保持相同，防止线对儿之间的偏差。PCB上差分线对儿的长度应保持相同，以避免差分线对儿的偏差。

5V容限输入

$\overline{\text{PWRDWN}}$ 具有5V电压容限，内部下拉至GND。SSG和DCB不具有5V电压容限。SSG和DCB的额定输入电压范围为地至 V_{CC} 。

偏差余量(RSKM)

偏差余量(RSKM)是所允许的串行数据采样的建立时间和保持时间的劣化程度，这一劣化是由解串器之外的其它因素引起的。设计中已考虑解串器采样的不确定性，无需从RSKM中去掉这一因素的影响。RSKM中，引起抖动和偏差的主要外部因素是：线路互连的符号间干扰、串行器脉冲位置不确定，以及线对儿之间的通道偏差。

V_{CCO} 输出电源和功耗

输出级具有独立的电源输入(V_{CCO})，便于与1.8V至5V逻辑电平系统接口。*DC Electrical Characteristics*表给出了所有输出置于最坏情况下的切换模板， $V_{CCO} = 3.6V$ ，负载电容为8pF时，多个开关频率下的最大电源电流。负载仍为8pF，在最差模板下， V_{CCO} 电源电流比3.6V电源电流增大：

$$I_I = C_T V_I 0.5f_C \times 21 \text{ (数据输出)} \\ + C_T V_{IFC} \times 1 \text{ (时钟输出)}$$

其中：

I_I = 增加的电源电流

C_T = 内部(C_{INT})和外部(C_L)总负载电容

V_I = 增加的电源电压

f_C = 输出时钟开关频率

用*DC Electrical Characteristics*表中的最大电源电流加上增加的电流($V_{CCO} > 3.6V$)，或从中减去增加的电流($V_{CCO} < 3.6V$)。内部输出缓冲器电容为 $C_{INT} = 6pF$ 。最坏情况下，数据输出的开关频率为输出时钟开关频率的一半。

在下例中，MAX9244处于扩频和直流平衡模式， $V_{CCO} = 5.5V$ ， $f_C = 34MHz$ 、 $C_L = 8pF$ 时，可得到增大的电源电流为：

$$V_I = 5.5V - 3.6V = 1.9V$$

$$C_T = C_{INT} + C_L = 6pF + 8pF = 14pF$$

其中：

$$I_I = C_T V_I 0.5f_C \times 21 \text{ (数据输出)} + C_T V_{IFC} \times 1 \text{ (时钟输出)}$$

$$I_I = (14pF \times 1.9V \times 0.5 \times 34MHz \times 21) + (14pF \times 1.9V \times 34MHz)$$

$$I_I = 9.5mA + 0.9mA = 10.4mA.$$

直流平衡模式下， $f_C = 34MHz$ ， $V_{CC} = V_{CCO} = 3.6V$ 时的最大电源电流为125mA (可从*DC Electrical Characteristics*表获得)，加上10.4mA，可近似获得 $V_{CCO} = 5.5V$ 和 $V_{CC} = 3.6V$ 时的最大总电源电流。

如果输出电源电压小于 $V_{CCO} = 3.6V$ ，可利用相同的公式和方法计算电源电流降低了多少。

在高开关频率、高电源电压和高容性负载下，功耗可能超过封装的额定耗散功率。功耗不能大于封装的最大额定耗散功率，有关封装的最大耗散功率和温度降额指标，请参考*Absolute Maximum Ratings*。

上升沿和下降沿输出选通

MAX9242为上升沿输出选通，在 $R_x\text{CLKOUT}$ 上升沿将并行输出数据锁存到下一个芯片中。MAX9244/MAX9246/MAX9254则为下降沿输出选通，可在 $R_x\text{CLKOUT}$ 下降沿将并行输出数据锁存到下一个芯片中。解串器的输出选通极性不要求与串行器输入选通极性相匹配。

三电平逻辑输入

SSG和DCB (DCB中等电平为保留模式)是三电平逻辑输入。逻辑高电平输入电压必须大于+2.5V，逻辑低电平必须小于+0.8V。当输入为开路或连接至高阻状态的驱动器时，MAX9242/MAX9244/MAX9246/MAX9254认为处于中等逻辑电平状态。在低输入电流情况下，SSG和DCB输入级的弱反相器提供适当的中等电平电压。中等电平输入电流不能大于 $\pm 10\mu A$ ，而且外部电压源不能驱动中等电平逻辑状态。

21位解串器，提供可编程 频谱扩展和直流平衡

IEC 61000-4-2 4级与 ISO 10605 ESD保护

MAX9242/MAX9244/MAX9246/MAX9254的ESD保护符合人体模式、IEC 61000-4-2和ISO 10605的要求。ISO 10605和IEC 61000-4-2标准规定了电气系统的ESD容限。MAX9242/MAX9244/MAX9246/MAX9254的所有LVDS输入均符合ISO 10605 ESD保护规范，可承受 $\pm 30\text{kV}$ 气隙放电和 $\pm 6\text{kV}$ 接触放电；同时也满足IEC 61000-4-2 ESD保护规范，可承受 $\pm 15\text{kV}$ 气隙放电和 $\pm 8\text{kV}$ 接触放电。其它引脚具有 $\pm 2.5\text{kV}$ 的人体模式ESD保护。人体模式放电元件为 $C_S = 100\text{pF}$ 和 $R_D = 1.5\text{k}\Omega$ （参见图21）；IEC 61000-4-2放电元件为 $C_S = 150\text{pF}$ 和 $R_D = 330\Omega$ （参见图22）；ISO 10605放电元件 $C_S = 330\text{pF}$ 和 $R_D = 2\text{k}\Omega$ （参见图23）。

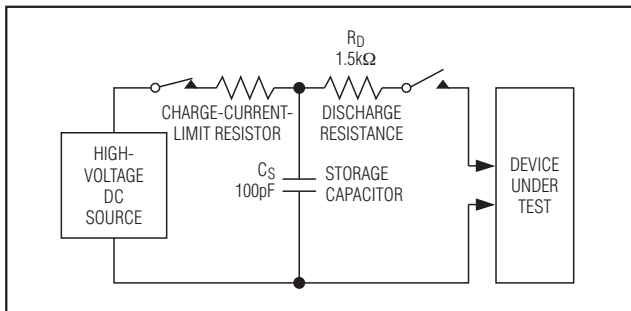


图21. 人体ESD测试电路

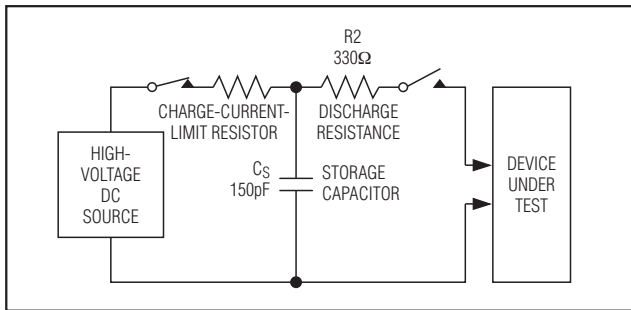


图22. IEC 61000-4-2接触放电ESD测试电路

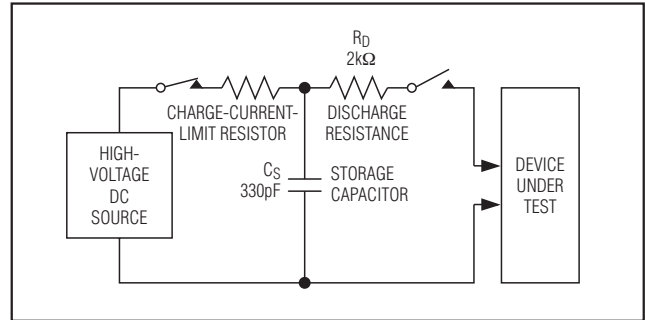
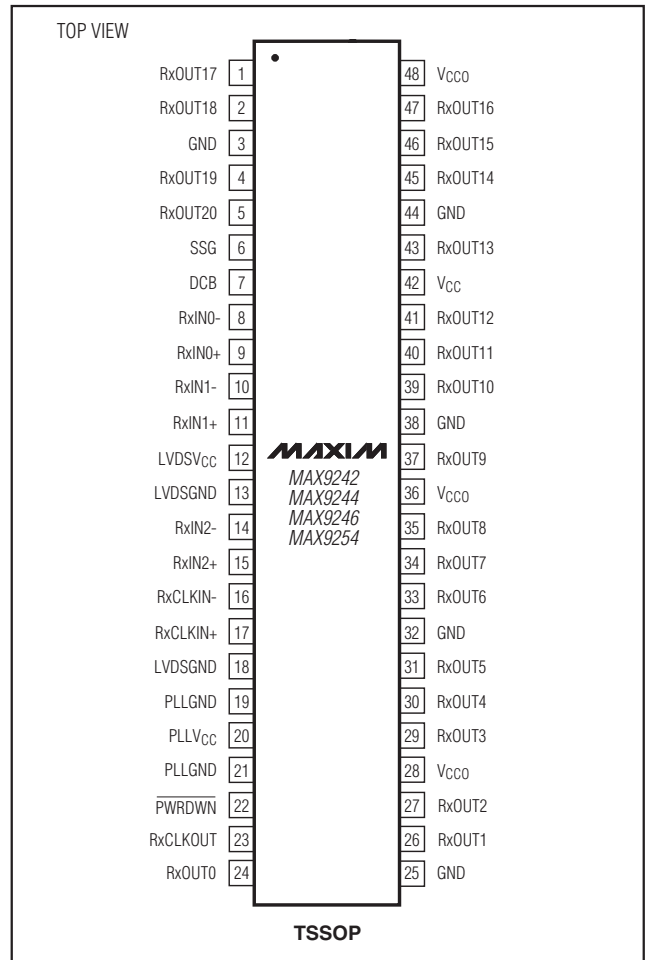


图23. ISO 10605接触放电ESD测试电路

引脚配置



芯片信息

PROCESS: CMOS

21位解串器，提供可编程 频谱扩展和直流平衡

封装信息

如需最近的封装外形信息和焊盘布局，请查询
www.maxim-ic.com.cn/packages。

封装类型	封装编码	文档编号
48 TSSOP	U48-1	21-0155

MAX9242/MAX9244/MAX9246

21位解串器，提供可编程
频谱扩展和直流平衡

修订历史

修订次数	修订日期	说明	修改页
3	2/09	在解串器完全锁定至输入串行数据之前测量电源电流。更新了 <i>DC Electrical Characteristics</i> 。	2, 3

MAX9242/MAX9244/MAX9246

Maxim北京办事处

北京 8328信箱 邮政编码 100083
免费电话：800 810 0310
电话：010-6211 5199
传真：010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 23

© 2009 Maxim Integrated Products Maxim是Maxim Integrated Products, Inc. 的注册商标。

项目开发 芯片解密 零件配单 TEL:15013652265 QQ:38537442