

MSP430F21X1 混合信号控制器

工作电压范围：1.8V-3.6V

超低功耗

-活动模式:1MHz 2.2V 时为 200 uA

-待机模式:0.7 uA

-掉电模式(RAM 数据保持):0.1uA

从待机到唤醒不超过 1us

16 位精简指令集,指令周期 62.5us

基本时钟模块结构

-内部频率高达 16MHz

-外部 32kHz 晶振

-外部 16MHz 高频晶振

-谐振器

-外部时钟信号

带 3 个捕获/比较寄存器的 16 位定时器

Timer_A

片内比较器,用于模拟信号比较或作斜边

A/D 转换

串行在线编程,无需提供额外编程电压

熔丝确保代码安全

FLASH 型器件具有 Bootstrap 程序装载器

该系列包括

MSP430F2101:1KB+256B FLASH 存储器

128B RAM

MSP430F2111:2KB+256B FLASH 存储器

128B RAM

MSP430F2121:4KB+256B FLASH 存储器

256B RAM

MSP430F2131:8KB+256B FLASH 存储器

256B RAM

可用封装:

20 脚小轮廓宽体 SOWB

20 塑封窄体 TSSOP

20 脚 TVSOP 封装和 24 脚 QFN 封装

详细模块说明请查阅 MSP430x2xx

Family User's Guide

产品描述:

MSP430 是 TI 公司的一个超低功耗微控制器系列,片内组合了不同功能模块,可适应不同应用层次的需求.在硬件架构上,提供了五种低功耗模式,可最大限度的延长手持设备的电池寿命.MSP430 系列的 CPU 采用 16 位精简指令集,集成了 16 个通用寄存器和常数发生器,极大的提高了代码的执行效率.它的数字可控振荡器(DCO)可在 1us 内由低功耗模式切换到活动模式.

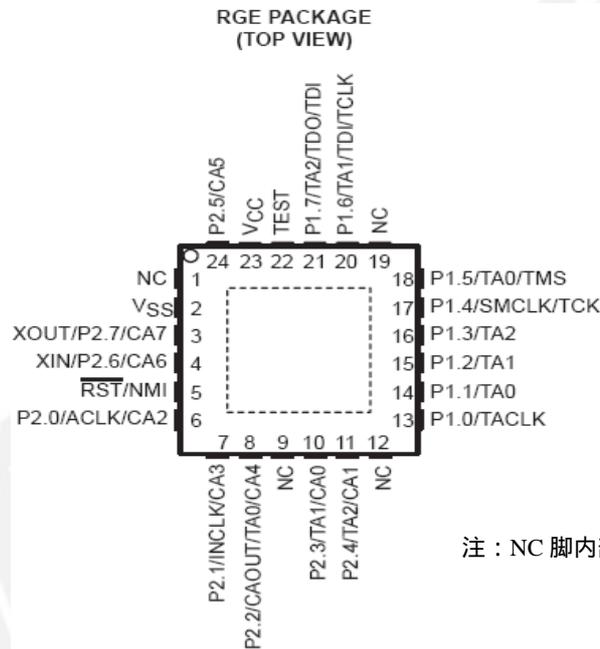
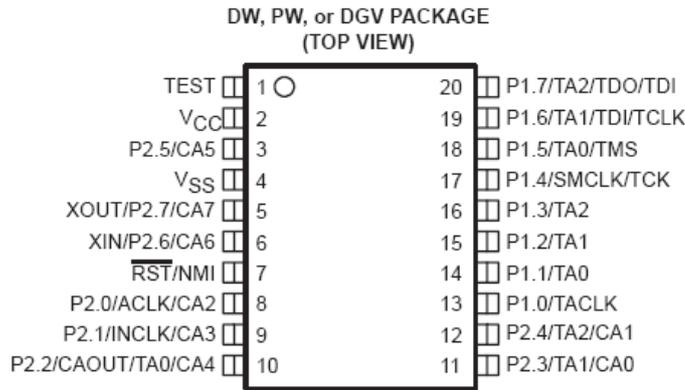
MSP430x21x1 是该家族中的一个超低功耗控制器系列,其中集成了带捕获/比较功能的 16 位定时器,多功能比较器和 16 个 I/O 口等.

该系列含有模拟比较器,可进行斜边 A/D 转换.典型应用包括采集模拟信号,进行 A/D 转换并将数据显示或传输的传感系统;独立的射频传感系统等领域.

可选型号

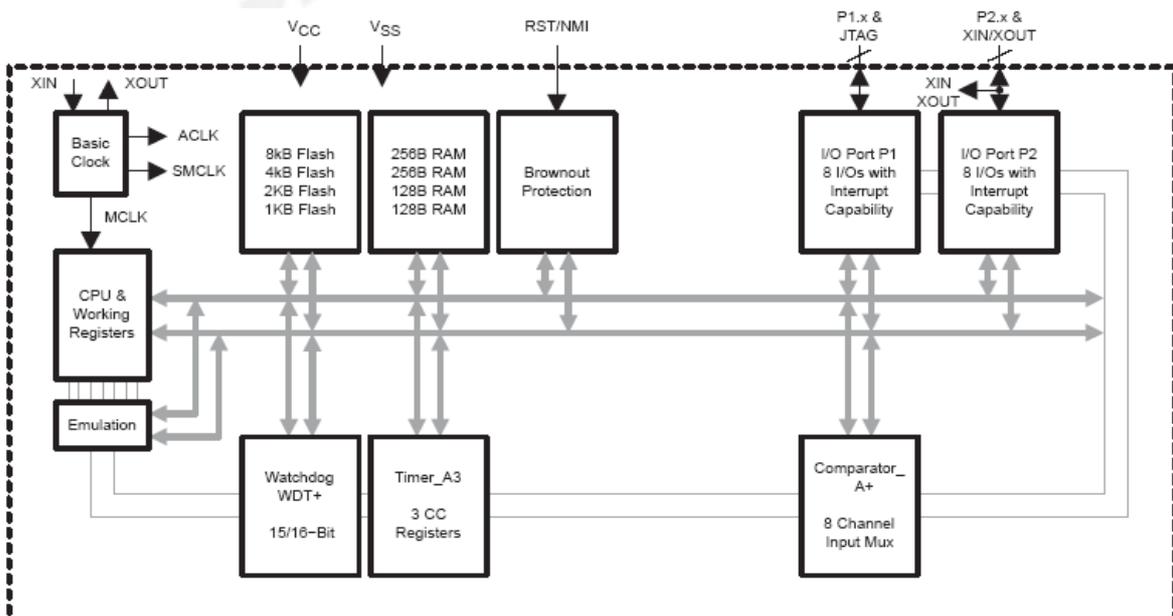
T _A	封 装			
	20 脚 SOWB (DW)	20 脚 TSSOP (PW)	20 脚 TVSOP (DGV)	24 脚 QFN (RGE)
-40 85	MSP430F2101IDW	MSP430F2101IPW	MSP430F2101IDGV	MSP430F2101IRGE
	MSP430F2111IDW	MSP430F2111IPW	MSP430F2111IDGV	MSP430F2111IRGE
	MSP430F2121IDW	MSP430F2121IPW	MSP430F2121IDGV	MSP430F2121IRGE
	MSP430F2131IDW	MSP430F2131IPW	MSP430F2131IDGV	MSP430F2131IRGE

引脚定义



注：NC 脚内部没有连接

功能模块图



引脚功能定义

引 脚				引 脚 说 明
名称	DW,PW,DGV 引脚号	RGE 引脚号	I/O	
P1.0/TACLK	13	13	I/O	通用数字 I/O 口/定时器 A 时钟信号 TACLK 输入
P1.1/TA0	14	14	I/O	通用数字 I/O 口/定时器 A 捕获方式 CCI0A 输入; 比较方式 OUT0 输出/BSL 发送端
P1.2/TA1	15	15	I/O	通用数字 I/O 口/定时器 A 捕获方式: CCI1A 输入; 比较方式: OUT1 输出
P1.3/TA2	16	16	I/O	通用数字 I/O 口/定时器 A 捕获方式: CCI2A 输入; 比较方式: OUT2 输出
P1.4/SMCLK/TCK	17	17	I/O	通用数字 I/O 口/SMCLK 信号输出/在芯片编程和测试时作测试时钟输入端
P1.5/TA0/TMS	18	18	I/O	通用数字 I/O 口/定时器 A 比较方式 OUT0 输出/测试模式选择,在芯片编程和测试时作输入端
P1.6/TA1/TDI/ TCLK	19	20	I/O	通用数字 I/O 口/定时器 A 比较方式 OUT1 输出/在芯片编程和测试时作数据和时钟输入端
P1.7/TA2/TDO/ TDI	20	21	I/O	通用数字 I/O 口/定时器 A 比较方式 OUT2 输出/在芯片编程和测试时作数据输出/输入端
P2.0/ACLK/CA2	8	6	I/O	通用数字 I/O 口/ACLK 输出端/比较器 A+ CA2 输入
P2.1/INCLK/CA3	9	7	I/O	通用数字 I/O 口/定时器 A INCLK 时钟输入/比较器 A+ CA3 输入
P2.2/CAOUT/ CA0/CA4	10	8	I/O	通用数字 I/O 口/定时器 A 捕获方式 CCI0B 输入/ 比较器 A+ 输出/比较器 A+ CA4 输入/BSL 接收端
P2.3/CA0/CA1	11	10	I/O	通用数字 I/O 口/定时器 A 比较方式: OUT1 输出/ 比较器 A+ CA0 输入
P2.4/CA1/CA2	12	11	I/O	通用数字 I/O 口/定时器 A 比较方式 OUT2 输出/ 比较器 A+ CA1 输入
P2.5/CA5	3	24	I/O	通用数字 I/O 口/比较器 A+ CA5 输入
XIN/P2.6/CA6	6	4		晶体振荡器输入端/通用数字 I/O 口/比较器 A+ CA6 输入
XOUT/P2.7/CA7	5	3	I/O	晶体振荡器输出端/通用数字 I/O 口/比较器 A+ CA7 输入
$\overline{\text{RST}}$ /NMI	7		I	复位或非屏蔽中断输入
TEST	1	22	I	JTAG 测试模式选择; 器件的安全熔丝连接在该引脚上
Vcc	2	23		电源正端
Vss	4	2		电源地
QFN Pad	不存在	封装衬垫		建议将其连接到 Vss

注：TDO/TDI 是通过 JTAG 指令选择的

当 XOUT/P2.7/CA7 作为输入端口时：若没有将 P2SEL.7 复位，则有大电流流出.原因是复位后振荡器的输出驱动连接在该引脚上

简介

CPU

MSP430 CPU 特有的 16 位精简指令架构体系,除跳转指令外,所有的操作指令都是通过源操作数的 7 种寻址方式和目的操作数的 4 种寻址方式的组合来对寄存器进行的。

CPU 集成了 16 个寄存器,极大地缩短了指令执行周期,寄存器到寄存器的指令只需一个机器周期。其中 R0-R3 寄存器有特殊用途,分别用作程序计数器、堆栈指针、状态寄存器和常数发生器。其他寄存器可作为通用寄存器使用,外围模块通过数据,地址和控制总线与 CPU 相连,CPU 通过操作指令可以方便对它们进行控制。

程序计数器	PC/R0
堆栈指针	SP/R1
状态寄存器	SR/CG1/R2
常数寄存器	CG2/R3
通用寄存器	R4
通用寄存器	R5
通用寄存器	R6
通用寄存器	R7
通用寄存器	R13
通用寄存器	R14
通用寄存器	R15

指令集

指令集包括 3 种格式和 7 种寻址方式的 51 条指令。每条指令均可操作字或字节类型的数据,表 1 给出了 3 种指令格式的例子,寻址方式见表 2

表 1 指令格式

双操作数,源-目的	e.g ADD R4, R5	R4+R5 R5
单操作数	e.g CALL R8	PC (TOS),R8 PC
相对转移,条件或无条件	e.g JNE	Z=0 时跳转

表 2 寻址方式

寻址方式	S	D	语法	示例	说明
寄存器寻址			MOV Rs, Rd	MOV R10, R11	R10 R11
相对寻址			MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2+R5) M(6+R6)
符号(相对 PC)寻址			MOV EDE, EONI		M(EDE) M(TONI)
绝对寻址			MOV &MEM, &TCDAT		M(MEM) M(TCDAT)
间接寻址			MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) M(Tab+R6)
间接变址寻址			MOV @Rn+, Rm	MOV @R10+, R11	M(R10) R11 R10+2 R10
立即数			MOV #X, TONI	MOV #45, TONI	#45 M(TONI)

注：S 为源操作数，D 为目的操作数。

工作模式

MSP430 有一个活动模式和 5 个可软件设置的低功耗模式.中断事件可把系统从任何低功耗模式唤醒,并且在执行完中断服务例程后可返回到中断前的工作状态.

MSP430 支持如下 6 种运行模式,可软件设置:

- 活动模式 AM
 - 所有时钟信号活动
- 低功耗模式 0 LPM0
 - CPU 关闭
 - ACLK 和 SMCLK 信号活动
 - MCLK 停止
- 低功耗模式 1 LPM1
 - CPU 关闭
 - ACLK 和 SMCLK 信号活动.
 - MCLK 停止, 若 DCO 没有被使用,DCO 发生器关闭
- 低功耗模式 2 LPM2
 - CPU 关闭
 - MCLK 和 SMCLK 停止.
 - ACLK 保持活动
 - DCO 发生器保持活动
- 低功耗模式 3 LPM3
 - CPU 关闭
 - MCLK 和 SMCLK 停止.
 - DCO 发生器停止
 - ACLK 保持活动
- 低功耗模式 4 LPM4
 - CPU 关闭
 - MCLK 和 SMCLK 停止.
 - ACLK 停止
 - DCO 发生器停止
 - 晶体振荡器停止

中断向量地址

中断向量地址和上电复位地址位于 0FFFFh-0FFE0h 中.中断矢量包括各种中断服务例程的 16 位入口地址,如果复位中断矢量包含 0FFFFH(例如 FLASH 没有编程),CPU 直接进入 LPM4 工作模式.

中断源	中断标志	系统中断	字地址	优先级
上电 外部复位 看门狗溢出 FLASH 访问错误 PC 越界(注释 1)	PORIFG RSTIFG WDTIFG KEYV (注释 2)	Reset	0FFFEh	15(最高)
非屏蔽中断 NMI 振荡器错误 非法访问 FLASH 存储器	NMIIFG OFIFG ACCIFG (注释 2&4)	(非)可屏蔽 (非)可屏蔽 (非)可屏蔽	0FFFC h	14

			0FFFAh	13
			0FFF8h	12
比较器 A+	CAIFG	可屏蔽	0FFF6h	11
看门狗定时器模式	WDTIFG	可屏蔽	0FFF4h	10
定时器 A3	TACCR0 CCIFG(注释 3)	可屏蔽	0FFF2h	9
定时器 A3	TACCR1 CCIFG TACCR2 CCIFG TAIFG(注释 2&3)	可屏蔽	0FFF0h	8
			0FFEEh	7
			0FFEC h	6
			0FFEAh	5
			0FFE8h	4
P2 口 (8 标志位)	P2IFG.0-P2IFG7 (注释 2&3)	可屏蔽	0FFE6h	3
P1 口 (8 标志位)	P1IFG.0-P1IFG7 (注释 2&3)	可屏蔽	0FFE4h	2
			0FFE2h	1
			0FFE0h	0

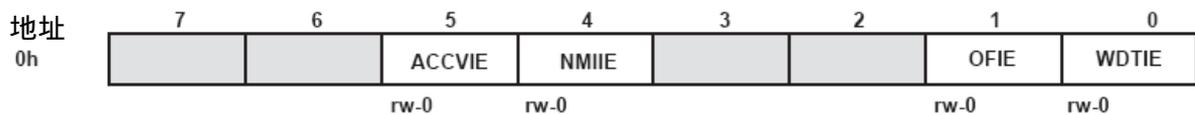
注：

- 1、CPU 从外围功能模块寄存器(0h-1Fh)取指令时将触发 Reset 信号
- 2、源中断标志
- 3、中断标志在该模块内部
- 4、(非)可屏蔽中断指的是相应的允许位可禁止该中断，但总中断允许屏蔽不了的中断。非屏蔽中断指的是总中断允许和相应中断允许位都禁止不了的中断

特殊功能寄存器

MSP430 多数的中断允许和模块使能位寄存器处于低地址区域,可通过字节访问指令访问。未定义的位在物理上没有该位。

中断使能寄存器 1 和 2



WDTIE: 看门狗定时器中断允许.只有在定时器模式下有效,看门狗模式下无效

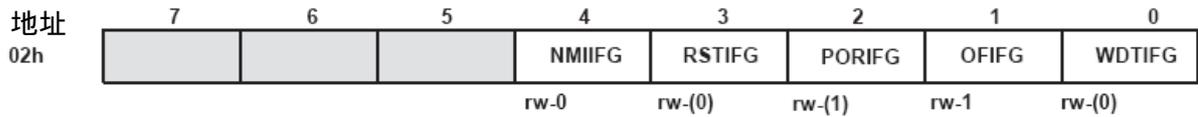
OFIE: 振荡器错误中断允许

NMIIE: 非可屏蔽中断允许

ACCVIE: 访问 FLASH 存储器错误中断允许



中断标志寄存器 1 和 2



WDTIFG: 看门狗定时器溢出、看门狗写口令错误时置位

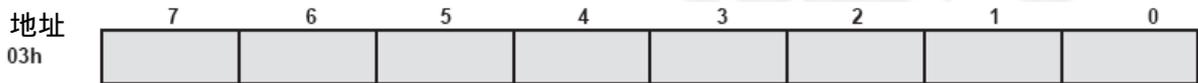
$\overline{V_{cc}}$ 上电复位或 \overline{RST} / NMI 引脚引起复位时清除

OFIFG: 振荡器错误时置位

RSTIFG: 外部复位中断标志. \overline{RST} / NMI 引脚引起复位时置位,上电复位清除

PORIFG: 上电中断标志.上电时置位

NMIIFG: 通过 \overline{RST} / NMI 置位

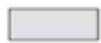


图例:

rw: 该位可读可写。

rw-0,1 该位可读可写, PUC 时被置位或复位

rw-(0,1) 该位可读可写, POR 时被置位或复位



该类型器件中没有该位

存储器组织

		MSP430F2101	MSP430F2111	MSP430F2121	MSP430F2131
存储器	大小	1KB	2KB	4KB	8KB
中断向量	FLASH	0FFFFh-0FFFEh	0FFFFh-0FFFEh	0FFFFh-0FFFEh	0FFFFh-0FFFEh
代码存储区	FLASH	0FFFFh-0FC00h	0FFFFh-0F800h	0FFFFh-0F000h	0FFFFh-0E000h
信息存储区	大小	256 Byte	256 Byte	256 Byte	256 Byte
	FLASH	010FFh-01000h	010FFh-01000h	010FFh-01000h	010FFh-01000h
引导存储区	大小	1KB	1KB	1KB	1KB
	ROM	0FFFh-0C00h	0FFFh-0C00h	0FFFh-0C00h	0FFFh-0C00h
RAM	大小	128 Byte	128 Byte	256 Byte	256 Byte
		027Fh-0200h	027Fh-0200h	02FFh-0200h	02FFh-0200h
外围模块	16 位	01FFh-0100h	01FFh-0100h	01FFh-0100h	01FFh-0100h
	8 位	0FFh-010h	0FFh-010h	0FFh-010h	0FFh-010h
	8 位 SFR	0Fh-00h	0Fh-00h	0Fh-00h	0Fh-00h

引导装载程序(BSL)

MSP430 的引导装载程序使用户可以利用 UART 串口通信接口访问 FLASH 存储器和 RAM。BSL 对 MSP430 存储器的访问受保护口令的限制,需要详细了解 BSL 的特性和实现,请参考 MSP430 的应用文献 MSP430 Bootstrap Loader, 文献编号 SLAA089。

BSL 功能端	DW,PW,DGV 封装	RGE 封装
数据发送端	14-P1.1	14-P1.1
数据接收端	10-P2.2	8-P2.2

FLASH 存储器

FLASH 存储器可由 JTAG、BSL 和 CPU 进行读写。CPU 可进行字节或字的读写。其特性包括：
FLASH 存储器包括 n 段主存储器(每段 512 字节)和 4 个信息段(A、B、C、D,每段 64 字节)。

段 0~n 可以一次性擦除,也可以每段单独擦除。

段 A 到段 D 可单独擦除,也可以和段 0-n 一起擦除

段 A 中包含器件的校正数据,复位后该段禁止编程和擦除。它可以被开锁,但若需要这些校正数据,请不要擦除该段。

外围模块

外围模块通过数据总线、地址总线和控制总线和 CPU 相连,并可通过指令对其进行访问。需要获取详细资料,请参考 MSP430x2xx Family User's Guide

振荡器和时钟

系统时钟模块包括:32768Hz 晶体振荡器、片内数字控制振荡器和外部高频晶体振荡器。时钟模块的独特设计可满足低成本和低功耗的要求。内部 DCO 可在 1us 快速启动和稳定。基本时钟模块包括:

辅助时钟 ACLK,来自 32768Hz 晶振或高频晶振

系统主时钟 MCLK,用来给 CPU 提供时钟信号

次主时钟 SMCLK,用于外围模块的时钟信号

DCO 的校正数据保存在信息段 A 中

DCO 频率	校正寄存器	大小	地址
1MHz	CALBC1_1MHz	1 字节	010FFh
	CALDCO_1MHz	1 字节	010FEh
8MHz	CALBC1_8MHz	1 字节	010FDh
	CALDCO_8MHz	1 字节	010FCh
12MHz	CALBC1_12MHz	1 字节	010FBh
	CALDCO_12MHz	1 字节	010FAh
16MHz	CALBC1_16MHz	1 字节	010F9h
	CALDCO_16MHz	1 字节	010F8h

电源检测

电源检测电路用来实现上电和掉电时产生合适的内部复位信号

数字 I/O

本类型器件包括 2 个 8 位 I/O 口-P1 &P2

所有 I/O 位可单独编程设置

端口可以作为输入、输出和中断输入的任意组合

P1 和 P2 的所有引脚都可以选择中断触发沿

所有指令支持对端口控制寄存器的读写

每个 I/O 都有独立的可编程上拉/下拉电阻

看门狗 WDT+

看门狗定时器(WDT+)模块主要功能是在发生软件问题后进行可控制的系统重启。若看门狗溢出将使系统产生复位,若应用中不需要看门狗功能,可将该模块配置为间隔定时器,在选定的时间间隔产生中断信号。

比较器 A+

比较器的主要是用来实现高精度的斜坡 A/D 转换，电池电压检测和外部模拟信号检测。

定时器 A3

定时器 A3 是一个带 3 个捕获/比较寄存器的 16 位定时器/计数器，定时器 A3 可同时支持多个捕获/比较；PWM 输出和内部定时。定时器 A3 也能触发多个中断，中断可以由计数器溢出或捕获/比较寄存器产生。

定时器 A3 信号引脚连接

输入信号引脚号		输入信号名称	模块信号名称	模块	模块输出信号	输出信号引脚号	
DW,PW,DGV	RGE					DW,PW,DGV	RGE
13-P1.0	13-P1.0	TACLK	TACLK	定时器	无		
		ACLK	ACLK				
		SMCLK	SMCLK				
9-P2.1	7-P2.1	INCLK	INCLK				
14-P1.1	14-P1.1	TA0	CCI0A	CCR0	TA0	14-P1.1	14-P1.1
10-P2.2	8-P2.2	TA0	CCI0B			18-P1.5	18-P1.5
		Vss	GND				
		Vcc	Vcc				
15-P1.2	15-P1.2	TA1	CCI1A	CCR1	TA1	11-P2.3	10-P2.3
		CAOUT(内部)	CCI1B			15-P1.2	15-P1.2
		Vss	GND			19-P1.6	20-P1.6
		Vcc	Vcc				
16-P1.3	16-P1.3	TA2	CCI2A	CCR2	TA2	12-P2.4	11-P2.4
		ACLK(内部)	CCI2B			16-P1.3	16-P1.3
		Vss	GND			20-P1.7	21-P1.7
		Vcc	Vcc				

外围模块布局

字访问的外围模块寄存器

定时器 A3	保留		017Eh
	保留		017Ch
	保留		017Ah
	保留		0178h
	捕获/比较寄存器	TACCR2	0176h
	捕获/比较寄存器	TACCR1	0174h
	捕获/比较寄存器	TACCR0	0172h
	计数寄存器	TAR	0170h
	保留		016Eh
	保留		016Ch
	保留		016Ah
	保留		0168h
	捕获/比较控制寄存器	TACCTL2	0166h

	捕获/比较控制寄存器	TACCTL1	0164h
	捕获/比较控制寄存器	TACCTL0	0162h
	定时器控制寄存器	TACTL	0160h
	定时器中断字寄存器	TAIV	012Eh
FLASH 存储器	FLASH 控制寄存器 3	FCTL3	012Ch
	FLASH 控制寄存器 2	FCTL2	012Ah
	FLASH 控制寄存器 1	FCTL1	0128h
看门狗	看门狗/定时器寄存器	WDTCTL	0120h

字节访问的外围模块寄存器

比较器 A	比较器端口禁止寄存器	CAPD	05Bh
	比较器控制寄存器 2	CACTL2	05Ah
	比较器控制寄存器 1	CACTL1	059h
基本时钟	系统基本时钟控制寄存器 3	BCSCTL3	053h
	系统基本时钟控制寄存器 2	BCSCTL2	058h
	系统基本时钟控制寄存器 1	BCSCTL1	057h
	DCO 频率控制寄存器	DCOCTL	056h
P2 口	P2 上拉电阻允许寄存器	P2REN	02Fh
	P2 功能选择寄存器	P2SEL	02Eh
	P2 中断允许寄存器	P2IE	02Dh
	P2 中断沿选择寄存器	P2IES	02Ch
	P2 中断标志寄存器	P2IFG	02Bh
	P2 方向选择寄存器	P2DIR	02Ah
	P2 输出寄存器	P2OUT	029h
	P2 输入寄存器	P2IN	028h
P1 口	P1 上拉电阻允许寄存器	P1REN	027h
	P1 功能选择寄存器	P1SEL	026h
	P1 中断允许寄存器	P1IE	025h
	P1 中断沿选择寄存器	P1IES	024h
	P1 中断标志寄存器	P1IFG	023h
	P1 方向选择寄存器	P1DIR	022h
	P1 输出寄存器	P1OUT	021h
	P1 输入寄存器	P1IN	020h
特殊功能寄存器	SFR 中断标志寄存器 2	IFG2	003h
	SFR 中断标志寄存器 1	IFG1	002h
	SFR 中断允许寄存器 2	IE2	001h
	SFR 中断允许寄存器 1	IE1	000h

绝对最大范围

 供电电压 $V_{CC}-V_{SS}$: ----- - 0.3 ~ 4.1V

 引脚外加电压 : ----- - 0.3 ~ $V_{CC}+0.3V$

 二极管电流 : ----- $\pm 2mA$

存储温度(未编程芯片) : ----- - 55 ~ 150

(编程芯片) : ----- - 40 ~ 85

- 注：1、特别指出的是超过“最大额定范围”可能导致器件的永久损坏.所有参数都只是特定范围的指标,不包括器件在超出规定范围的工作特性.在最大额定条件下使用可能导致器件不稳定。
- 2、所有电压都是相对于 V_{SS} 来说的.但烧 JTAG 安全熔丝的电压 V_{FB} 可以超出最大绝对电压值,该电压在烧熔丝时加在 TEST 引脚上。
- 3、在电路板的焊接过程中可以根据 JEDEC-STD-020 的规定要求,温度可以高于以上最高温度。

推荐工作条件

		最小	典型	最大	单位
Supply voltage during program execution, V_{CC}	MSP430F21x1	1.8		3.6	V
Supply voltage during program/erase flash memory, V_{CC}	MSP430F21x1	2.2		3.6	V
Supply voltage, V_{SS}			0		V
Operating free-air temperature range, T_A	MSP430F21x1	-40		85	°C
Processor frequency f_{SYSTEM} (Maximum MCLK frequency)	$V_{CC} = 1.8\text{ V}$, Duty Cycle = 50% $\pm 10\%$	dc		6	MHz
	$V_{CC} = 2.2\text{ V}$, Duty Cycle = 50% $\pm 10\%$	dc		8	
	$V_{CC} = 2.7\text{ V}$, Duty Cycle = 50% $\pm 10\%$	dc		12	
	$V_{CC} = 3.0\text{ V}$, Duty Cycle = 50% $\pm 10\%$	dc		TBD, >12MHz	
	$V_{CC} = 3.3\text{ V}$, Duty Cycle = 50% $\pm 10\%$	dc		TBD, >12MHz	
	$V_{CC} = 3.6\text{ V}$, Duty Cycle = 50% $\pm 10\%$	dc		TBD, >12MHz	

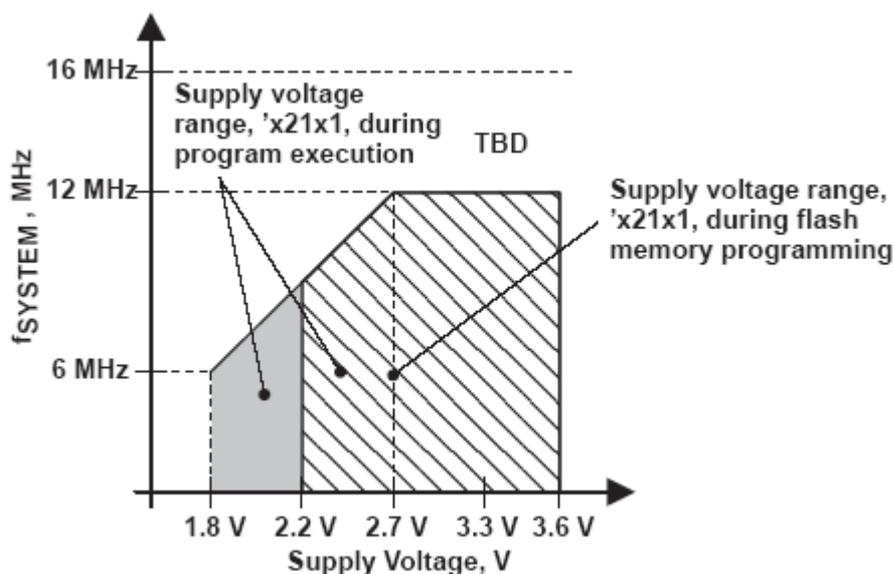


图1 工作电压与频率

注：

处理器最小频率由系统时钟决定.FLASH 存储器的编程和擦除要求 V_{CC} 不低于 2.2V

推荐工作电压和温度范围下的电气特性(除特别说明)

不包括外部电流的供电电流(经过 V_{CC})

参数	测试条件	VCC	最大	典型	最小	单位
I _{ACTIVE} Active mode current	f _{DCO} = f _{MCLK} = f _{SMCLK} = 1MHz, f _{ACLK} = 32,768Hz, Program executes in flash CPUOFF = 0, SCG0 = 0, SCG1 = 0, OSCOFF = 0	2.2 V	200	250		μA
		3 V	300	350		
I _{LPM0} Low-power mode 0 current, (LPM0) see Note 3	f _{MCLK} = 0MHz, f _{DCO} = f _{SMCLK} = 1MHz, f _{ACLK} = 32,768Hz, CPUOFF = 1, SCG0 = 0, SCG1 = 0, OSCOFF = 0	2.2 V	32	45		μA
		3 V	55	70		
I _{LPM2} Low-power mode 1 current, (LPM2) see Note 4	f _{MCLK} = f _{SMCLK} = 0MHz, f _{DCO} = 1MHz, f _{ACLK} = 32,768Hz, CPUOFF = 1, SCG0 = 0, SCG1 = 1, OSCOFF = 0	2.2 V	11	14		μA
		3 V	17	22		
I _{LPM3} Low-power mode 2 current, (LPM3) see Note 4	f _{DCO} = f _{MCLK} = f _{SMCLK} = 0MHz, f _{ACLK} = 32,768Hz, CPUOFF = 1, SCG0 = 1, SCG1 = 1, OSCOFF = 0	2.2 V	T _A = -40°C	0.7	TBD	μA
			T _A = 25°C	0.7	TBD	
			T _A = 85°C	1.0	TBD	
		3 V	T _A = -40°C	0.9	TBD	
			T _A = 25°C	0.9	TBD	
			T _A = 85°C	1.5	TBD	
I _{LPM4} Low-power mode 4 current, (LPM4) see Note 5	f _{DCO} = f _{MCLK} = f _{SMCLK} = 0MHz, f _{ACLK} = 32,768Hz, CPUOFF = 1, SCG0 = 1, SCG1 = 1, OSCOFF = 1	2.2 V/3 V	T _A = -40°C	0.1	TBD	μA
			T _A = 25°C	0.1	TBD	
			T _A = 85°C	0.8	TBD	

注：

- 1 所有输入引脚都被置为 0V 或 V_{CC}, 输出引脚没有获得输入或输出电流
2. 该电流是用 KDS 的 DT-38 晶振确定, 且 CAP_x=1
3. 包括由 SMCLK 作 WDT 和复位电路的时钟源的电流
4. 包括由 ACLK 作 WDT 和复位电路的时钟源的电流
5. 包括复位电路的电流

施密特触发输入端-P1 和 P2

参数	测试条件	最大	典型	最小	单位
V _{IT+} Positive-going input threshold voltage		0.45		0.75	V _{CC}
	V _{CC} = 2.2 V	1.00		1.65	V
	V _{CC} = 3 V	1.35		2.25	
V _{IT-} Negative-going input threshold voltage		0.25		0.55	V _{CC}
	V _{CC} = 2.2 V	0.55		1.20	V
	V _{CC} = 3 V	0.75		1.65	
V _{hys} Input voltage hysteresis (V _{IT+} - V _{IT-})	V _{CC} = 2.2 V	0.2		1.0	V
	V _{CC} = 3 V	0.3		1.0	
R _{Pull} Pull-up/pull-down resistor	For pull-up: V _{IN} = V _{SS} ; For pull-down: V _{IN} = V _{CC}	TBD		TBD	Ω
C _I Input Capacitance	V _{IN} = V _{SS} or V _{CC}			TBD	pF

中断输入-P1 和 P2

参数	测试条件	VCC	最小	典型	最大	单位
T _(int) 外部中断触发时间	P1, P2 口	2.2V	50			ns
		3V	30			

注：

1. 当外部中断触发信号宽度不小于 T_(int)时将置位中断标志, 甚至在触发信号宽度小于 T_(int)时也可能置位中断标志。

漏电流

参数	测试条件	VCC	最小	典型	最大	单位
I _{ikg} (P _{x.x}) 和其它条件无关	见注 1&2	2.2V/3V		± 50		nA

注：1、除非另外指明, 测试时相应引脚接 V_{SS} 或 V_{CC}。

- 2、数字引脚的漏电流是单个测试的, 测试时引脚被选为输入, 上拉/下拉电阻禁止。

输出特性-P1 和 P2

参 数	测试条件	VCC	最小	典型	最大	单位
V _{OH} High-level output voltage	$I_{OHmax} = -1.5 \text{ mA}$ (see Notes 1 and 3)	2.2 V	$V_{CC}-0.25$		V_{CC}	V
	$I_{OHmax} = -6 \text{ mA}$ (see Notes 2 and 3)	2.2 V	$V_{CC}-0.6$		V_{CC}	
	$I_{OHmax} = -1.5 \text{ mA}$ (see Notes 1 and 3)	3 V	$V_{CC}-0.25$		V_{CC}	
	$I_{OHmax} = -6 \text{ mA}$ (see Notes 2 and 3)	3 V	$V_{CC}-0.6$		V_{CC}	
V _{OL} Low-level output voltage	$I_{OLmax} = 1.5 \text{ mA}$ (see Notes 1 and 3)	2.2 V	V_{SS}		$V_{SS}+0.25$	V
	$I_{OLmax} = 6 \text{ mA}$ (see Notes 2 and 3)	2.2 V	V_{SS}		$V_{SS}+0.6$	
	$I_{OLmax} = 1.5 \text{ mA}$ (see Notes 1 and 3)	3 V	V_{SS}		$V_{SS}+0.25$	
	$I_{OLmax} = 6 \text{ mA}$ (see Notes 2 and 3)	3 V	V_{SS}		$V_{SS}+0.6$	
C _O Output capacitance				TBD		pF

注：

1. 所有 I_{OHmax} , I_{OLmax} 之和不要超过 $\pm 12 \text{ mA}$ ，以保证不超过规定的最大电压降。
2. 所有 I_{OHmax} , I_{OLmax} 之和不要超过 $\pm 48 \text{ mA}$ ，以保证不超过规定的最大电压降。
3. 一次只测量一个端口的负载输出特性

输出频率-P1 和 P2 口

参 数	测试条件	Vcc	最小	典型	最大	单位
$f_{Px.y}$ 端口输出频率 (加负载)	Px.y $C_L=20\text{PF}$, $R_L=1\text{K}$ (注 1&2)	2.2V			10	MHz
		3V			12	MHz
f_{Port_CLK} 输出时钟频率	P2.0/ACLK,P1.4 /SMCLK, $C_L=20\text{PF}$ (注 2)	2.2V			12	MHz
		3V			16	MHz

注：

- 1、试时将两个 0.5K 的电阻串接在 Vcc 和 Vss 之间, 端口输出接在两个电阻的中间
- 2、出电压在指定频率时达到 Vcc 的 10 % 和 90 %

输出特性-P1 和 P2 口

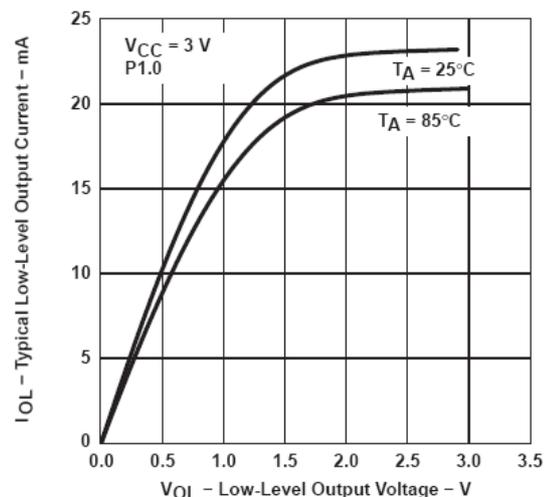
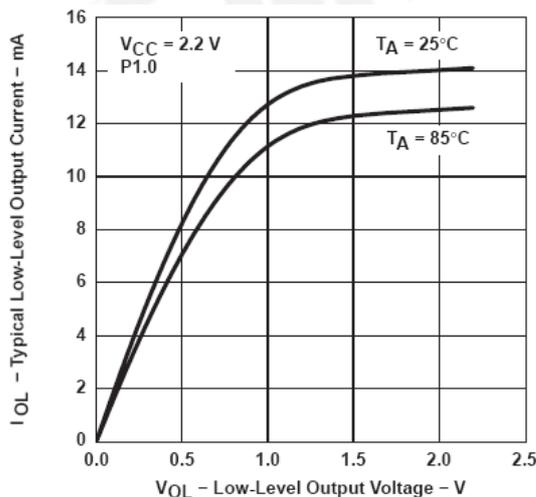


图 2 低电平输出电压与电流曲线图

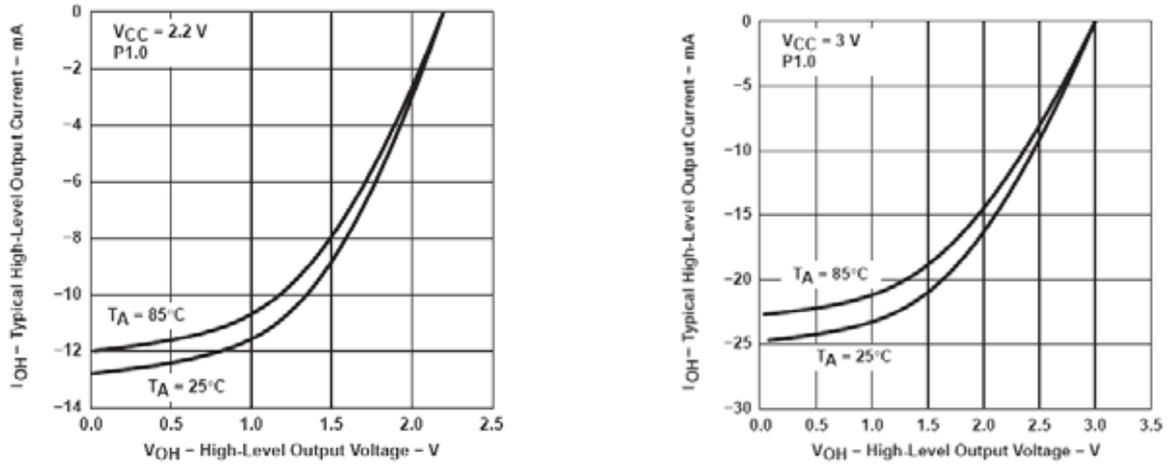


图3 高电平输出电压与电流曲线图

注：一次只测量一个端口的负载输出特性

定时器 A3

参数	测试条件	VCC	最小	典型	最大	单位
f_{TA} TA3 时钟频率	内部：SMCLK,ACLK 外部：TACLK,INCLK; 脉冲高电平宽度变化±10%	2.2V		10		MHz
		3V		16		
t_{TA} TA3 捕获时间	TA0,TA1,TA2	2.2V	50			ns
		3V	30			

比较器 A+

参数	测试条件	VCC	最大	典型	最小	单位
$I_{(DD)}$	CAON=1, CARSEL=0, CAREF=0	2.2 V		25	40	μ A
		3 V		45	60	
$I_{(RefLadder/RefDiode)}$	CAON=1, CARSEL=0, CAREF=1/2/3, no load at P2.3/CA0/TA1 and P2.4/CA1/TA2	2.2 V		30	50	μ A
		3 V		45	71	
$V_{(IC)}$ Common-mode input voltage	CAON = 1	2.2 V/3 V	0		$V_{CC}-1$	V
$V_{(Ref025)}$ $\frac{\text{Voltage @ } 0.25 V_{CC} \text{ node}}{V_{CC}}$	PCA0=1, CARSEL=1, CAREF=1, No load at P2.3/CA0/TA1 and P2.4/CA1/TA2	2.2 V/3 V	0.23	0.24	0.25	
$V_{(Ref050)}$ $\frac{\text{Voltage @ } 0.5V_{CC} \text{ node}}{V_{CC}}$	PCA0=1, CARSEL=1, CAREF=2, No load at P2.3/CA0/TA1 and P2.4/CA1/TA2	2.2 V/3 V	0.47	0.48	0.5	
$V_{(RefVT)}$ (see Figure 8 and Figure 9)	PCA0=1, CARSEL=1, CAREF=3, No load at P2.3/CA0/TA1 and P2.4/CA1/TA2, $T_A = 85^\circ\text{C}$	2.2 V	390	480	540	mV
		3 V	400	490	550	
$V_{(offset)}$ Offset voltage	See Note 2	2.2 V/3 V	-30		30	mV
V_{hys} Input hysteresis	CAON=1	2.2 V/3 V	0	0.7	1.4	mV
$t_{(response LH)}$	$T_A = 25^\circ\text{C}$, Overdrive 10 mV, Without filter: CAF=0	2.2 V	160	210	300	ns
		3 V	90	150	240	
	$T_A = 25^\circ\text{C}$, Overdrive 10 mV, With filter: CAF=1	2.2 V	1.4	1.9	3.4	μ s
		3 V	0.9	1.5	2.6	
$t_{(response HL)}$	$T_A = 25^\circ\text{C}$, Overdrive 10 mV, Without filter: CAF=0	2.2 V	130	210	300	ns
		3 V	80	150	240	
	$T_A = 25^\circ\text{C}$, Overdrive 10 mV, With filter: CAF=1	2.2 V	1.4	1.9	3.4	μ s
		3 V	0.9	1.5	2.6	

 注：1、比较器端口的漏电流和 $I_{ikg}(P_x.y)$ 相同。

2、在连续测量时可用 CAEX 位交换输入引脚的极性从而抵消累积电荷产生的电压。

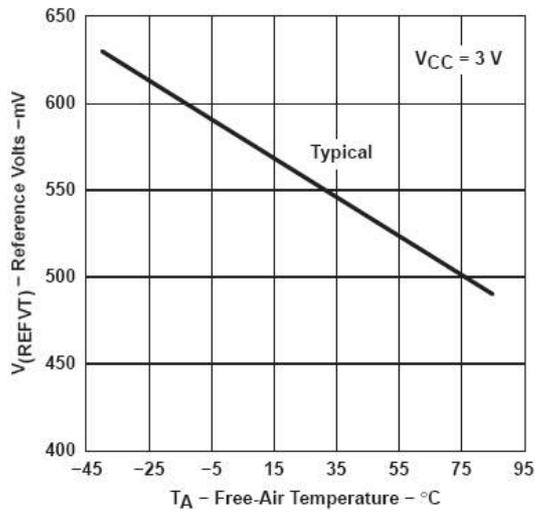
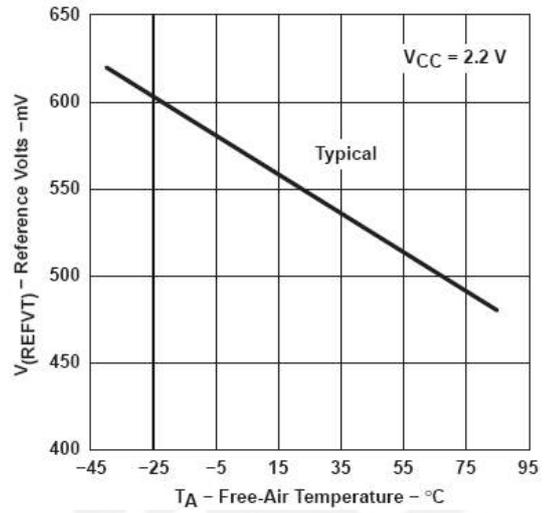
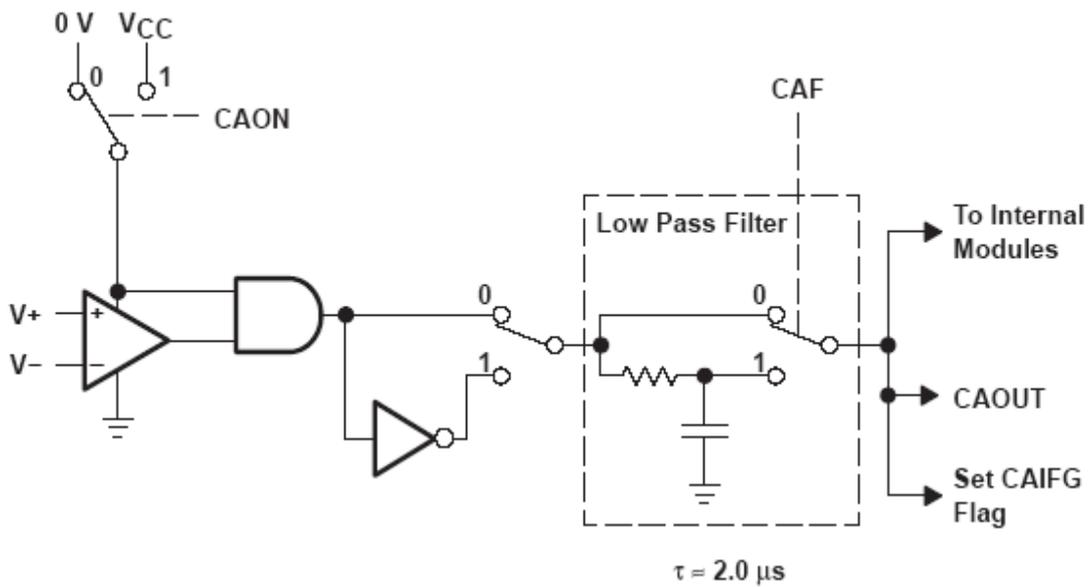
典型电气特性

 图 4 $V_{(REFVT)}$ VS 温度 $V_{CC}=3V$

 图 5 $V_{(REFVT)}$ VS 温度 $V_{CC}=2.2V$


图 6 比较器 A 模块

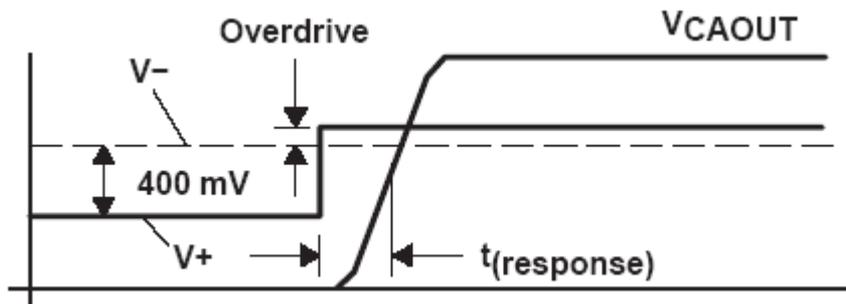


图 7 驱动过载定义

参数	测试条件	最大	典型	最小	单位
$t_d(\text{BOR})$				2000	μs
$V_{CC}(\text{start})$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13)	$0.7 \times V_{(B_IT-)}$			V
$V_{(B_IT-)}$	Brownout (see Note 2)			1.71	V
$V_{\text{hys}}(\text{B_IT-})$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 13)	70	130	180	mV
$t_{\text{(reset)}}$	Pulse length needed at RST/NMI pin to accepted reset internally, $V_{CC} = 2.2 \text{ V}/3 \text{ V}$	2			μs

注：

- 1、rownout 模块的电流消耗已经包含在 I_{cc} 里， $V_{(B_IT-)} + V_{\text{hys}}(\text{B_IT+}) < 1.8\text{V}$
- 2、电后在 $V_{CC} = V_{(B_IT-)} + V_{\text{hys}}(\text{B_IT+})$ 后 $T_d(\text{BOR})$ 开始执行代码。DCO 的缺省设置必须保持不变直到 $V_{CC} > V_{CC}(\text{MIN})$ ， $V_{CC}(\text{MIN})$ 即在该频率下工作所需的最低供电电压。

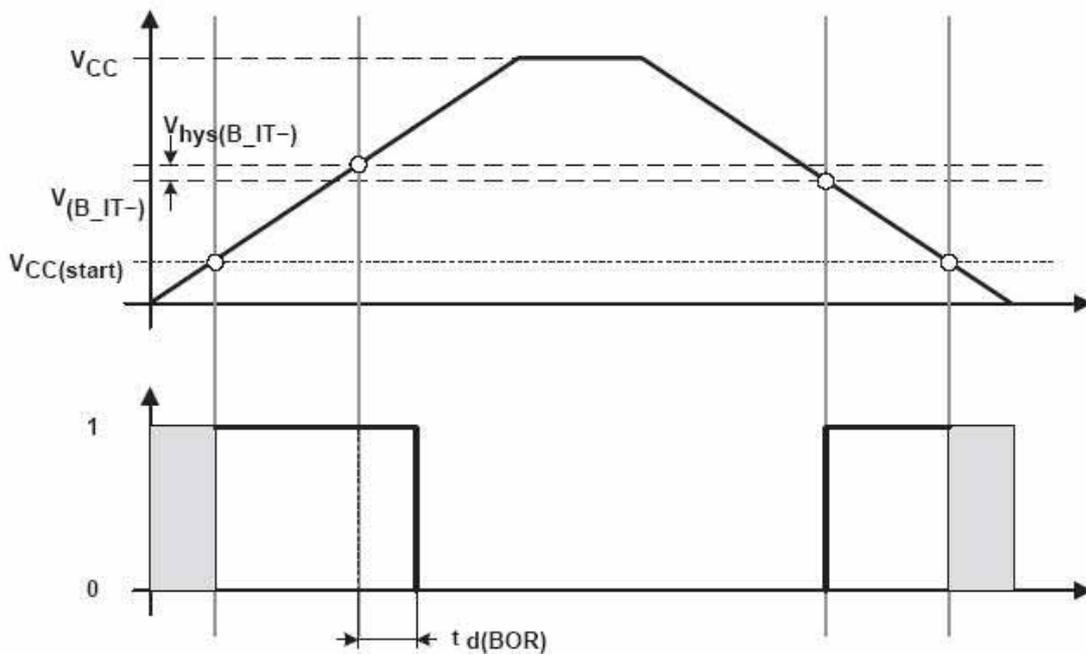


图 8 POR/Brownout 复位 VS 供电电压

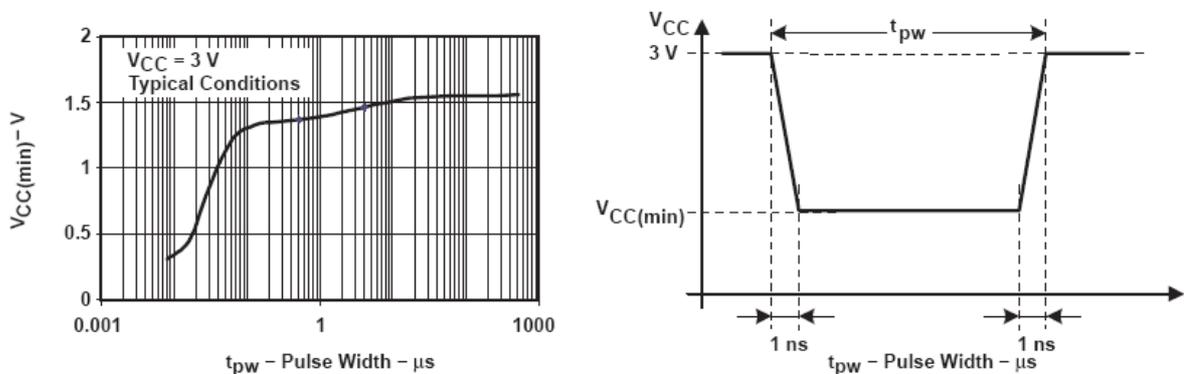


图 9 方形波下降到 $V_{CC}(\text{MIN})$ 产生 POR/Brownout 信号

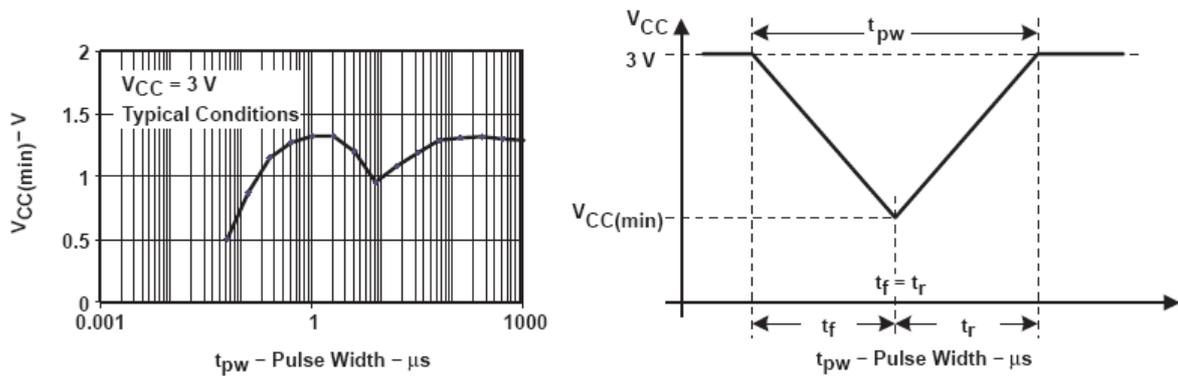


图 10 三角波下降到 VCC(MIN)产生 POR/Brownout 信号

DCO 主要特性

由 RSEL_x 选择设置的频率可与由 RSEL_{x+1} 选择的频率相重叠，如 RSEL_{x=0} 选择的频率可等于 RSEL_{x=1} 选定的频率等。

DCO 控制位 DCO_x 所代表的一步大小由参数 S_{DCO} 指定

调制控制位 MOD_x 用于指定在 32 个 DCOCLK 中 f_{DCO(RSEL,DCO+1)} 和 f_{DCO(RSEL,DCO)} 的使用频率比。混合频率计算如下：

$$f_{average} = \frac{32 \times f_{DCO(RSEL,DCO)} \times f_{DCO(RSEL,DCO+1)}}{MOD \times f_{DCO(RSEL,DCO)} + (32 - MOD) \times f_{DCO(RSEL,DCO+1)}}$$

DCO 频率

参数	测试条件	VCC	最大	典型	最小	单位
f _{DCO(0,3)}	RSEL _x = 0, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.08		0.12	MHz
f _{DCO(1,3)}	RSEL _x = 1, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.10		0.15	MHz
f _{DCO(2,3)}	RSEL _x = 2, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.14		0.20	MHz
f _{DCO(3,3)}	RSEL _x = 3, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.21		0.29	MHz
f _{DCO(4,3)}	RSEL _x = 4, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.29		0.40	MHz
f _{DCO(5,3)}	RSEL _x = 5, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.41		0.56	MHz
f _{DCO(6,3)}	RSEL _x = 6, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.58		0.77	MHz
f _{DCO(7,3)}	RSEL _x = 7, DCO _x = 3, MOD _x = 0	2.2 V/3 V	0.81		1.07	MHz
f _{DCO(8,3)}	RSEL _x = 8, DCO _x = 3, MOD _x = 0	2.2 V/3 V	1.14		1.54	MHz
f _{DCO(9,3)}	RSEL _x = 9, DCO _x = 3, MOD _x = 0	2.2 V/3 V	1.67		2.27	MHz
f _{DCO(10,3)}	RSEL _x = 10, DCO _x = 3, MOD _x = 0	2.2 V/3 V	2.35		3.25	MHz
f _{DCO(11,3)}	RSEL _x = 11, DCO _x = 3, MOD _x = 0	2.2 V/3 V	2.94		4.07	MHz
f _{DCO(12,3)}	RSEL _x = 12, DCO _x = 3, MOD _x = 0	2.2 V/3 V	4.15		5.67	MHz
f _{DCO(13,3)}	RSEL _x = 13, DCO _x = 3, MOD _x = 0	2.2 V/3 V	5.70		7.45	MHz
f _{DCO(14,3)}	RSEL _x = 14, DCO _x = 3, MOD _x = 0	2.2 V/3 V	8.25		11.3	MHz
f _{DCO(15,3)}	RSEL _x = 15, DCO _x = 3, MOD _x = 0	2.2 V/3 V	10.9		16.5	MHz
f _{DCO(15,7)}	RSEL _x = 15, DCO _x = 7, MOD _x = 0	2.2 V/3 V	16.0		23.0	MHz
S _{RSEL}	S _{RSEL} = f _{DCO(RSEL+1,DCO)} /f _{DCO(RSEL,DCO)}	2.2 V/3 V			1.4	ratio
S _{DCO}	S _{DCO} = f _{DCO(RSEL,DCO+1)} /f _{DCO(RSEL,DCO)}	2.2 V/3 V	1.05	1.10	1.12	
Duty Cycle	Measured at P1.4/SMCLK	2.2 V/3 V	45	50	55	%

DCO 漂移

$D_{T(0,3)}$	Temperature drift (Box Method), RSELx = 0, DCOx = 3, MODx = 0 $T_A = -40^{\circ}\text{C} - +85^{\circ}\text{C}$ (see Note 1)	2.2 V/3 V		TBD	%
$D_{T(7,3)}$	Temperature drift (Box Method), RSELx = 7, DCOx = 3, MODx = 0 $T_A = -40^{\circ}\text{C} - +85^{\circ}\text{C}$ (see Note 1)	2.2 V/3 V		TBD	%
$D_{T(15,3)}$	Temperature drift (Box Method), RSELx = 15, DCOx = 3, MODx = 0 $T_A = -40^{\circ}\text{C} - +85^{\circ}\text{C}$ (see Note 1)	2.2 V/3 V		TBD	%
$D_{V(0,3)}$	Supply voltage drift (Box Method), RSELx = 0, DCOx = 3, MODx = 0 $T_A = 25^{\circ}\text{C}$ (see Note 1)	1.8 V - 3.6 V		TBD	%
$D_{T(7,3)}$	Supply voltage drift (Box Method), RSELx = 7, DCOx = 3, MODx = 0 $T_A = 25^{\circ}\text{C}$ (see Note 1)	1.8 V - 3.6 V		TBD	%
$D_{T(15,3)}$	Supply voltage drift (Box Method), RSELx = 15, DCOx = 3, MODx = 0 $T_A = 25^{\circ}\text{C}$ (see Note 1)	1.8 V - 3.6 V		TBD	%
$D_{T(0,3)}$	Total drift (Box Method), RSELx = 0, DCOx = 3, MODx = 0 $T_A = -40^{\circ}\text{C} - +85^{\circ}\text{C}$ (see Note 1)	1.8 V - 3.6 V		TBD	%
$D_{T(7,3)}$	Total drift (Box Method), RSELx = 7, DCOx = 3, MODx = 0 $T_A = -40^{\circ}\text{C} - +85^{\circ}\text{C}$ (see Note 1)	1.8 V - 3.6 V		TBD	%
$D_{T(15,3)}$	Total drift (Box Method), RSELx = 15, DCOx = 3, MODx = 0 $T_A = -40^{\circ}\text{C} - +85^{\circ}\text{C}$ (see Note 1)	1.8 V - 3.6 V		TBD	%

注 1、这些参数不是大量产品的测试结果。

从低功耗模式(LPM3/4)唤醒的特性

参 数		测试条件	VCC	最大	典型	最小	单位
$t_{\text{Clock,LPM3/4}}$	DCO clock wake-up time from LPM3/4 (see Note 1)	$f_{\text{DCO}} = f_{\text{DCO}(3,3)}$, RSELx = 3, DCOx = 3	2.2 V/3 V			7	μs
		$f_{\text{DCO}} = f_{\text{DCO}(7,3)}$, RSELx = 7, DCOx = 3	2.2 V/3 V			2	
		$f_{\text{DCO}} = f_{\text{DCO}(11,3)}$, RSELx = 11, DCOx = 3	2.2 V/3 V			1.5	
		$f_{\text{DCO}} = f_{\text{DCO}(15,3)}$, RSELx = 15, DCOx = 3	2.2 V/3 V			1.0	
$t_{\text{CPU,LPM3/4}}$	CPU wake-up time from LPM3/4 (see Note 2)					$\frac{1}{f_{\text{MCLK}}}$ +	$t_{\text{Clock,LPM3/4}}$

注：

- 1、DCO 时钟唤醒时间是指从外部唤醒信号的边沿到时钟引脚(MCLK/SMCLK)上出现时钟信号。
- 2、只有在 DCOCLK 被用作 MCLK 时参数有效。

晶体振荡器 LFXT1

参数	测试条件	VCC	最大	典型	最小	单位			
f _{LFXT1,LF}	LFXT1 oscillator crystal frequency, LF mode 0, 1	XTS = 0, LFXT1Sx = 0 or 1	32,768			Hz			
f _{LFXT1,HF0}	LFXT1 oscillator crystal frequency, HF mode 0	XTS = 1, LFXT1Sx = 0	0.4		1	MHz			
f _{LFXT1,HF1}	LFXT1 oscillator crystal frequency, HF mode 1	XTS = 1, LFXT1Sx = 1	1		4	MHz			
f _{LFXT1,HF2}	LFXT1 oscillator crystal frequency, HF mode 2	XTS = 1, LFXT1Sx = 2	2		16	MHz			
f _{LFXT1,LF,logic}	LFXT1 oscillator logic level square wave input frequency, LF mode	XTS = 0, LFXT1Sx = 3	10,000	32,768	50,000	Hz			
f _{LFXT1,HF,logic}	LFXT1 oscillator logic level square wave input frequency, HF mode	XTS = 1, LFXT1Sx = 3	0.4		16	MHz			
ESR _{LF}	Supported ESR for LF crystals	XTS = 0, LFXT1Sx = 0 or 1	20		100	kΩ			
ESR _{HF}	Supported ESR for HF crystals (refer to Figure 17 and Figure 18)	XTS = 0, LFXT1Sx = 0, f _{LFXT1,HF} = 1 MHz, C _L = 32 pF	500			Ω			
		XTS = 0, LFXT1Sx = 1, f _{LFXT1,HF} = 4 MHz, C _L = 32 pF	100			Ω			
		XTS = 0, LFXT1Sx = 2, f _{LFXT1,HF} = 16 MHz, C _L = 32 pF	50			Ω			
C _{XIN}	Input capacitance (see Note 1)	XTS = 0, XCAP _x = 0	2			pF			
		XTS = 0, XCAP _x = 1	11			pF			
		XTS = 0, XCAP _x = 2	17			pF			
		XTS = 0, XCAP _x = 3	22			pF			
		XTS = 1 (see Note 2)	2			pF			
C _{XOUT}	Output capacitance (see Note 1)	XTS = 0, XCAP _x = 0	2			pF			
		XTS = 0, XCAP _x = 1	11			pF			
		XTS = 0, XCAP _x = 2	17			pF			
		XTS = 0, XCAP _x = 3	22			pF			
		XTS = 1 (see Note 2)	2			pF			
Duty Cycle	LF mode	XTS = 0, Measured at P1.4/ACLK, f _{LFXT1,LF} = 32,768 Hz	2.2 V	3 V	30	50	70	%	
		HF mode	XTS = 1, Measured at P1.4/ACLK, f _{LFXT1,HF} = 10 MHz	2.2 V	3 V	35	50	65	%
			XTS = 1, Measured at P1.4/ACLK, f _{LFXT1,HF} = 16 MHz	2.2 V	3 V	40	50	60	%
f _{Fault,LF}	Oscillator fault frequency, LF mode	XTS = 0, LFXT1Sx = 3 (see Note 3)	2.2 V	3 V	TBD	10,000	Hz		
f _{Fault,HF}	Oscillator fault frequency, HF mode	XTS = 1, LFXT1Sx = 3 (see Note 3)	2.2 V	3 V	0.05	0.25	MHz		

注：

- 1、包括了塑料封装的电容(大约 2PF)
- 2、需要在两端外接电容,具体参数由晶体特性决定
- 3、测试时采用的是逻辑电平输入作为时钟脉冲,但结果对外加晶体同样适用

FLASH 存储器

参 数		测试条件	VCC	最大	典型	最小	单位
V _{CC(PGM/ERASE)}	Program and Erase supply voltage			2.2		3.6	V
f _{FTG}	Flash Timing Generator frequency			257		476	kHz
I _{PGM}	Supply current from V _{CC} during program		2.7 V/ 3.6 V		3	5	mA
I _{ERASE}	Supply current from V _{CC} during erase		2.7 V/ 3.6 V		3	7	mA
t _{CPT}	Cumulative program time	see Note 1	2.7 V/ 3.6 V			4	ms
t _{CMERase}	Cumulative mass erase time		2.7 V/ 3.6 V	20			ms
	Program/Erase endurance			10 ⁴	10 ⁵		cycles
t _{Retention}	Data retention duration	T _J = 25°C		100			years
t _{Word}	Word or byte program time	see Note 2			30		t _{FTG}
t _{Block, 0}	Block program time for 1 st byte or word				25		
t _{Block, 1-63}	Block program time for each additional byte or word				18		
t _{Block, End}	Block program end-sequence wait time				6		
t _{Mass Erase}	Mass erase time				10593		
t _{Seq Erase}	Segment erase time				4819		

注：

- 1、论是字节、字或是块写入 64 字节数据的写入时间不能小于该值
- 2、硬件连接直接送入 FLASH 控制器 ($t_{FTG} = 1 / f_{FTG}$)

RAM

参 数	最小	典型	最大	单位
V _(RAMh) CPU 停止(注 1)	1.6			V

注：

- 1、参数为保持 RAM 中数据不变的最低电压.在这种条件下,CPU 不能执行程序。

JTAG 接口

参 数		测试条件	VCC	最小	典型	最大	单位
f _{TCK}	TCK 输入频率	见注 1	2.2V	0	5		MHz
			3V	0	10		MHz
R _{internal}	TEST 引脚内部加下拉电阻		2.2V/3V	25	60	90	K

注：

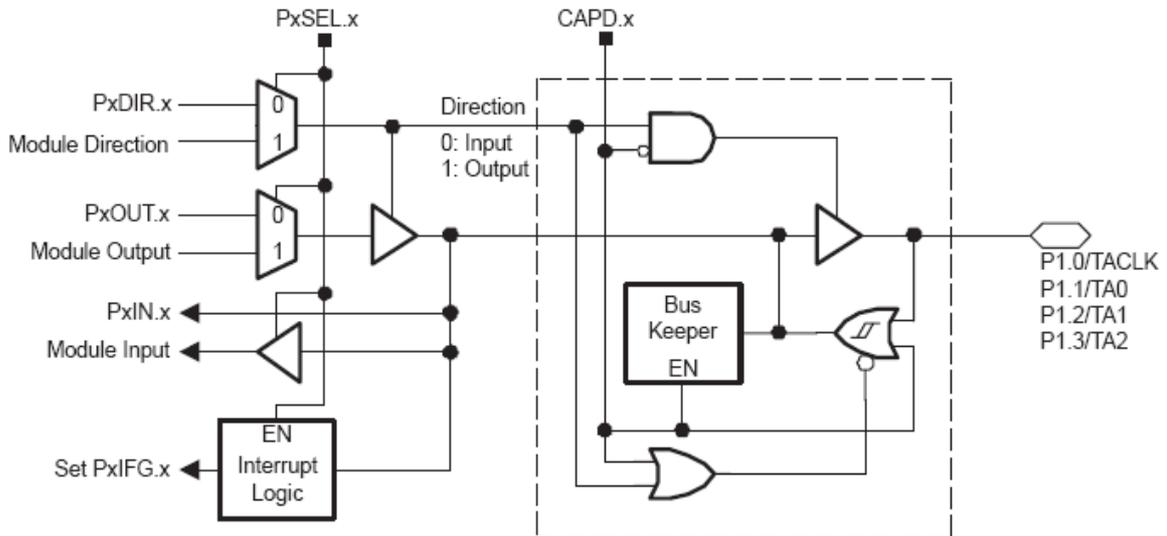
- 1、f_{TCK} 可能被使用它作时钟信号的外围模块的时序要求所限制。

JTAG 熔丝 (见注 1)

参 数		测试条件	VCC	最小	典型	最大	单位
V _{CC(FB)}	熔丝熔断期间的工作电压	T _A =25		2.5			V
V _{FB}	加到 TEST 脚的电压		2.2V/3V	6		7	V
I _{FB}	进入 TEST 脚的熔断电流					100	mA
t _{FB}	熔断时间					1	ms

注：一旦熔丝烧断，不能够通过 JATG 进行存取。

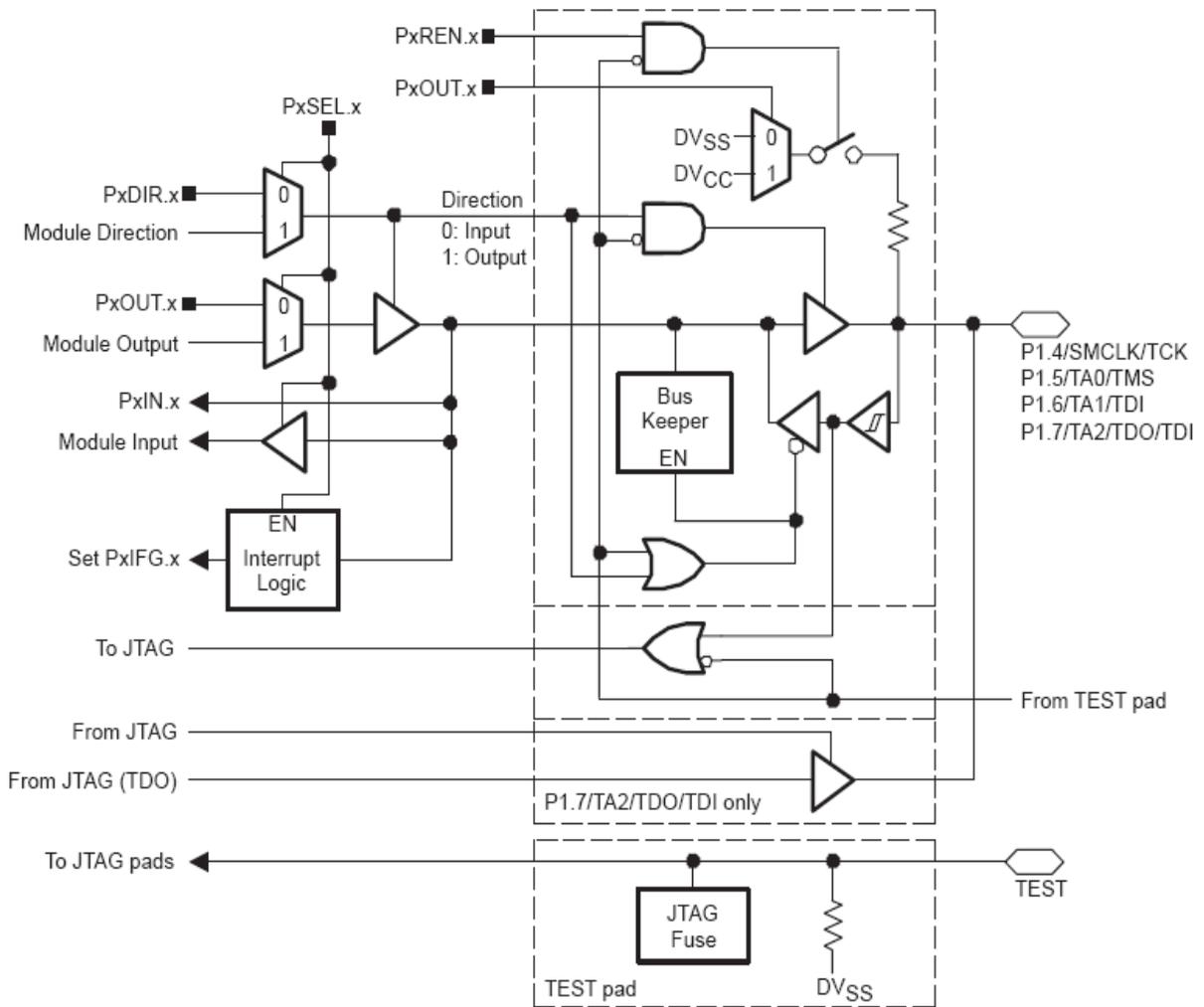
P1 口：带有施密特触发器的 P1.0-P1.3 输入/输出



	主要功能		第二功能			
	GPIO		Module IO		Analog IO	JTAG
Control Bits/Signals	input	output	input	output		
P1SEL.x	0†	0	1	1	N/A	N/A
P1DIR.x	0†	1	0	1	N/A	N/A
Pin Name (P1.x)						
P1.0/TACLK	P1.0 input†	P1.0 output	Timer_A3.TACLK	DVSS	N/A	N/A
P1.1/TA0	P1.1 input†	P1.1 output	Timer_A3.CCI0A	Timer_A3.TA0	N/A	N/A
P1.2/TA1	P1.2 input†	P1.2 output	Timer_A3.CCI1A	Timer_A3.TA1	N/A	N/A
P1.3/TA2	P1.3 input†	P1.3 output	Timer_A3.CCI2A	Timer_A3.TA2	N/A	N/A

† Default after reset (PUC/POR)

注：1、N/A 不存在或不可用
2、X 表示任意

P1 口：带有施密特触发器和在线访问特性的 P1.4-P1.7 输入/输出


	主要功能		第二功能			
	GPIO		Module IO		Analog IO	JTAG
Control Bits/Signals	input	output	input	output		
P1SEL.x	0†	0	1	1	N/A	X
P1DIR.x	0†	1	0	1	N/A	X
TEST (from pin)	0†	0	0	0	N/A	1
Pin Name (P1.x)						
P1.4/SMCLK/TCK	P1.4 input†	P1.4 output	N/A	SMCLK	N/A	TCK
P1.5/TA0/TMS	P1.5 input†	P1.5 output	N/A	Timer_A3.TA0	N/A	TMS
P1.6/TA1/TDI/TCLK	P1.6 input†	P1.6 output	N/A	Timer_A3.TA1	N/A	TDI/TCLK‡
P1.7/TA2/TDO/TDI	P1.7 input†	P1.7 output	N/A	Timer_A3.TA2	N/A	TDO/TDI‡

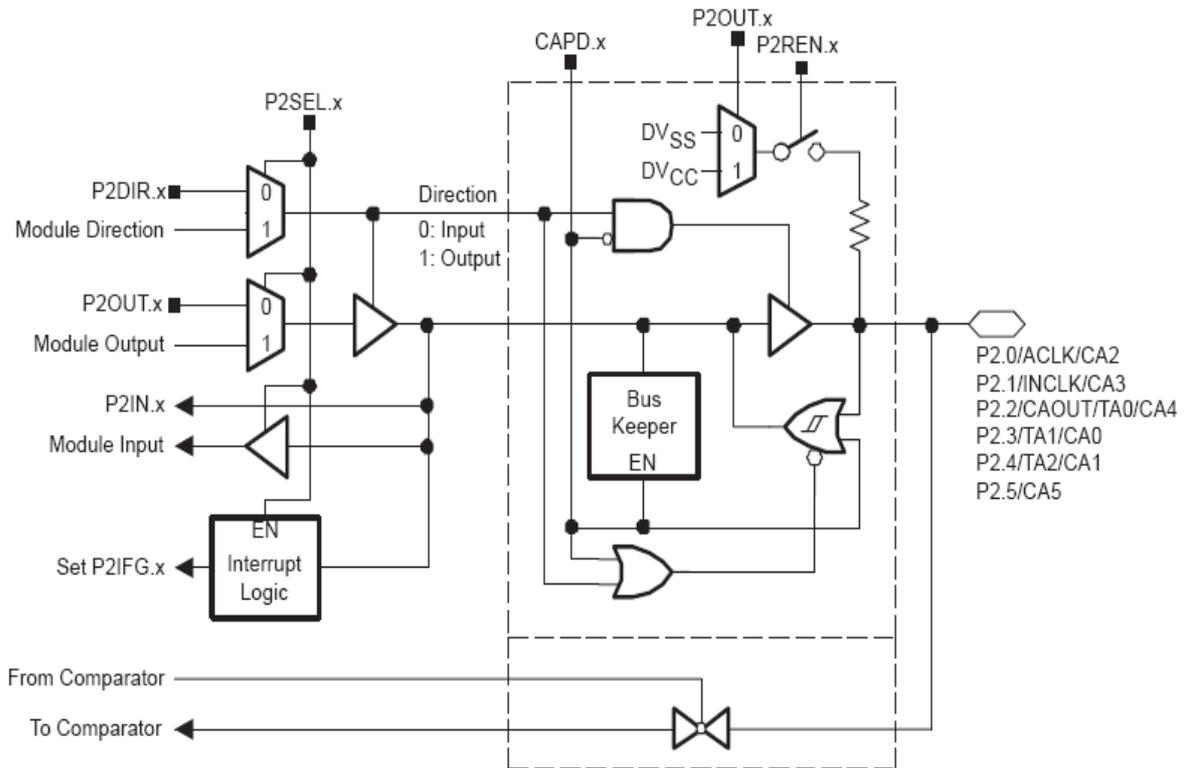
† Default after reset (PUC/POR)

‡ Function controlled by JTAG

注：

- 1、N/A 不存在或不可用
- 2、X 表示任意

P2 口：带有施密特触发器的 P2.0-P2.5 输入/输出

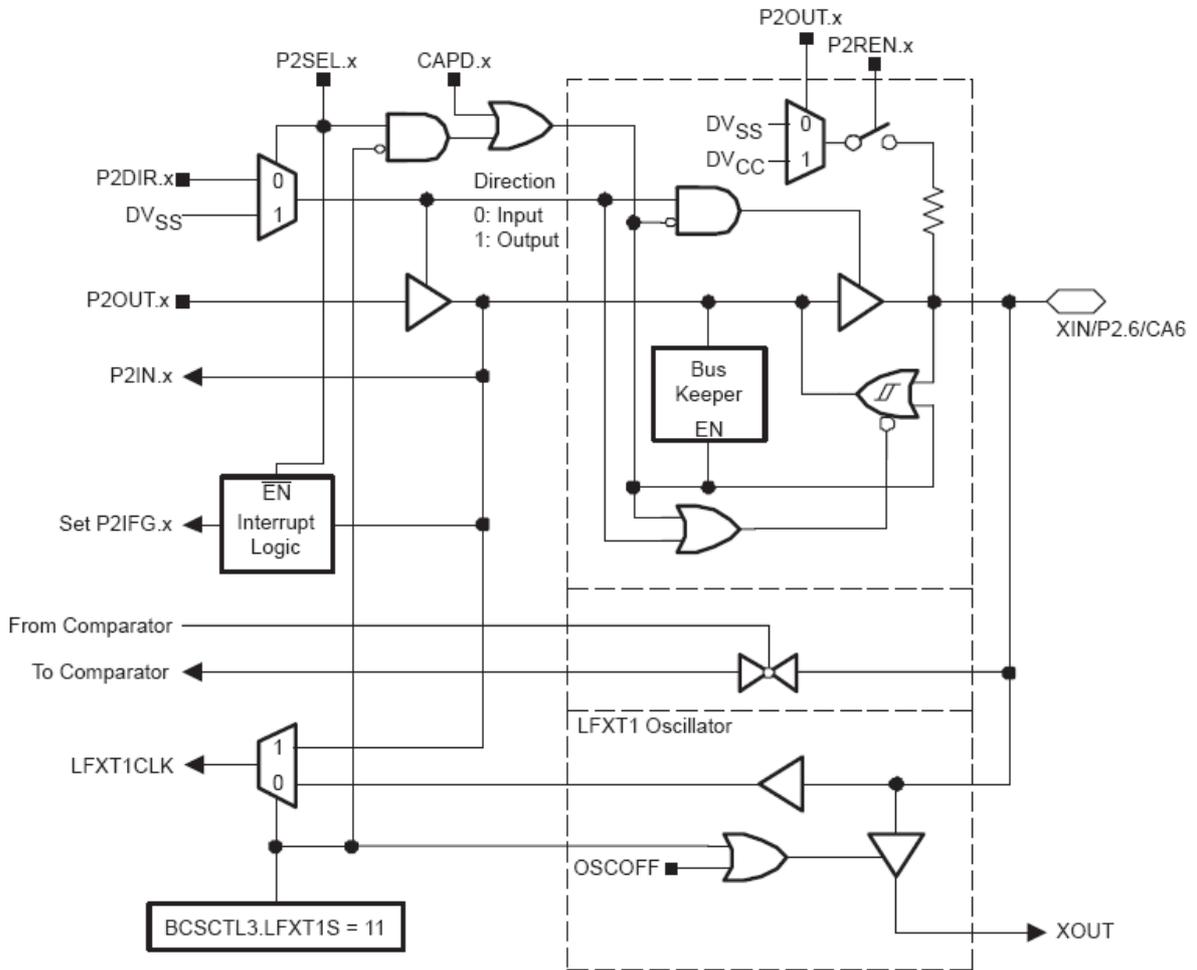


	主要功能		第二功能			
	GPIO		Module IO		Analog IO	JTAG
Control Bits/Signals	input	output	input	output		
P2SEL.x	0†	0	1	1	X	N/A
P2DIR.x	0†	1	0	1	X	N/A
CAPD.x	0†	0	0	0	1	N/A
Pin Name (P2.x)						
P2.0/ACLK/CA2	P2.0 input†	P2.0 output	N/A	ACLK	CA2	N/A
P2.1/INCLK/CA3	P2.1 input†	P2.1 output	Timer_A3.INCLK	DV _{SS}	CA3	N/A
P2.2/CAOUT/TA0/CA4	P2.2 input†	P2.2 output	Timer_A3.CCI0B	Comparator_A.OUT	CA4	N/A
P2.3/TA1/CA0	P2.3 input†	P2.3 output	N/A	Timer_A3.TA1	CA0	N/A
P2.4/TA2/CA1	P2.4 input†	P2.4 output	N/A	Timer_A3.TA2	CA1	N/A
P2.5/CA5	P2.5 input†	P2.5 output	N/A	N/A	CA5	N/A

† Default after reset (PUC/POR)

注：

- 1、N/A 不存在或不可用
- 2、X 表示任意

P2 口：带有施密特触发器和晶体振荡输入的 P2.6 输入/输出


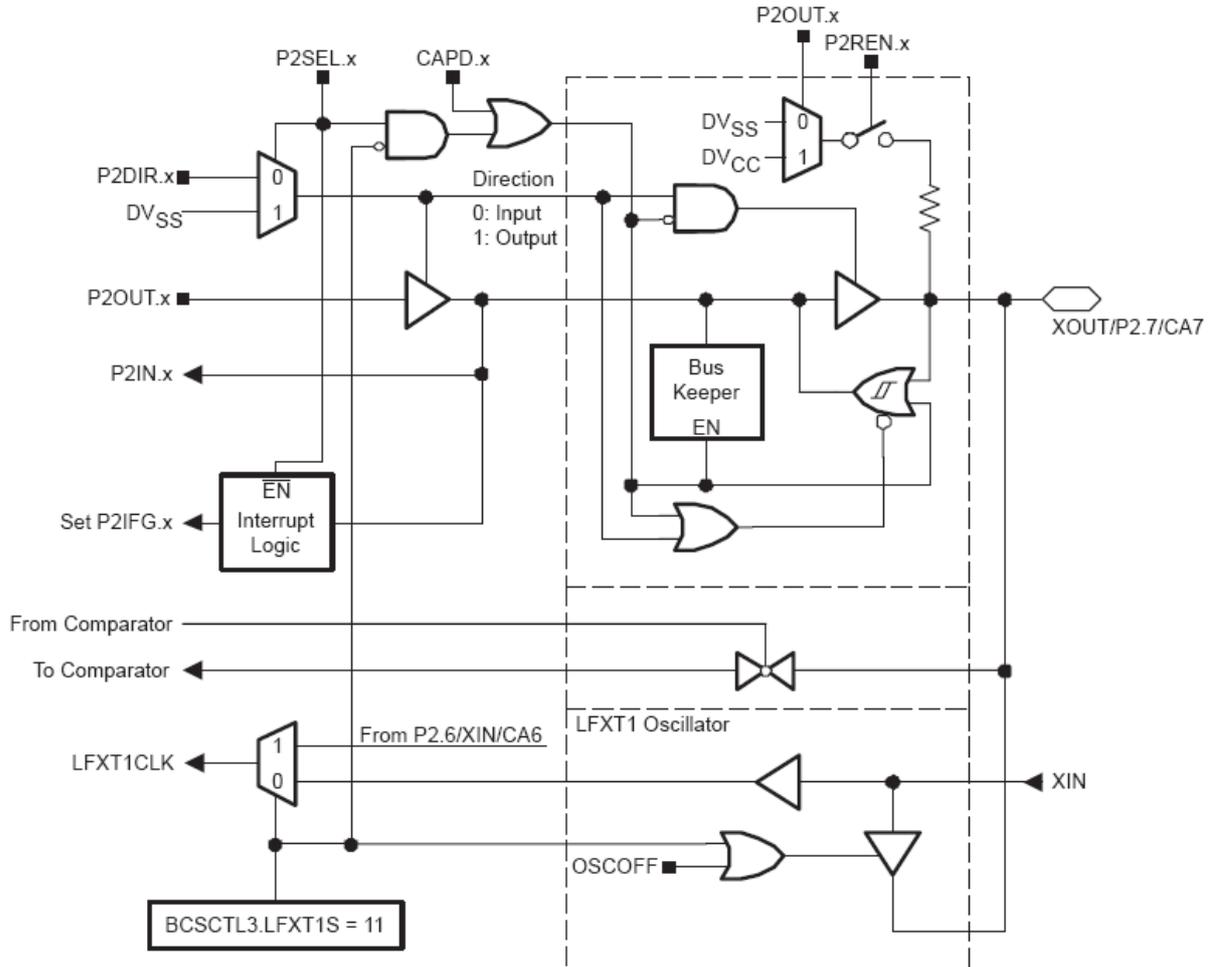
	主要功能		第二功能			
	GPIO		Module IO		Analog IO	JTAG
Control Bits/Signals	input	output	input	output		
P2SEL.x	0	0	1†	N/A	0	N/A
P2DIR.x	0†	1	X	N/A	X	N/A
CAPD.x	0†	0	X	N/A	1	N/A
Pin Name (P2.x)						
P2.6/XIN/CA6	P2.6 input	P2.6 output	XIN†	N/A	CA6	N/A

† Default after reset (PUC/POR)

注：

- 1、N/A 不存在或不可用
- 2、X 表示任意

P2 口：输入/输出带有施密特触发器和晶体振荡输出的 P2.7



	主要功能		第二功能			
	GPIO		Module IO		Analog IO	JTAG
Control Bits/Signals	input	output	input	output		
P2SEL.x	0	0	N/A	1†	0	N/A
P2DIR.x	0†	1	N/A	X	X	N/A
CAPD.x	0†	0	N/A	X	1	N/A
Pin Name (P2.x)						
XOUT/P2.7/CA7	P2.7 input	P2.7 output	N/A	XOUT†	CA7	N/A

† Default after reset (PUC/POR)

注：

1、N/A 不存在或不可用

2、X 表示任意

3、当 XOUT/P2.7/CA7 作为输入端口时,若没有将 P2SEL.7 复位,则有大电流流出.原因是复位后振荡器的输出驱动连接在该引脚上

JTAG 安全熔丝检测模式

上电复位(POR)后,MSP430 会进入 JTAG 的 TDI/TCLK 脚安全熔丝通断性检测模式.若熔丝没有烧断,将有熔丝检测电流 I_{TF} ($V_{CC}=3V$ 时为 $1mA$, $5V$ 时为 $2.5mA$) 从 TEST 引脚流到地,故需防止因意外激活熔丝检测模式而增大电流消耗

在测试和编程阶段结束后,TEST 变为低电平并且检测模式和检测电流随之结束,上电后 TMS 引脚的第一个下降沿或上电时 TMS 一直保持低电平都将激活熔丝检测模式, TMS 引脚的第二个上升沿将关闭熔丝检测模式,该模式关闭后,熔丝检测模式保持无效直到下一个 POR 信号的到来,每一次 POR 信号都有可能激活熔丝检测模式。

只有当熔丝检测模式激活并且 TMS 引脚保持低电平时,才会出现熔丝检测电流.因此可以通过保持 TMS 引脚为高电平(缺省),防止额外电流消耗。

POR 后 TMS 保持为低电平

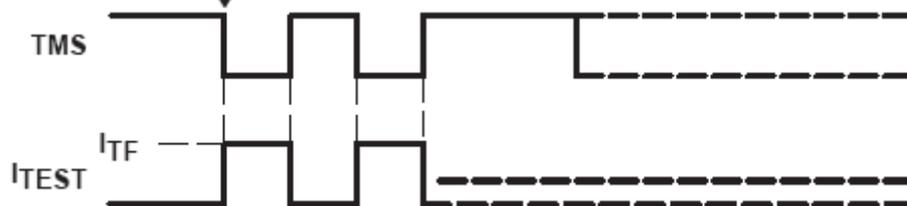
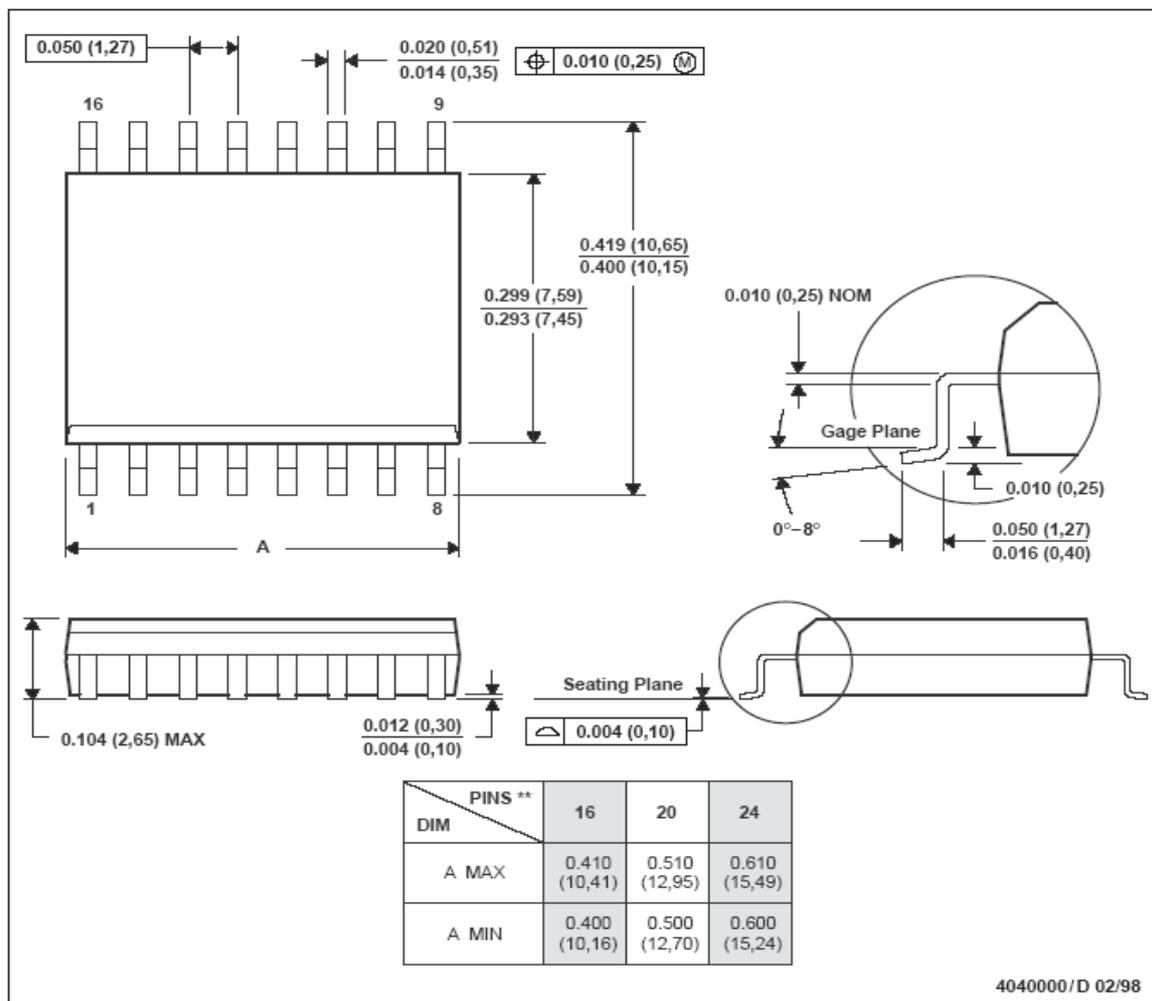


图 11 熔丝检测模式时的电流,MSP430F21X1

当 JTAG 安全熔丝烧断后,由 Bootstrap Loader 访问代码和 RAM 数据时需要提供 256 位的口令,从而确保了代码安全。详细信息请参考 Bootstrap Loader 相关说明。

DW (R-PDSO-G^{**})
16 PIN SHOWN

PLASTIC SMALL-OUTLINE PACKAGE



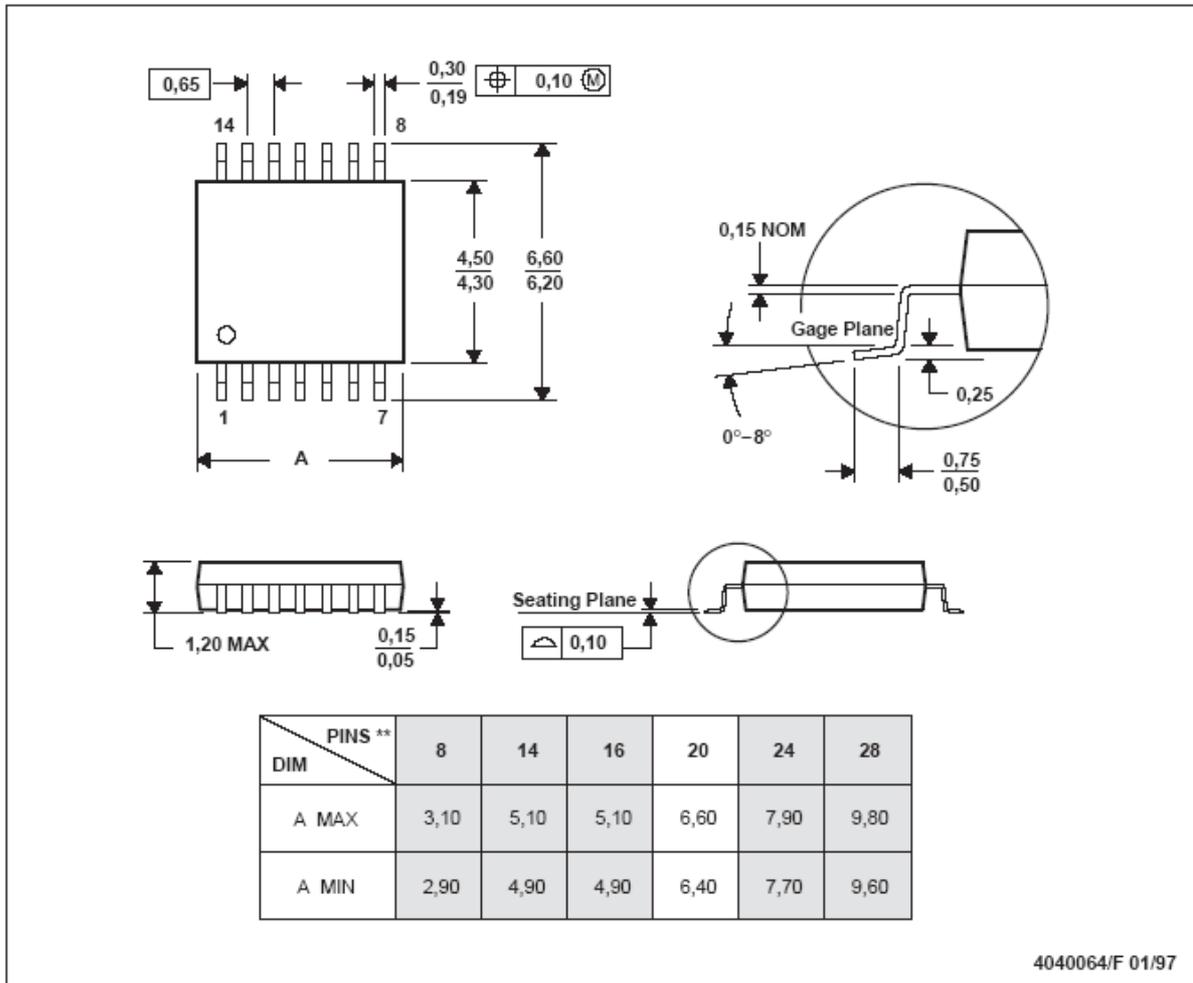
注：

- 1、有数据的单位为英寸(毫米)
- 2、片画法可能变动,恕不另行通知
- 3、外形尺寸没考虑模具尺寸小于 0.006 (0.15) 的变化
- 4、符合 JEDEC MS-013 规定

PW (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14 PINS SHOWN



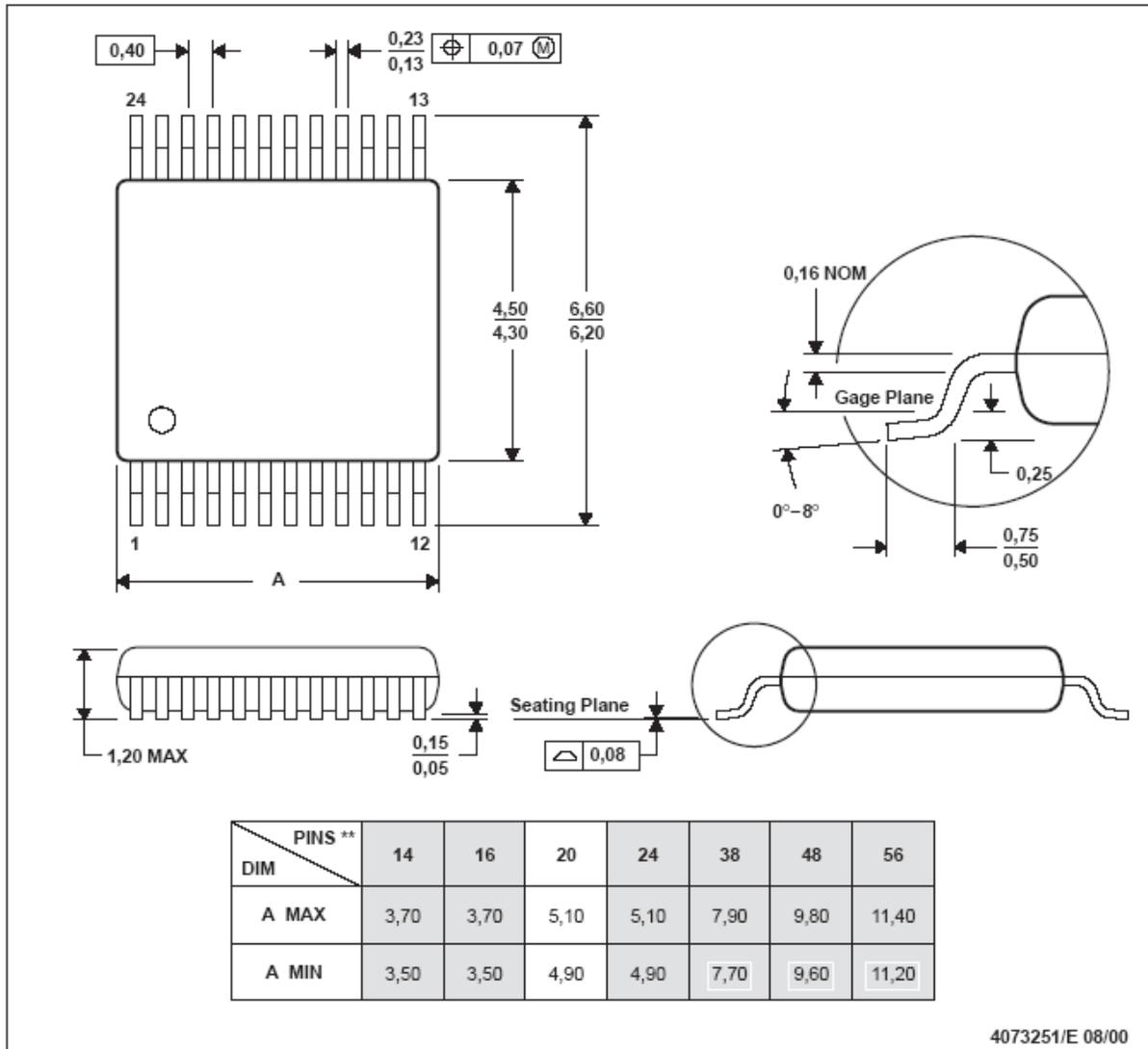
注：

- 1、所有数据的单位为英寸(MIL)
- 2、芯片画法可能变动,恕不另行通知
- 3、外形尺寸没考虑模具尺寸小于 0.006 英寸的变化
- 4、符合 JEDEC MO-153 规定

DGV (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

24 PINS SHOWN



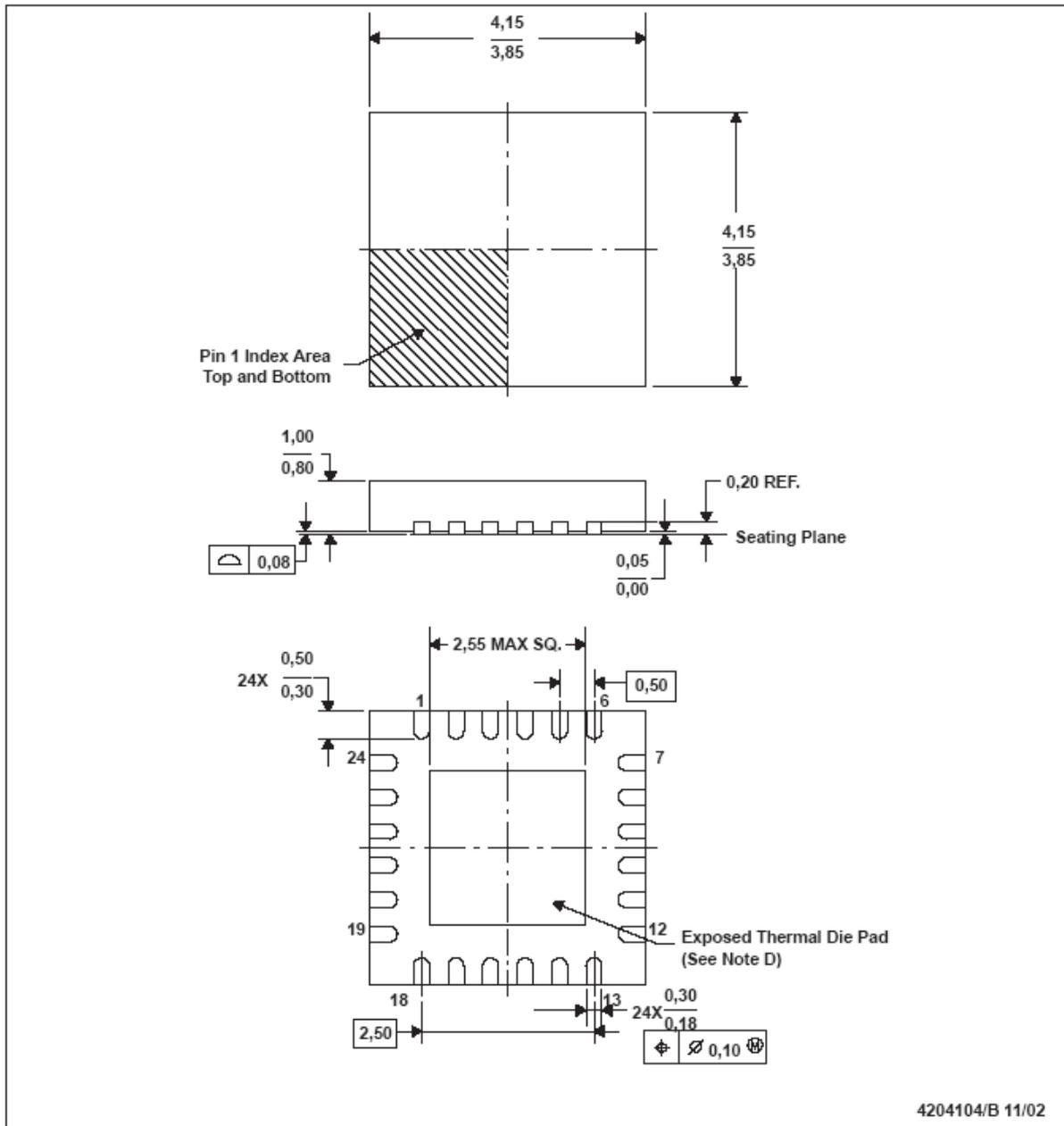
注：

- 1.所有数据的单位为英寸(毫米)
- 2.芯片画法可能变动,恕不另行通知
- 3.外形尺寸没考虑模具尺寸小于 0.006 的变化
- 4.符合 JEDEC : 24/28 MO-013

14/16/20/56 MO-194 规定

RGE (S-PQFP-N24)

PLASTIC QUAD FLATPACK



注：

- 1、所有数据的单位为英寸(毫米)
- 2、芯片画法可能变动,恕不另行通知
- 3、QFN 封装结构
- 4、将散热衬垫连接到外部的散热平面上有利于提高散热性能
- 5、符合 JEDEC MO-220 规定