

PCF8566 I²C 4X24 LCD 驱动器

1. 特征

- 。单片 LCD 控制器/驱动器
- 。可选的背极驱动结构：静态或 2，3，或 4 背极复合
- 。可选的显示偏置电压结构：静态，1/2，1/3
- 。带电压跟随缓存器的内部 LCD 偏置发生器
- 。24 段驱动：达到 12 个 8 段数字字符；6 个 15 段字母字符；或任意 96 个点素的图形
- 。24 X 4 的显示数据存储 RAM
- 。器件子地址显示数据的自动增量
- 。显示存储区可在静态与双极驱动方式之间切换
- 。多种闪烁方式
- 。LCD 与逻辑供给各自独立
- 。电源范围：2.5V~6V
- 。低功耗
- 。电池工作及电话应用中的低功耗节电方式
- 。I²C 总线接口
- 。TTL/CMOS 兼容
- 。能和任何 4 位，8 位，16 位微处理器/微控制器兼容
- 。对于大型 LCD 应用，可以级联（高达 1536 段）
- 。能和 40 段 LCD 驱动器 PCF8576C 级联
- 。在单个或多个 PCF8566 应用中单面连线有最佳的引脚安排
- 。有节省空间的 40 脚小封装（VSO40；SOT158-1）
- 。无需外围元件连接（甚至多驱动器应用时）
- 。硅门 CMOS 工艺制造

2. 概述

PCF8566 是一种能与任意具有低复用速率的 LCD 接口的外围驱动器。对任意静态或复合态的 LCD，它都能产生高达 4 背极和 24 段的驱动信号，通过级联方式能轻松实现大型 LCD 应用。PCF8566 能和大多数微处理器/微控制器兼容并通过两线双向的 I²C 总线通讯。通过带自动地址增量的显示 RAM 使得通讯开销可减到最小，通过硬件子地址和显示存储器切换（静态和复合驱动方式）。

3. 订购信息

类型编号	封装		
	名称	描述	版本
PCF8566T	VSO40	塑料小封装; 40 脚	SOT158-1

4. 方块图

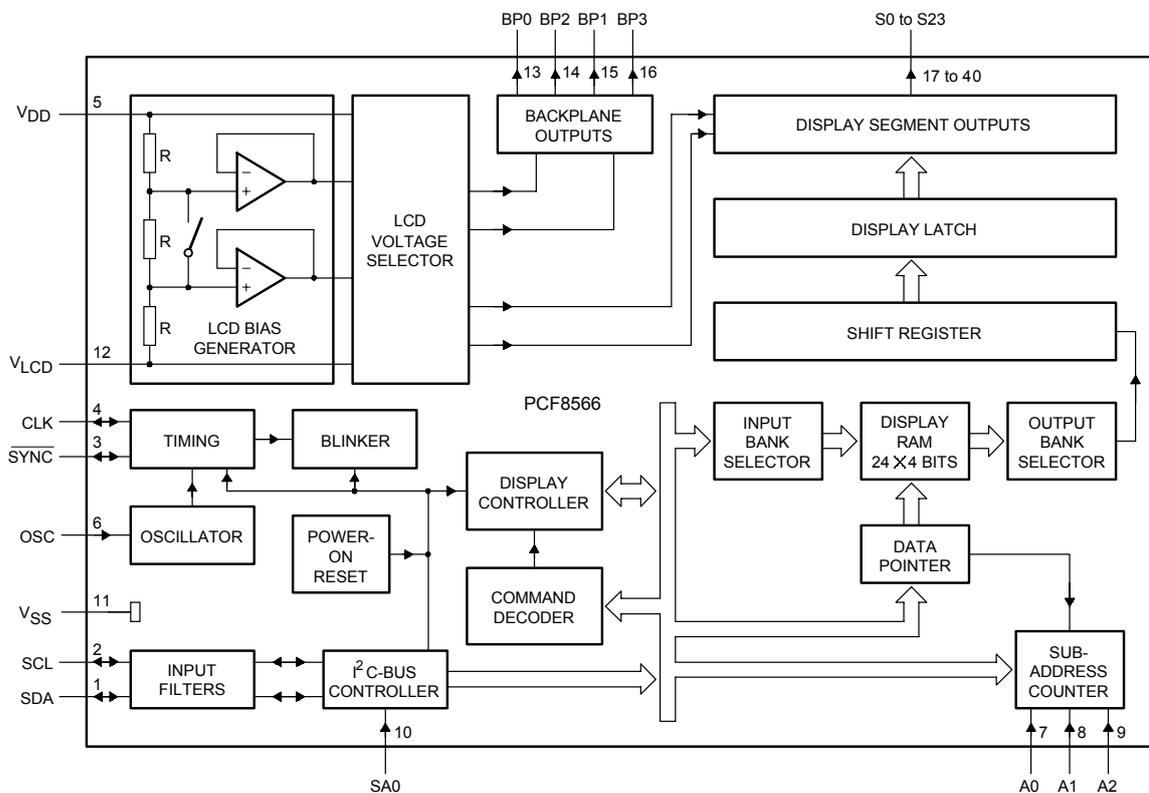


图 1 方块图

5. 管脚

符号	管脚号	描述
SDA	1	I ² C 总线数据输入/输出
SCL	2	I ² C 总线时钟输入/输出
/SYNC	3	级联同步输入/输出
CLK	4	外部时钟输入/输出
V _{DD}	5	电源正端
OSC	6	振荡器输入
A0	7	I ² C 总线子地址输入
A1	8	
A2	9	
SA0	10	I ² C 总线从地址位 0 输入
V _{SS}	11	逻辑地
V _{LCD}	12	LCD 电源电压
BP0	13	LCD 背极输出
BP2	14	
BP1	15	
BP3	16	
S0 至 S23	17 至 40	LCD 段输出

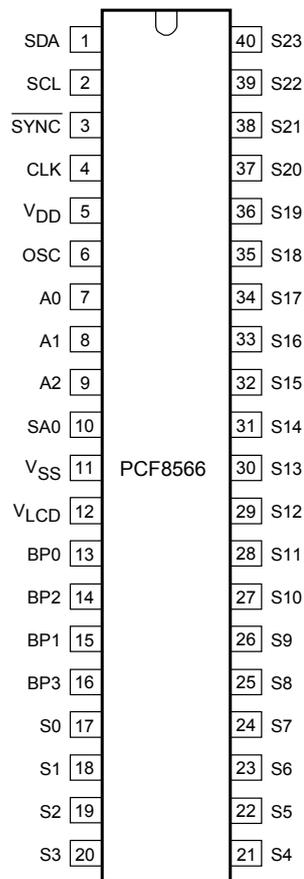


图 2 管脚结构

6. 功能描述

PCF8566 在设计上是能与任何微处理器及多种 LCD 接口的多功能外围器件。它能直接驱动任意静态或包含 4 背极并达到 24 段的 LCD。PCF8566 的显示结构依赖激活的背极输出获得，表 1 给出了显示结构。

表 1 中给出的所有显示结构都能在如图三的典型系统示范中实现。PCF8566 的 I²C 总线通讯通道由主微处理器/微控制器维持。连接 OSC 脚到 VSS 可选择内部振荡器。复合 LCD 波形的合适的偏置电压在内部产生。唯一的另外连接是电源供给 (VDD, VSS, VLCD) 以及应用中的 LCD 组选择。

表 1 显示结构选择

有效地背极输出	段数	7 段数字	14 段字母	点阵
4	96	12 位数字+ 12 个符号	6 位字符 + 12 个符号	96 点 (4 X 24)
3	72	9 位数字 + 9 个符号	4 位字符 + 16 个符号	72 点 (3 X 24)
2	48	6 位数字 + 6 个符号	3 位字符 + 6 个符号	48 点 (2 X 24)
1	24	3 位数字 + 3 个符号	1 位字符 + 10 个符号	24 点

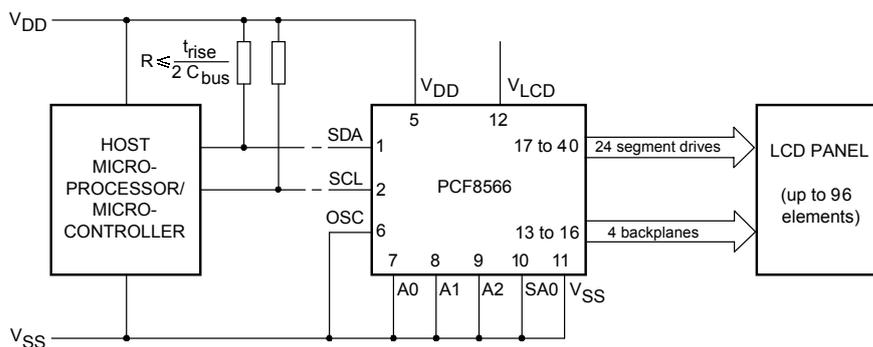


图 3 典型系统结构

6.1 上电复位

PCF8566 上电复位到如下定义的起始条件：

- (1) 所有的背极输出为 V_{DD};
- (2) 所有的段输出为 V_{DD};
- (3) 选择 1/3 偏置 1: 4 的多极驱动方式;
- (4) 闪烁开关断开;
- (5) 输入，输出存储单元选择器为复位状态（如表 5 定义）;
- (6) I²C 总线接口为初始化状态;
- (7) 数据指针和子地址控制器被清除。

在 PCF8576 上电后的 1ms 期间内应避免进行 I²C 总线的数据传送，以完成复位过程。

6.2 LCD 偏置电压发生器

LCD 的满度电压 (V_{OP}) 由 $V_{DD} - V_{LCD}$ 获取。LCD 电压可通过连到 12 脚上的 V_{LCD} 电源进行外部温度补偿。各种偏置电压可从连接在 V_{DD} 和 V_{LCD} 间的三个串联的分压电阻上取得，中心电阻能切换到 1: 2 多极 1/2 偏置的驱动配置。

6.3 LCD 电压选择器

LCD 电压选择器与 LCD 的多极应用相配合，其运行控制通过指令译码器的 MODE SET 指令实现。偏置结构用于选择操作方式。表 2 中给出了不同驱动方式及 LCD 偏置结构下的 LCD 驱动电压特性及分辨率结果 (D)。

V_{OP} 的实际值取决于 $V_{off}(\text{rms})$ 与一个制定的 LCD 阈值电压 (V_{th}) 相等，当 LCD 出现 10% 的差别也是典型情况。

1/2 偏置的 1: 3 和 1: 4 的多极驱动也是可能的方式，但分辨率 (D) 很小 (1: 3 多极驱动时 $3^{1/2}=1.732$ 或 1: 4 多极驱动时 $2^{1/2}/3=1.528$)，从而产生的对比度很小。这些方式的优点是减少了 LCD 满度电压 V_{OP} ，如下所示：

1: 3 的 1/2 偏置驱动： $V_{OP}=6^{1/2}V_{off}(\text{rms})=2.449V_{off}(\text{rms})$

1: 4 的 1/2 偏置驱动： $V_{op}=3^{1/4}/3V_{off}(\text{rms})=2.309V_{off}(\text{rms})$

这些比较是在 $V_{OP}=3V_{off}(\text{rms})$ ，当使用 1/3 偏置电压时

表 2 优选的 LCD 驱动方式：概要特征

LCD 驱动方式	LCD 偏置	$V_{off}(\text{rms}) / V_{op}$	$V_{on}(\text{rms}) / V_{op}$	$D=V_{on}(\text{rms}) / V_{off}(\text{rms})$
静态 (1BP)	静态 (2 级)	0	1	∞
1: 2 多极 (2BP)	1/2 (3 级)	$2^{1/2}/4=0.354$	$10^{1/2}/4=0.791$	$5^{1/2}=2.236$
1: 2 多极 (2BP)	1/3 (4 级)	$1/3=0.333$	$5^{1/2}/3=0.745$	$5^{1/2}=2.236$
1: 3 多极 (3BP)	1/3 (4 级)	$1/3=0.333$	$33^{1/2}/9=0.638$	$33^{1/2}/3=1.915$
1: 4 多极 (4BP)	1/3 (4 级)	$1/3=0.333$	$3^{1/2}/3=0.577$	$3^{1/2}=1.732$

6.4 LCD 驱动方式下的驱动波形

静态 LCD 驱动方式时，LCD 使用单个背极，背极与驱动段波形如图 4 所示。当 LCD 使用 1: 2 多极驱动方式应用时。PCF8566 允许使用 1/2 或 1/3 偏置电压，如图 5 及图 6 图 7，图 8 分别展示了 1: 3 多极 (三个 LCD 背极)，1: 4 多极 (四个 LCD 背极) 驱动方式下的背极和段驱动波形。

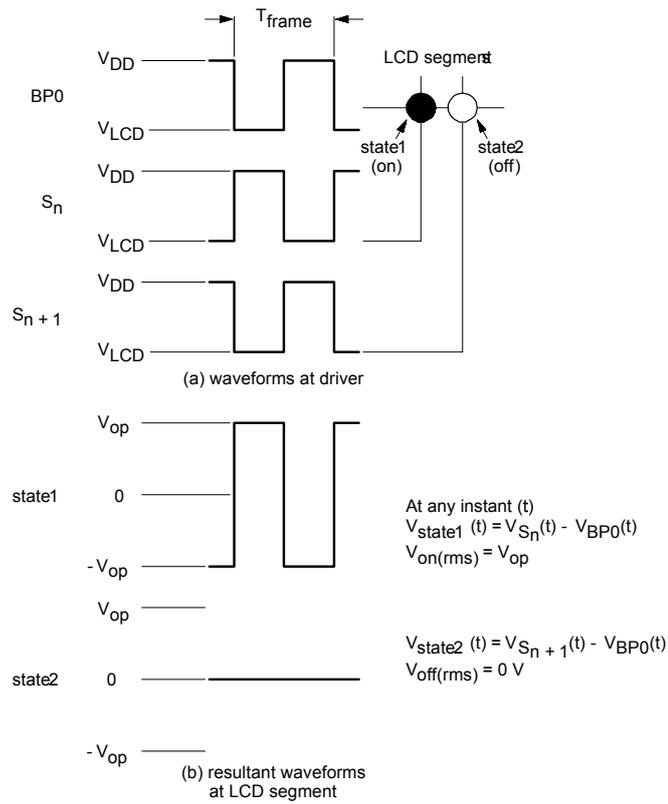


图4 静态驱动方式波形： $V_{OP} = V_{DD} - V_{LCD}$

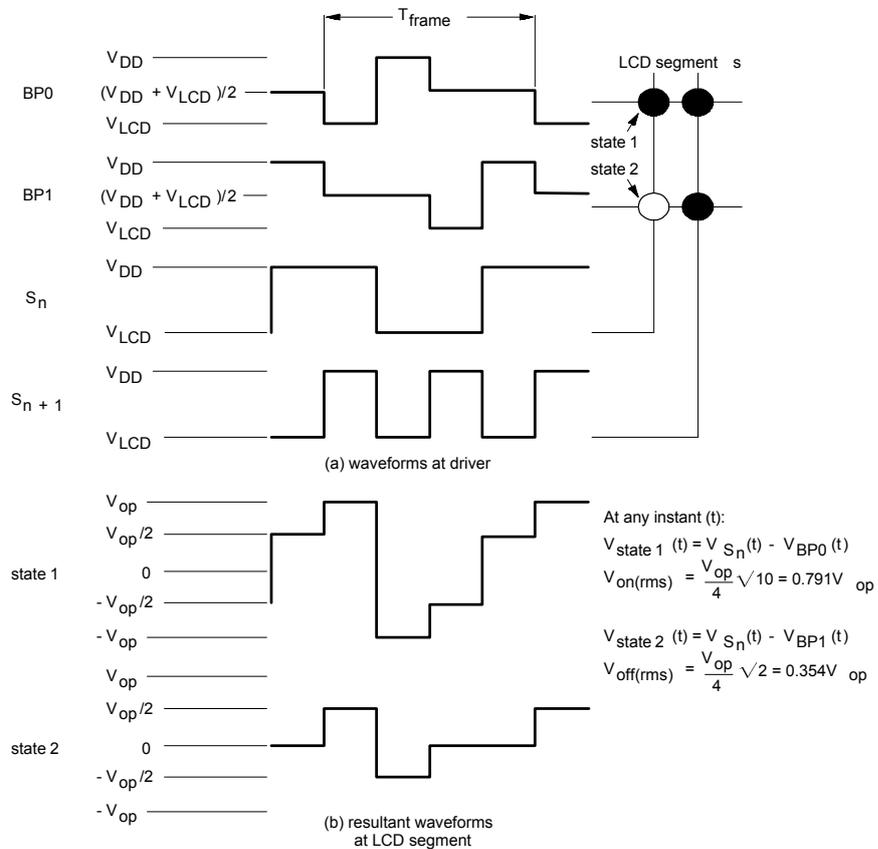


图5 1:2多极, 1/2偏置电压驱动方式波形： $V_{OP} = V_{DD} - V_{LCD}$

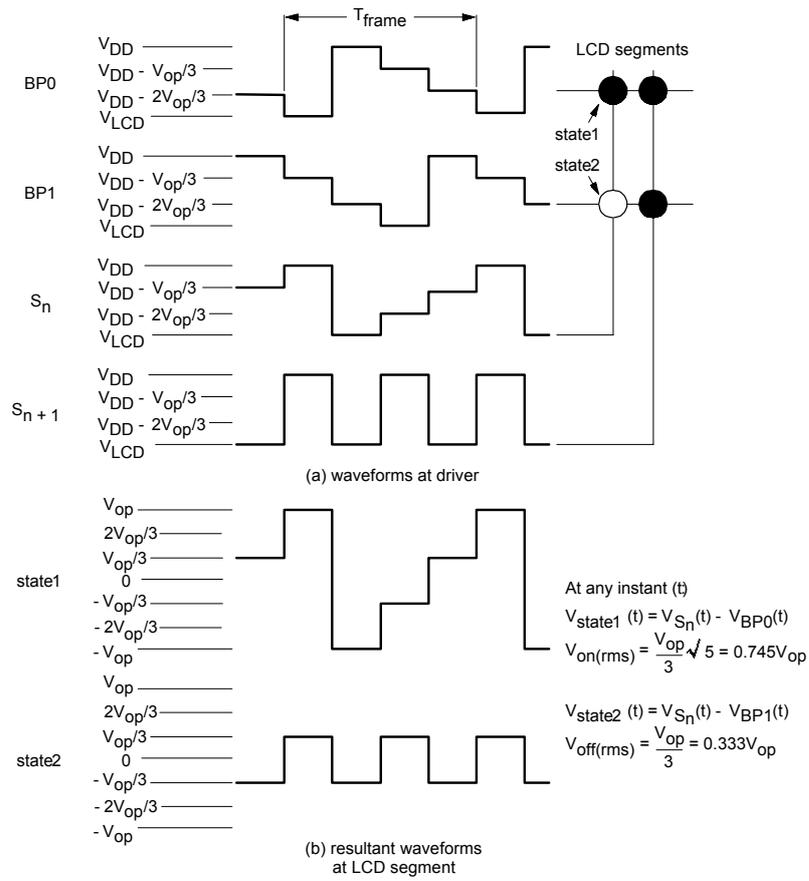


图6 1:2多极, 1/3偏置电压驱动方式波型: $V_{OP} = V_{DD} - V_{LCD}$

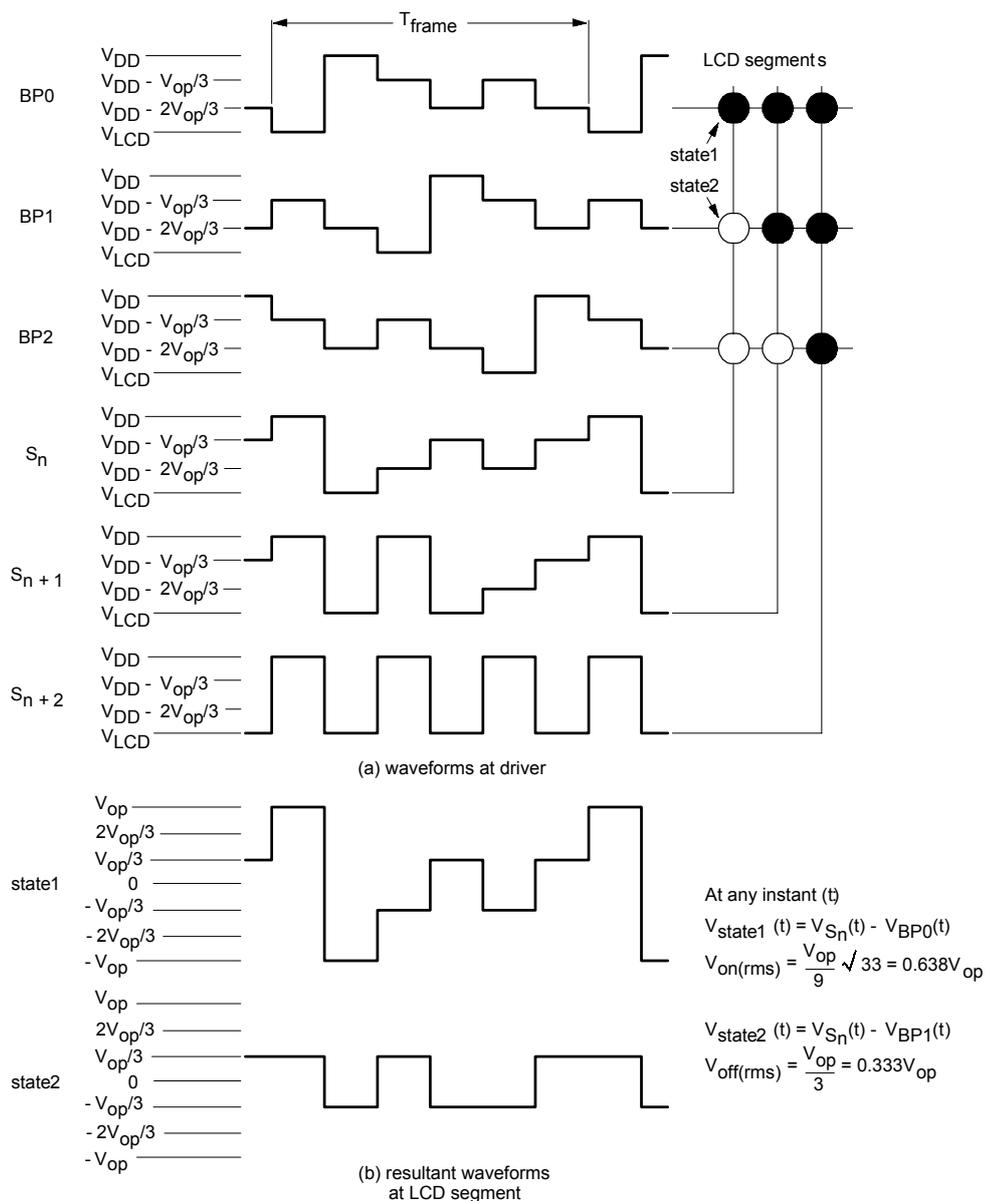


图 7 1: 3 多极驱动方式波型 : $V_{OP} = V_{DD} - V_{LCD}$

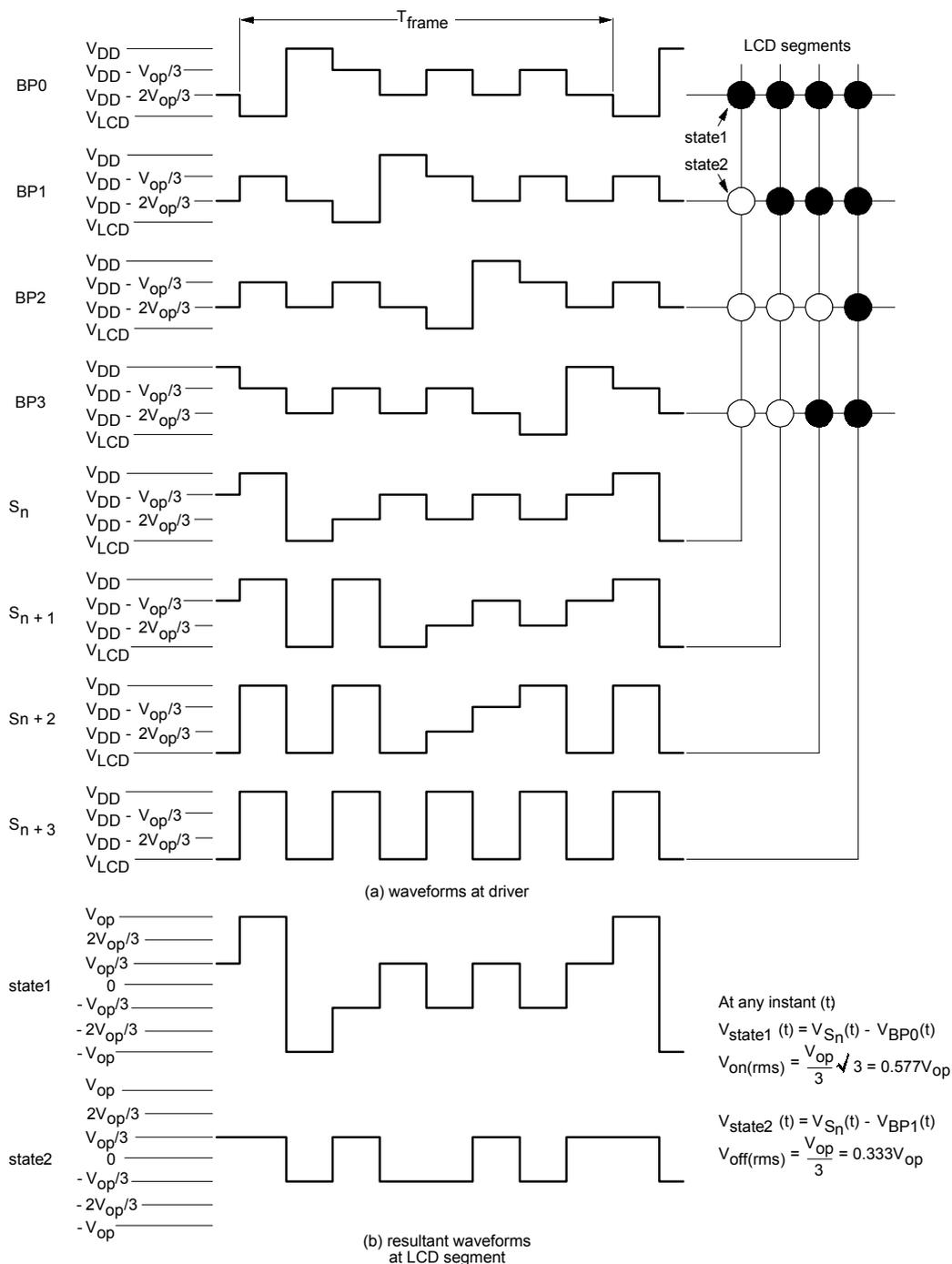


图 8 1: 4 多极驱动方式波型 : $V_{OP} = V_{DD} - V_{LCD}$

6. 5 时钟

PCF8566 或 PCF8576 的内部逻辑时序及 LCD 驱动信号是由时钟控制的, 既可使用内部时钟也可使用外部时钟。

时钟频率 (F_{CLK}) 决定了 LCD 的帧频率和从 I²C 总线上接收数据的最高速率。为了允许 I²C 总线在最大传输速率 100kHz 工作, F_{CLK} 应选择大于 125kHz。

必须始终提供给器件时钟信号，如果停止时钟，LCD 便会停止在直流状态。

6. 6 内部时钟

当使用内部时钟时，OSC（第 6 脚）被接到地。在这种情况下，内部时钟还可从 CLK（管脚 4）引脚输出，为系统中 PCF8566 和 PCF8576 的级联提供外部时钟。

6. 7 外部时钟

外部提供时钟的条件是 OSC 脚连到 V_{DD} ；CLK（管脚 4）则变成了外部时钟输入。

6. 8 时序

PCF8566 的时序构成了器件内部的数据流，这包括显示数据从显示 RAM 到显示段的输出。在级联应用中，同步信号/SYNC 将保证系统中 PCF8566 间的正确时序关系。根据时序分配也产生了 LCD 帧频率（表 3）。当使用内部时钟时，帧频率通过 MODE SET 命令被设置，当使用外部时钟时，则通过 CLK 脚（管脚 4）输入来设置帧频。

表 3 LCD 帧频

PCF8566 方式	帧频	正常帧频 (Hz)
正常运行方式	$f_{CLK}/2880$	64
节电运行方式	$f_{CLK}/480$	64

时钟频率与 LCD 帧频的比率根据器件正在进行的操作方式决定，在节电运行方式下，时钟频率将减至 1/6，这样通过 6 分频可以减小时钟频率。减小时钟频率可在很大程度上降低功耗。

在 I^2C 总线上传送大数量的显示数据时，降低时钟频率所带来的缺点就是加大响应时间。当器件不能在下一个数据到达之前“消化”显示数据时，SCL 线将保持低，直到第一个显示数据字节被存储。这降低了 I^2C 总线的传送速率但不会发生数据丢失。

6. 9 显示锁存

在形成多路信号时，显示锁存可以保持显示数据，显示锁存器中的数据与 LCD 段输出、显示 RAM 的一系列数据具有一一对应的关系。

6. 10 移位寄存器

在原先的数据显示时，移位寄存器将显示 RAM 的数据信息传送到显示锁存器中。

6. 11 段输出

PCF8566 有 24 个段驱动输出 S0~S23，它应与 LCD 直接相连。段输出信号是根据背极输出及显示锁存器中锁存的数据生成的。当少于 24 段输出时，不用的段输出可空出。

6. 12 背极输出

PCF8566 有 4 个背极输出 BP0~BP3，它直接与 LCD 相连，背极输出是根据所选择的驱动方式而产生的。如果少于 4 个背极输出时，不使用的背极可空出。在 1: 3 的背极驱动方式中，BP3 与 BP1 的输出信号相同；1: 2 的背极驱动方式中，BP0 和 BP2，BP1 和 BP3 输出信号相同；在静态驱动方式中所有 4 个背极输出相同的信号。对于输出信号相同的背极可以并联起来，以增加 LCD 的驱动能力。

6. 13 显示 RAM

显示 RAM 是用以存储 LCD 显示数据的静态 24 X 24 RAM。存储单元中的逻辑“1”相应于 LCD 段的“on”状态；同样，逻辑“0”相应于 LCD 段的“off”状态。

RAM 地址与段输出之间，一个 RAM 字特定位与背极输出都有一一对应关系（见图 9）。显示 RAM 的第一行对应于背极 BP0 工作的 24 段数据。第 2、3、4 行的段数据则为分时复用 BP1、BP2、BP3 所对应的段数据。

当要显示的数据传送给 PCF8566 后，PCF8566 将接收到的显示字节数据按照所选择的 LCD 驱动方式填充在显示 RAM 中。图 10 表示了在不同驱动方式下 7 段显示器的显示 RAM 填充秩序。其它 LCD 关于 RAM 填充结构的应用描述亦类同。

从图中可以看出，在静态驱动方式下，8 个显示数据位放置在 0 位行的 8 个连续的显示 RAM 位上。在 1: 2 的多极驱动方式中，8 个显示数据蛙位分别放置在 0 位、1 位行的 4 个连续显示 RAM 位上。在 1: 3 的多极驱动方式中则 8 个显示数据位依次放置到 0 位、1 位、2 位行中，而 2 位行的第 3 个地址单元的状态不变，如有必要，该位可以通过附加的传送来控制，但须加小心以防止超越相邻的数据，因为所有的数据字节总在传输。在 1: 4 多极驱动方式中 8 个显示数据位则放在两个连续显示 RAM 位的位 0、1、2、3 上。

6. 14 数据指针

数据指针是显示 RAM 的寻址机构，通过数据指针将每个显示数据字节或一系列显示数据装载到显示 RAM 中。通过“LOAD DATA POINTER”可实现数据指针的初始化。一个到来的数据字节首先存放在由数据指针指示的显示 RAM 中，其填充秩序如图 10 所示。在每个数据字节存储好后，数据指针内容将按照所选择的驱动方式自动增加，即按数量 8（静态驱动方式）、4（1: 2 多极驱动方式）、3（1: 3 多极驱动方式）、2（1: 4 多极驱动方式）自动增加。

6. 15 子地址计数器

显示数据的存储由子地址计数器决定，当子地址计数器的内容和由 A2、A1、A0（第 7、8、9 脚）构成的硬件子地址相一致时（A0、A1、A2 接到 V_{SS} 或 V_{DD}），显示数据存储到指定的空间。子地址计数器通过“DEVICE SELECT”指令设置。如果子地址的内容和硬件子地址不一致，将禁止数据存储，但数据指针仍增加。如果已产生过数据存储，当数据指针溢出时，子地址计数器也增加。

在 PCF8566 的级联应用中，数据存储的配置会导致十分有效的数据装载。当一系列显示字节发送到显示 RAM 中，最后的 RAM 地址超出时，会自动地切换到下一个 PCF8566 中，子地址能越过器件的界限进入到下一个器件的显示 RAM 中。

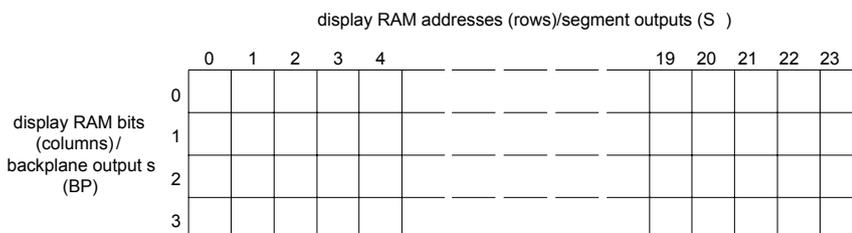


图 9 显示 RAM 位图给出了显示 RAM 地址和段输出之间，以及 RAM 中的位和背极输出之间的关系

驱动方式中，并不会造成通过载。通过输出存储体选择器被显示的存储体能和另一存储体以闪烁频率的速率进行交换。这种方式也可通过“BLINK”指令设置。

在 1: 3 和 1: 4 的多极驱动方式中，没有可交替的 RAM 空间，成组的 LCD 段在固定的时间间隔内能通过变更显示 RAM 数据实现闪烁。

如果整体显示闪烁不使用额定闪烁频率时，可通过“MODE SET”指令重新设置所要求的闪烁频率，并通过置位显示使能位 E 来完成。

表 4 闪烁频率

闪烁方式	正常工作的分频	节电方式的分频	额定闪烁频 f_{blink} (Hz)
关断	-	-	不闪烁
2Hz	$f_{\text{CLK}}/15360$	$f_{\text{CLK}}/15360$	2
1Hz	$f_{\text{CLK}}/184320$	$f_{\text{CLK}}/30720$	1
0.5Hz	$f_{\text{CLK}}/368640$	$f_{\text{CLK}}/61440$	0.5

7. I²C 总线概述

I²C 总线是在 IC 或模块之间通过 2 线，双向进行通讯。一条是串行数据线 (SDA)，另一条是串行时钟线 (SCL)，这两条线与外部器件相连时输出端必须接上拉电阻。总线示闲时数据传送方有效。

7.1 位传送

数据位在每个时钟周期期间被传送。SDA 线上的数据在时钟周期高电平期间必须保持稳定，时钟线上数据的变化在此时作为控制信号。

7.2 起始和停止条件

总线不忙时数据及时钟线都保持高电平。时钟线保持高电平期间，数据线由高变低传送则作为 START 条件(S)。时钟线保持高电平期间，数据线由低变高传送则作为 STOP 条件(P)。

7.3 系统结构

产生信息的器件叫“发送器”，接收信息的器件叫“接收器”。控制信息的器件叫“主控器”，受控器件叫“被控器”。

7.4 应答

发送器传送到接收器的字节数在 START 和 STOP 之间是无限制的，每传送一个字节都必须跟一个应答位。发送器在总线上将应答位置为高电平，而主控器要产生一个额外的应答信号以释放时钟周期。被寻址的受控器必须在收到每个字节后产生应答信号。主控器也必须在收到锁定在受控发送器外的字节后产生应答信号。应答器件的 SDA 线在应答时钟周期内被拉低，于是在应答信号释放时钟周期期间 SDA 保持稳定的低电平，建立和保持时序必须经过计算。受控器锁存在外部的最后的字节处理完毕后若无应答信号，主控器接收器必须发出结束信号给发送器。在这种情况下发送器必须让数据线保持高电平以便主控器能产生 STOP 条件。

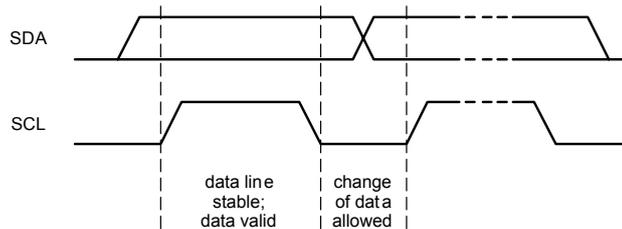


图 11 位传送

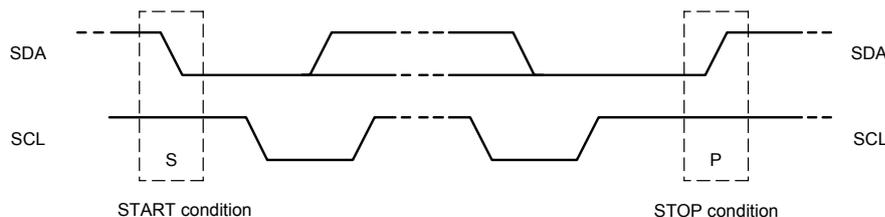


图 12 定义 START 和 STOP 条件

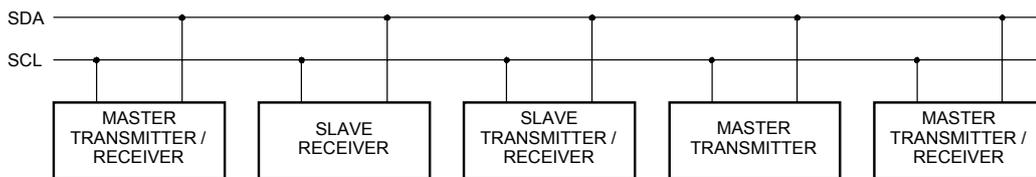


图 13 系统结构

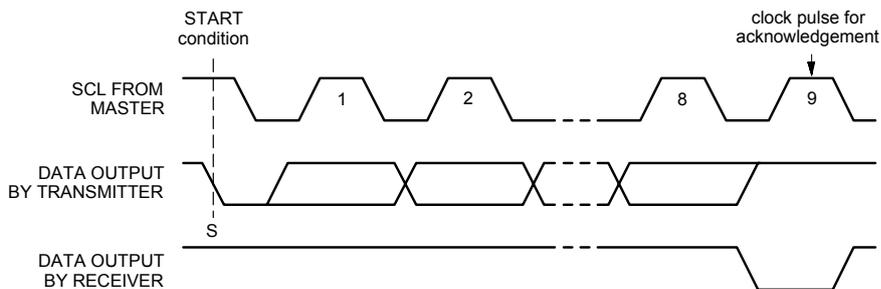


图 14 I²C 总线上的应答

7. 5 PCF8566 I²C 总线控制器

PCF8566 用作 I²C 总线受控器接收机。它不能启动 I²C 总线发送器或发送数据到 I²C 总线主控器的接收器。从 PCF8566 输出的唯一信号是被选器件的应答信号。器件选择依赖于 I²C 总线上受控器的地址，即发送命令中的数据和硬件子地址。

在单个器件应用中，硬件子地址输入 A0、A1、A2 正常地连到 V_{SS} 上并定义为硬件子地址 0。在多个器件应用中 A0、A1、A2 按照二进制编码连到 V_{SS} 或 V_{DD} 上，不会出现两个器件共用一个子地址并具有相同的硬件地址。

在节电方式中，在大量显示数据传送时，PCF8566 不可能保持最高传输速率，这时 PCF8566 利用总线时钟同步特性强使 SCL 线为低电平直到它的内部操作完成，使 I²C 总线降低传送速度，且不发生数据丢失现象。

7.6 输入滤波器

在恶劣环境中为避免增加电气噪音，在 SDA 及 SLC 线上通过 RC 低通滤波器来消噪。

7.7 I²C 总线协议

两个受控于 PCF8566 的 I²C 总线受控器地址 (0111110 和 0111111)。受控器最重要的最低位由输入 SA0 (管脚 10) 的连线决定，因此，如下的两种在相同 I²C 总线上的 PCF8566 能被区别：

- (1) 在大型 LCD 应用中相同的 I²C 总线上达到 16 片 PCF8566；
- (2) 两种不同类的 LCD 复合在相同的 I²C 总线上使用。

I²C 总线如图 15。发送第一个起始条件后，紧接着发送两个 PCF8566 从地址中的一个。所有 SA0 电平相同的 PCF8566 同时响应从地址，但所有与 SA0 电平不同的 PCF8566 则与 I²C 总线的通讯无关。在寻址之后为一个或多个 ($m \geq 1$ 个字节) 指令字节 (COMMAND)，用来定义所寻址的 PCF8566 状态，指令字节中的最高位“C”用以标明是否是最后一个指令字节，当 C=“1”时表示后面的字节仍是指令字节；当 C=“0”时则表明该字节为最后一个指令字节。

最后一个指令字节之后为一系列显示数据字节 (DIS DATA) 这些显示数据存放在显示 RAM 中由数据指针和子地址计数器指示的地址上。数据指针和子地址计数器可自动变更，数据直接装载到指定的 PCF8566 上，在每个字节之后的应答位由 A2、A1、A0 寻址的 PCF8566 提供，在主控器发送完最后一个字节后产生一个终止条件 P。

7.8 指令译码器

指令译码器与到达 I²C 总线上的指令字节一致。最高位 C 决定了有效命令的执行 (如图 16)。C=1 时，表示下一个从发送器过来的字节也是命令。

C=0 时，表示发送器的最后一个命令字节。以后的字节为显示数据。

表 5 中定义了 PCF8566 的 5 个有效命令。

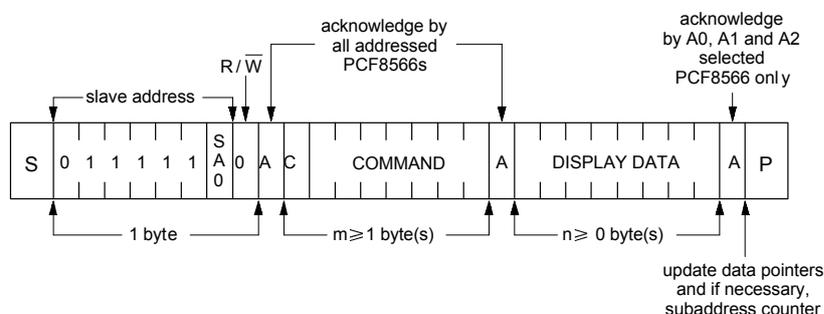


图 15 I²C 总线协议

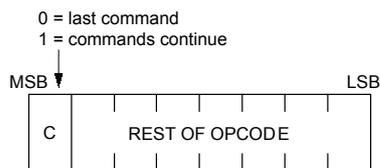


图 16 一般格式的命令字节

表 5 定义 PCF8566 命令

命令 / 操作码								选择	描述
方式设定									
C	1	0	LP	E	B	M1	M0	见表 6	定义 LCD 驱动方式
								见表 7	定义 LCD 偏置电压结构
								见表 8	定义显示状态, 使显示关闭可能; 允许在外部控制下执行闪烁。
								见表 9	定义功耗方式
装载数据指针									
C	0	0	P4	P3	P2	P1	P0	见表 10	5 位立即数, P0~P4, 传送到数据指针定义一个 24 段显示 RAM 地址
器件选择									
C	1	1	0	0	A2	A1	A0	见表 11	3 位立即数, A0~A2, 传送到子地址计数器定义 8 个硬件子地址之一
块选择									
C	1	1	1	1	0	1	O	见表 12	定义输入块(存储到达的显示数据)
								见表 13	定义输出块(恢复 LCD 显示数据)
									在 1: 3 和 1: 4 多极驱动方式下 BANK SELECT 命令无影响
闪烁									
C	1	1	1	0	A	BF1	BF0	见表 14	定义闪烁频率
								见表 15	选择闪烁方式, 正常工作频率由 BF1 和 BF0 位决定; 或显示 RAM 区轮流闪烁, 轮闪不可用在 1: 3 和 1: 4 多极驱动方式

表 6 LCD 驱动方式

LCD 驱动方式	M1 位	M0 位
静态 (1BP)	0	1
1: 2 多极 (2BP)	1	0
1: 3 多极 (3BP)	1	1
1: 4 多极 (4BP)	0	0

表 7 LCD 偏置电压结构

LCD 偏置电压	0 位
----------	-----

1/3 偏置	0
1/2 偏置	1

表 8 显示状态

显示状态	E 位
不使能	0
使能	1

表 9 功耗方式

方式	LP 位
正常	0
节电方式	1

表 10 装载数据指针

位	P4	P3	P2	P1	P0
从 0~23 的 5 位二进制数					

表 11 器件选择

位			
从 0~7 的 3 位二进制数			

表 12 输入区选择

静态	1: 2 多极	位 1
RAM 位 0	RAM 位 0, 1	0
RAM 位 2	RAM 位 2, 3	1

表 13 输出区选择

静态	1: 2 多极	位 1
RAM 位 0	RAM 位 0, 1	0
RAM 位 2	RAM 位 2, 3	1

表 14 闪烁频率

闪烁频率	位 BF1	位 BF0
关断	0	0
2Hz	0	1
1Hz	1	0
0.5Hz	1	1

表 15 闪烁方式选择

闪烁方式	A 位
正常	0
轮流闪烁	1

7.9 显示控制

显示控制器执行的指令与指令译码器一致。它包含了 PCF8566 的状态寄存器并综合了它

们的作用。

控制器也负责根据填充秩序装载显示数据到显示 RAM。

7. 10 级联工作

在大规模的 LCD 显示结构中，通过 3 位 (A2、A1、A0) 子地址和已编程的 I²C 总线从地址 (SA0)，I²C 总线能识别 16 个 PCF8566。因此 PCF8566 最多可级联 16 个。当级联时，各个 PCF8566 是同步的，因此，级联中的 PCF8566 可从一个器件分享背极信号。这种布局对于大规模的 LCD 驱动控制是十分方便的，因为只需要一个器件输出背极驱动，级联中其它的 PCF8566 只分配其余的段驱动输出而断开其背极驱动 (如图 17)

同步信号线/SYNC 将保证所有级联的 PCF8566 间正确的同步。实际上在上电复位后就实现了同步，但是由于偶然因素 (如环境噪音的破坏作用；或者是定义了 PCF8566 的多极方式，PCF8566 的不同 SA0 电平级联) 失去同步时，需要通过/SYNC 同步。/SYNC 是输入输出引脚；其输出为带有内部上拉电阻的开漏驱动结构。一个 PCF8566 保证/SYNC 线在有效背极信号最后开始并在所有的其它时间内监视/SYNC 线。当级联中的 PCF8566 失去同步，将通过第一个 PCF8566 维持的/SYNC 复原。对于不同驱动方式，背极信号和/SYNC 之间的时序关系如图 18 所示。在 PCF8566 和 PCF8576 之间可以级联，提供了有实际价值的 LCD 应用。

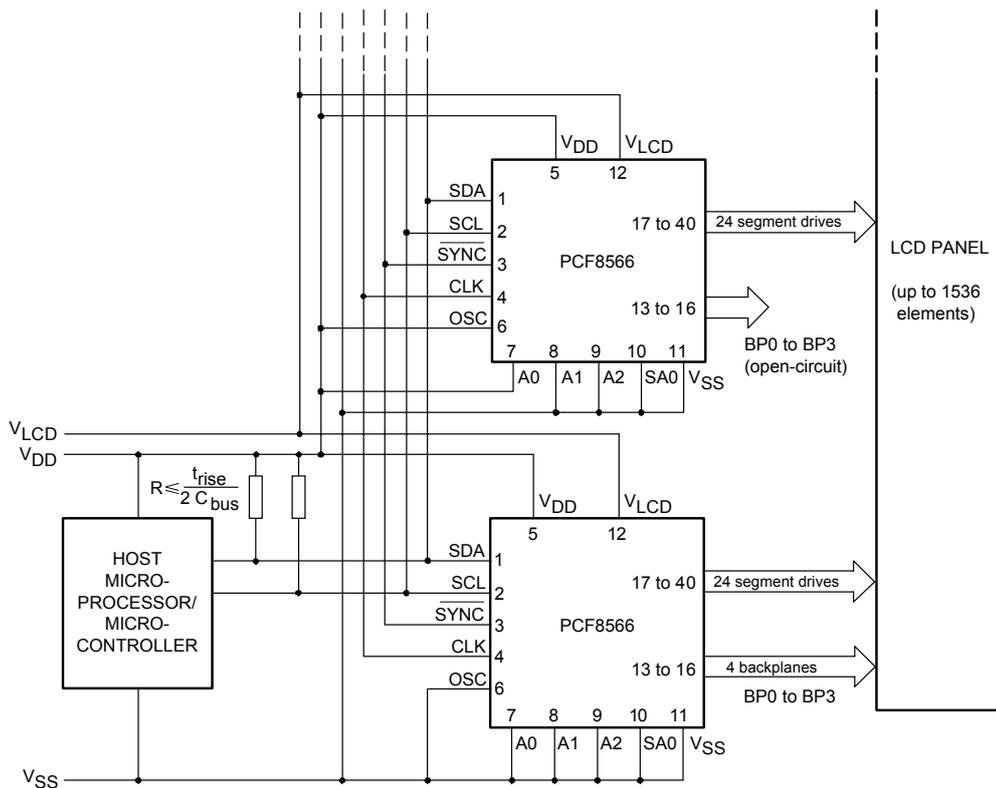


图 17 PCF8566 级联结构

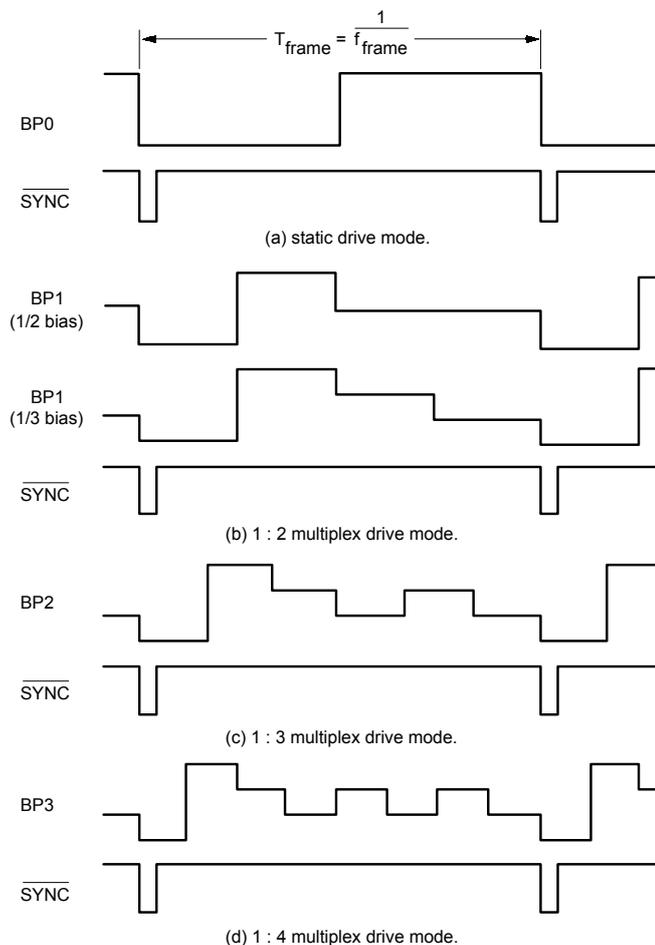


图 18 多个 PCF8566 级联驱动方式的同步

对于单面布线的 PCF8566，参阅“应用信息”章节。

8. 极限值

按照定型系统的绝对最大值（IEC 134）

符号	功能	最小值	最大值	单位
V_{DD}	电压供给	- 0.5	+ 7	V
V_{LCD}	LCD 电压供给	$V_{DD} - 7$	V_{DD}	V
V_I	输入电压 (SCL, SDA, A0 ~ A2, OSC, CLK, /SYNC 和 SA0)	$V_{SS} - 0.5$	$V_{DD} + 0.5$	V
V_O	输出电压 (S0 ~ S23 和 BP0 ~ BP3)	$V_{LCD} - 0.5$	$V_{DD} + 0.5$	V
I_I	输入直流电流	-	± 20	mA
I_O	输出直流电流	-	± 25	mA
I_{DD}, I_{SS}, I_{LCD}	V_{DD}, V_{SS} 或 V_{LCD} 电流	-	± 50	mA
P_{tot}	各种封装的功耗	-	400	mA
P_O	各种输出功耗	-	100	mA

T_{stg}	储藏温度	- 65	+150	$^{\circ}\text{C}$
-----------	------	------	------	--------------------

9. 处理

正常处理中输入输出都有防静电保护。但为真正安全起见，建议对 MOS 器件采取适当的预防处理（见“MOS 器件处理”）。

10. 直流特性

除非有其它特别说明； $V_{SS} = 0\text{V}$ ； $V_{DD} = 2.5 \sim 6\text{V}$ ； $V_{LCD} = V_{DD} - 2.5 \sim V_{DD} - 6\text{V}$ ； $-40 \sim +85^{\circ}\text{C}$

符号	功能	条件	最小值	典型值	最大值	单位
供电						
V_{DD}	工作电压		2.5	-	6	V
V_{LCD}	LCD 电压		$V_{DD} - 6$	-	$V_{DD} - 2.5$	V
I_{DD}	工作电流 正常方式	$f_{CLK} = 200\text{kHz}$; 注释 1	-	30	90	μA
I_{LP}	节电方式供电电流	$V_{DD} = 3.5\text{V}$; $V_{LCD} = 0\text{V}$; $f_{CLK} = 35\text{kHz}$; A0~A2 连到 V_{SS} 注释 1	-	15	40	μA
逻辑						
V_{IL}	低门限输入电压		V_{SS}	-	$0.3V_{DD}$	V
V_{IH}	高门限输入电压		$0.7V_{DD}$	-	V_{DD}	V
V_{OL}	低门限输出电压	$I_O = 0\text{mA}$	-	-	0.05	V
V_{OH}	高门限输出电压	$I_O = 0\text{mA}$	$V_{DD} - 0.05$	-	-	V
I_{OL1}	低门限输出电流 (CLK 和 /SYNC)	$V_{OL} = 1\text{V}$; $V_{DD} = 5\text{V}$;	1	-	-	mA
I_{OH}	高门限输出电流 (CLK)	$V_{OH} = 4\text{V}$; $V_{DD} = 5\text{V}$;	-	-	-1	mA
I_{OL2}	低门限输出电流 (SDA 和 SCL)	$V_{OL} = 0.4\text{V}$; $V_{DD} = 5\text{V}$	3	-	-	mA
I_{L1}	漏极电流 (SA0, CLK, OSC, A0, A1, A2, SCL 及 SDA)	$V_1 = V_{SS}$ 或 V_{DD}	-	-	± 1	μA
I_{pd}	下拉电流 (A0, A1, A2, 和 OSC)	$V_1 = 1\text{V}$; $V_{DD} = 5\text{V}$	15	50	150	μA
R_{puSYN} C	上拉电阻 (/SYNC)		15	25	60	k Ω
V_{ref}	上拉复位电平	注释 2	-	1.3	2	V
t_{sw}	总线上可容忍的尖峰 脉冲宽度		-	-	100	ns
C_I	输入电容	注释 3	-	-	7	pF
LCD 输出						
V_{BP}	直流电压成分 (BP0 ~ BP3)	$C_{BP} = 35\text{nF}$	-	± 20	-	mV
V_S	直流电压成分 (S0 ~ S23)	$C_S = 5\text{nF}$	-	± 20	-	mV
Z_{BP}	输出阻抗 (BP0 ~ BP3)	$V_{LCD} = V_{DD} - 5\text{V}$ 注释 4	-	1	5	k Ω

Z _S	输出阻抗 (BP0~BP3)	V _{LCD} = V _{DD} - 5V 注释 4	-	3	7	kΩ
----------------	-------------------	--	---	---	---	----

注释

1. 输出开路；输入连到 V_{SS} 或 V_{DD}；外部时钟有 50% 的责任因素；I²C 总线不激活。
2. 当 V_{DD} < V_{ref} 时，所有逻辑电平复位。
3. 周期性采样，未 100% 测试。
4. 在某时输出测量。

11. 交流特性

除非有其它特别说明；V_{SS} = 0V；V_{DD} = 2.5 ~ 6 V；V_{LCD} = V_{DD} - 2.5 ~ V_{DD} - 6 V；
T_{amb} = -40 ~ +85 °C；注释 1。

符号	功能	条件	最小值	典型值	最大值	单位
f _{CLK}	振荡器频率 (正常方式)	V _{DD} = 5V; 注释 2	125	200	315	kHz
f _{CLKLP}	振荡器频率 (节电方式)	V _{DD} = 3.0, 5V;	21	31	48	kHz
t _{CLKH}	时钟高电平时间		1	-	-	us
t _{CLKL}	时钟高低平时间		1	-	-	us
t _{PSYNC}	同步传播时延		-	-	400	ns
t _{SYNCL}	同步信号低电平时间		1	-	-	us
t _{PLCD}	测试加载驱动器时延	V _{LCD} = V _{DD} - 5V	-	-	30	us
I ² C 总线						
t _{BUF}	总线空闲时间		4.7	-	-	us
t _{HD; STA}	开始条件保持时间		4	-	-	us
t _{LOW}	SCL 低电平时间		4.7	-	-	us
t _{HIGH}	SCL 高电平时间		4	-	-	us
t _{SU; STA}	开始条件建立时间 (仅 用于重新开始程序)		4.7	-	-	us
t _{HD ; DAT}	数据保持时间		0	-	-	us
t _{SU; DAT}	数据建立时间		250	-	-	ns
t _r	上升时间		-	-	1	us
t _f	下降时间		-	-	300	ns
t _{SU; STO}	停止条件建立时间		4.7	-	-	us

注释

1. 所有的时序指的是 V_{IH} 和 V_{IL} 电平在 V_{SS} 至 V_{DD} 之间变换。
2. 当 f_{CLK} < 125kHz 时，I²C 总线传输速率下降。

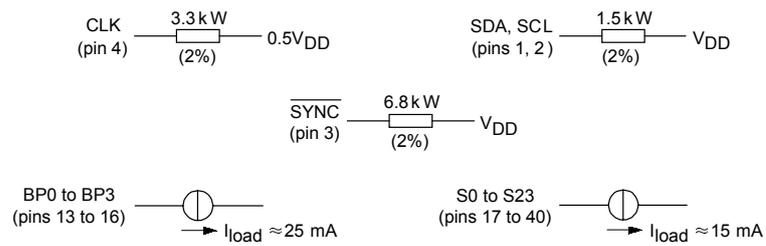


图 19 测试加载

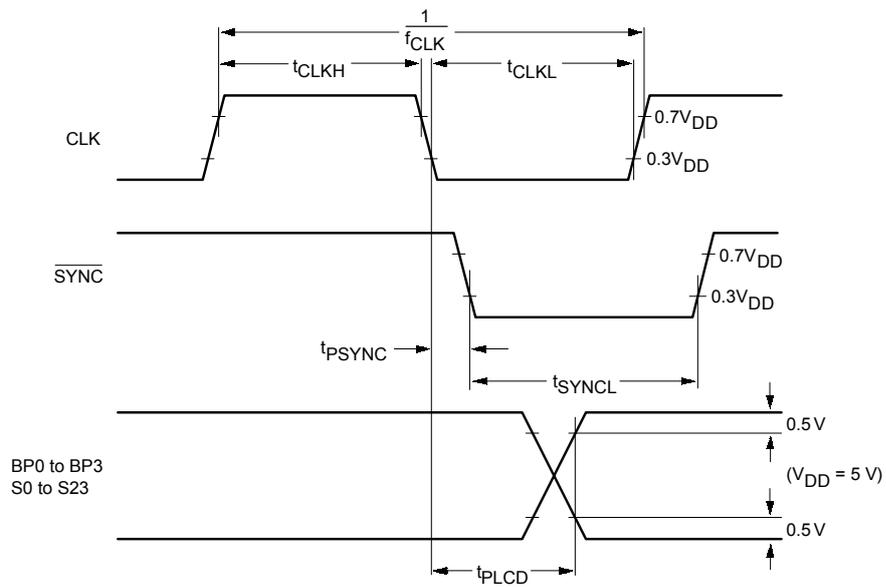


图 20 驱动时序波型

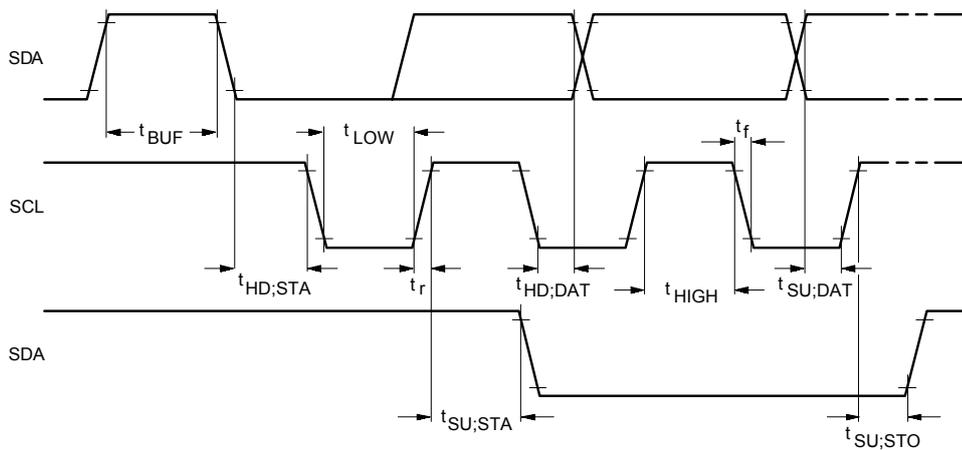
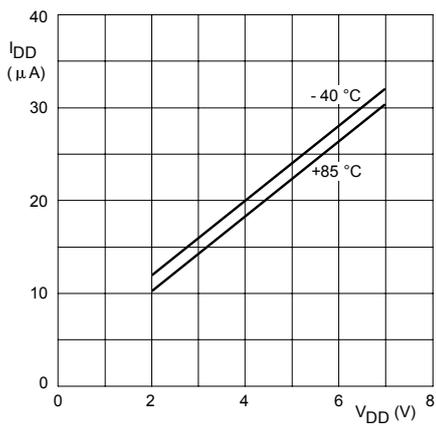
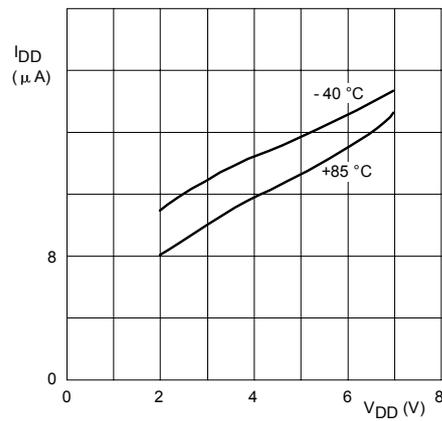


图 21 I²C 总线时序波型

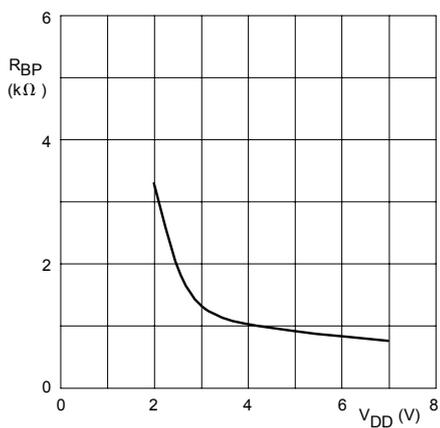


a. Normal mode; $V_{LCD} = 0V$;
external clock = 200 kHz.

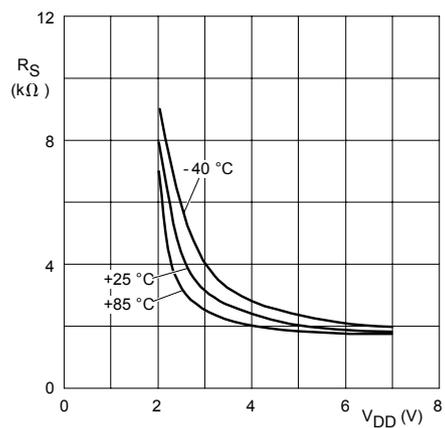


b. Low power mode; $V_{LCD} = 0V$;
external clock = 35 kHz.

图 22 典型供电电流特性



a. Backplane output impedance BP0 to BP3 (R_{BP}); $V_{DD} = 5V$; $T_{amb} = -40$ to $+85$ °C.



b. Segment output impedance S0toS23 (R_s);
 $V_{DD} = 5V$.

图 23 典型的 LCD 输出特性

12. 应用信息

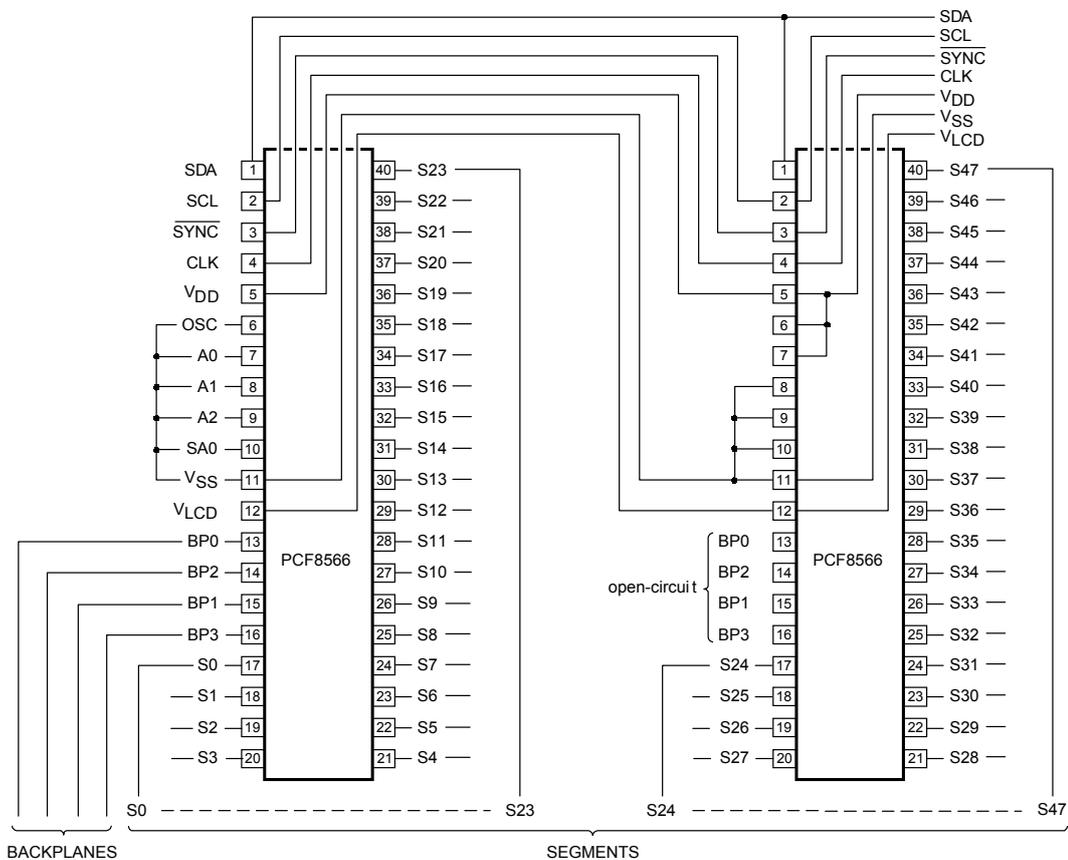
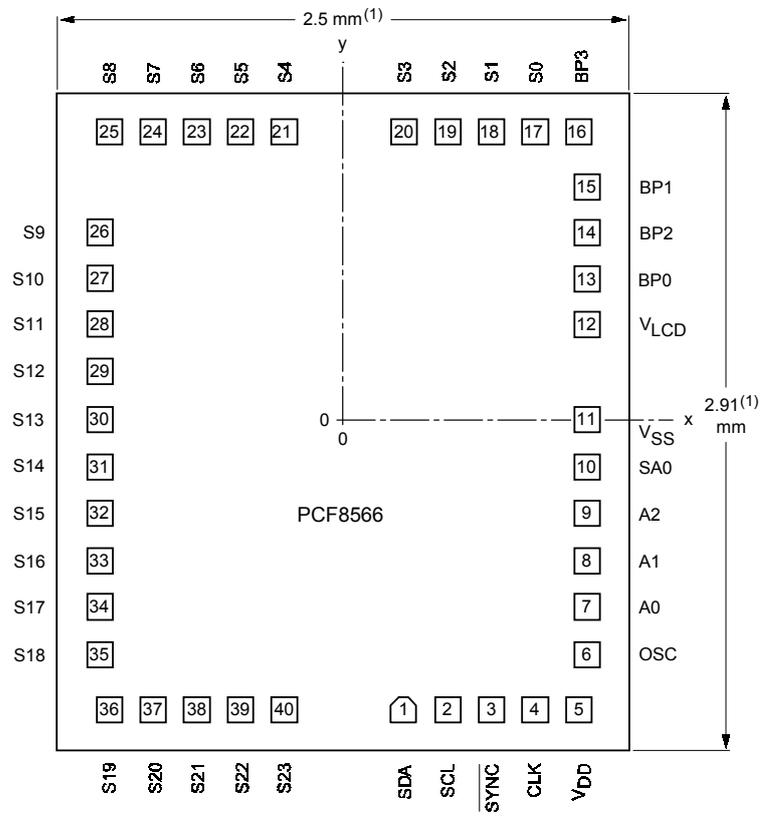


图 24 PCF8566 单面布线模板

13. 芯片描述及焊盘位置



(1) 典型值。 焊盘尺寸: 120 X 120 um 芯片面积: 7.27mm

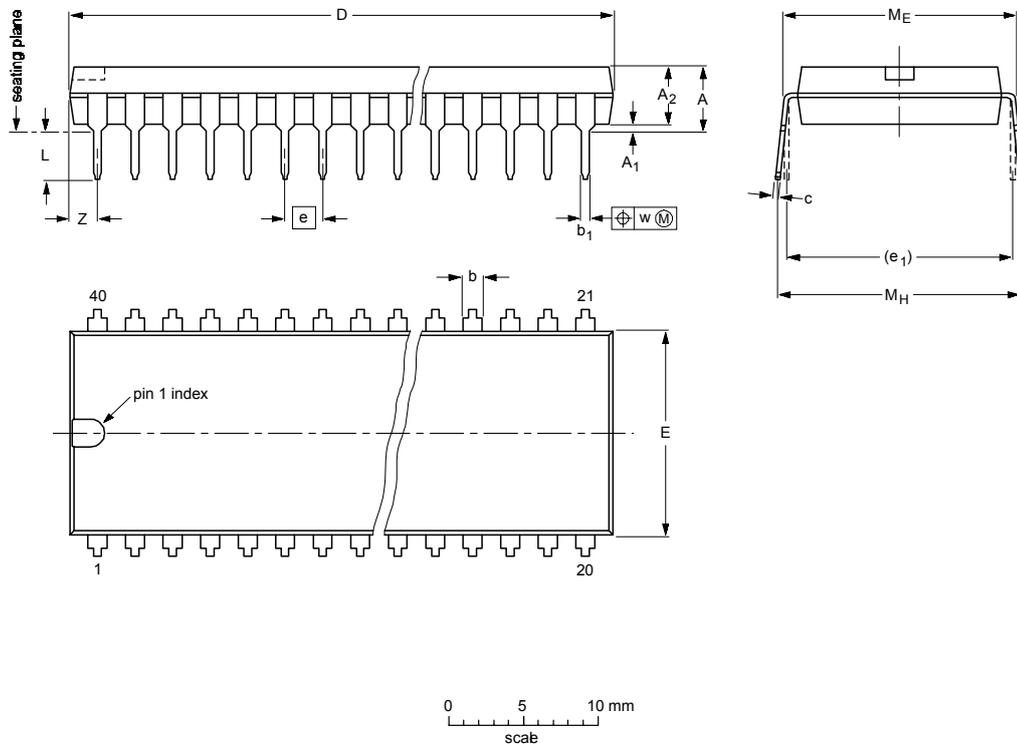
图 25 固定焊盘尺寸

表 16 焊接焊盘位置 (尺寸为 mm)
所有的 X/Y 以芯片中心定位 (见图 25)

PAD NUMBER	SYMBOL	x	y	PIN
1	SDA	200	- 1235	1
2	S CL	400	- 1235	2
3	SYNC	605	- 1235	3
4	C LK	856	- 1235	4
5	V DD	1062	- 1235	5
6	OSC	1080	- 1025	6
7	A 0	1 080	- 825	7
8	A 1	1 080	- 625	8
9	A 2	1 080	- 425	9
10	SA0	1080	- 225	10
11	V SS	1080	- 25	11
12	V LCD	1080	347	12
13	BP0	1080	547	13
14	BP2	1080	747	14
15	BP1	1080	947	15
16	BP3	1074	1235	16
17	S0	874	1235	17
18	S1	674	1235	18
19	S2	474	1235	19
20	S3	274	1235	20
21	S4	- 274	1235	21
22	S5	- 474	1235	22
23	S6	- 674	1235	23
24	S7	- 874	1235	24
25	S8	- 1074	1235	25
26	S9	- 1080	765	26
27	S10	- 1080	565	27
28	S11	- 1080	365	28
29	S12	- 1080	165	29
30	S13	- 1080	- 35	30
31	S14	- 1080	- 235	31
32	S15	- 1080	- 435	32
33	S16	- 1080	- 635	33
34	S17	- 1080	- 835	34
35	S18	- 1080	- 1035	35
36	S19	- 1056	- 1235	36
37	S20	- 830	- 1235	37
38	S21	- 630	- 1235	38
39	S22	- 430	- 1235	39
40	S23	- 230	- 1235	40

14. 外形封装

DIP40 : 塑料双列直插封装; 40 脚 (600 mil)



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A ₁ min.	A ₂ max.	b	b ₁	c	D ⁽¹⁾	E ⁽¹⁾	e	e ₁	L	M _E	M _H	w	Z ⁽¹⁾ max.
mm	4.7	0.51	4.0	1.70 1.14	0.53 0.38	0.36 0.23	52.50 51.50	14.1 13.7	2.54	15.24	3.60 3.05	15.80 15.24	17.42 15.90	0.254	2.25
inches	0.19	0.020	0.16	0.067 0.045	0.021 0.015	0.014 0.009	2.067 2.028	0.56 0.54	0.10	0.60	0.14 0.12	0.62 0.60	0.69 0.63	0.01	0.089

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT129-1	051G08	MO-015AJ				92-11-17 95-01-14