

PCF8574T I²C 并行口扩展电路

1. 特性

- 操作电压 2.5~6.0V
- 低备用电流 (≤10 μA)
- I²C 并行口扩展电路
- 开漏中断输出
- I²C 总线 实现 8 位远程 I/O 口
- 与大多数 MCU 兼容
- 口输出锁存, 具有大电流驱动能力, 可直接驱动 LED
- 通过 3 个硬件地址引脚可寻址 8 个器件 (PCF8574A 可多达 16 个)
- DIP16, SO16 或 SSOP20 形式封装

2. 概述

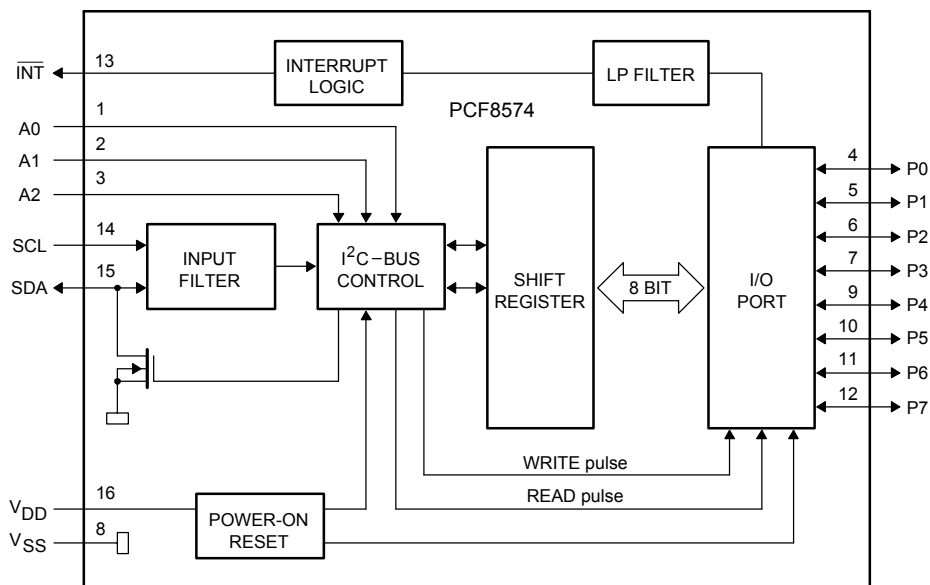
PCF8574 是 CMOS 电路。它通过两条双向总线 (I²C) 可使大多数 MCU 实现远程 I/O 口扩展。该器件包含一个 8 位准双向口和一个 I²C 总线接口。PCF8574 电流消耗很低, 且口输出锁存具有大电流驱动能力, 可直接驱动 LED。它还带有一条中断接线 (INT) 可与 MCU 的中断逻辑相连。通过 INT 发送中断信号, 远端 I/O 口不必经过 I²C 总线通信就可通知 MCU 是否有数据从端口输入。这意味着 PCF8574 可以作为一个单被控器。

PCF8574 和 PCF8574A 的唯一区别仅在于器件地址不相同。

3. 订单信息

型号	封装	
	名称	描述
PCF8574T	SO16	塑料小型表面封装
PCF8574AT		

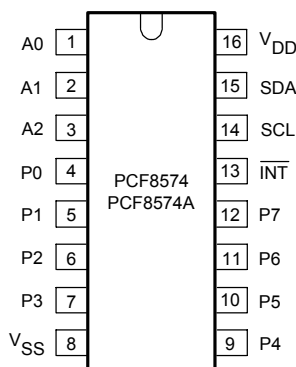
4. 功能框图



5. 管脚描述

标号	管脚	描述
	S016	
A0	1	地址输入 0
A1	2	地址输入 1
A2	3	地址输入 2
P0	4	准双向 I/O 口 0
P1	5	准双向 I/O 口 1
P2	6	准双向 I/O 口 2
P3	7	准双向 I/O 口 3
V _{SS}	8	地
P4	9	准双向 I/O 口 4
P5	10	准双向 I/O 口 5
P6	11	准双向 I/O 口 6
P7	12	准双向 I/O 口 7
INT	13	中断输入（低电平有效）
SCL	14	串行时钟线
SDA	15	串行数据线
V _{DD}	16	电源

管脚配置 (S016)



6. I²C 总线特性

I²C 总线用于不同的 IC 或模块之间的双线通信。两条线其中之一为串行数据线 (SDA)，另一条为串行时钟线 (SCL)。当与器件的输出级相连时，这两条线都必须接上拉电阻。数据的传送只有在总线空闲时才能进行。

位传送

在每个时钟脉冲出现时，总线传送一个数据位。在时钟信号高电平期间，SDA 线上的数据位应保持稳定，如果此时改变 SDA 线数据则被认为是总线的控制信号（见图 1）。

起始和停止信号

当总线空闲时，数据和时钟线保持高电平。SCL 线为高电平时，SDA 线电平由高至低的变化定义为总线的起始信号 (S)；SCL 线为高电平时，SDA 线电平由低至高的变化定义为总线的停止信号 (S)（见图 2）。

系统配置

产生信息的器件称为‘发送器’，接收信息的器件称为‘接收器’。控制信息的器件称为‘主控器’，而由主控器控制的器件称为‘被控器’（见图3）。

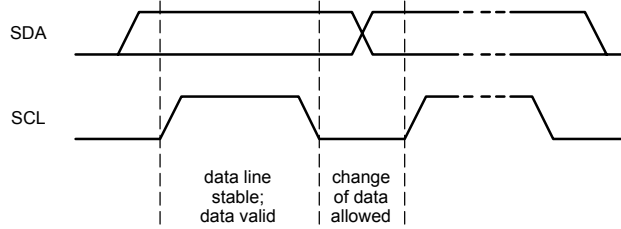


图1 I²C 总线上的位传送

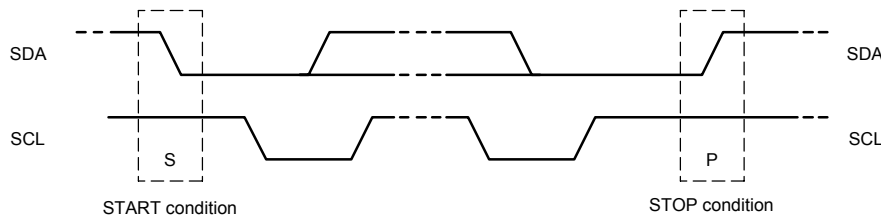


图2 起始信号和停止信号定义

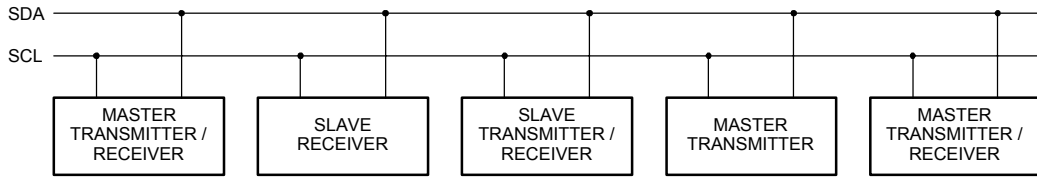


图3 系统配置

应答

在起动和停止信号之间所传送的数据数量不受限制。每个8位字节之后跟随一个应答位。应答位的时钟脉冲由主控器产生。被控接收器在接收到每一个字节数据之后必须发送一个应答信号；而主控器在接收到被控发送器发送的数据后，也必须发送一个应答信号。在出现与应答位对应的时钟脉冲时，产生应答位的器件将拉低 SDA 线，这样在应答位对应的时钟脉冲高电平期间，SDA 保持低电平状态。建立和保持时间必须纳入考虑。

当主控器作为接收器时，它必须在被控器发送完最后一个字节数据后产生非应答信号，此时发送器必须将数据线释放为高电平，以使主控器能够产生一个停止信号。

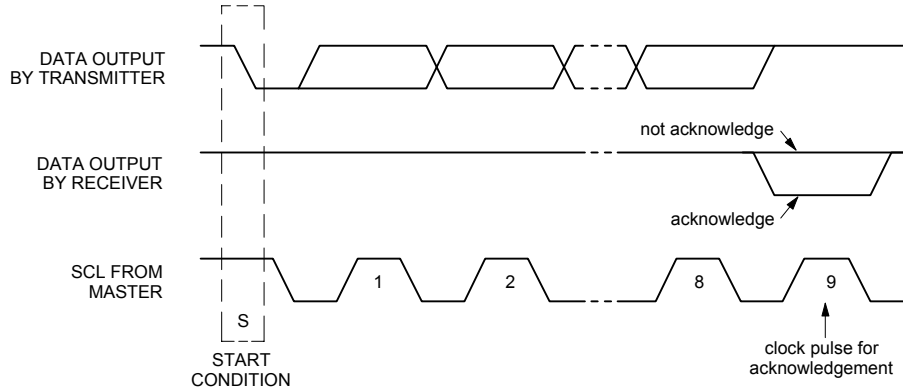


图4 I²C 总线上的应答

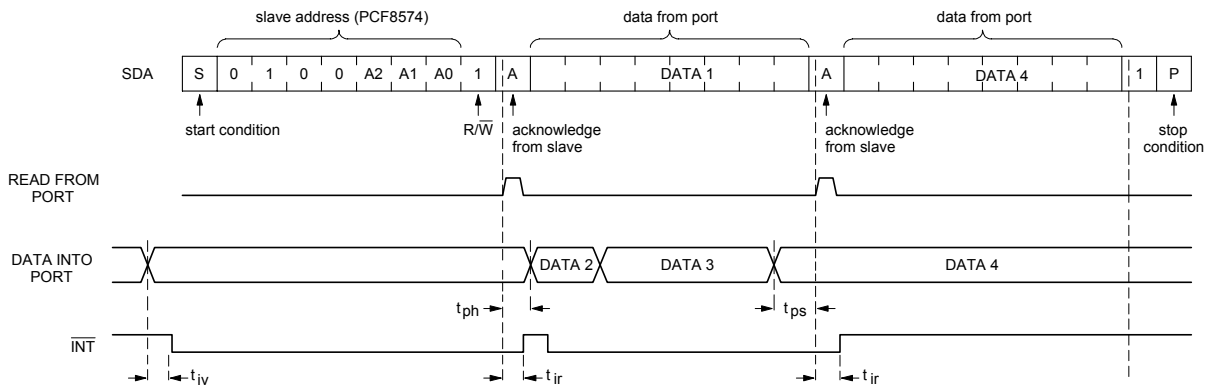


图 8 读模式（输入）

中断（见图 9，10）

PCF8574 提供一个可以连接到 MCU 对应输入端的开漏输出口 (INT)。这样可使 PCF8574 能够启动系统中另外一处的动作。在输入模式中，口输入信号的上升或下降沿产生中断。在时间 t_{iv} 之后 INT 有效。

当口数据变为初始值或产生中断端口的数据写入/读出时，中断电路复位并重新激活。在下列条件下发生复位：

- 读模式中，SCL 信号上升沿之后的应答位
- 写模式中，SCL 信号从高到低的跳变之后的应答位
- 应答时钟脉冲期间的中断复位可能会导致中断的丢失

中断复位后 I/O 口的每个变化都会被检测，并在下一个时钟上升沿作为 INT 发送。对另一个器件的读写不影响中断电路。

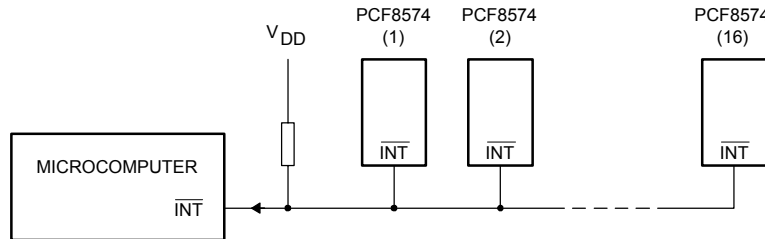


图 9 多个 PCF8574 的中断应用

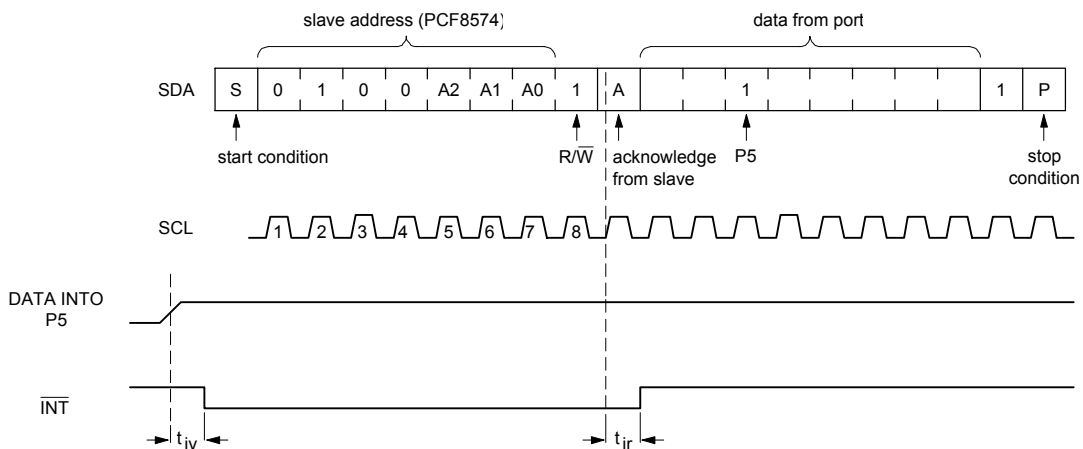


图 10 I/O 口 P5 的输入变化产生中断

准双向 I/O 口(见图 11)

准双向 I/O 口可用作输入和输出而不需要通过控制寄存器定义数据的方向。上电时 I/O 口为高电平。该模式中只有 V_{DD} 提供的电流有效。在大负载输出时提供额外的强上拉以使电平迅速上升。当输出写为高电平时打开强上拉，在 SCL 的下降沿关闭。I/O 口用作输入之前应当为高电平。

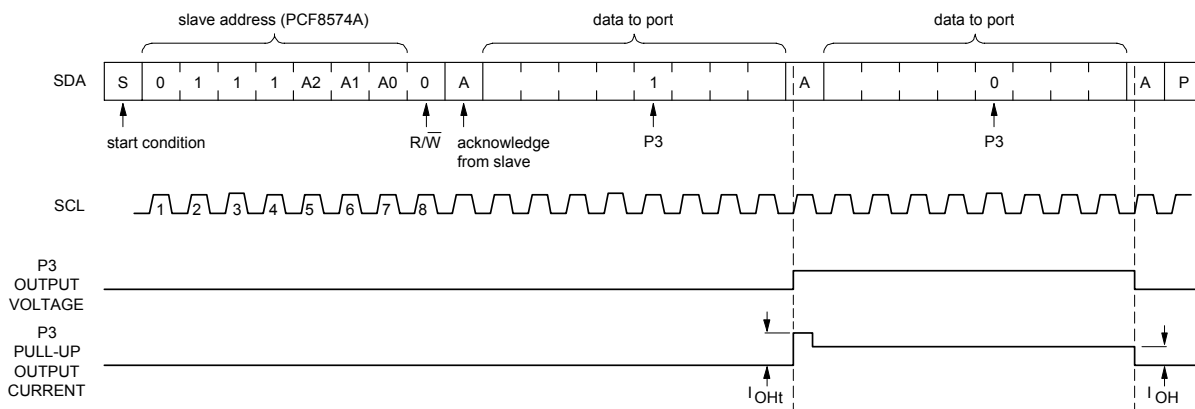


图 11 P3 从低变为高再变为低时的瞬时上拉电流

极限参数

标号	参数	最小值	最大值	单位
V_{DD}	电源电压	-0.5	+7.0	V
V_I	输入电压	$V_{SS}-0.5$	$V_{DD}+0.5$	V
I_I	DC 输入电流	-	± 20	mA
I_O	DC 输出电流	-	± 25	mA
I_{DD}	电源电流	-	± 100	mA
I_{SS}	电源电流	-	± 100	mA
P_{tot}	总功率损耗	-	400	mW
P_O	每个输出的功率损耗	-	100	mW
T_{stg}	储存温度	-60	150	$^{\circ}C$
T_{amb}	工作环境温度	-40	+85	$^{\circ}C$

DC 电气特性

$V_{DD}=2.5\sim 6.0V$; $V_{SS}=0V$; $T_{amb}=-40\sim 85^{\circ}C$

标号	参数	条件	最小值	典型值	最大值	单位
电源						
V_{DD}	电源电压		2.5	-	6.0	V
I_{DD}	电源电流	工作模式; $V_{DD}=6V$; 无负载; $V_I=V_{DD}$ 或 V_{SS} $f_{SCL}=100KHz$	-	40	100	μA
I_{stb}	备用电流	备用模式; $V_{DD}=6V$; 无负载; $V_I=V_{DD}$ 或 V_{SS}	-	2.5	10	μA
V_{POR}	上电复位电压	$V_{DD}=6V$; 无负载; $V_I=V_{DD}$ 或 V_{SS} ; 注 1	-	1.3	2.4	V
输入 SCL; 输入/输出 SDA						
V_{IL}	低电平输入电压		-0.5	-	$+0.3 V_{DD}$	V
V_{IH}	高电平输入电压		$0.7 V_{DD}$	-	$V_{DD}+0.5$	V
I_{OL}	低电平输出电流	$V_{OL}=0.4V$	3	-	-	mA
I_L	漏电流	$V_I=V_{DD}$ 或 V_{SS}	-1	-	+1	μA
C_i	输入电容	$V_I=V_{SS}$	-	-	7	pF
I/O 口						
V_{IL}	低电平输入电压		-0.5	-	$+0.3 V_{DD}$	V
V_{IH}	高电平输入电压		$0.7 V_{DD}$	-	$V_{DD}+0.5$	V
I_{IHL}	通过保护二极管的最大允许电流	$V_I \geq V_{DD}$ 或 $V_I \leq V_{SS}$	-	-	± 400	μA
I_{OL}	低电平输出电流	$V_{OL}=1V$; $V_{DD}=5V$	10	25	-	mA

标号	参数	条件	最小值	典型值	最大值	单位
I_{OH}	高电平输出电流	$V_{OH}=V_{SS}$	30	—	300	∞A
I_{OHt}	瞬至上拉电流	应答时高电平 (见图 13) $V_{OH}=V_{SS}; V_{DD}=2.5V$	—	-1	—	mA
C_i	输入电容		—	—	10	pF
C_o	输出电容		—	—	10	pF
端口时序: $C_L \leq 100pF$ (见图 9, 10)						
t_{pv}	输出数据有效时间		—	—	4	∞S
t_{su}	输入数据建立时间		0	—	—	∞S
t_h	输入数据保持时间		4	—	—	∞S
中断 INT (见图 12)						
I_{OL}	低电平输出电流	$V_{OL}=0.4V$	1.6	—	—	mA
I_L	漏电流	$V_i=V_{DD}$ 或 V_{SS}	-1	—	+1	∞A
时序: $C_L \leq 100pF$						
t_{iv}	输入数据有效时间		—	—	4	∞S
t_{ir}	复位延迟时间		—	—	4	∞S
选择输入 A0~A2						
V_{IL}	低电平输入电压		-0.5	—	+0.3 V_{DD}	V
V_{IH}	高电平输入电压		0.7 V_{DD}	—	$V_{DD}+0.5$	V
I_{LI}	输入漏电流	V_{DD} 或 V_{DD} 脚	-250	—	+250	nA

注 1: 上电复位电路复位 I²C 总线逻辑, 并将所有 I/O 口都置位为 1。

I²C 总线时序特性

标号	参数	最小值	典型值	最大值	单位
I ² C 总线时序 (见图 12;)					
f_{SCL}	SCL 时钟频率	—	—	100	kHz
t_{SW}	总线容许的尖峰信号宽度	—	—	100	ns
t_{BUF}	总线空闲时间	4.7	—	—	∞S
$t_{SU,STA}$	起始信号的建立时间	4.7	—	—	∞S
$t_{HD,STA}$	起始信号的保持时间	4.0	—	—	∞S
t_{LOW}	SCL 低电平时间	4.7	—	—	∞S
t_{HIGH}	SCL 高电平时间	4.0	—	—	∞S
t_r	SCL 和 SDA 上升时间	—	—	1.0	∞S
t_f	SCL 和 SDA 下降时间	—	—	0.3	∞S
$t_{SU,DAT}$	数据建立时间	250	—	—	∞S
$t_{HD,DAT}$	数据保持时间	0	—	—	∞S
$t_{VD,DAT}$	SCL 低电平到数据输出有效	—	—	3.4	∞S
$t_{SU,STO}$	停止信号建立时间	4.0	—	—	∞S

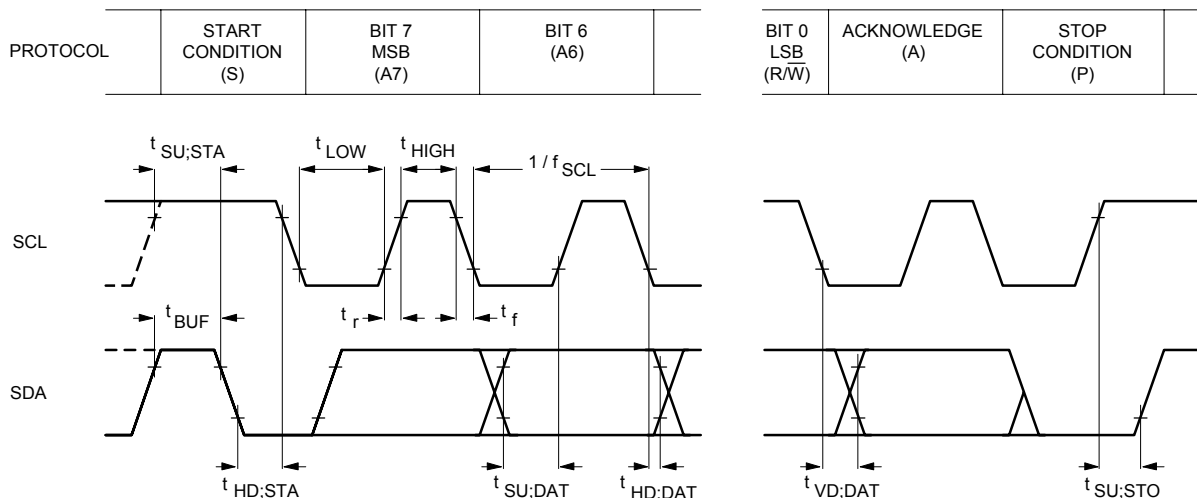


图 12 I²C 总线时序