

## 第五章 存储器控制器

5.1 概述.....	2
5.2 功能描述.....	3
5.2.1 Bank0 总线宽度.....	3
5.2.2 InWAIT 引脚的作用.....	5
5.2.2 nXBREQ/nXBACK 引脚操作.....	5
5.3 存储器接口举例.....	6
5.4 寄存器.....	11
5.4.1 总线带宽和等待控制寄存器 (BWSCON).....	11
5.4.2 总线控制寄存器 (BANKCONN:nGCS0-nGCS5).....	13
5.4.3 BANK 控制寄存器 (BANKCONn:nGCS6-nGCS7).....	14
5.4.4 刷新控制寄存器.....	15
5.4.5 BANKSIZE 寄存器.....	16
5.4.6 SDRAM 模式寄存器集寄存器 (MRSR).....	17

## 5.1 概述

S3C2410A 的存储器控制器提供访问外部存储器所需要的存储器控制信号。

S3C2410A 的存储器控制器有以下的特性：

- 小/大端（通过软件选择）
- 地址空间：每 bank 有 128M 字节（总共 1G 字节/ 8 banks）
- 除 bank0（只能是 16/32 位宽）之外，其他 bank 都具有可编程的访问大小(可以是 8/16/32 位宽)
- 总共 8 个存储器 bank
  - 6 个是 ROM,SRAM 等类型存储器 bank
  - 剩下的 2 个可以作为 ROM,SRAM,SDRAM 等存储器 bank
- 7 个固定的存储器 bank 的起始地址
- 最后一个 bank 的起始地址是可调整的
- 最后两个 bank 的大小是可编程的
- 所有存 bank 的访问周期都是可编程的
- 总线访问周期可以通过插入外部 wait 来延长
- 支持 SDRAM 的自刷新和掉电模式

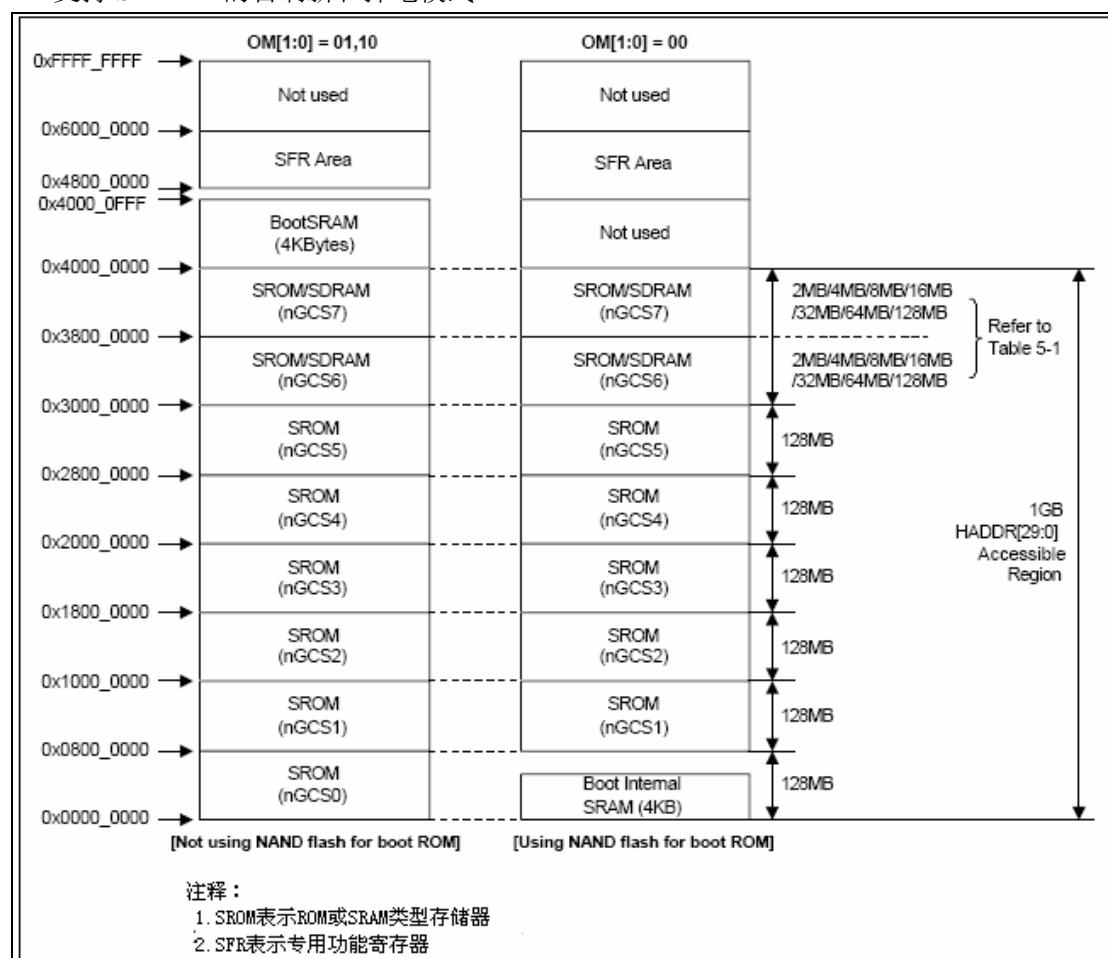


图 5-1 S3C2410A 复位后的存储器图

表 5-1 bank 6/7 地址

地址	2MB	4MB	8MB	16MB	32MB	64MB	128MB
<b>Bank 6</b>							
起始地址	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000
终止地址	0x301f_ffff	0x303f_ffff	0x307f_ffff	0x30ff_ffff	0x31ff_ffff	0x33ff_ffff	0x37ff_ffff
<b>Bank 7</b>							
起始地址	0x3020_0000	0x3040_0000	0x3080_0000	0x3100_0000	0x3200_0000	0x3400_0000	0x3800_0000
终止地址	0x303f_ffff	0x307f_ffff	0x30ff_ffff	0x31ff_ffff	0x33ff_ffff	0x37ff_ffff	0x3fff_ffff

注意：bank 6 和 7 必须有相同的存储器大小

## 5.2 功能描述

### 5.2.1 Bank0 总线宽度

bank0 的数据总线（nGCS0）必须首先设置成 16 位或 32 位的。因为 bank0 通常作为引导 ROM 区（映射到地址 0x0000-0000），在复位时，系统将检测 OM[1:0]上的逻辑电平，并依据这个电平来决定 bank0 区存储器的总线宽度。

OM1 (操作模式1)	OM0 (操作模式0)	导入ROM 数据宽度
0	0	Nand Flash Mode
0	1	16-bit
1	0	32-bit
1	1	Test Mode

### 存储器(SROM/SDRAM)地址引脚的连接

MEMORY ADDR. PIN	S3C2410A ADDR. @ 8-bit DATA BUS	S3C2410A ADDR. @ 16-bit DATA BUS	S3C2410A ADDR. @ 32-bit DATA BUS
A0	A0	A1	A2
A1	A1	A2	A3
...	...	...	...

## SDRAM的BANK地址引脚连接

表 5-2. SDRAM Bank 地址结构

Bank大小	总线宽度	基本存储单元	存储器结构	Bank 地址
2MB	x8	16Mb	( 1M x 8 x 2banks) x 1 ea	A20
	x16		(512K x 16 x 2banks) x 1 ea	
4MB	x8	16Mb	( 2M x 4 x 2banks) x 2 ea	A21
	x16		( 1M x 8 x 2banks) x 2 ea	
	x32		(512K x 16 x 2banks) x 2 ea	
8MB	x16	16Mb	( 2M x 4 x 2banks) x 4 ea	A22
	x32		( 1M x 8 x 2banks) x 4 ea	
	x8	64Mb	(4M x 8 x 2banks) x 1 ea	A[22:21]
	x8		( 2M x 8 x 4banks) x 1 ea	
	x16		( 2M x 16 x 2banks) x 1 ea	
	x16		( 1M x 16 x 4banks) x 1 ea	
	x32		(512K x 32 x 4banks) x 1 ea	
16MB	x32	16Mb	( 2M x 4 x 2banks) x 8 ea	A23
	x8		( 8M x 4 x 2banks) x 2 ea	
	x8	64Mb	( 4M x 4 x 4banks) x 2 ea	A[23:22]
	x16		( 4M x 8 x 2banks) x 2 ea	
	x16		( 2M x 8 x 4banks) x 2 ea	
	x32		( 2M x 16 x 2banks) x 2 ea	
	x32		( 1M x 16 x 4banks) x 2 ea	
	x8	128Mb	( 4M x 8 x 4banks) x 1 ea	A[23:22]
	x16		( 2M x 16 x 4banks) x 1 ea	
32MB	x16	64Mb	( 8M x 4 x 2banks) x 4 ea	A24
	x16		( 4M x 4 x 4banks) x 4 ea	
	x32		( 4M x 8 x 2banks) x 4 ea	
	x32		( 2M x 8 x 4banks) x 4 ea	
	x16	128Mb	( 4M x 8 x 4banks) x 2 ea	A[24:23]
	x32		( 2M x 16 x 4banks) x 2 ea	
	x8	256Mb	( 8M x 8 x 4banks) x 1 ea	
	x16		( 4M x 16 x 4banks) x 1 ea	
64MB	x32	128Mb	( 4M x 8 x 4banks) x 4 ea	A[25:24]
	x16	256Mb	( 8M x 8 x 4banks) x 2 ea	
	x32		( 4M x 16 x 4banks) x 2 ea	
	x8	512Mb	( 16M x 8 x 4banks) x 1 ea	
128MB	x32	256Mb	( 8M x 8 x 4banks) x 4 ea	A[26:25]

	x8	512Mb	(32M x 4 x 4banks) x 2 ea
	x16		(16M x 8 x 4banks) x 2 ea
	x32		(8M x 16 x 4banks) x 2 ea

## 5.2.1 nWAIT 引脚的作用

如果对每个bank使能WAIT功能，当对某个bank区进行访问时，nOE的低电平有效时间就会在nWAIT引脚的控制下延长。从tacc-1时刻开始检测nWAIT的状态。在采样到nWAIT为高电平后的下一个时钟，nOE将恢复高电平。nWAIT对nWE信号的作用与对nOE信号相同。

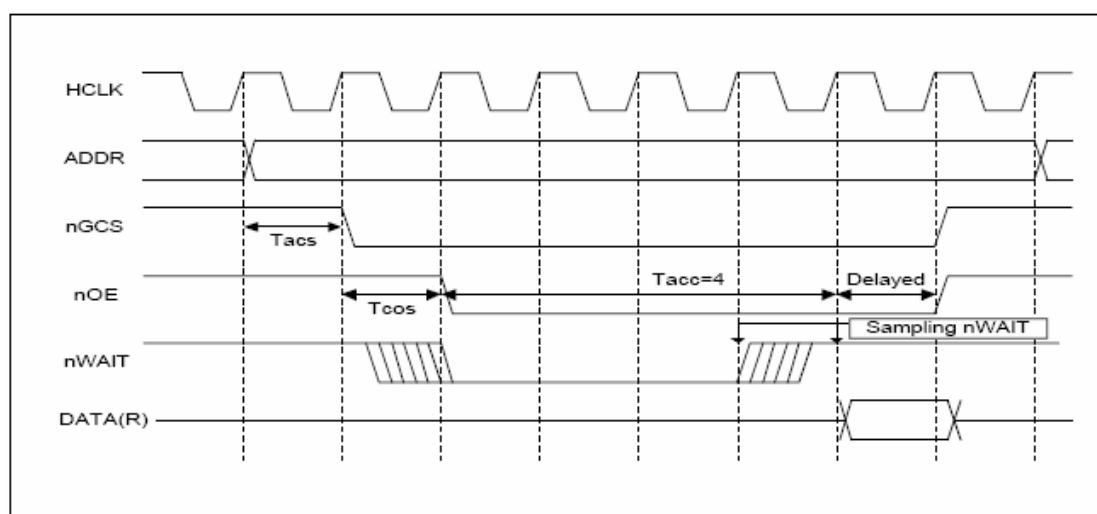


图5-2 S3C2410A外部nWAIT时序图（Tacc=4）

## 5.2.2 nXBREQ/nXBACK 引脚操作

如果nXBREQ被拉低，S3C2410A会通过拉低nXBACK响应。如果nXBACK=L，地址/数据总线和存储器控制信号都处在高阻状态，如表1-1所示。如果nXBREQ没被拉低，nXBACK也将是高电平状态。

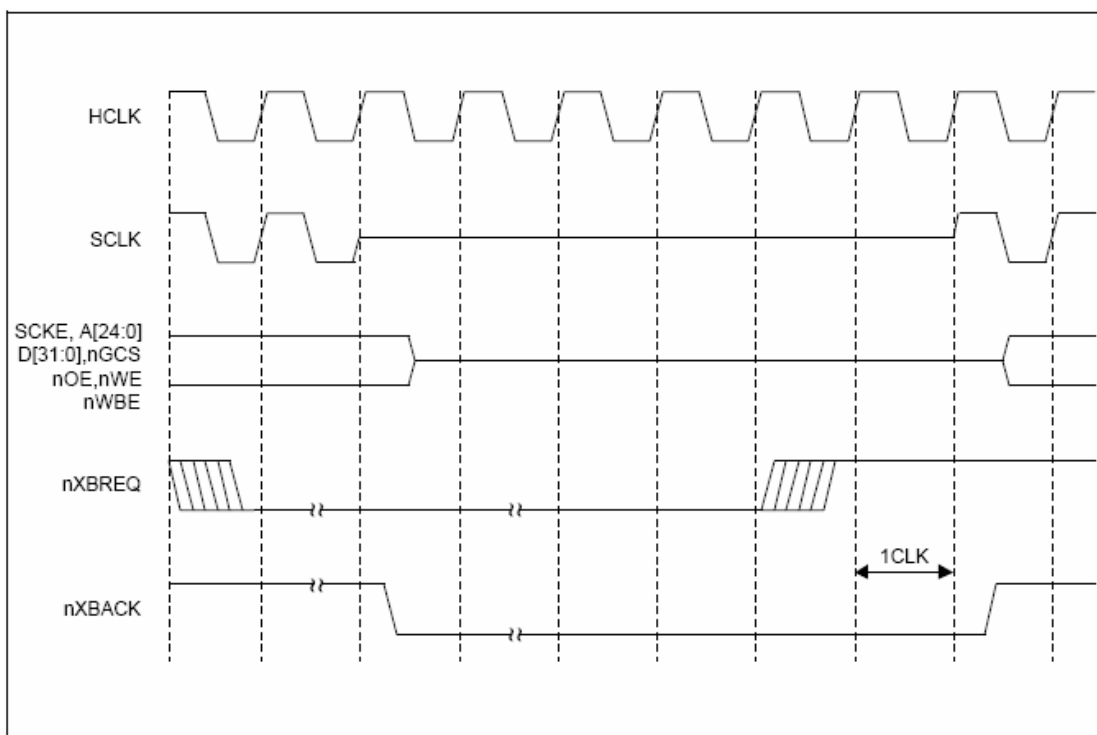


图5-3 SC32410A nXBREQ/nXBACK时序图

### 5.3 存储器接口举例

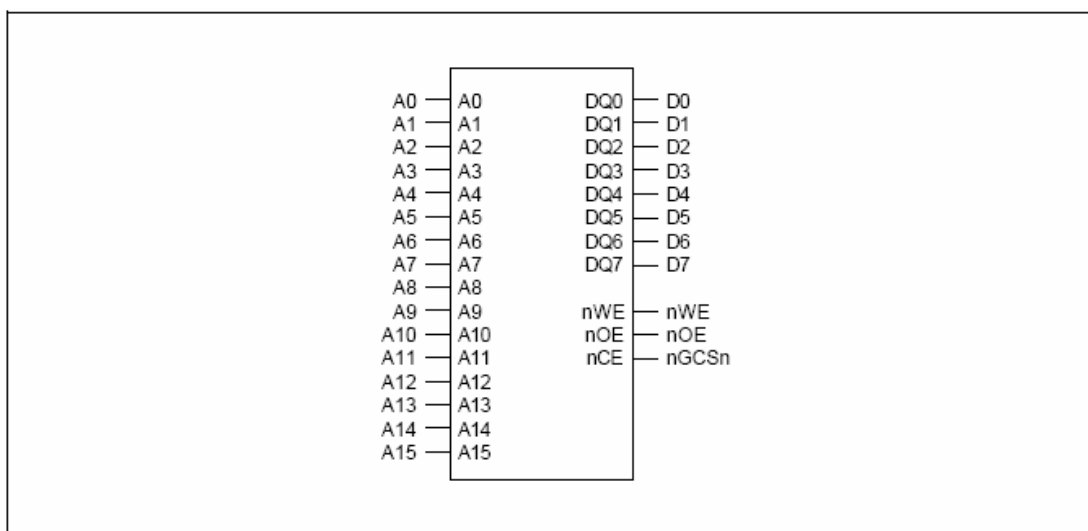


图5-4 8位ROM的存储器接口

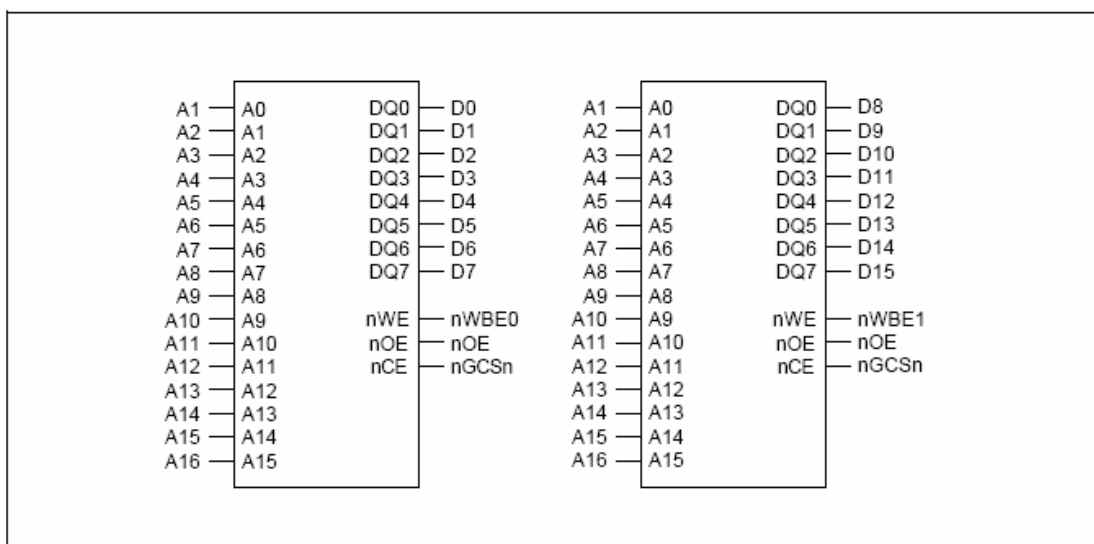


图5-5 2片8位ROM存储器接口

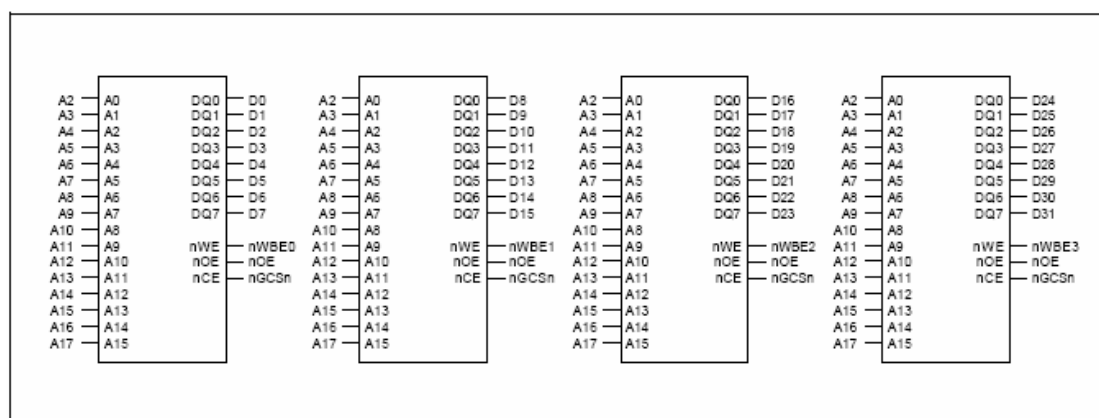


图5-6 4片8位ROM存储器接口

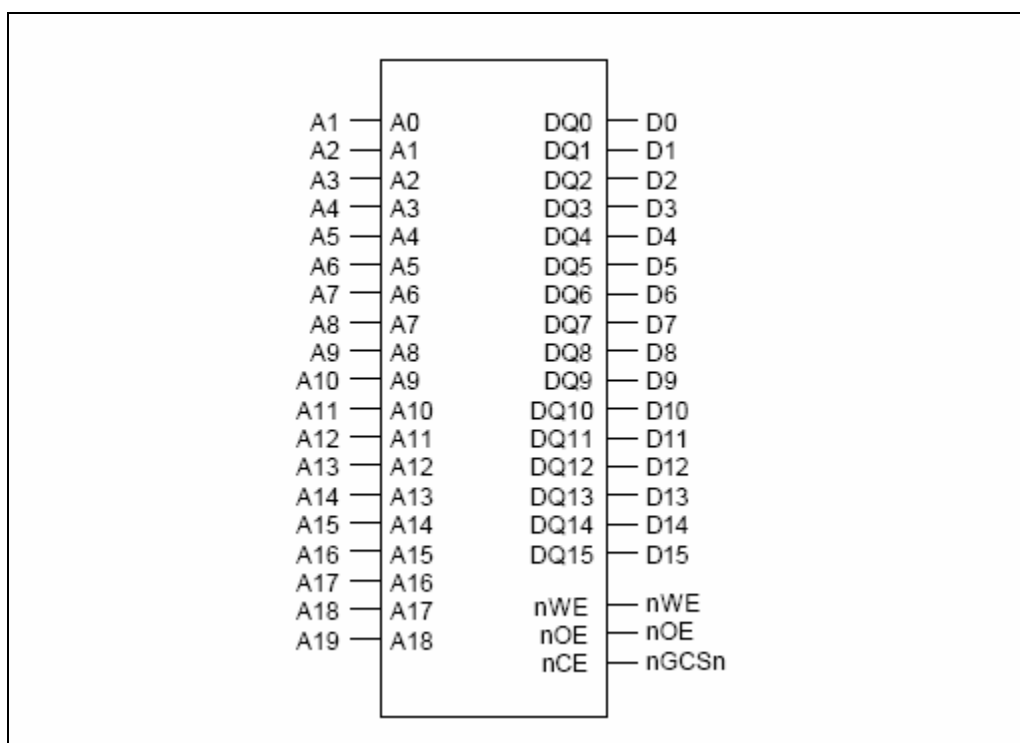


图5-7 16位ROM存储器接口

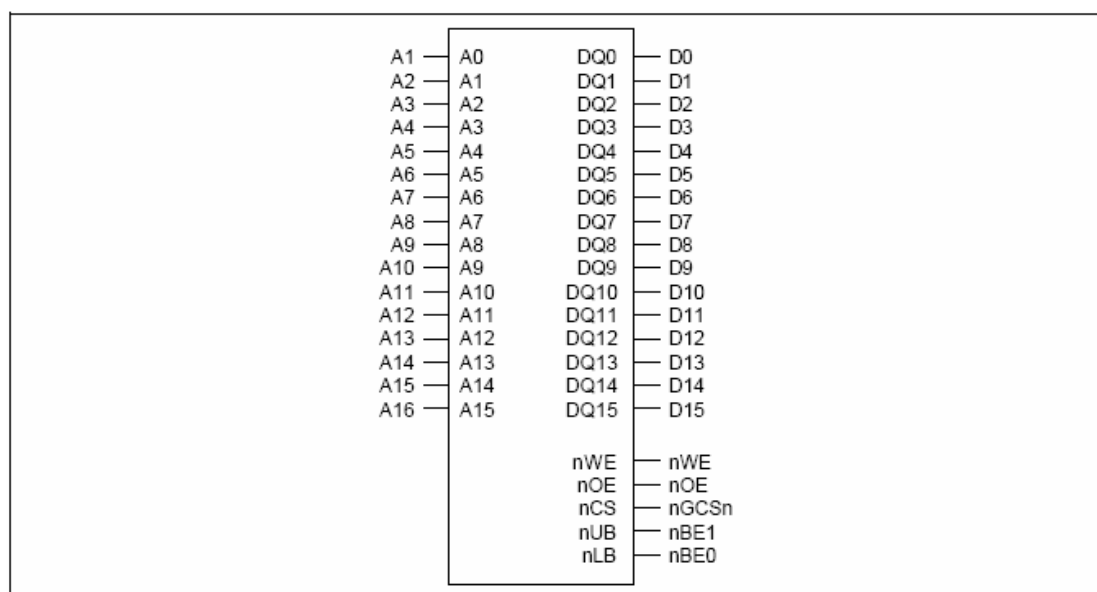


图5-8 16位SRAM存储器接口



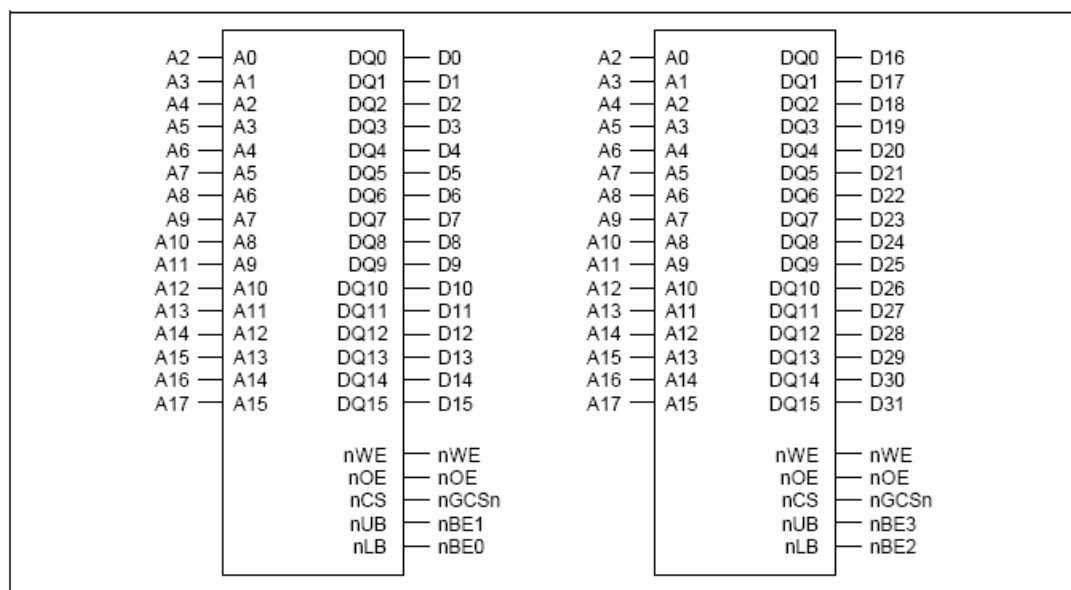


图5-9 2片16位SRAM存储器接口

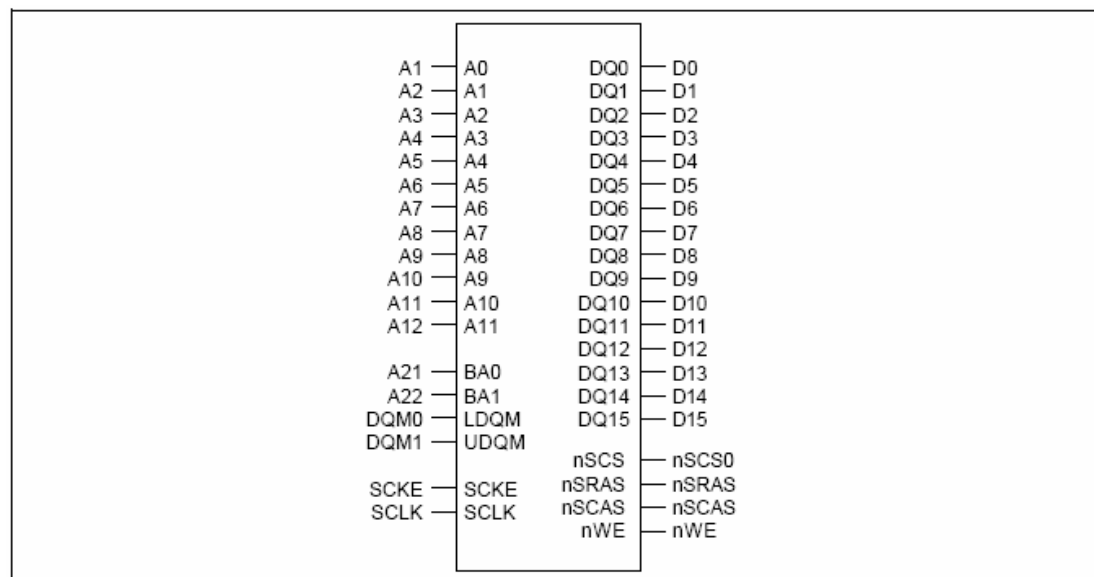


图5-10 16位SDRAM存储器接口（8MB:1MB×16×4banks）

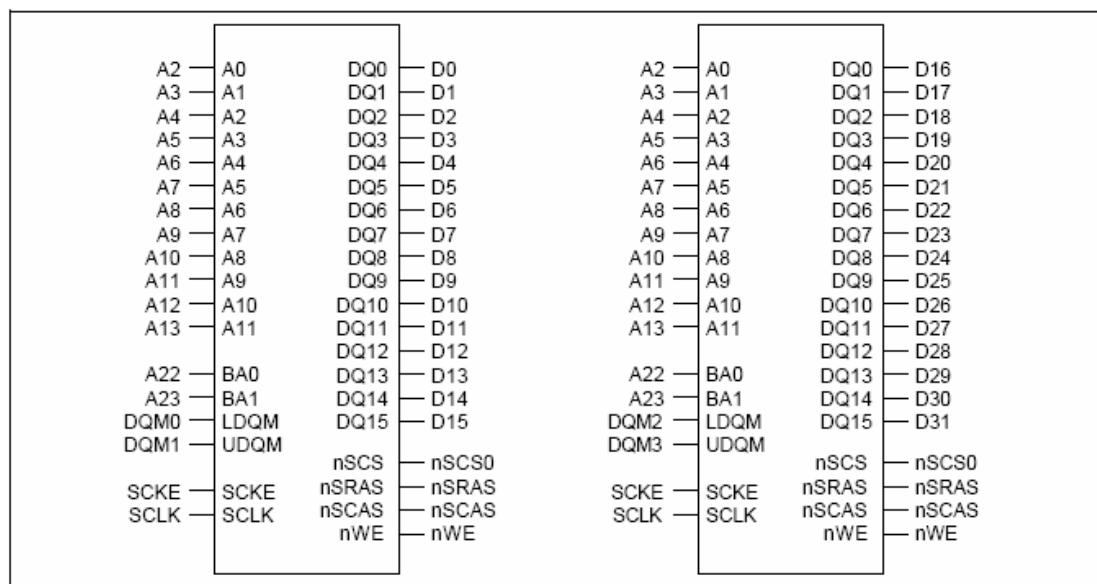


图5-11 2片16位SDRAM存储器接口（16MB:1MB×16×4banks×2ea）

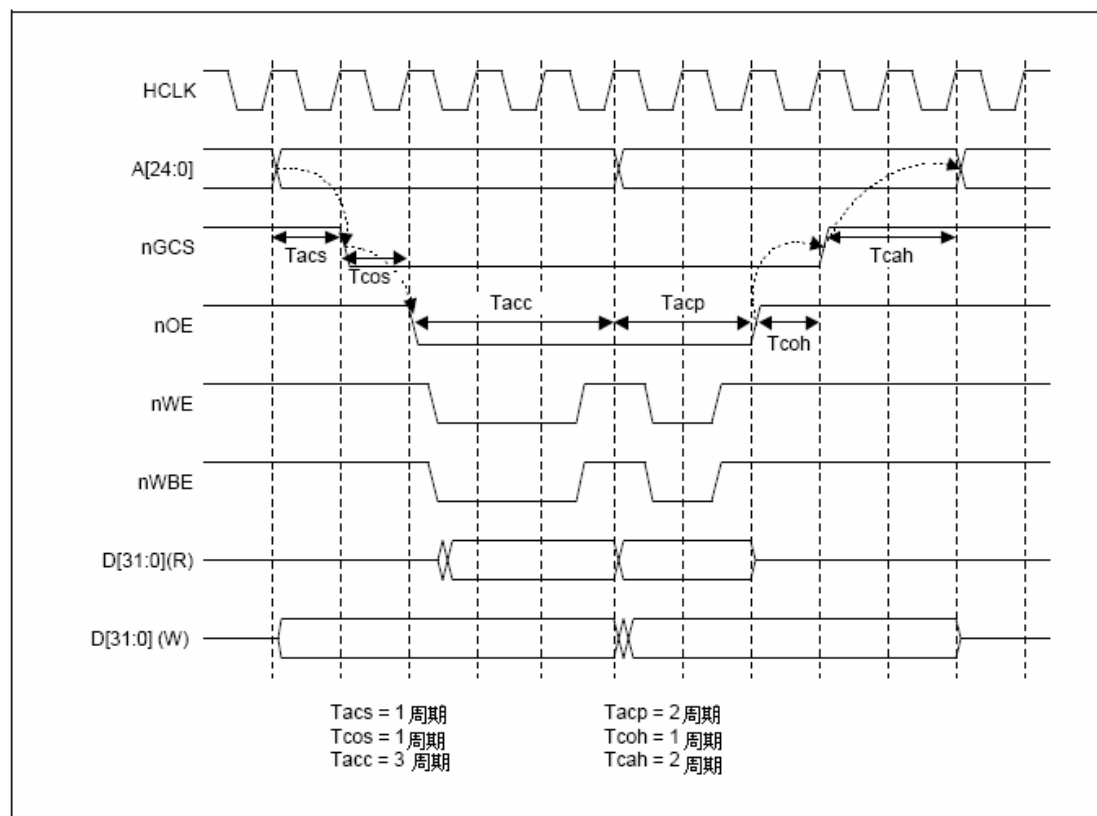


图5-12 S3C2410A nGCS时序图

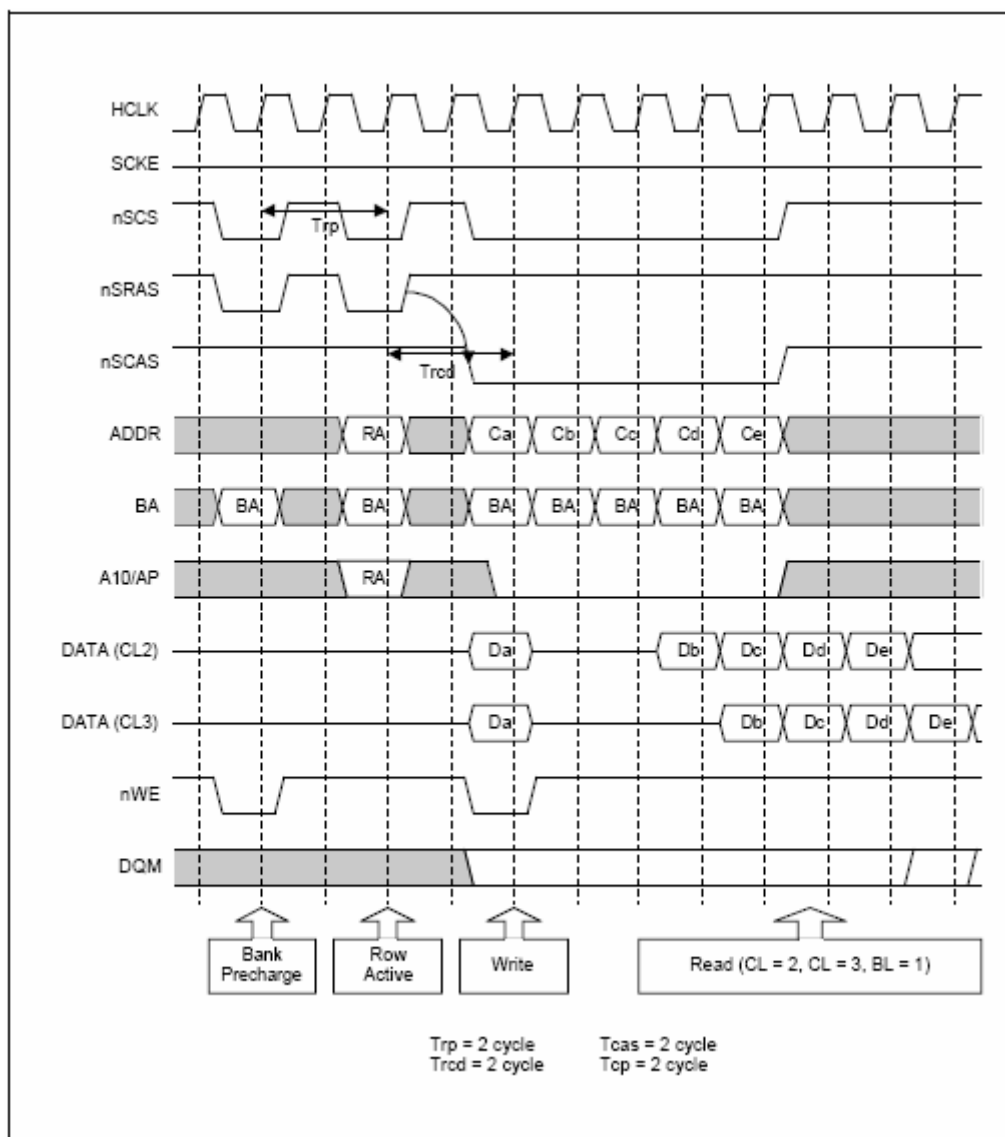


图5-13 S3C2410A SDRAM时序图

## 5.4 寄存器

### 5.4.1 总线带宽和等待控制寄存器（BWSCON）

寄存器	地址	R/W	描述	复位值
BWSCON	0x48000000	R/W	总线宽度和等待状态控制器	0x000000

BWSCON	位	描述	初始状态
--------	---	----	------

ST7	[31]	决定SRAM映射在bank7时，是否使用UB/LB 0 =不使用 UB/LB (引脚对应 nWBE[3:0]) 1 =使用UB/LB (引脚对应nBE[3:0])	0
WS7	[30]	决定bank7的WAIT状态。 0 =WAIT禁止；1 =WAIT使能	0
DW7	[29:28]	决定bank7的数据总线宽度。 00 = 8-位， 01 = 16-位, 10 = 32-位 ， 11 =保留	0
ST6	[27]	决定SRAM映射在bank6时，是否使用UB/LB 0 = 不使用UB/LB (引脚对应nWBE[3:0] ) 1 = Using UB/LB (引脚对应 nBE[3:0])	0
WS6	[26]	决定bank6中的WAIT状态。 0 =WAIT停止；1 =WAIT使能	0
DW6	[25:24]	决定bank6的数据总线宽度。 00 = 8-位， 01 = 16-位, 10 = 32-位 ， 11 =保留	0
ST5	[23]	决定SRAM映射在bank5时，是否使用UB/LB 0 = 不使用UB/LB (引脚对应nWBE[3:0] ) 1 = Using UB/LB (引脚对应 nBE[3:0])	0
WS5	[22]	决定bank5中的WAIT状态。 0 =WAIT停止；1 =WAIT使能	0
DW5	[21:20]	决定bank5的数据总线宽度. 00 = 8-位， 01 = 16-位, 10 = 32-位 ， 11 =保留	0
ST4	[19]	决定SRAM映射在bank4时，是否使用UB/LB 0 = 不使用UB/LB (引脚对应nWBE[3:0] ) 1 = Using UB/LB (引脚对应 nBE[3:0])	0
WS4	[18]	决定bank4中的WAIT状态。 0 =WAIT停止；1 =WAIT使能	0
DW4	[17:16]	决定bank4的数据总线宽度。 00 = 8-位， 01 = 16-位, 10 = 32-位 ， 11 =保留	0
ST3	[15]	决定SRAM使用bank3的。 0 = 不使用UB/LB (引脚对应nWBE[3:0] ) 1 = Using UB/LB (引脚对应 nBE[3:0])	0
WS3	[14]	决定bank3中的WAIT状态。 0 =WAIT停止；1 =WAIT使能	0
DW3	[13:12]	决定bank3的数据总线宽度. 00 = 8-位， 01 = 16-位, 10 = 32-位 ， 11 =保留	0
ST2	[11]	决定SRAM使用bank2的。 0 = 不使用UB/LB (引脚对应nWBE[3:0] ) 1 = Using UB/LB (引脚对应 nBE[3:0])	0
WS2	[10]	决定bank2中的WAIT状态。 0 =WAIT停止；1 =WAIT使能	0

DW2	[9:8]	决定bank3的数据总线宽度。 00 = 8-位, 01 = 16-位, 10 = 32-位, 11 =保留	0
ST1	[7]	决定SRAM使用bank1的。 0 = 不使用UB/LB (引脚对应nWBE[3:0]) 1 = Using UB/LB (引脚对应 nBE[3:0])	0
WS1	[6]	决定bank1中的WAIT状态。 0 =WAIT停止; 1 =WAIT使能	0
DW1	[5:4]	决定bank1的数据总线宽度。 00 = 8-位, 01 = 16-位, 10 = 32-位, 11 =保留	0
DW0	[2:1]	显示bank0的数据总线宽度（只读）， 01 = 16-位, 10 = 32位, 通过OM[1:0]引脚来选择状态。	-
Reserved	[0]		-

**NOTES:**

1. 在这个存储控制器里，所有类型的主时钟都对应着总线时钟。例如，SRAM的HCLK就是总线时钟，SDRAM的SCLK也和总线时钟相同。在这章节里，一个时钟就是指一个总线时钟。

2. nBE[3:0]相当于nWBE[3:0]和nOE进行‘与’之后的信号。

**5.4.2 总线控制寄存器（BANKCONN:nGCS0-nGCS5）**

寄存器	地址	R/W	描述	复位值
BANKCON0	0x48000004	R/W	Bank 0 控制寄存器	0x0700
BANKCON1	0x48000008	R/W	Bank 1控制寄存器	0x0700
BANKCON2	0x4800000C	R/W	Bank 2控制寄存器	0x0700
BANKCON3	0x48000010	R/W	Bank 3控制寄存器	0x0700
BANKCON4	0x48000014	R/W	Bank 4控制寄存器	0x0700
BANKCON5	0x48000018	R/W	Bank 5控制寄存器	0x0700

BANKCONn	位	描述	起始地址
Tacs	[14:13]	在nGCSn起效之前，地址信号的建立时间： 00 = 0 clock    01 = 1 clock 10 = 2 clocks    11 = 4 clocks	00
Tcos	[12:11]	在nOE起效之前，片选的建立时间 00 = 0 clock    01 = 1 clock 10 = 2 clocks    11 = 4 clocks	00

Tacc	[10:8]	访问周期 000 = 1 clock      001 = 2 clocks 010 = 3 clocks      011 = 4 clock 100 = 6 clocks      01 = 8 clocks 110 = 10 clocks      111 = 14 clocks NOTE: 如果启用了nWAIT信号, Tacc将大于或等于4 clocks.	111
Tcoh	[7:6]	nOE之后, 片选的保持时间: 00 = 0 clock      01 = 1 clock 10 = 2 clocks      11 = 4 clocks	000
Tcah	[5:4]	nGCSn之后, 地址信号的保持时间: 00 = 0clock      01 = 1 clock 10 = 2 clocks      11 = 4 clocks	00
Tacp	[3:2]	Page模式的访问周期 (在Page模式下) 00 = 2 clocks      01 = 3 clocks 10 = 4 clocks      11 = 6 clocks	00
PMC	[1:0]	Page 模式配置 00 = 正常 (1 data)      01 = 4 data 10 = 8 data      11 = 16 data	00

### 5.4.3 BANK 控制寄存器 (BANKCONn:nGCS6-nGCS7)

寄存器	地址	R/W	描述	复位值
BANKCON6	0x4800001C	R/W	Bank 6 控制寄存器	0x18008
BANKCON7	0x48000020	R/W	Bank 7控制寄存器	0x18008

BANKCONn	位	描述	起始状态
MT	[16:15]	决定bank6和bank7的存储器类型 00 = ROM或SRAM      01 = 保留 (不使用) 10 = 保留 (不使用)      11 = Sync.DRAM	11
<b>存储器类型 = ROM 或SRAM [MT=00] (15-位)</b>			
Tacs	[14:13]	nGCSn起效之前, 地址信号的建立时间: 00 = 0 clock      01 = 1 clock 10 = 2 clocks      11 = 4 clocks	00
Tcos	[12:11]	nOE起效之前, 片选的建立时间: 00 = 0 clock      01 = 1 clock 10 = 2 clocks      11 = 4 clocks	00

Tacc	[10:8]	访问周期 000 = 1 clock    001 = 2 clocks 010 = 3 clocks    011 = 4 clocks 100 = 6 clocks    101 = 8 clocks 110 = 10 clocks    111 = 14 clocks	111
Tcoh	[7:6]	nOE之后，片选的保持时间： 00 = 0 clock    01 = 1 clock 10 = 2 clocks    11 = 4 clocks	00
Tcah	[5:4]	nGCSn之后，地址信号保持时间 00 = 0 clock    01 = 1 clock 10 = 2 clocks    11 = 4 clocks	00
Tacp	[3:2]	Page模式下的访问周期（Page模式下） 00 = 2 clocks    01 = 3 clocks 10 = 4 clocks    11 = 6 clocks	00
PMC	[1:0]	Page模式配置 00 = 正常 (1 data)    01 = 4数据连续访问 10 = 8数据连续访问    11 = 16数据连续访问	00
<b>存储器类型 = SDRAM [MT=11] (4-bit)</b>			
Trcd	[3:2]	RAS 到CAS 延迟 00 = 2 clocks    01 = 3 clocks    10 = 4 clocks	10
SCAN	[1:0]	列地址位数 00 = 8-bit    01 = 9-bit    10 = 10-bit	00

#### 5.4.4 刷新控制寄存器

寄存器	地址	R/W	描述	复位值
刷新	0x48000024	R/W	SDRAM刷新控制寄存器	0xac0000

刷新	位	描述	起始状态
REFEN	[23]	SDRAM刷新使能 0 = 停止    1 = 使能 (自我/自动 刷新)	1
TREFMD	[22]	SDRAM 刷新模式 0 = 自动刷新    1 = 自我刷新 在自我刷新模式下，SDRAM控制信号被置于适当的电平。	0
Trp	[21:20]	SDRAM RAS 预充电时间 00 = 2 clocks    01 = 3 clocks    10 = 4 clocks    11 = 不支持	10

Tsrc	[19:18]	SDRAM半行周期时间 00 = 4 clocks 01 = 5 clocks 10 = 6 clocks 11 = 7 clocks SDRAM's 行周期时间(Trc) = Tsrc + Trp 如果Trp=3 clocks和Tsrc=7 clocks, Trc = 3 + 7 = 10 clocks	11
Reserved	[17:16]	不使用	00
Reserved	[15:11]	不使用	0000
Refresh Counter	[10:0]	SDRAM刷新计数器值. 刷新时间 = $(2^{11} - \text{刷新计数器值} + 1) / \text{HCLK}$ Ex)如果刷新时间是15.6 us, HCLK是60MHz, 刷新时间计算如下: 刷新时间 = $211 + 1 - 60 \times 15.6 = 1113$	0

## 5.4.5 BANKSIZE 寄存器

寄存器	地址	R/W	描述	复位值
BANKSIZE	0x48000028	R/W	可灵活设置的bank尺寸寄存器	0x0

BANKSIZE	位	描述	起始状态
BURST_EN	[7]	ARM 内核猝发操作使能 0 = 禁止猝发操作 1 = 使能猝发操作	0
Reserved	[6]	不使用	0
SCKE_EN	[5]	SCKE 使能控制 0 = SDRAM SCKE禁止 1 = SDRAM SCKE使能	0
SCLK_EN	[4]	只有在SDRAM访问周期期间, SCLK才使能, 这样做是可以减少功耗。当SDRAM不被访问时, SCLK变成低电平 0 = SCLK总是激活 1 = SCLK只有在访问期间(推荐的)激活	0
Reserved	[3]	不使用	0
BK76MAP	[2:0]	BANK6/7的存储空间分布 010 = 128MB/128MB 001 = 64MB/64MB 000 = 32M/32M 111 = 16M/16M 110 = 8M/8M 101 = 4M/4M 100 = 2M/2M	010



## 5.4.6 SDRAM 模式寄存器集寄存器（MRSR）

寄存器	地址	R/W	描述	复位值
MRSRB6	0x4800002C	R/W	模式寄存器集bank6寄存器	xxx
MRSRB7	0x48000030	R/W	模式寄存器集bank7寄存器	xxx

MRSR	位	描述	起始状态
Reserved	[11:10]	不被使用	—
WBL	[9]	猝发写的长度 0: 猝发(固定的) 1: 保留	x
TM	[8:7]	测试模式 00: 模式寄存器集（固定的） 01, 10 和 11: 保留	xx
CL	[6:4]	CAS反应时间 000 = 1 clock, 010 = 2 clocks, 011=3 clocks。 其他: 保留	xxx
BT	[3]	猝发类型 0: 连续的 (固定的) 1:保留的	x
BL	[2:0]	猝发时间 000: 1 (固定的) 其他: 保留	xxx

注意：当代码在SDRAM中运行时，绝不能够重新配置MRSR寄存器。

重要说明：在掉电模式下，SDRAM必须进入SDRAM的自我刷新模式。