

## TLC7524C, TLC7524E, TLC7524I

## 8位乘法数模转换器

## 数据手册

## 一、概述

## 1.1 一般说明

TLC7524C、TLC7524E和TLC7524I是CMOS、8位数字-模拟转换器(DAC),它们能方便地与大多数通用微处理器接口。

这些器件是8位、乘法(multiplying)DAC,具有输入锁存以及与随机存取存储器写周期相类似的装载周期(load cycles)。分段(segmenting)高阶位可使最高有效位变化期间的闪变为最小,该变化会产生最高闪变脉冲。器件可提供1/2 LSB的精度而无需薄膜电阻或激光微调,其功耗典型值小于5mW。

这些器件用5V至15V单电源工作,能方便地与大多数微处理器总线或输出端口相接口。2或4象限乘法功能(2 or 4 quadrant multiplying)使这些器件成为许多微处理器控制的增益设置和信号控制应用的理想选择。

TLC7524C的工作温度范围为0 至70。TLC7524I的工作温度范围为-25 至85。TLC7524E的工作温度范围为-40 至85。

可选项

T <sub>A</sub>	封装		
	小型塑料DIP (D)	塑料芯片支座 (FN)	塑料DIP (N)
0 至70 <sub>i</sub>	TLC7524CD	TLC7524CFN	TLC7524CN
-25 至85 <sub>i</sub>	TLC7524ID	TLC7524IFN	TLC7524IN
-40 至85 <sub>i</sub>	TLC7524ED	TLC7524EFN	TLC7524EN

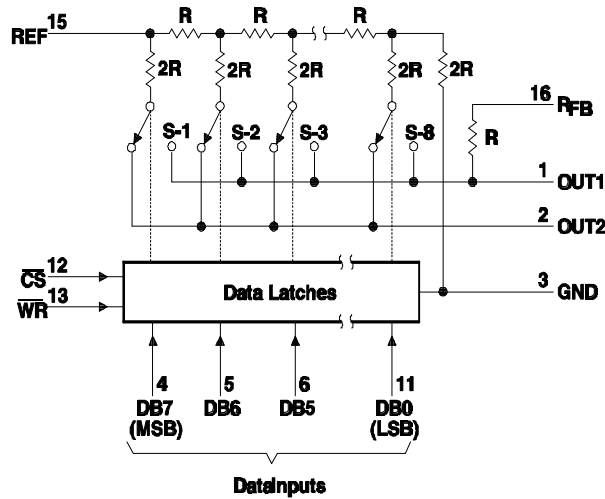
## 1.2 特点

- \* 易于与微处理器接口
- \* 片内数据锁存
- \* 在整个A/D转换范围内单调变化
- \* 分段的高阶位可确保低闪变输出
- \* 可以和模拟器件AD7524, PMI PM-7524以及微功率系统MP7524互换
- \* 适合于包括与TMS320接口的数字信号处理应用的快速控制信号
- \* CMOS工艺制造

关键性能指标	
分辨率	8位
线性度误差	1/2 LSB Max
V <sub>DD</sub> =5V时的功耗	5mW Max
建立时间	100ns Max
传输延迟时间	80ns Max

## 1.3 功能方框图

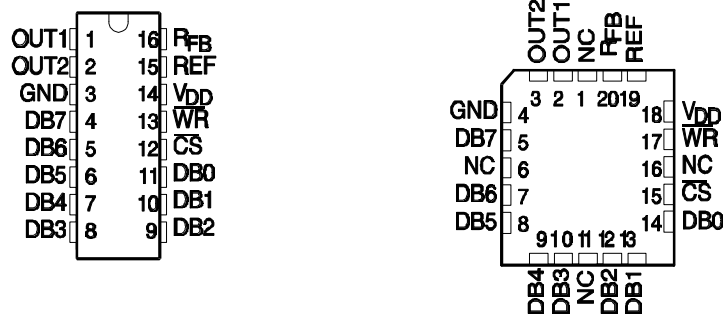
TLC7524的功能方框图如下图所示。



所示引脚号适用于D或N封装

### 1.4 引脚排列

D或N封装以及FN封装的TLC7524的引脚排列分别如以下两图所示。



NC——内部不连接

## 二、特性

### 2.1 极限参数

电源电压范围, $V_{DD}$	-0.3V至16.5V
数字输入电压范围, $V_i$	-0.3V至 $V_{DD}+0.3V$
基准电压, $V_{ref}$	$\pm 25V$
峰值数字输入电流, $I_i$	10 $\mu A$
工作温度范围 (自然通风), $T_A$ :	
TLC7524C	0 至70
TLC7524I	-25 至85
TLC7524E	-40 至85
储存温度范围, $T_{stg}$	-65 至150
外壳温度, 10秒, $T_c$ : FN封装	260
引线温度, 离外壳1.6mm (1/16英寸), 10秒: D或N封装	260

### 2.2 推荐工作条件

	$V_{DD}=5V$			$V_{DD}=15V$			单位
	MIN	MOM	MAX	MIN	MOM	MAX	
电源电压, $V_{DD}$	4.75	5	5.25	14.5	15	15.5	V
基准电压, $V_{ref}$	$\pm 10$			$\pm 10$			V

高电平输入电压, $V_{IH}$	2.4			V	
低电平输入电压, $V_{IL}$		0.8	1.5	V	
CS建立时间, $t_{su}(CS)$	40		40	ns	
CS保持时间, $t_h(CS)$	0		0	ns	
数据总线输入建立时间, $t_{su}(D)$	25		25	ns	
数据总线输入保持时间, $t_h(D)$	10		10	ns	
脉冲宽度, R为低电平, $t_{W(WR)}$	40		40	ns	
工作温度 (自然通风), $T_A$	TLC7524C	0	70	0	70
	TLC7524I	-25	85	-25	85
	TLC7524C	-40	85	-40	85

2.3 在推荐工作温度范围内 (自然通风),  $V_{ref} = \pm 10V$ , OUT1和OUT2为GND时的电特性 (除非另有说明)

PARAMETER	TEST CONDITIONS	$V_{DD} = 5V$			$V_{DD} = 15V$			UNIT	
		MIN	TYP	MAX	MIN	TYP	MAX		
$I_{IH}$ High-level input current	$V_I = V_{DD}$			10			10	$\mu A$	
$I_{IL}$ Low-level input current	$V_I = 0$			-10			-10	$\mu A$	
$I_{lkg}$ Output leakage current	OUT1	DB0-DB7 at 0V WR CS at 0V $V_{ref} = \pm 10V$			$\pm 400$			nA	
	OUT2	DB0-DB7 at $V_{DD}$ WR CS at 0V $V_{ref} = \pm 10V$			$\pm 400$				
$I_{DD}$ Supply current	Quiescent	DB0-DB7 at $V_{IH}$ min or $V_{IL}$ max			1			2	mA
	Standby	DB0-DB7 at 0V or $V_{DD}$			500			500	$\mu A$
$k_{SVS}$ Supply voltage sensitivity $\Delta$ gain/ $\Delta V_{DD}$	$\Delta V_{DD} = \pm 10\%$		0.01	0.16		0.005	0.04	%FSR/%	
$C_i$ Input capacitance, DB0-DB7, WR CS	$V_I = 0$			5			5	pF	
$C_o$ Output capacitance	OUT1	DB0-DB7 at 0V WR CS at 10V			30			30	pF
	OUT2	DB0-DB7 at 0V WR CS at 10V			120			120	
	OUT1	DB0-DB7 at $V_{DD}$ WR CS at 0V			120			120	
	OUT2	DB0-DB7 at $V_{DD}$ WR CS at 0V			30			30	
Reference input impedance (REF to GND)			5	20		5	20	k $\Omega$	

续上表

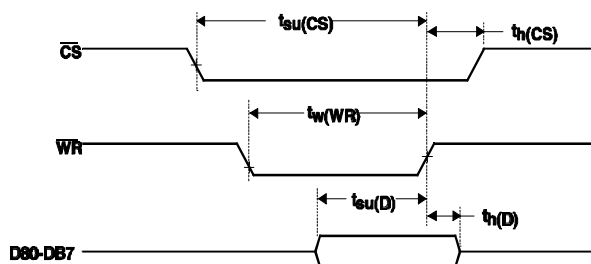
PARAMETER	TEST CONDITIONS	$V_{DD} = 5V$			$V_{DD} = 15V$			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
Linearity error				$\pm 0.5$			$\pm 0.5$	LSB
Gain error	See Note 1			$\pm 2.5$			$\pm 2.5$	LSB
Settling time (to 1/2 LSB)	See Note 2			100			100	ns
Propagation delay from digital input to 90% of final analog output current	See Note 2			80			80	ns
Feedthrough at OUT1 or OUT2	$V_{ref} = \pm 10V$ (100-kHz sine wave) WR and CS at 0V DB0-DB7 at 0V			0.5			0.5	%FSR
Temperature coefficient of gain	$T_A = 25^\circ C$ to MAX			$\pm 0.004$			$\pm 0.001$	%FSR/ $^\circ C$

注释: 1. 增益误差用内部反馈电阻测量。额定满度范围 (FSR) =  $V_{ref} - 1LSB$ 。

2. OUT1负载=100 ,  $C_{ext}=13pF$ , WR为0V, CS为0V, DB0-DB7为0V至 $V_{DD}$ 或 $V_{DD}$ 至0V。

### 2.4 工作时序图

TLC7524的工作时序图如下图所示。



### 三、应用资料

#### 3.1 电压方式 (voltage-mode) 工作

在这些器件中，可以用电压方式实现电流乘 (current-multiplying) DAC。在电压方式下，固定电压加在电流输出端。于是在基准电压端便有模拟输出电压可供使用。图1是电流乘DAC的例子，它工作在电压方式。

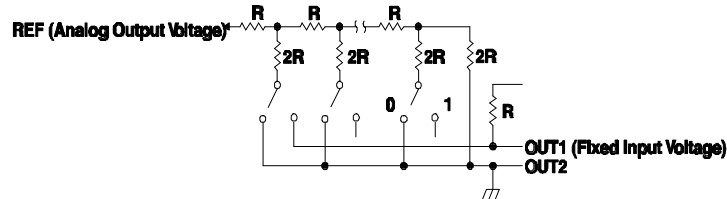


图1 电压方式工作

固定输入电压与模拟输出电压之间的关系由下式给出：

$$V_o = V_i (D/256)$$

其中：

$V_o$  = 模拟输出电压

$V_i$  = 固定输入电压

D = 转换至十进制的数字输入代码

在电压方式工作时，这些器件符合下列指标：

参数	测试条件	MIN	MAX	单位
REF端线性度误差	$V_{DD}=5V$ , $OUT1=2.5V$ , $OUT2$ 为GND, $T_A=25$		1	LSB

### 四、工作原理

TLC7524C、TLC7524E和TLC7524I是8位乘法DAC，它包括反相R-2R梯形网络 (inverted R-2R ladder) 模拟开关以及数据输入锁存器。二进制加权 (binary-weighted) 的电流在OUT1和OUT2总线之间切换，于是在每一梯形网络分支内保持恒定的电流而与开关状态无关。高阶位 (high-order bits) 被译码。这些译码后的位，通过R-2R梯形网络的变换，控制三个等权量 (equally-weighted) 的电流源。大多数应用仅要求另加外部运算放大器和电压基准。

所有数字输入为低的等效电路见图2。在所有数字输入为低的情况下，全部基准电流 $I_{ref}$ 切换至OUT2。电流源 $I/256$ 代表流过R-2R梯形网络端电阻的恒定电流，而电流源 $I_{LKG}$ 代表基片漏电流。呈现在OUT1和OUT2的电容取决于数字输入代码。在所有数字输入为高的情况下断开状态 (off-state) 开关电容 (最大为30pF) 呈现在OUT2而接通状态 (on-state) 开关电容 (最大为120pF) 呈现在OUT1。在所有数字输入为低时，情况与上述相反。所有数字输入为高的电路的分析与图2相类似；但是，在此情况下， $I_{ref}$ 将切换至OUT1。

这些器件上的DAC通过数据总线以及CS和WR控制信号与微处理器接口。当CS和WR二者均为低时，这些器件的模拟输出与DB0-DB7数据总线输入端的数据活动相对应。在此方式下，输入锁存器是透明的，输入数据直接影响模拟输出。当CS信号或WR信号变为高电平时，DB0-DB7输入端上的数据被锁存，直到CS和WR信号再次变为低电平为止。当CS为高电平时，不管WR信号的状态如何，数据输入均被禁止。

这些器件能实现2象限 (2-quadrant) 或全4象限 (full 4-quadrant) 乘法。2象限或4象限乘法的电路接法示于图3和图4。表1和2分别概括了单极性和双极性运用的输入码。

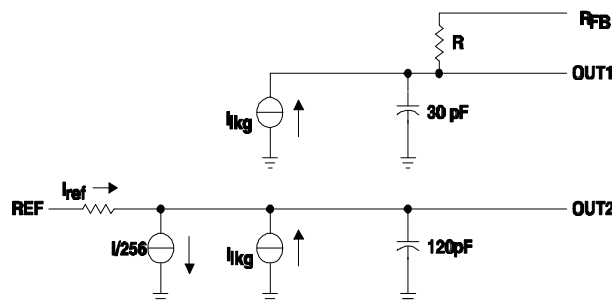


图2 所有数字输入为低情况下TLC7524的等效电路

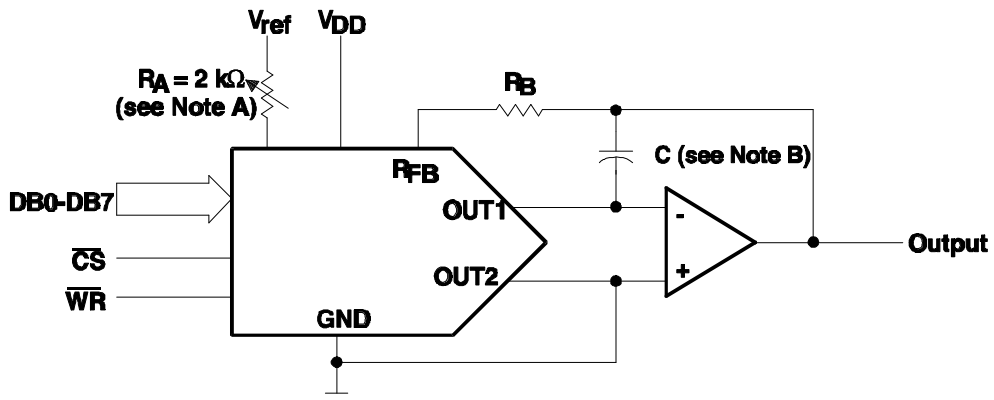


图3 单极性运用 (2象限乘)

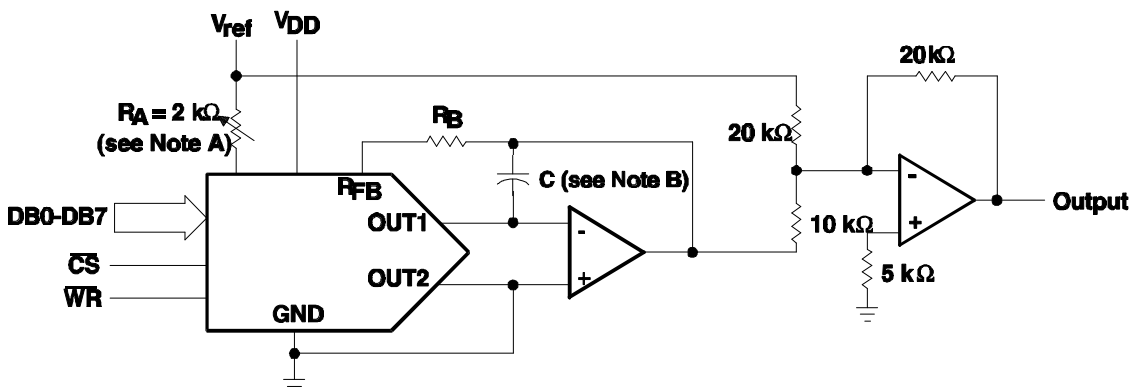


图4 双极性运用 (4象限乘)

注释：A、仅在需要增益调整时才使用 $R_A$ 和 $R_B$ 。

B、当使用高速放大器时，为了防止振铃或振盈，需要电容相位补偿（10-15pF）

表1 单极性二进制代码

数字输入 (见注释3)		模拟输出
MSB	LSB	
1111	1111	$-V_{ref} (255/256)$
1000	0001	$-V_{ref} (129/256)$
1000	0000	$-V_{ref} (128/256) = -V_{ref}/2$
0111	1111	$-V_{ref} (127/256)$
0000	0001	$-V_{ref} (1/256)$
0000	0000	0

注释：3.  $LSB = 1/256 (V_{ref})$

表2 双极性 (偏移二进制) 代码

数字输入 (见注释4)		模拟输出
MSB	LSB	
1111	1111	$V_{ref} (127/128)$
1000	0001	$V_{ref} (1/128)$
1000	0000	0
0111	1111	$-V_{ref} (1/128)$
0000	0001	$-V_{ref} (127/128)$
0000	0000	$-V_{ref}$

注释：4.  $LSB = 1/128 (V_{ref})$

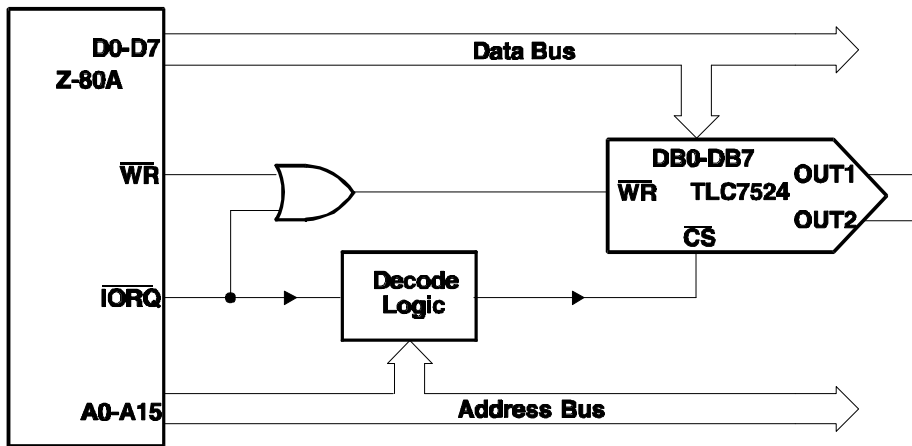


图5 TLC7524-Z-80接口

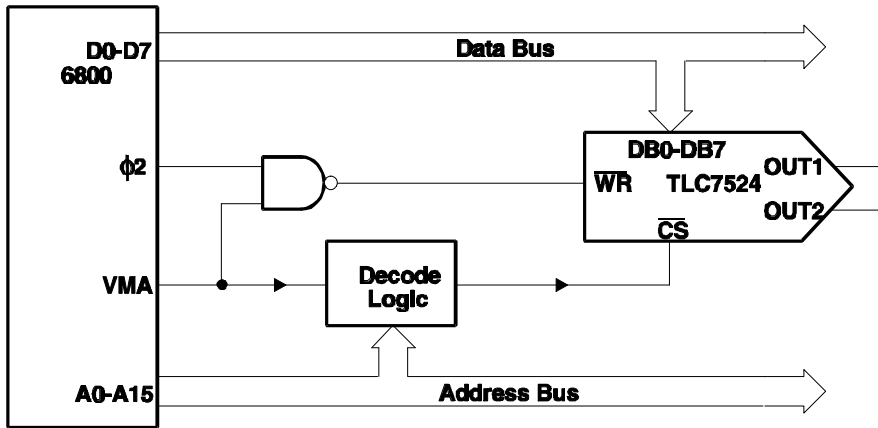


图6 TLC7524-6800接口

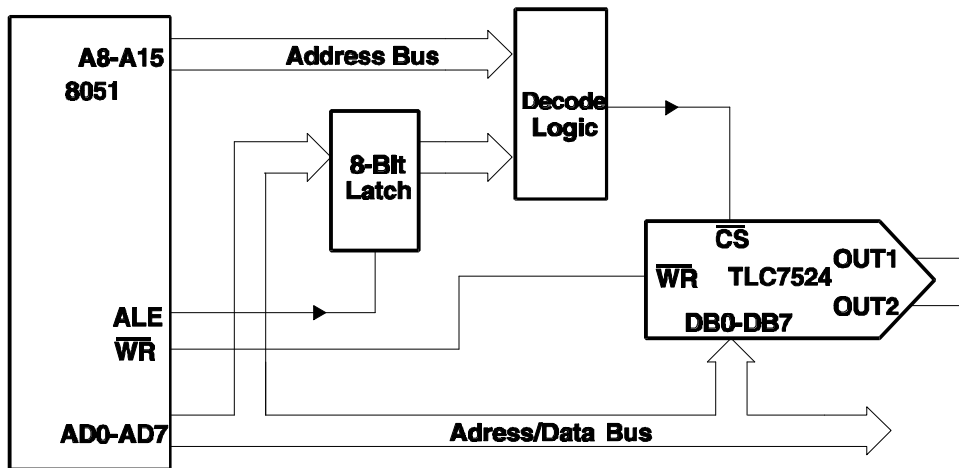


图7 TLC7524-8051接口