

TLC7528C, TLC7528E, TLC7528I

双8位乘法数模转换器

数据手册

一、概述

1.1 一般说明

TLC7528C, TLC7528E和TLC7528I是双路、8位数字-模拟转换器,它们设计成具有单独的片内数据锁存器,其特点包括非常紧密的DAC至DAC(DAC-to-DAC)一致性。数据通过公共8位输入口传送至两个DAC数据锁存器的任一个。控制输入端DACA/DACB决定哪一个DAC被装载。这些器件的装载周期与随机存取存储器的写周期类似,能方便地与大多数通用微处理器总线和输出端口相接口。分段(segmenting)高阶位可以使最高有效位变化期间的闪变为最小,该变化期间的闪变脉冲通常是最强的。

这些器件用5V至15V的电源工作,功耗小于15mW(典型值)。2或4象限乘法功能使这些器件成为许多微处理器控制的增益设置和信号控制应用的良好选择。它可工作于电压方式,此方式产生电压输出而不是电流输出,请参见本数据资料中典型应用资料一节。

TLC7528C的工作温度范围从0 至70 。TLC7528I的工作温度范围从-25 至85 。TLC7528E的工作温度范围从-40 至85 。

可选项

T _A	封装		
	小型(DW)	芯片支座(FN)	塑料DIP(N)
0 至70 _i	TLC7528CDW	TLC7528CFN	TLC7528CN
-25 至85 _i	TLC7528IDW	TLC7528IFN	TLC7528IN
-40 至85 _i	TLC7528EDW	TLC7528EFN	TLC7528EN

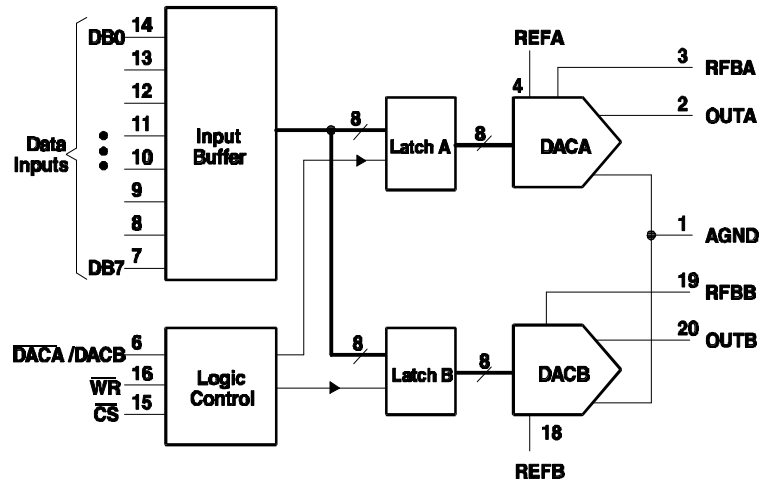
1.2 特点

- * 易于与微处理器接口
- * 片内数据锁存
- * 在每个A/D转换范围内具有单调性
- * 可与模拟器件AD7528和PMI PM-7528互换
- * 适合于包括与TMS320接口的数字信号处理(DSP)应用的快速控制信号
- * 电压方式(Voltage-Mode)工作
- * CMOS工艺制造

关键性能指标	
分辨率	8位
线性度误差	1/2 LSB
V _{DD} =5V时的功耗	20mW
V _{DD} =5V时的建立时间	100ns
V _{DD} =5V时的传输延迟时间	80ns

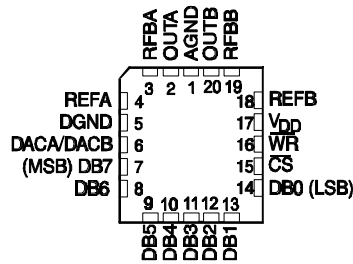
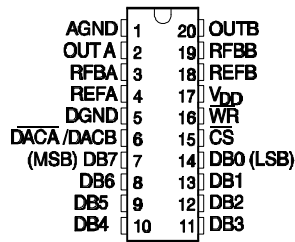
1.3 功能方框图

TLC7528的功能方框图如下图所示。



1.4 引脚排列

DW或N封装以及FN封装的TLC7528的引脚排列分别如下面两图所示。



二、特性

2.1 极限参数

电源电压范围, V_{DD} (至AGND至DGND)	-0.3V至16.5V
AGND和DGND之间的电压	$\pm V_{DD}$
输入电压范围, V_I (至DGND)	-0.3V至 $V_{DD}+0.3$
基准电压, V_{refA} 或 V_{refB} (至AGND)	$\pm 25V$
反馈电压, V_{REFA} 或 V_{REFB} (至AGND)	$\pm 25V$
输出电压, V_{OA} 或 V_{OB} (至AGND)	$\pm 25V$
峰值输入电流	10 μA
工作温度范围 (自然通风), T_A :	
TLC7528C	0 至70
TLC7528I	-25 至85
TLC7528E	-40 至85
储存温度范围, T_{stg}	-65 至150
外壳温度, 10秒, T_c : FN封装	260
引线温度, 离外壳1.6mm (1/16英寸), 10秒: DW或N封装	260

* 强度超过所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数, 并不意味着在极限参数条件下或在任何其它超出推荐工作条件下所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

2.2 推荐的工作条件

	$V_{DD}=4.75V$ 至 $5.25V$			$V_{DD}=14.5V$ 至 $15.5V$			单位
	MIN	NOM	MAX	MIN	NOM	MAX	
基准电压, V_{refA} 或 V_{refB}	± 10			± 10			V
高电平输入电压, V_{IH}	2.4			13.5			V
低电平输入电压, V_{IL}	0.8			1.5			V
CS建立时间, $t_{su}(CS)$	50			50			ns
CS保持时间, $t_h(CS)$	0			0			ns
DAC选择建立时间, $t_{su}(DAC)$	50			50			ns
DAC选择保持时间, $t_h(DAC)$	10			10			ns
数据总线输入建立时间, $t_{su}(D)$	25			25			ns
数据总线输入保持时间, $t_h(D)$	10			10			ns
脉冲宽度, WR为低, $t_{W(WR)}$	50			50			ns
工作温度 (自然通风), T_A	TLC7628C	0		70		70	
	TLC7628I	-25		85		85	
	TLC7628E	-40		85		85	

2.3 在推荐的工作温度范围内(自然通风), $V_{refA}=V_{refB}=10V$, V_{OA} 和 V_{OB} 为0V时的电特性(除非另有说明)

PARAMETER	TEST CONDITIONS	V _{DD} = 5 V			V _{DD} = 15 V			UNIT	
		MIN	TYP ⁺	MAX	MIN	TYP ⁺	MAX		
I _{IH} High-level input current	V _I = V _{DD}			10			10	μA	
I _{IL} Low-level input current	V _I = 0	5	12	-10	5	12	-10	μA	
Reference input impedance REFA or REFB to AGND				20			20	kΩ	
I _{kg} Output Leakage Current	OUTA	DAC data latch loaded with 00000000, V _{refA} = ±10 V			±400			±200	nA
	OUTB	DAC data latch loaded with 00000000, V _{refB} = ±10 V			±400			±200	
Input resistance match (REFA to REFB)				±1%			±1%		
DC supply sensitivity Δgain/ΔV _{DD}		ΔV _{DD} = ±10%			0.04			0.02	%/%
I _{DD} Supply current (quiescent)	All digital inputs at V _{IHmin} or V _{ILmax}			2			2	mA	
I _{DD} Supply current (standby)	All digital inputs at 0 V or V _{DD}			0.5			0.5	mA	
Q _i Input capacitance	DB0-DB7			10			10	pF	
	WR CS DACA / DACB			15			15		
C _o Output capacitance(OUTA,OUTB)	DAC data latches loaded with 00000000			50			50	pF	
	DAC data latches loaded with 11111111			120			120		

+ 所有典型值为T_A=25 时的数值。

续上表

PARAMETER	TEST CONDITIONS	V _{DD} = 5 V			V _{DD} = 15 V			UNIT	
		MIN	TYP	MAX	MIN	TYP	MAX		
Linearity error				±1/2			±1/2	LSB	
Settling time (to 1/2 LSB)		See Note 1			100			100	ns
Gain error		See Note 2			2.5			2.5	LSB
AC feedthrough	REFA to OUTA	See Note 3			-65			dB	
	REFB to OUTB				-65				
Temperature coefficient of gain		See Note 4			0.007			0.0035 %/FSR/°C	
Propagation delay (from digital input to 90% of final analog output current)		See Note 5			80			80	ns
Channel-to-channel isolation	REFA to OUTB	See Note 6			77			dB	
	REFB to OUTA	See Note 7			77				
Digital-to-analog glitch impulse area		Measured for code transition from 00000000 to 11111111 T _A = 25°C			160			440	nV·s
Digital crosstalk		Measured for code transition from 00000000 to 11111111 T _A = 25°C			30			60	nV·s
Harmonic distortion		V _I = 6 V f = 1 kHz, T _A = 25°C			-85			-85	dB

注释：1. OUTA, OUTB负载=100 , C_{ext}=13pF; \overline{WR} 和 \overline{CS} 为0V; DB0-DB7为0V至V_{DD}或V_{DD}至0V。

2. 使用内部反馈电阻测量增益误差。额定满度范围(FSR) = V_{ref} - 1LSB。

3. V_{ref}=20V(峰-峰), 100kHz正弦波; DAC数据锁存器用00000000装载。

4. 增益温度系数从0 至25 或从25 至70 测量。

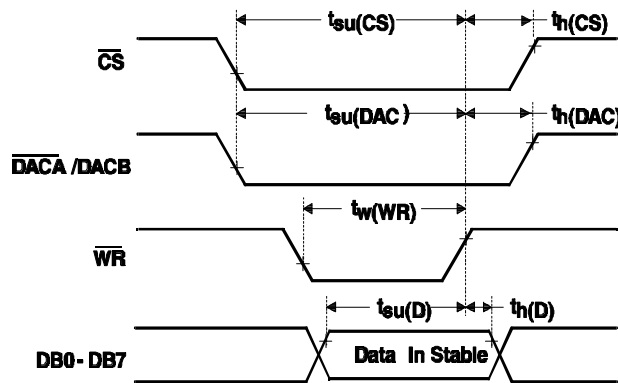
5. V_{refA}=V_{refB}=10V; OUTA/OUTB负载=100 , C_{ext}=13pF; \overline{WR} 和 \overline{CS} 为0V; DB0-DB7为0V至V_{DD}或V_{DD}至0V。

6. 两个DAC锁存器均装载11111111; V_{refA}=20V(峰-峰), 100kHz正弦波; V_{refB}=0; T_A=25 。

7. 两个DAC锁存器均装载11111111; V_{refB}=20V(峰-峰), 100kHz正弦波; V_{refA}=0; T_A=25 。

2.4 时序图

TLC7528的时序图如下图所示。



三、工作原理

这些器件包含两个相同的8位乘法D/A转换器DACA和DACB。每一个DAC由反相R-2R梯形网络(inverted R-2R ladder)，模拟开关以及数据锁存器组成。二进制加权(binary-weighted) 电流在DAC输出与AGND之间切换，于是在每一梯形网络分支中保持恒定的电流，与开关状态无关。大多数应用仅需要加上外部运算放大器和电压基准。所有数据输入均为低情况下DACA的简化D/A电路如图1所示。

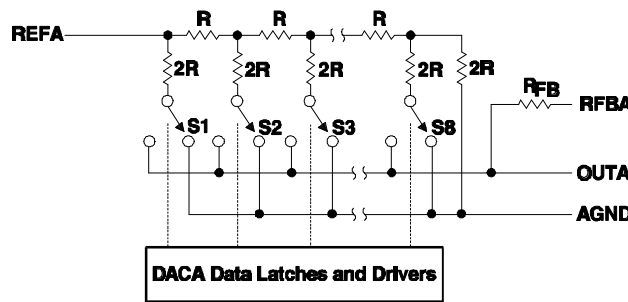


图1 DACA的简化功能电路

图2表示DACA的等效电路。可以为DACB画出类似的等效电路。两个DAC共同模拟地端1 (AGND)。在所有数字输入为高时，全部基准电流流至OUTA。小的泄漏电流(I_{kg}) 穿过内部的结流动，且与大多数半导体器件一样，每10 加倍。 C_o 由NMOS开关的并联组合产生，其值取决于连接到输出端的开关数。 C_o 的范围是50pF至120pF (最大值)。等效输出电阻(r_o) 随输入代码从0.8R变化至3R，其中R是R-2R网络中阶梯电阻(ladder resistor) 的额定值。

这些器件通过数据总线， \overline{CS} ， \overline{WR} 以及 $\overline{DACA/DACB}$ 控制信号与微处理器接口。当 \overline{CS} 和 \overline{WR} 均为低电平时，TLC7528模拟输出(由 $\overline{DACA/DACB}$ 控制线指定) 对DB0-DB7数据总线输入端的活动作出响应。在此方式下，输入锁存器是透明的，输入数据直接影响模拟输出。当 \overline{CS} 或 \overline{WR} 信号变为高电平时，DB0-DB7输入端上的数据被锁存，直至 \overline{CS} 和 \overline{WR} 信号再次变低为止。当 \overline{CS} 为高电平时，不管 \overline{WR} 信号的状态如何，数据输入被禁止。

当用5V电源电压工作时，这些器件的数字输入提供TTL兼容性。这些器件可以用5V至15V范围内的任何电源电压工作；但是5V以上输入逻辑电平不与TTL兼容。

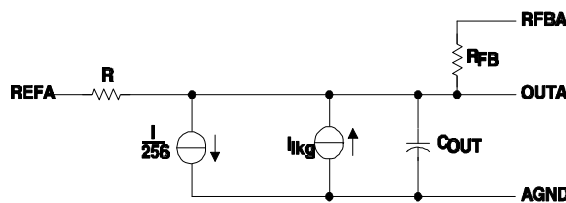


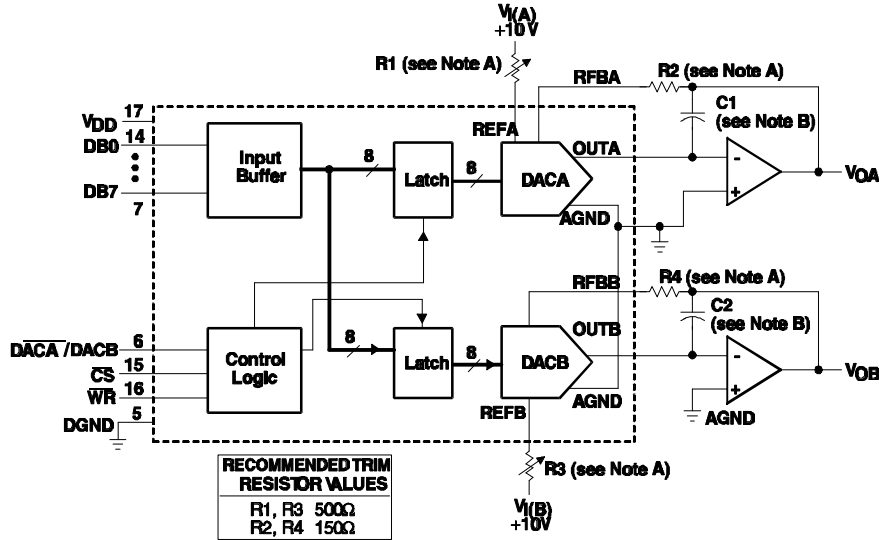
图2 TLC7528等效电路，DACA锁存器装入11111111

方式选择表

$\overline{\text{DACA/DACB}}$	$\overline{\text{CS}}$	$\overline{\text{WR}}$	DACA	DACB
L	L	L	写	保持
H	L	L	保持	写
X	H	X	保持	保持
X	X	H	保持	保持

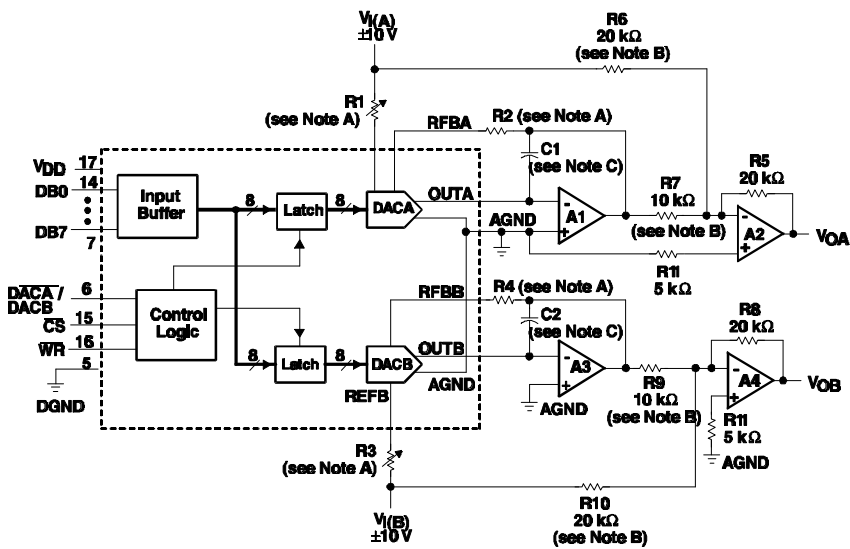
L=低电平, H=高电平, X=不关心

这些器件能实现2象限或4象限乘法。用于2象限和4象限乘法的电路接法示于图3和4。表1和2概括了单极性和双极性工作的输入码。



注释：A. R1、R2、R3和R4仅在需要增益调整时使用。见推荐值表。在数字输入为255情况下作增益调整。
B. 当使用高速放大器时需要C1和C2相位补偿电容（10pF至15pF）以防止振铃或振荡。

图3 单极性工作（2象限乘法）



注释：A. R1、R2和R4仅在需要增益调整时使用。推荐值见图3中的表。在DACA锁存器中代码为10000000时调整R1使 $V_{OA}=0V$ 。在DACB锁存器中代码为10000000时调整R3使 $V_{OB}=0V$ 。

B. 对于电阻对R6、R7、R9和R10来说，匹配和跟踪（matching and tracking）是至关重要的。

C. 如果A1和A3是高速放大器，那么可能需要C1和C2相位补偿电容（10pF至15pF）。

图4 双极性工作（4象限工作）

表1 单极性二进制代码

DAC锁存器内容		模拟输出
MSB	LSB*	
1111	1111	$-V_I (255/256)$
1000	0001	$-V_I (129/256)$
1000	0000	$-V_I (128/256) = -V_I/2$
0111	1111	$-V_I (127/256)$
0000	0001	$-V_I (1/256)$
0000	0000	$-V_I (0/256) = 0$

* 1LSB = $(2^{-8}) V_I$

表2 双极性 (偏移二进制) 代码

DAC锁存器内容		模拟输出
MSB	LSB*	
1111	1111	$V_I (127/128)$
1000	0001	$V_I (1/128)$
1000	0000	0V
0111	1111	$-V_I (1/128)$
0000	0001	$-V_I (127/128)$
0000	0000	$-V_I (128/128)$

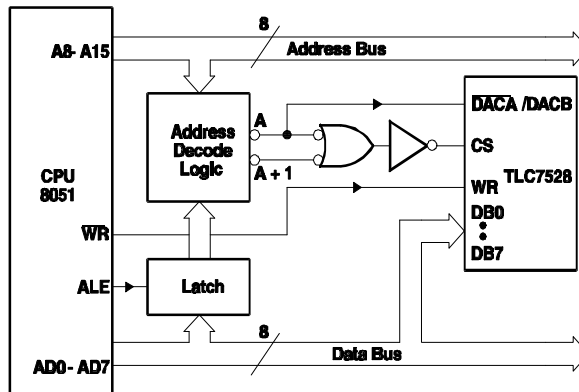
* 1LSB = $(2^{-7}) V_I$

四、应用资料

4.1 微处理器接口资料

TLC7528与Intel8051、6800和Z-80A的接口分别如图5、6和7所示。

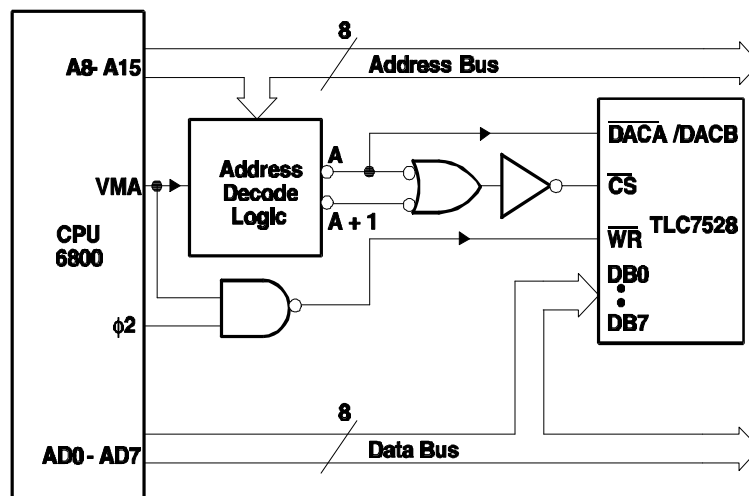
注释A：A=TLC7528DACB的译码地址



A+1=TLC7528DACB的译码地址

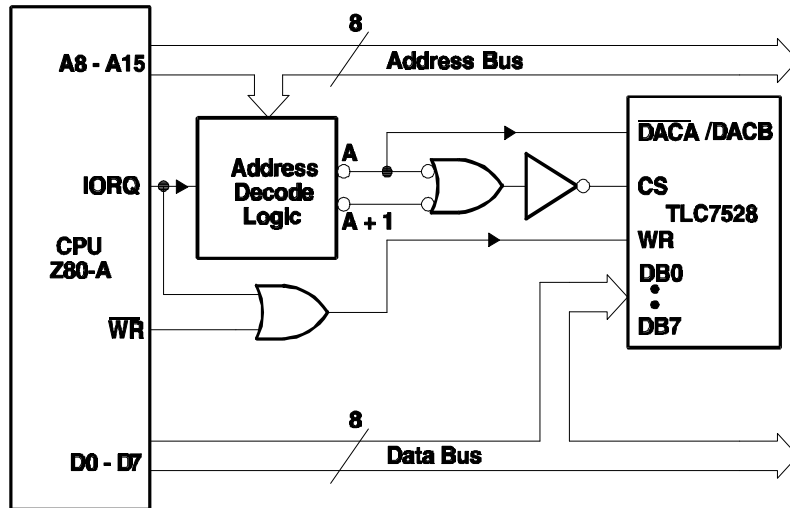
图5 TLC7528-Intel 8051接口

注释A：A=TLC7528DACB的译码地址



A+1=TLC7528DACB的译码地址

图6 TLC7528-6800接口



注释A：A=TLC7528DACA7的译码地址
 A+1=TLC7528DACB的译码地址

图7 TLC7528至Z-80A接口

4.2 可编程窗口控制器

图8所示的可编程窗口比较器可确定加到DAC反馈电阻上的电压是否处在编程入这些器件数据锁存器的门限之内。输入信号范围取决于基准和极性，测试输入范围为0至-Vref。DACA和DACB数据锁存器用上、下测试门限（test limits）编程。在已编程的门限之内的信号将把输出驱动为高。

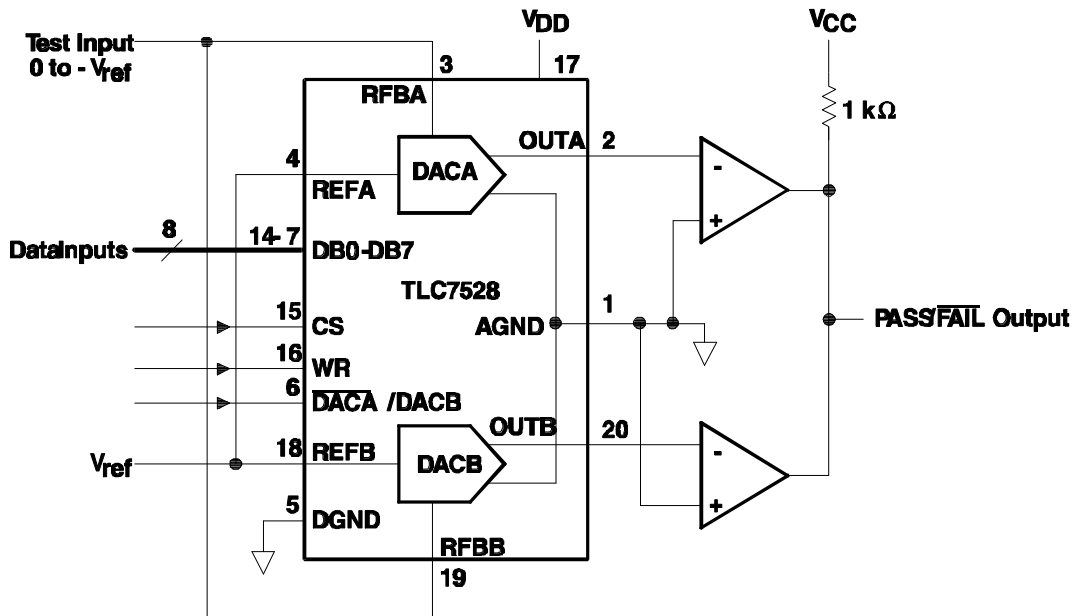


图8 数字可编程窗口比较器（高低门限测试器）

4.3 数字控制信号衰减器

图9表示接成两通道可编程衰减器的TLC7528。其应用包括立体声音频和电话信号电平控制。表3表示0至15.5dB范围内输入代码与衰减量的关系。

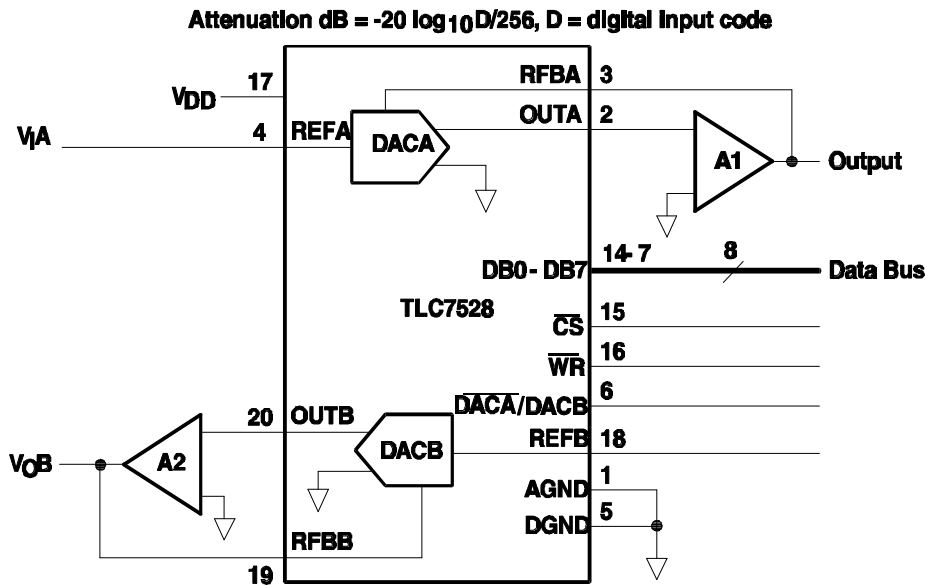


图9 数字控制双电话衰减器

表3 衰减和DACA、DACB代码的关系

衰减 (dB)	DAC输入代码	十进制代码	衰减(dB)	DAC输入代码	十进制代码
0	11111111	255	8.0	01100110	102
0.5	11110010	242	8.5	01100000	96
1.0	11100100	228	9.0	01011011	91
1.5	11010111	215	9.5	01010110	86
2.0	11001011	203	10.0	01010001	81
2.5	11000000	192	10.5	01001100	76
3.0	10110101	181	11.0	01001000	72
3.5	10101011	171	11.5	01000100	68
4.0	10100010	162	12.0	01000000	64
4.5	10011000	152	12.5	00111101	61
5.0	10011111	144	13.0	00111001	57
5.5	10001000	136	13.5	00110110	54
6.0	10000000	128	14.0	00110011	51
6.5	01111001	121	14.5	00110000	48
7.0	01110010	114	15.0	00101110	46
7.5	01101100	108	15.5	00101011	43

4.4 可编程状态可变 (state-variable) 滤波器

这种可编程的状态可变或通用滤波器接法提供低通、高通和带通输出，适合于需要滤波器参数微处理器控制的应用。

如图10所示，DACA1和DACB1控制滤波器的增益和Q值，而DACA2和DACB2控制截止频率。为了使截止频率表达式为真，DACA2和DACB2两半必须精确地跟踪。采用TLC7528时，这是易于实现的。

$$f_c = 1/2 \cdot R_1 C_1$$

可编程的截止或中心频率的范围是0至15kHz，而Q的范围从0.3至4.5。这规定了元件值的极限。

电路方程：

$$C_1 = C_2, R_1 = R_2, R_4 = R_5$$

$$Q = R_3/R_4 \cdot R_F/R_{fb} \text{ (DACB1)}$$

其中：

R_{fb} 是连接在OUTB和RFBB之间的内部电阻

$$G = -R_F/R_5$$

注释：A. 运放A1、A2、A3和A4为TL287。

B. \overline{CS} 补偿运放增益带宽极限。

C. DAC等效电阻等于 $256 \cdot (\text{DAC梯形网络电阻}) / \text{DAC数字代码}$ 。

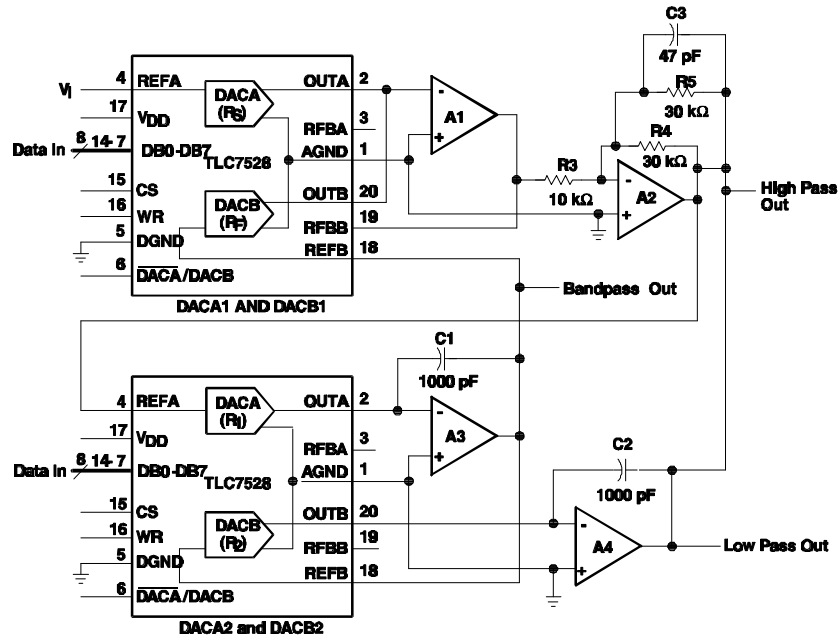


图10 数字控制状态可变滤波器

4.5 电压方式 (voltage-mode) 工作

在这些器件中，可以用电压方式实现电流乘 (current-multiplying) DAC。在电压方式下，固定电压加在电流输出端。于是在基准电压端便有模拟输出电压可供使用。图11是电流乘DAC的例子，它工作在电压方式。

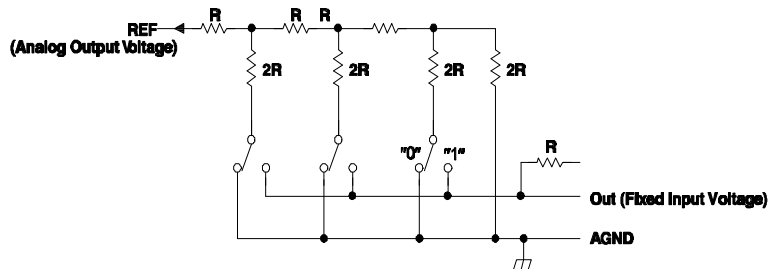


图11 电压方式工作

下列表达式表示固定输入电压与模拟输出电压之间的关系。

$$V_o = V_i (D/256)$$

其中：

V_o = 模拟输出电压

V_i = 固定输入电压

D = 转换至十进制的数字输入代码

在电压方式工作时，这些器件符合下列指标：

参数	测试条件	MIN	MAX	单位
REFA或REFB处线性度误差	$V_{DD}=5V$, $OUTA$ 或 $OUTB$ 为 $2.5V$, $T_A=25$		1	LSB