

ADS7864

500kHz, 12 位, 六通道同时采样模数转换器

产品特性

- 六通道同时采样
- 全差分输入
- 每个通道的转换时间 $2\mu s$
- 保证无漏失码
- 并行接口
- 1MHz 有效采样速率
- 低功耗: 50mW
- 6 个 FIFO 寄存器

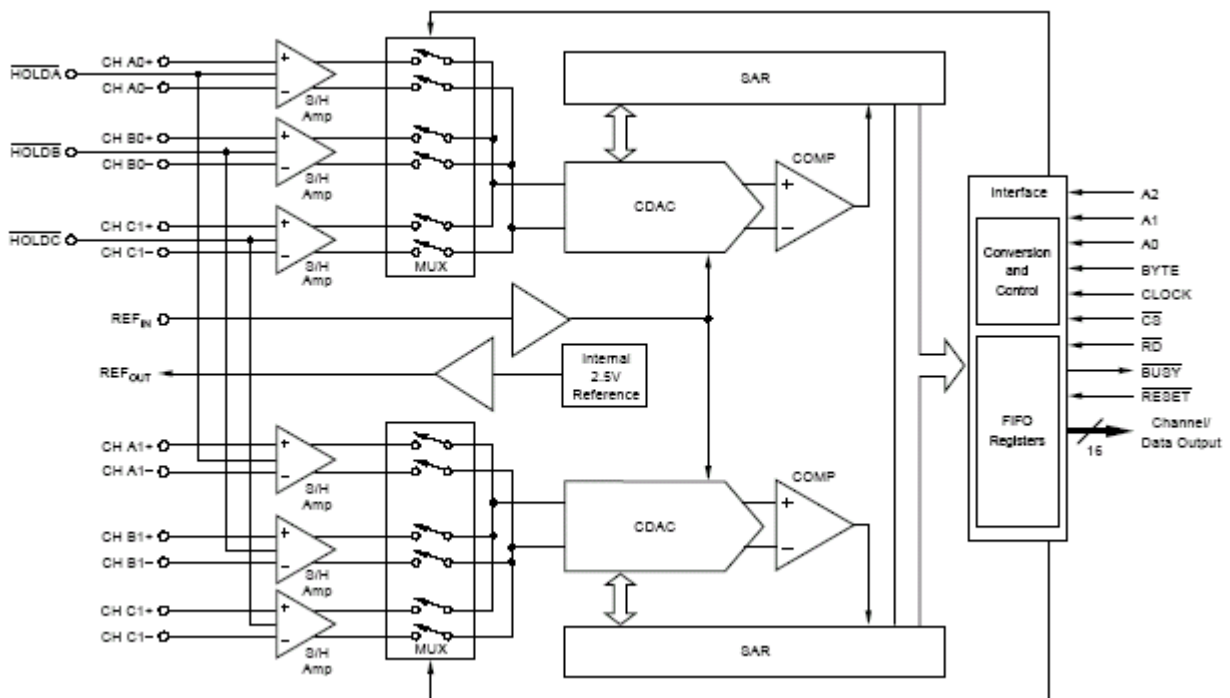
应用领域

- 电机控制
- 多轴定位系统
- 3 相电源控制

产品简述

ADS7826 是双 12 位, 500kHz 的模拟数字 (A/D) 转换器, 带有 6 条全差分输入通道, 这些通道分为三对, 用于进行高速同步信号采集。对采样与保持放大器的输入是全差分的并且保持差分状态直到 A/D 转换器的输入。这样在频率为 50kHz 时仍可提供 80dB 良好的共模抑制比, 这在高噪声环境中是非常重要的。

ADS7864 还带有并行接口和控制输入端, 可以使软件过热最小。各通道的输出数据是一个 16 位字 (地址与数据)。ADS7864 的封装形式是 TQFP-48, 工作温度范围为 $-40^{\circ}C$ 到 $+85^{\circ}C$ 。



产品规格

所有参数 T_{MIN} 到 T_{MAX} ， $+V_A=+V_D=+5V$ ， V_{REF} =内部+2.5V且 $f_{CLK}=8MHz$ ， $f_{SAMPLE}=500kHz$ ，除非另有说明。

PARAMETER	CONDITIONS	ADS7864Y			ADS7864YB			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
RESOLUTION				12			*	Bits
ANALOG INPUT								
Input Voltage Range-Bipolar	$V_{CENTER} = +2.5V$	$-V_{REF}$		$+V_{REF}$	*		*	V
Absolute Input Range	+IN	-0.3		$+V_A + 0.3$				V
	-IN	-0.3		$+V_A + 0.3$				V
Input Capacitance			15		*		*	pF
Input Leakage Current	CLK = GND		± 1		*		*	μA
SYSTEM PERFORMANCE								
No Missing Codes		12			*			Bits
Integral Linearity			± 0.75	± 2		± 0.5	± 1	LSB
Integral Linearity Match			0.5		*	*		LSB
Differential Linearity		-0.9	± 0.6		*	± 0.4		LSB
Bipolar Offset Error	Referenced to REF_{IN}		± 0.75	± 4		± 0.5	± 3	LSB
Bipolar Offset Error Match				3		*	*	LSB
Positive Gain Error	Referenced to REF_{IN}		± 0.15	± 0.75		± 0.1	± 0.5	% of FSR
Positive Gain Error Match				3		*	*	LSB
Negative Gain Error	Referenced to REF_{IN}		± 0.15	± 0.75		± 0.1	± 0.5	% of FSR
Negative Gain Error Match				3		*	*	LSB
Common-Mode Rejection Ratio	At DC		84			*		dB
	$V_{IN} = \pm 1.25V_{p-p}$ at 50kHz		80			*		dB
Noise			120			*		μV_{rms}
Power Supply Rejection Ratio			0.3	2		*	*	LSB
SAMPLING DYNAMICS								
Conversion Time per A/D			1.75			*		μs
Acquisition Time			0.25			*		μs
Throughput Rate		500			*			kHz
Aperture Delay			3.5			*		ns
Aperture Delay Matching			100			*		ps
Aperture Jitter			50			*		ps
Small-Signal Bandwidth			40			*		MHz
DYNAMIC CHARACTERISTICS								
Total Harmonic Distortion	$V_{IN} = \pm 2.5V_{p-p}$ at 100kHz		-75			*		dB
SINAD	$V_{IN} = \pm 2.5V_{p-p}$ at 100kHz		71			*		dB
Spurious Free Dynamic Range	$V_{IN} = \pm 2.5V_{p-p}$ at 100kHz		78			*		dB
Channel-to-Channel Isolation	$V_{IN} = \pm 2.5V_{p-p}$ at 50kHz		-76			*		dB
VOLTAGE REFERENCE								
Internal Reference Voltage		2.475	2.5	2.525	*	*	*	V
Internal Drift			10			*		ppm/ $^{\circ}C$
Internal Noise			50			*		μV_{p-p}
Internal Source Current			2			*		mA
Internal Load Rejection			0.005			*		mV/ μA
Internal PSRR			80			*		dB
External Reference Voltage Range		1.2	2.5	2.6	*	*	*	V
Input Current				100		*	*	μA
Input Capacitance			5			*		pF
DIGITAL INPUT/OUTPUT								
Logic Family			CMOS			*		
Logic Levels: V_{IH}	$I_{IH} = +5\mu A$	3.0		$+V_D + 0.3$	*		*	V
V_{IL}	$I_{IL} = +5\mu A$	-0.3		0.8	*		*	V
V_{OH}	$I_{OH} = -500\mu A$	3.5			*		*	V
V_{OL}	$I_{OL} = -500\mu A$			0.4			*	V
External Clock		0.2		8	*		*	MHz
Data Format		Binary Two's Complement				*		
POWER SUPPLY REQUIREMENTS								
Power Supply Voltage, $+V_A$, $+V_D$		4.75	5	5.25	*	*	*	V
Quiescent Current, $+V_A$, $+V_D$				10		*	*	mA
Power Dissipation				50		*	*	mW

*与 ADS7864Y 相同。

极限参数

模拟输入（相对于AGND）：所有输入通道	—0.3V到(+V _D +0.3V)
REF _{IN}	—0.3V到(+V _D +0.3V)
数字输入（相对于DGND）	—0.3V到(+V _D +0.3V)
接地压差：AGND, DGND	±0.3V
+V _D 到AGND	—0.3V到6V
功率消耗	325mW
最大结温	+150°C
工作温度范围	—40°C到+85°C
贮存温度范围	—65°C到+150°C
引线温度（焊接，10秒）	+300°C

对静电放电的敏感性

静电放电会对该集成电路造成损害。TI 公司建议用户对所有集成电路都预先采取适当的保护措施。不正确的使用和安装都可能造成损坏。

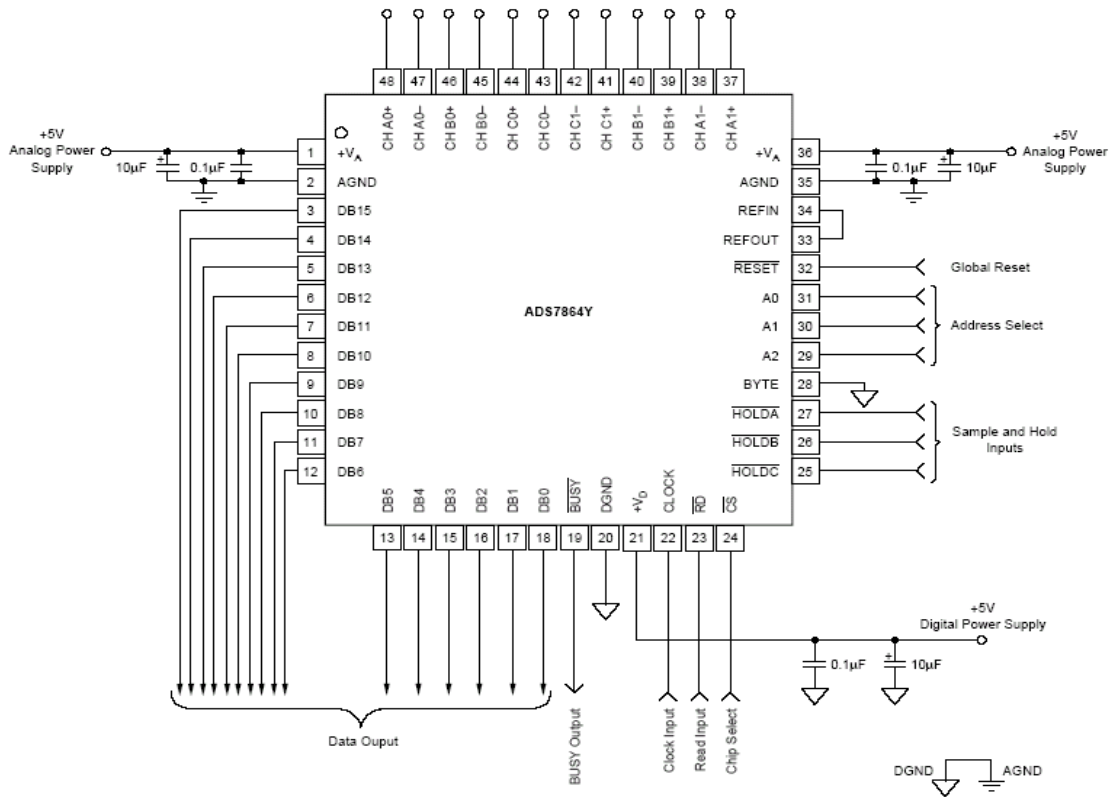
静电放电造成的损坏可能会引起性能有微小的降低，也可能导致器件完全毁坏。精密的集成电路可能更容易受这些损坏的影响，因为即使参数发生很小的变化都会导致器件与公布的规格特性不符。

封装/订购信息

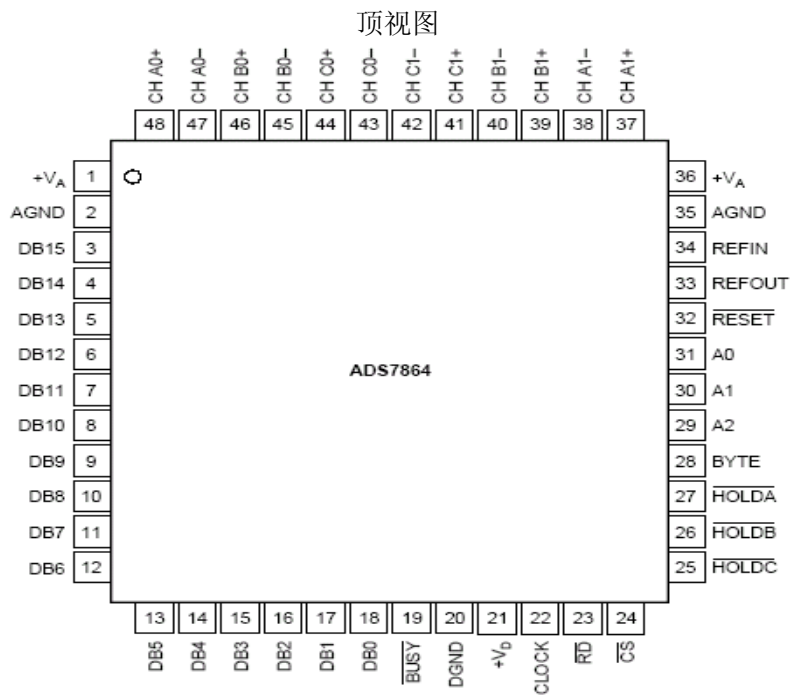
PRODUCT	MINIMUM RELATIVE ACCURACY (LSB)	MAXIMUM GAIN ERROR (%)	SPECIFICATION TEMPERATURE RANGE	PACKAGE	PACKAGE DRAWING NUMBER	ORDERING NUMBER ⁽¹⁾	TRANSPORT MEDIA
ADS7864Y	±2	±0.75	—40°C to +85°C	TQFP-48	355	ADS7864Y/250	Tape and Reel
"	"	"	"	"	"	ADS7864Y/2K	Tape and Reel
ADS7864YB	±1	±0.5	—40°C to +85°C	TQFP-48	355	ADS7864YB/250	Tape and Reel
"	"	"	"	"	"	ADS7864YB/2K	Tape and Reel

注：(1) 带斜杠 (/) 的器件只有盘装与卷装形式，斜杠后的数字表示数量（如，/2K 表示每卷 2000 个器件）。订购 2000 片 ADS7864Y/2K 则可获得一个单独的 2000 片盘装与卷装封装。

基本工作图



引脚排列图

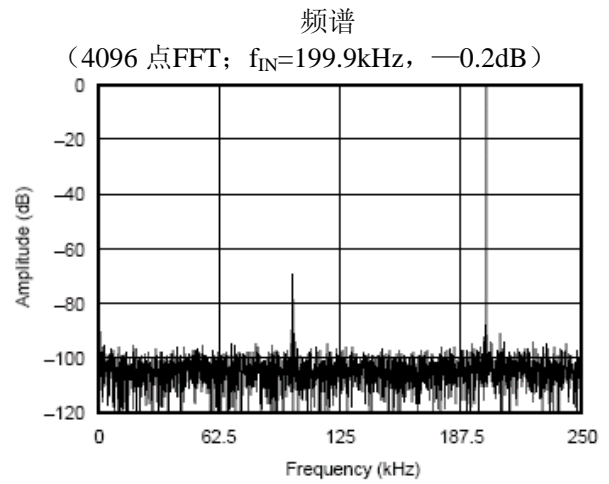
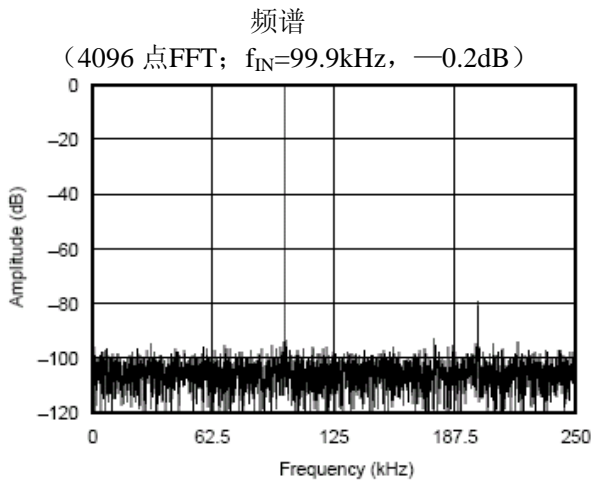


引脚说明

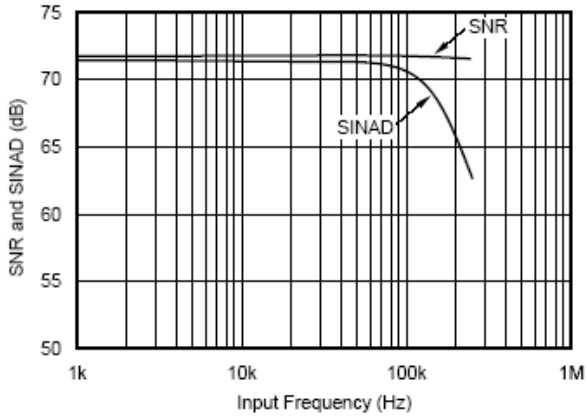
引脚	名称	说明	引脚	名称	说明
1	+V _A	模拟电源。通常为+5V。	25	\overline{HOLDC}	将通道 C0 与 C1 置于保持模式。
2	AGND	模拟接地	26	\overline{HOLDB}	将通道 B0 与 B1 置于保持模式。
3	DB15	数据有效输出端：“1”表示有效；“0”表示无效。	27	\overline{HOLDA}	将通道 A0 与 A1 置于保持模式。
4	DB14	通道地址输出脚（见“通道真值表”）	28	BYTE	2X8 输出量。有效高电平。
5	DB13	通道地址输出脚（见“通道真值表”）	29	A2	A2 地址/模式选择脚（见“地址/模式真值表”）。
6	DB12	通道地址输出脚（见“通道真值表”）	30	A1	A1 地址/模式选择脚（见“地址/模式真值表”）。
7	DB11	数据位 11——最高有效位	31	A0	A0 地址/模式选择脚（见“地址/模式真值表”）。
8	DB10	数据位 10	32	\overline{RESET}	复位脚
9	DB9	数据位 9	33	REF _{OUT}	基准输出
10	DB8	数据位 8	34	REF _{IN}	基准输入
11	DB7	数据位 7	35	AGND	模拟接地
12	DB6	数据位 6	36	+V _A	模拟电源。通常为+5V。
13	DB5	数据位 5	37	CH A1+	非反向输入通道 A1
14	DB4	数据位 4	38	CH A1—	反向输入通道 A1
15	DB3	数据位 3	39	CH B1+	非反向输入通道 B1
16	DB2	数据位 2	40	CH B1—	反向输入通道 B1
17	DB1	数据位 1	41	CH C1+	非反向输入通道 C1
18	DB0	数据位 0	42	CH C1—	反向输入通道 C1
19	\overline{BUSY}	转换正在进行时为低电平。	43	CH C0—	反向输入通道 C0
20	DGND	数字接地	44	CH C0+	非反向输入通道 C0
21	+V _D	数字电源，+5V DC	45	CH B0—	反向输入通道 B0
22	CLOCK	必须加外部时钟到 CLOCK 输入端。	46	CH B0+	非反向输入通道 B0
23	\overline{RD}	RD 输入端。在与片选端连接时使能并行输出端。	47	CH A0—	反向输入通道 A0
24	\overline{CS}	片选端	48	CH A0+	非反向输入通道 A0

典型性能曲线

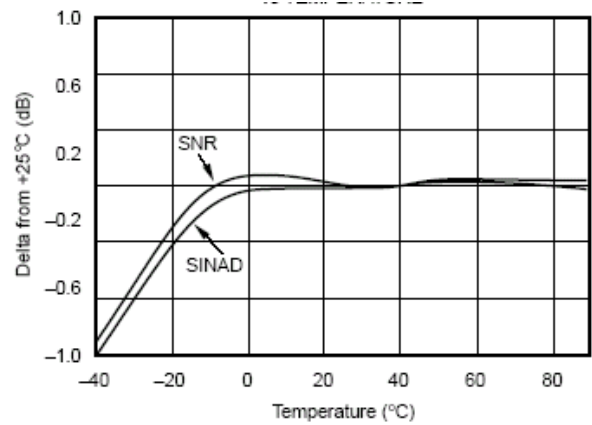
T_A = +25°C, +V_A = +V_D = +5V, V_{REF} = 内部+2.5V且f_{CLK} = 8MHz, f_{SAMPLE} = 500kHz, 除非另有说明。



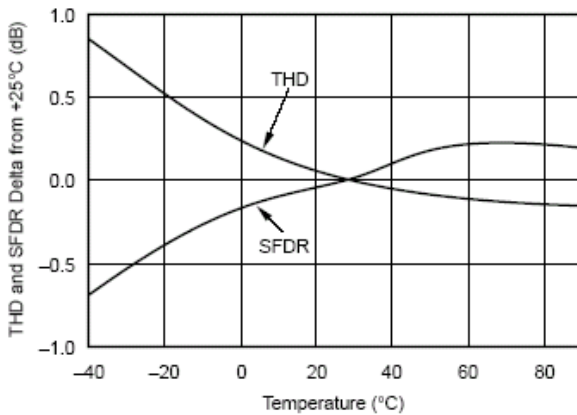
信噪比和信号到（噪声+失真）与输入频率的关系曲线



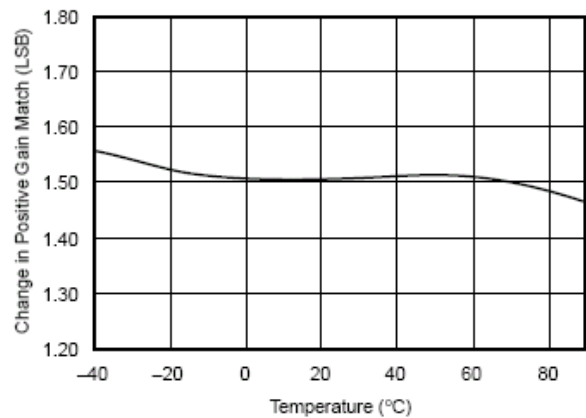
信噪比和信号到（噪声+失真）与温度的关系曲线



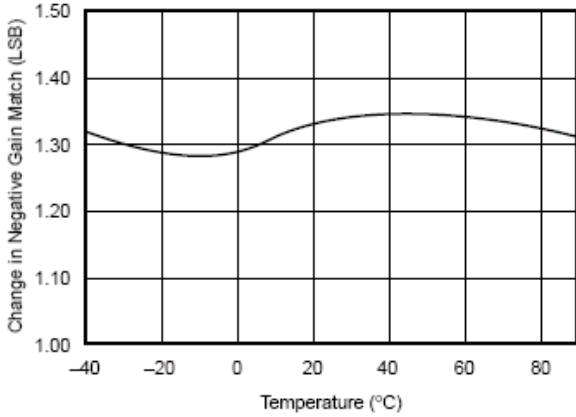
无寄生动态范围的变化和总谐波失真与温度的关系曲线



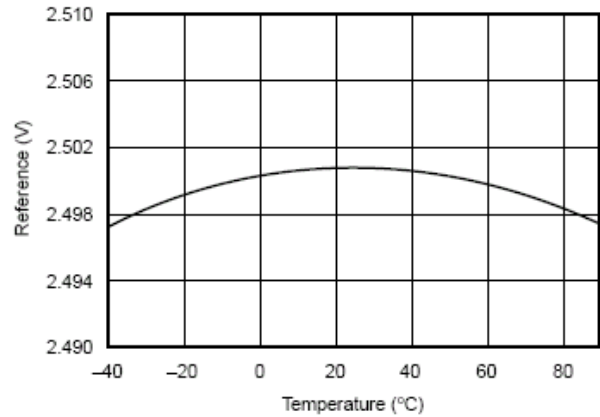
正增益匹配与温度的关系曲线（所有 6 个通道的最大偏差）



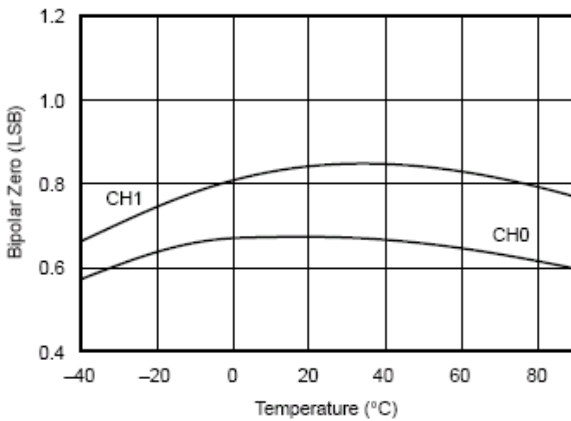
负增益匹配与温度的关系曲线（所有 6 个通道的最大偏差）



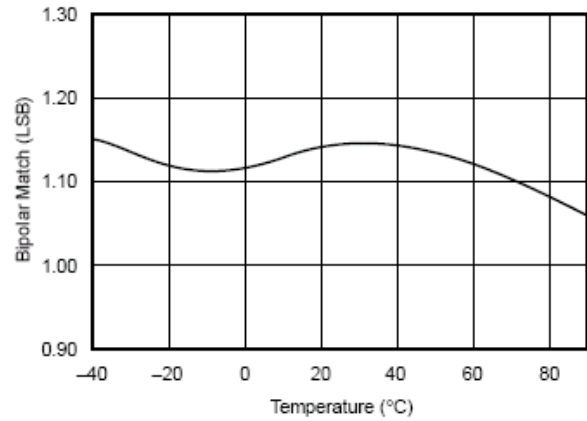
基准电压与温度的关系曲线



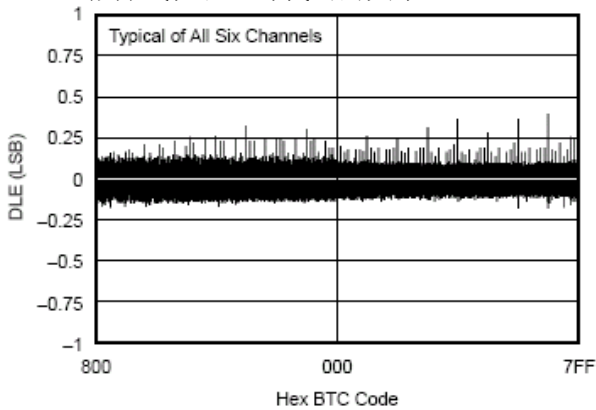
双极性零位与温度的关系曲线



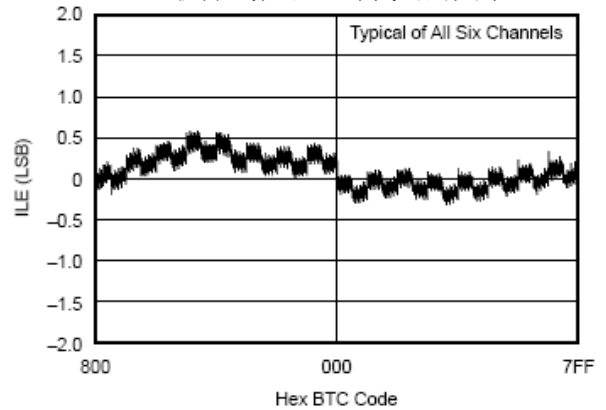
双极性零位匹配与温度的关系曲线



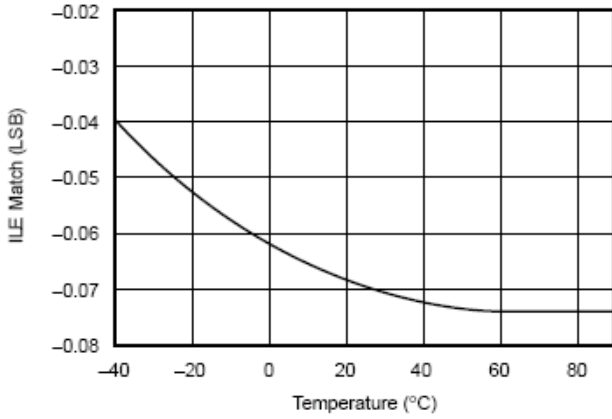
微分线性误差与代码的关系



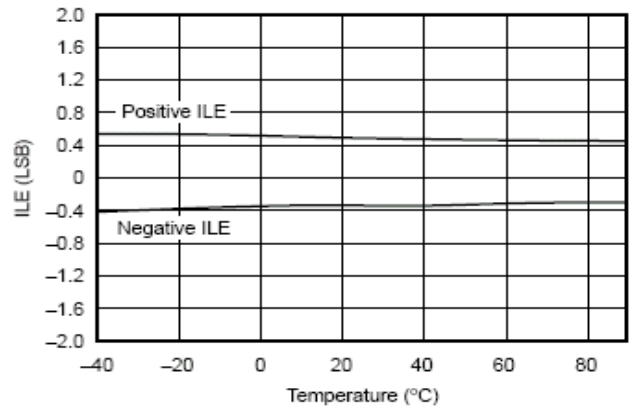
积分线性误差与代码的关系



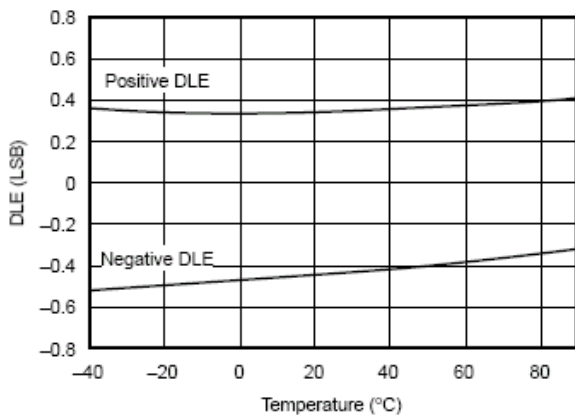
积分线性误差匹配与温度的关系
 通道 A0/通道 C1
 (不同的转换器, 不同的通道)



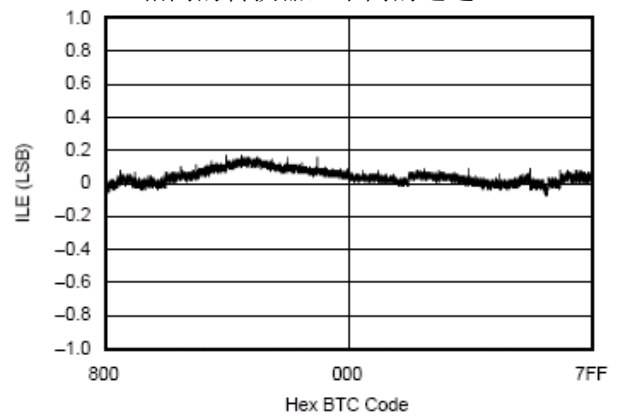
积分线性误差与温度的关系



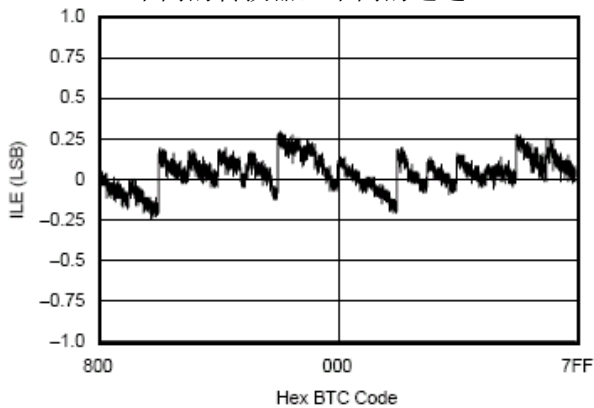
微分线性误差与温度的关系曲线



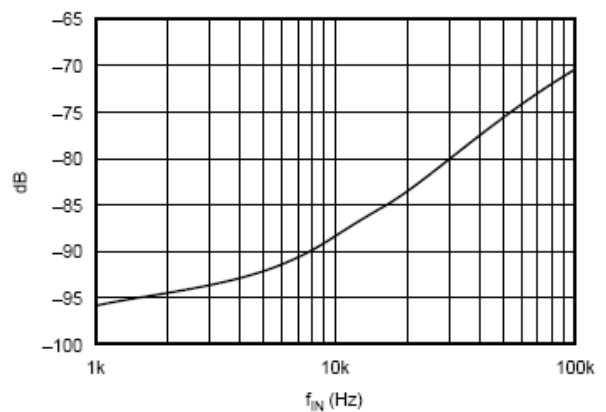
积分线性误差匹配与代码的关系
 通道 A0/通道 B0
 (相同的转换器, 不同的通道)



积分线性误差匹配与代码的关系
 通道 A0/通道 B1
 (不同的转换器, 不同的通道)



通道隔离



产品介绍

ADS7864 是高速、低功率、双 12 位的模数转换器，以+5V单电源供电。输入通道全差分，典型共模抑制比为 80dB。该器件含有两个 $2\mu\text{s}$ 的逐次求近模数转换器，6 个差分采样与保持放大器、一个带 REF_{IN} 与 REF_{OUT} 脚的+2.5V内部电压基准以及一个高速并行接口。6 个模拟输入通道分成 3 对（A、B、C）。每个 A/D转换器都有三对输入端（A0/A1、B0/B1、C0/C1），可以同时采样、转换，因此可以保持两个模拟输入信号的相对相位信息。每对通道都有一个保持信号（ $\overline{\text{HOLDA}}$ 、 $\overline{\text{HOLDB}}$ 、 $\overline{\text{HOLDC}}$ ）使 6 个通道上的采样操作可以同时进行。该器件接受以内部+2.5V基准电压为中心在 $-V_{\text{REF}}$ 到 $+V_{\text{REF}}$ 范围内的模拟输入电压。若在前端使用电平位移电路，该器件还接受双极性输入范围（见图 7）。

通过将 $\overline{\text{HOLDX}}$ 引脚拉低并保持最少 15ns，可以在 ADS7864 中启动一次转换。 $\overline{\text{HOLDX}}$ 保持低电平可以使 X 通道的两个采样与保持放大器同时处于保持状态，并且在两个通道上都开始转换操作。 $\overline{\text{BUSY}}$ 输出端则变成低电平，而且在转换周期期间一直保持低电平状态。将 $\overline{\text{RD}}$ 和 $\overline{\text{CS}}$ 端都拉低，则在转换完成之后可以将数据从并行输出总线读出。

若使用 8MHz 的外部时钟，则 ADS7864 的转换时间为 $1.75\mu\text{s}$ 。相应的数据采集时间为 $0.25\mu\text{s}$ 。为达到最高输出速率（500kHz），可以在第二个转换周期开始时进行读操作。

注意：该数据手册的“时序与控制”一节详细介绍了这种工作模式。

采样与保持部分

ADS7864 的采样与保持放大器使 ADC 可以将最大定标幅度的输入正弦波转换成 12 位精度。即使在 ADC 以 500kHz 的最高转换速率工作时，采样与保持输入带宽也大于 ADC 的尼奎斯特速率（尼奎斯特速率等于 1/2 的采样速率）。采样与保持放大器的小信号带宽的典型值是 40MHz。

典型的孔径延时或者 ADS7864 在 $\overline{\text{HOLDX}}$ 信号的负边沿之后从采样模式转换到保持模式所需的时间为 5ns。重复孔径延时的平均增量典型值为 50ps（也称作孔径抖动）。这些规格参数反映了 ADS7864 在同一时刻精确攫取 AC 输入信号的能力。

电压基准

在正常工作时， REF_{OUT} 脚（引脚 2）应该直接连接到 REF_{IN} 脚（引脚 1），为 ADS7864 提供+2.5V的内部基准电压。ADS7864 在相应的最大定标电压范围为 2.4V 到 5.2V 时，也可以采用 1.2V 到 2.6V 范围内的外部电压基准。

ADS7864 的内部电压基准被双缓冲。如果内部电压基准用于驱动外部负载，则在电压基准与加到引脚 33 的负载之间有一个缓冲器（内部电压基准通常吸收 2mA 电流——负载电容不应超过 100pF）。如果使用外部电压基准，则第二个缓冲器将外部电压基准与 CDAC 隔离开。这个缓冲器也用来在转换进行的时候对两个 CDAC 的所有电容重新充电。

模拟输入

模拟输入是双极性和全差分的。通常有两种方法驱动 ADS7864 的模拟输入：单端输入或差分输入（见图 1 和图 2）。单端输入时， $-\text{IN}$ 输入端保持在共模电压， $+\text{IN}$ 输入端则围绕同一共用电压变化，峰峰值幅度是共模 $+V_{\text{REF}}$ 到共模 $-V_{\text{REF}}$ 。 V_{REF} 的值决定共模电压的变化范围（见图 3）。

差分输入时，输入信号的幅度为 $+\text{IN}$ 和 $-\text{IN}$ 输入的差，即 $(+\text{IN}) - (-\text{IN})$ 。每个输入的峰峰值幅度是该共用电压 $\pm 1/2 V_{\text{REF}}$ 。但是，由于这两个输入是 180° 异相，所以差分电压的峰峰值幅度是 $+V_{\text{REF}}$ 到 $-V_{\text{REF}}$ 。 V_{REF} 的值还决定两个输入共用的电压范围（见图 4）。

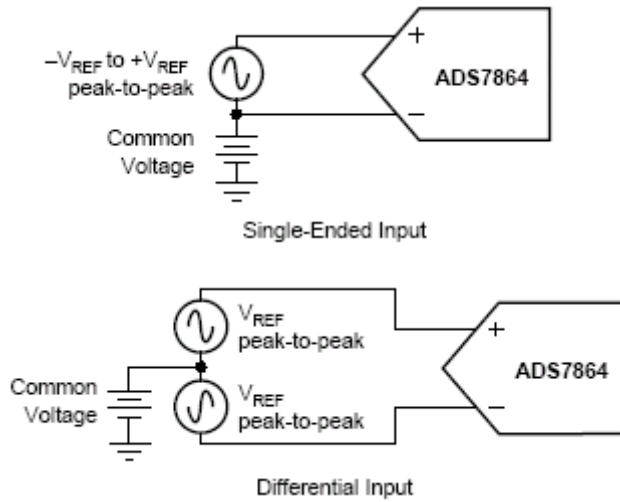
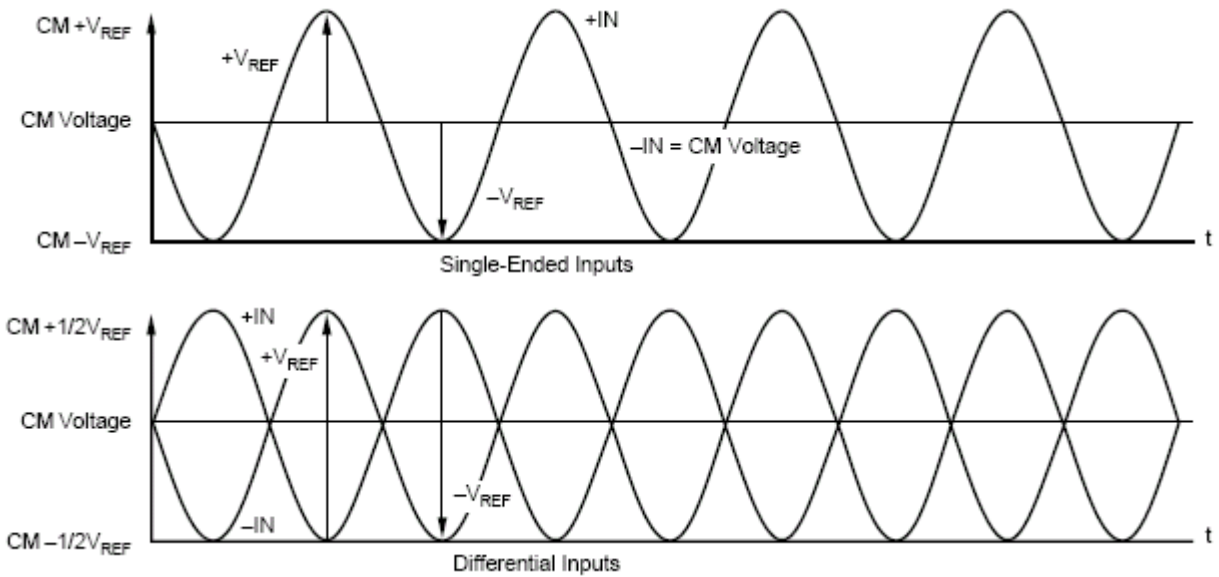


图 1 ADS7864 的单端输入与差分输入方法



注：共模电压（差分模式）= $[(IN+) + (IN-)]/2$ 。共模电压（单端模式）= $IN-$ 。
 ADS7864 +IN和-IN之间的最大差分电压是 V_{REF} 。对单端输入和差分输入共模电压范围的说明请参照图 3 与图 4。

图 2 在单端与差分输入模式中使用 ADS7864

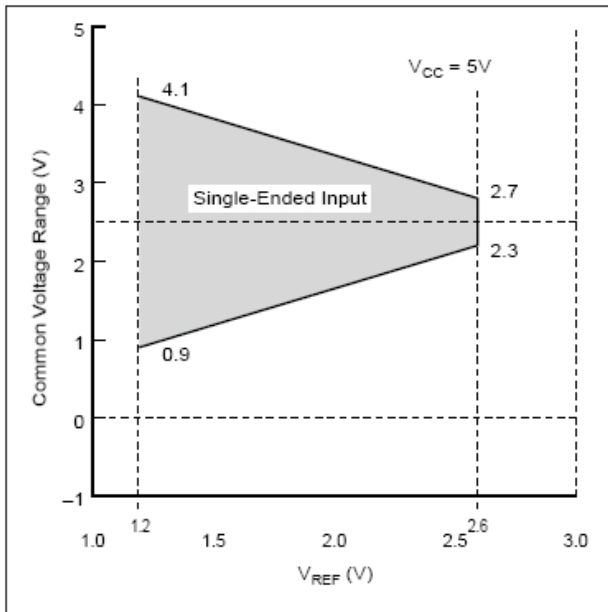


图3 单端输入：共模电压范围与 V_{REF} 的关系

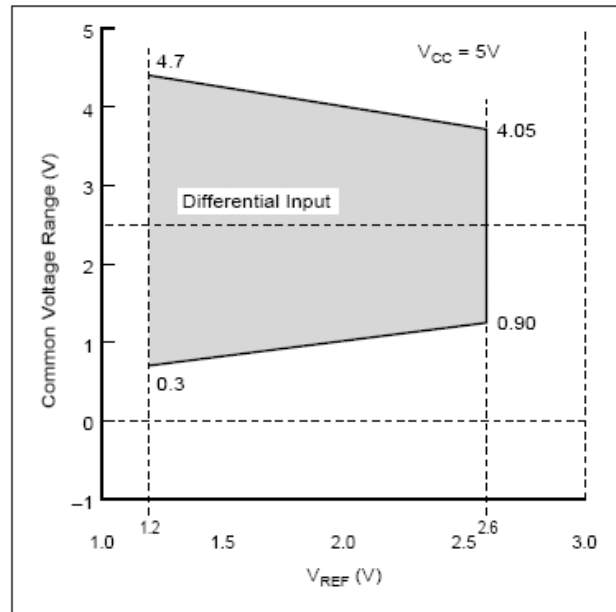


图4 差分输入：共模电压范围与 V_{REF} 的关系

在每种情况中，应该注意保证驱动+IN 与-IN 输入的电源的输出阻抗要相匹配。不然，就会导致偏移误差，而且会随着温度与输入阻抗而变化。

模拟输入的输入电流取决于多个因素：采样率、输入电压和电源阻抗。从本质上讲，输入 ADS7864 的电流在采样期间会对内部电容阵列充电。在电容完全充满以后，就不再输入电流。模拟输入电压源必须可以在两个时钟周期内对输入电容（15pF）充电直至达到 12 位稳定水平。在转换器进入保持模式时，输入阻抗大于 1GΩ。

必须注意绝对模拟输入电压。+IN和-IN输入应该总是保持在GND—300mV到 $V_{DD}+300mV$ 范围内。

转换噪声

图5是ADS7864的DC输入进行8000次转换的直方图。DC输入在输出码为2046时设置。所有的转换结果输出码为2046，除一个以外，这个转换输出结果为2047。这个直方图显示了ADS7864良好的噪声性能。

双极性输入

ADS7864 的差分输入被设计成可以接受以内部基准电压（2.5V）为中心的双极性输入（ $-V_{REF}$ 和 $+V_{REF}$ ），与0V到5V的输入电压范围（带2.5V基准电压）对应。通过一个简单的运放电路，该电路包括一个单独的放大器和四个外部电阻，ADS7864可以配置成不接受双极性输入。传统的 $\pm 2.5V$ 、 $\pm 5V$ 、 $\pm 10V$ 的输入范围可以用图7所示的电阻值实现与ADS7864接口。

定时与控制

ADS7864 使用外部时钟（CLOCK，引脚22）控制CDAC的转换速率。外部时钟为8MHz，A/D采样速率则为500kHz，与2μs的最大转换时间对应。

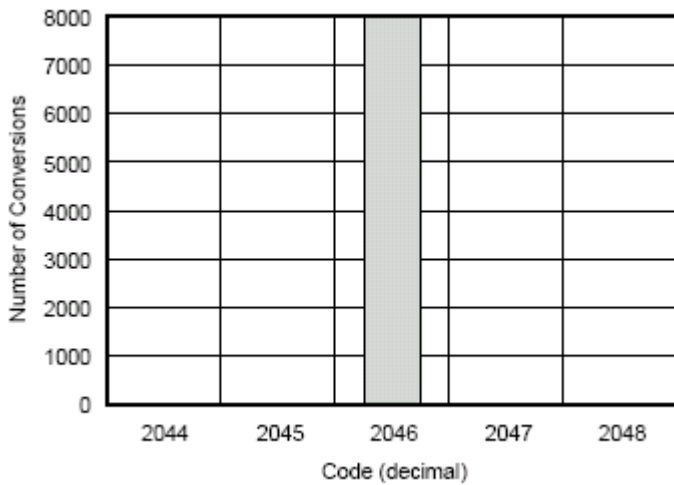


图 5 DC 输入的 8000 次转换直方图

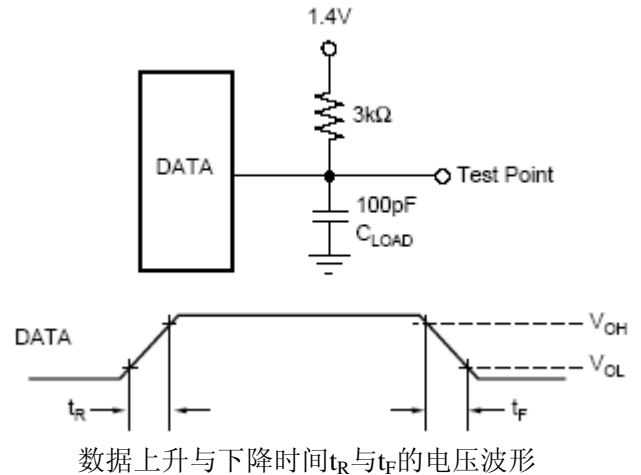


图 6 定时测试电路图

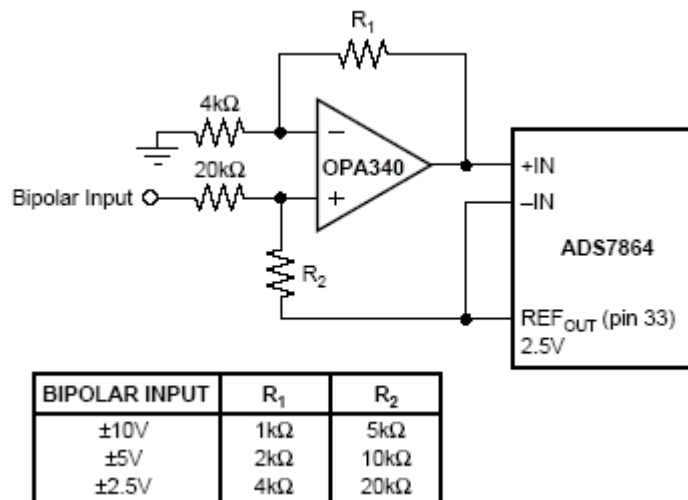


图 7 双极性输入范围的电平移位电路

工作原理

ADS7864 含有两个可以同时工作的 12 位 A/D 转换器。其 3 个保持信号 (\overline{HOLDA} 、 \overline{HOLDB} 、 \overline{HOLDC}) 选择输入的多路开关并且启动 A/D 转换。这 3 个保持信号同时有效就可以同时保持 6 路输入信号，转换的数据分别存放在 6 个寄存器中。ADS7864 的每个读操作都输出 16 位信息（12 位数据、3 位通道地址和一位有效数据）。地址/模式信号 (A0、A1、A2) 选择数据从 ADS7864 读出的方式。这些地址/模式信号决定是选择单通道模式、循环模式（在所有通道之间循环）还是先入先出 (FIFO) 模式，FIFO 模式依据保持信号的顺序来对数据进行排序。FIFO 模式允许单独的一个通道对同时使用 6 个寄存器，因此在 CH X0 的三个地址与 CH X1 的三个地址从器件读出之前，就已经可获得。

CLOCK、 \overline{RESET} 与 \overline{BUSY} 脚说明

CLOCK——为 ADS7864 提供外部时钟。最大时钟频率为 8MHz。最小的时钟周期为 125ns (图 8, t_5)，并且该时钟必须保持高电平 (图 8, t_6) 或低电平 (图 8, t_7) 至少 40ns。

RESET——将复位脚拉低将使ADS7864 复位。这会使得所有输出寄存器清零，终止任何实际的转换，并且会关闭采样开关。复位脚得保持低电平至少 20ns（图 8， t_8 ）。在开始下一次转换之前（负保持边沿），复位脚应回复高电平，并保持至少 20ns（图 8， t_9 ）。

BUSY——在内部A/D转换器开始一次新的转换时，BUSY脚变为低电平，并且在转换进行期间（图 9，13 个时钟周期， t_{10} ）一直保持低电平，然后在数据被锁存到输出寄存器之后，再升高。在BUSY脚变为高电平时，就可以读取新的数据。完成转换至少需要 16 个时钟周期（图 9， t_{11} ）。

转换开始

将一个或都所有的 **HOLDX** 信号拉低，则相应通道X的输入数据立即被置为保持模式（5ns）。只要A/D转换器一旦可以在确定通道工作，通道X的转换随即开始。如果其它通道已处于保持模式但还没有开始转换，通道X的转换则需列队等候直到前一轮转换完成。如果在一个时钟周期内不止一个通道进入保持模式，并且如果 **HOLDA** 也是被触发的保持信号之一的话，通道A将首先开始转换，接着是通道B，最后是通道C。如果在确定的时钟周期期间需要检测到保持命令，则保持信号的下降沿必须在时钟下降沿之前至少 10ns 出现（图 8， t_1 ）。在被拉低之前，保持信号必须保持高电平至少 15ns（图 8， t_2 ），保持脚则必须保持低电平至少 20ns（图 8， t_3 ）。

在图 8 所举的例子中，**HOLDB** 信号首先变低，通道 B0 与 B1 首先开始转换。**HOLDA** 和 **HOLDC** 的下降沿出现在同一个时钟周期，因此，通道 A0 与 A1 将在通道 B0 与 B1 的转换完成之后（加上数据采集时间）随即开始转换。在 A 组通道完成之后 C 组通道也将开始转换。第二个 **HOLDA** 信号被忽略，因为 A 组通道在该点上没有及时开始转换。

一旦某个特定的保持信号变低，这个保持信号的进一步脉冲将被忽略直到这次转换完成或器件复位。在转换完成时（**BUSY** 信号变高），采样开关将关闭并且对选择的通道进行采样。接下来的转换必须被延迟以便让ADS7864 的输入电容可以被完全充电。延迟时间取决于驱动放大器，但至少应该有 175ns（图 9， t_4 ）。

定时规定

符号	说 明	最小值	典型值	最大值	单位
t_1	时钟下降沿之前的 HOLD (A、B、C)	10			ns
t_2	HOLD 保持高电平的时间（需要再次确认）	15			ns
t_3	HOLD 保持低电平的时间	20			ns
t_4	输入电容充电时间	175			ns
t_5	时钟周期	125			ns
t_6	时钟保持高电平的时间	40			ns
t_7	时钟保持低电平的时间	40			ns
t_8	复位脉冲宽度	20			ns
t_9	复位之后的首次保持时间	20			ns
t_{10}	转换时间		$12.5 \cdot t_5$		ns
t_{11}	连续转换时间 ($16 \cdot t_5$)	2			μs
t_{12}	RD 之前的地址设置时间	10			ns
t_{13}	RD 结束之前的 CS	30			ns
t_{14}	RD 保持高电平的时间	30			ns

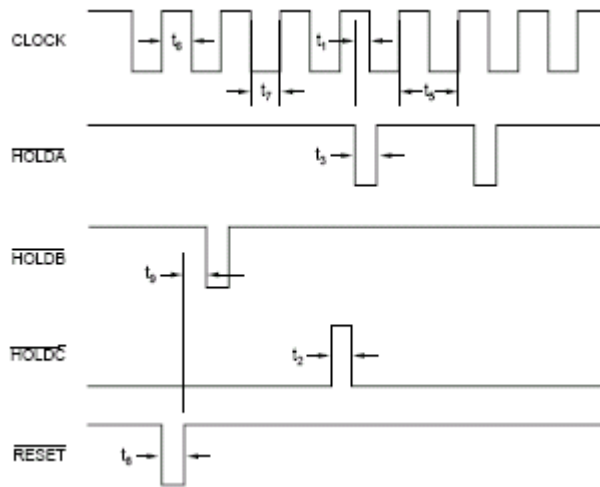


图 8 转换开始

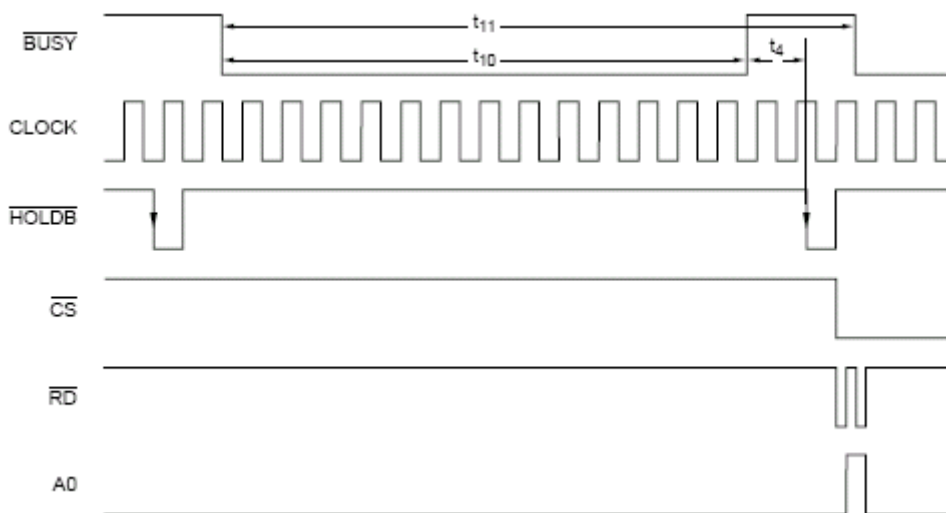


图 9 一个转换周期的时序

ADS7864 也可以连续对一个通道进行转换，如图 9 所示的通道 B。因此 \overline{HOLDA} 与 \overline{HOLDC} 一直保持高电平。为保证数据采集时间， \overline{HOLDB} 的下降沿在时钟的下降沿之前发生。一次转换需要 16 个时钟周期。此时，数据在 \overline{HOLDB} 启动下一轮转换之前被读取。为从通道 B 读取数据，A1 置为高电平，A2 置为低电平。在第一次数据读取时（A2 A1 A0=010）A0 为低，B0 成为输出通道。在第二个 \overline{RD} 之前，A0 转变成高电平（A2 A1 A0=011），因此数据从通道 B1 读出。

读数据（ \overline{RD} 、 \overline{CS} ）——通常，通道/数据输出都是三态输出。 \overline{CS} 和 \overline{RD} 都必须为低以使能这些输出。 \overline{RD} 和 \overline{CS} 在输出数据有效之前必须保持低电平至少 30ns（图 10， t_{13} ）。 \overline{RD} 在被拉低以响应序列读命令之前必须保持高电平至少 30ns（图 10， t_{14} ）。

在转换开始（ \overline{BUSY} 变低）之后的 12.5 个时钟周期内，新数据被锁存到输出寄存器。如果在 \overline{BUSY} 变低以后大约 12.5 个时钟周期，一次读操作开始，则 \overline{RD} 和 \overline{CS} 应保持低电平至少 50ns，以便于工作获得存储在寄存器中的新数据并切换到输出。

\overline{CS} 变为低电平是告知 ADS7864 片内总线已为其配置好。如果 A/D 转换器与数据门共用一条总线，

数字噪声（高频率）有可能与 A/D 转换器耦合。如果 ADS7864 独自占用总线，则 \overline{CS} 可以用硬连线接地。在保持信号的下降沿读取数据可能导致保持数值的失真。

输出代码 (DB15.....DB0)

ADS7864 的输出是一个 16 位的输出字。如果输出含有有效数据，DB15 为 1。这一点对于 FIFO 模式非常重要。在 DB15 变为 0 以前可以读取有效数据。DB14、DB13、DB12 存储通道信息，如表 1（通道真值表）所示。12 位输出数据存储于 DB11（最高有效位）到 DB0（最低有效位）。

DATA CHANNEL	DB14	DB13	DB12
A0	0	0	0
A1	0	0	1
B0	0	1	0
B1	0	1	1
C0	1	0	0
C1	1	0	1

表 1 通道真值表

BYTE——如果片内只有一条 8 位的数据总线，则 BYTE 被置为高电平（见表 11 和表 12）。在这种情况下，较低的 8 位可以在第一个 \overline{RD} 信号时在输出引脚 DB7 到 DB0 上读取，较高的 8 位则在第二个 \overline{RD} 信号之后读取。

获取数据

ADS7864 有三种不同的输出模式，用 A2、A1 和 A0 脚选择。

在 (A2 A1 A0) = 000 到 101 时，可以直接对特定的通道寻址（见表 2 和图 9）。该通道的地址在 \overline{RD} 的下降沿之前应保持至少 10ns（图 10, t_{12} ），并且只要 \overline{RD} 为低就不能改变。

CHANNEL SELECTED/ MODE	A2	A1	A0
A0	0	0	0
A1	0	0	1
B0	0	1	0
B1	0	1	1
C0	1	0	0
C1	1	0	1
Cycle Mode	1	1	0
FIFO Mode	1	1	1

表 2 地址/模式真值表

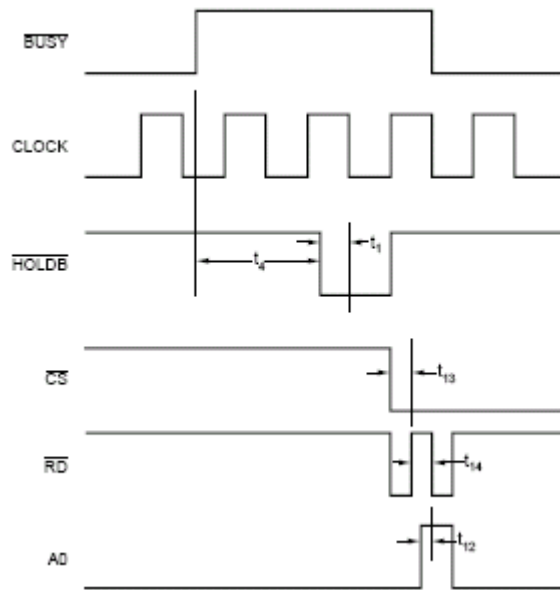


图 10 读数据操作时序

在 (A2 A1 A0) = 110 时，接口以循环模式工作（见图 11 与图 12）。此时，数据在第一个 \overline{RD} 信号时从通道 A0 读取，接着是通道 A1，随后是 B0、B1、C0，最后是 C1（在再次对 A0 读取之前）。在一个复位信号之后或者对器件上电之后，通道 A0 的数据首先输出。

第三种模式是 FIFO 模式，用 (A2 A1 A0) = 111 定址。该通道中先转换的数据被先读取。因此，如果某个特定的通道最受关注、转换较频繁（例如，获取特定通道的历史记录），则每个通道就有 3 个输出寄存器用于存储数据。

如果一次读操作还在进行（ \overline{RD} 信号为低），并且新数据已存储，ADS7864 则要在新数据锁存到输出寄存器之前一直等到读操作完成（ \overline{RD} 信号变高）。

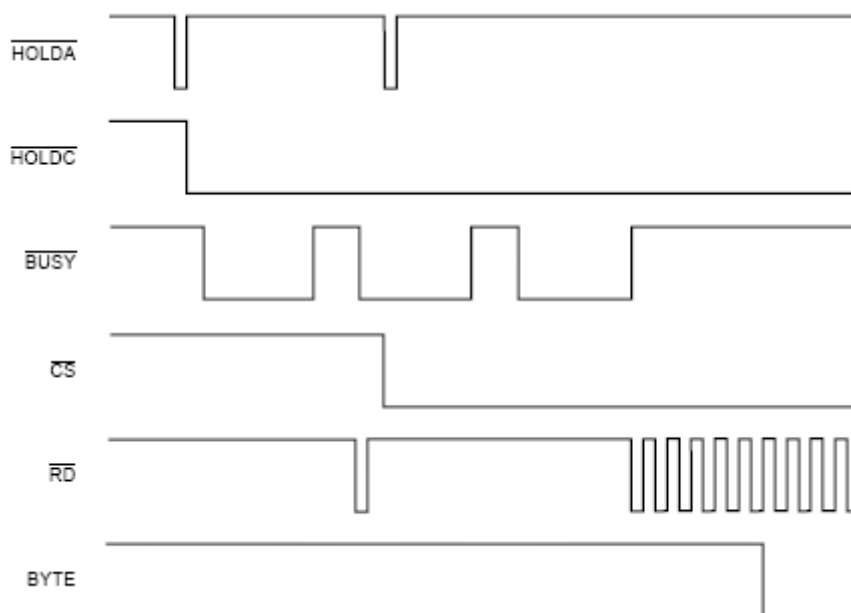


图 11 在循环模式中读取数据



图 12 在循环模式中读取数据

在 t_A (图 13) 时, ADS7864 复位。在复位信号出现时, 所有转换和既定转换均被取消。输出寄存器中的数据也被清零。复位发生时, 正在进行的转换被中断, 所有的通道再次进入采样模式。

在 t_B 时, 出现一个 $HOLDB$ 信号。在下一个下降时钟沿 (t_C), ADS7864 将通道B纳入循环等待接下来被转换。因为在 t_A 时出现复位信号, 通道B的转换将在 t_C 之后以时钟的下一个上升沿为开始。

在下一个时钟周期 (t_C 到 t_F) 以内, 出现 $HOLDC$ (t_D) 和 $HOLDA$ (t_E) 信号。如果在一个时钟周期内不止一个保持信号被激活, 通道A将第一个被转换。因此只要通道B的转换一完成, 通道A的转换就开始。在第二个转换之后, 通道C开始转换。

16 位输出字的结构如下:

1 位有效数据	3 位通道信息	12 位数据字
---------	---------	---------

第 15 位表明 FIFO 为空 (低) 还是含有通道信息 (高)。第 12 到 14 位含有 12 位数据字 (0 位到第 11 位) 的通道信息。如果数据来自通道 A0, 则第 14 到 12 位则为 000。通道位的格式见表 1 (通道真值表)。

新数据总是写入下一个有效寄存器。在 t_0 (见图 14) 时, 复位操作清除所有的现有数据。在 t_1 时, 通道A0 和A1 的新数据存入寄存器 0 和寄存器 1 中。在 t_2 时, 对通道A0 数据的读操作完成。因此, 该数据被转储, A1 通道的数据被移到寄存器 0。在 t_3 时, 出现新的数据, 这次是从通道B0 和B1 输出的新数据。该数据写入接下来有效的寄存器 (寄存器 1 和寄存器 2)。在 t_4 时, 通道C0 和C1 的新数据置于顶部 (寄存器 3 和寄存器 4)。

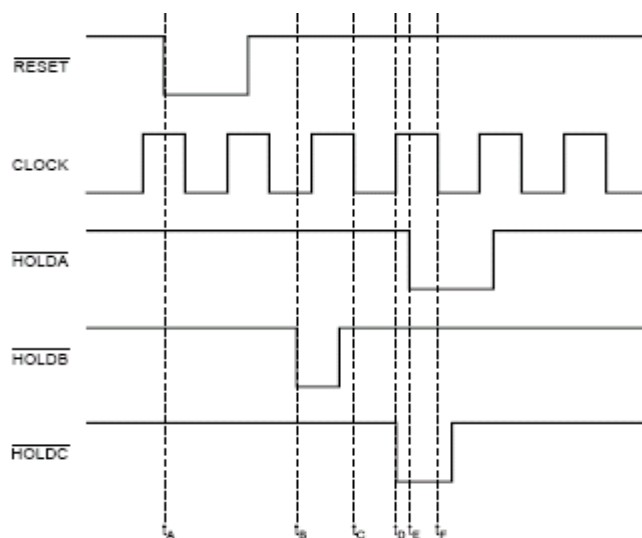


图 13 保持信号示例

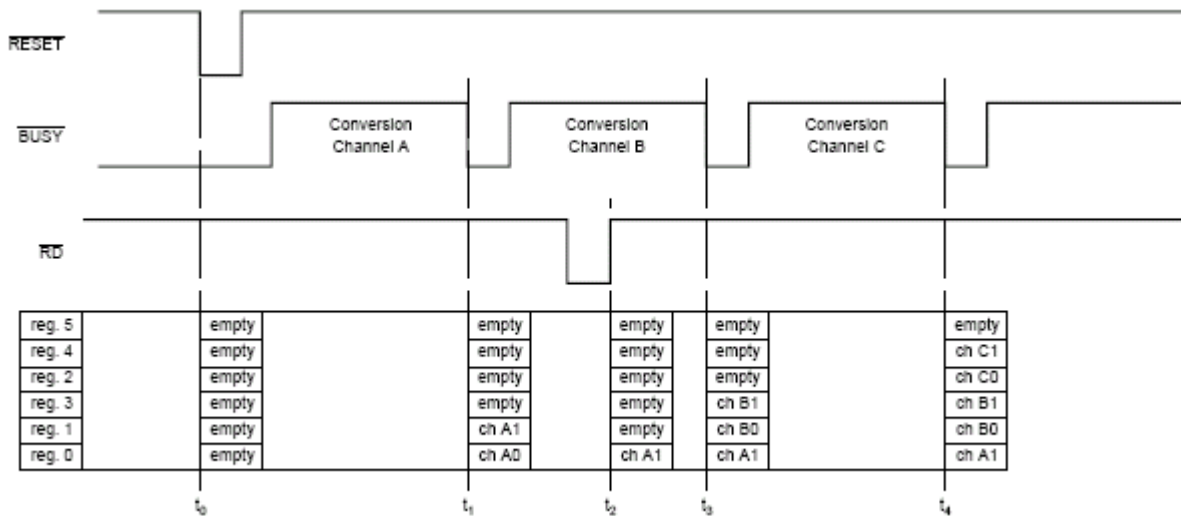


图 14 FIFO 寄存器的功能框图

布局

为实现最佳性能，应注意对 ADS7864 电路的物理布局。如果 CLOCK 输入端达到最大转换率，这一点更为重要。

基本 SAR 结构对电源、电压基准、地线和数字输入发生的瞬变波动或突然的变化非常敏感，其中，数字输入发生在模拟比较器的输出被锁存之前。因此，只要对一个 n 位的 SAR 转换器启动任何单独的转换，就会出现 n 个“窗口”，在这些窗口中外部高瞬态电压会影响转换结果。这种瞬变波动可能源自开关电源、附近的数字逻辑或高功率器件。数字输出的错误程度取决于基准电压、布局和对外部事件的精确定时。如果外部事件在 CLOCK 输入时改变，则这些错误也可以改变。

请记住，ADS7864 的供电电源应该是清洁电源且经过恰当的旁路处理。应在尽可能靠近器件的位置连接一个 0.1 μF 的陶瓷旁路电容。另外，建议还使用一个 1 μF 到 10 μF 的电容。如果需要，甚至可以使用更大的电容和一个 5 Ω 或 10 Ω 的串联电阻来对噪声电源进行低通滤波。平均而言，在对基准电压进行内部缓冲时，ADS7864 只从外部基准吸收极少量的电流。如果采用外部基准电压而且是由运放提供，则必须确保该基准电压能驱动旁路电容或不带振荡的电容。在使用内部基准时不允许使用旁路电容（将引脚 33 直接连接到引脚 34）。

AGND 和 DGND 引脚应该连接到一个清洁的接地点。在任何情况下，这都应该是“模拟”接地。应避免在太靠近微控制器或数字信号处理器的接地点处连线。如果需要，则直接从转换器连一条接地线到电源入口。理想的布局还含有一个模拟接地板，专用于转换器和相关模拟电路。

应用

将要加入的应用章节以 ADS7864 与通用 DSP 处理器接口为特点。更新版的数据手册不久就会在 Burr-Brown 的网站提供 (www.burr-brown.com)。

封装选项附录

封装信息

ORDERABLE DEVICE	STATUS(1)	PACKAGE TYPE	PACKAGE DRAWING	PINS	PACKAGE QTY
ADS7864Y/250	ACTIVE	TQFP	PFB	48	250
ADS7864Y/2K	ACTIVE	TQFP	PFB	48	2000
ADS7864YB/250	ACTIVE	TQFP	PFB	48	250
ADS7864YB/2K	ACTIVE	TQFP	PFB	48	2000

(1) 市场状态值的定义如下：

ACTIVE: 推荐在新设计中使用的器件。

LIFEBUY: TI 公司已宣布该器件将停产，但在使用寿命购买期间有效。

NRND: 建议不要在新设计中使用。这类器件 TI 还在生产以支持现有客户，但建议不要在新设计中使用。

PREVIEW: 这类器件已发布，但还未投产。可能有也可能没有样品。

OBSOLETE: 这类器件 TI 已停产。

声明：本资料仅供参考，如有疑问，请以相应英文资料为准。