

ADS8364 的原理及应用

西安电子科技大学 刘书明 聂丽斌

The Theory And Application Of ADS8364

Liu Shuming Nie Libin

摘要：ADS8364 是 16 位并行输出，六通道同时采样模数转换器。它的片选 (\overline{CS})，输入时钟 (CLK)，并行数据输出 ($[0:15]$)，以及灵活的控制信号。这些特性使得 ADS8364 可以直接与 MSP430x1xx 系列微控制器连接。

关键字：ADS8364, MSP430 微控制器。

ADS8364 是高速，低功耗，十六位模数转换器。主要应用在电机控制，多轴定位系统等方面。其共模抑制在 50KHz 时是 80dB，因此，特别适用于噪声比较大的环境。MSP430F149 超低功耗微控制器，其 16 位 CPU 采用 RISC 结构，带有常数发生器，数控晶振使系统从低功耗模式唤醒不超过 6us。内置 16 位定时器，高速 12 位 A/D 转换器以及 USART。使它适用于各种应用，主要应用在传感器系统，工业控制应用，例如数字电机控制，手提仪器等。

1. ADS8364 特性及工作原理

ADS8364 是高速，低功耗，六通道同时采样和转换的十六位模数转换器。采用 +5V 工作电压。80dB 共模抑制的全差分输入通道。还包括六个 4us 连续近似的模数转换器，六个差分采样放大器，带 REF_{IN} 和 REF_{OUT} 引脚的内部 +2.5V 参考电压。以及高速并行接口。六个模拟输入分为三组 (A, B 和 C) 每个输入端有一个 ADCs 和保持信号用来保证几个通道能同时进行采样和转换。差分输入范围可从 $-V_{REF}$ 到 $+V_{REF}$ 之间变化。

ADS8364 的六个十六位 ADCs 可以成对的同时工作。三个保持信号 (\overline{HOLDA} , \overline{HOLDB} , \overline{HOLDC}) 可以启动指定通道的转换。三个保持信号同时被选通时，转换结果保存在六个寄存器中，对于每一个读操作 ADS8364 输出十六位数据，地址/模式信号 ($A0, A1, A2$) 可以选择如何从 ADS8364 读取数据。地址/模式信号可以选择单通道，单周期或 FIFO 模式。使 ADS8364 的 \overline{HOLDX} 保持至少 20ns 的低电平，转换开始。这个低电平可使各个通道的采样保持放大器同时处于保持状态从而每个通道开始转换。转换结果被存入输出寄存器后引脚 \overline{EOC} 的输出将保持半个时钟周期的低电平。通过置 \overline{RD} 和 \overline{CS} 低电平，数据可以读出到并行输出总线。

ADS8364 取样/保持模块，即使以最大吞吐率工作，它的输入带宽大于 ADC 的奈奎斯特频率。典型的带宽是 300-MHz。在正常操作时， REF_{OUT} 与 REF_{IN} 连接可以为 ADS8364 提供 +2.5V 的参考电压。ADS8364 本身产生的噪声是很小的，但是为了得到更好的性能，输入信号的噪声峰值必须小于 50uV。

当外部时钟采用 5-MHz 时，ADS8364 的转换时间是 3.2us，对应的采集时间是 0.8us。为了得到最大的输出数据率，读取数据可以在下一个转换期间进行。

2. ADS8364 与 MSP430F149 的连接

ADS8364 的接口

ADS8364 采用 +5V 模拟电源 (AV_{DD}) 和数字电源 (DV_{DD})，其内部的缓冲器采用与 MSP430 相同的 +3.3V 电压。缓冲器电压 (BV_{DD}) 允许直接连接到 3V 或 5V 电压系统。因为 MSP430 是低电源供电器件，要使用该元件

ADS8364 的 V_{DD} 必须设置成 3.3V。

ADS8364 的最大时钟频率可达 5-MHz，采样/转换过程在 20 个转换时钟周期内完成。ADS8364 的六个通道可以同时采样/转换。吞吐率最大可达 250KSPS。在这个应用中，ADS8364 采用 4-MHz 时钟。每个通道的吞吐率最大可达 200KSPS。将 ADS 的地址线 A[2:0]接到固定电平上，MSP430 将释放通道选择的任务。在这个例子中，A0 接到数字地，A2 和 A1 接到 V_{CC} 上。迫使 ADS8364 进入周期模式。在这个模式中，转换器自动对六个通道进行采样，将数据按从 A0 到 C1 的顺序传送到输出端。

将 ADS8364 的 BYTE 引脚接到 V_{CC} 上，可以使能字节模式。在这个模式中，要从 ADC 中正确的读取数据，需要对每个通道进行两次连续的读操作。第一次读取转换数据的高位字节，第二次读取低位字节。假如通道信息要作为数据输出的一部分，ADS8364 的 ADD 引脚也要接上 V_{CC} 。读取数据时需要对 ADS8364 的每个通道进行三次读操作。第一次读取通道和数据信息，后两次读取高位和低位数据。表 1 列出了 ADS8364 与 MSP430x1xx 系列连接所需的最少引脚。图 1 是它们的连接图（附后）。

表 1：

MSP430F149 引脚编号	MSP430F149 端口-功能	ADS8364 引脚编号	信号描述
12	P1.0-GPIO	56,57,58	ADC 输入-HOLD _x ,转换开始
13	P1.1-INT	27	MSP430 输入-EOC,中断源
14	P1.2-GPIO	29	ADC 输入-RD
15	P1.3-GPIO	51	ADC 输入-RESET
16	P1.4-SMCLK	28	ADC 输入-转换时钟
20	P2.0-GPIO	48	MSP430 数据输入-bit0
21	P2.1-GPIO	47	MSP430 数据输入-bit1
22	P2.2-GPIO	46	MSP430 数据输入-bit2
23	P2.3-GPIO	45	MSP430 数据输入-bit3
24	P2.4-GPIO	44	MSP430 数据输入-bit4
25	P2.5-GPIO	43	MSP430 数据输入-bit5
26	P2.6-GPIO	42	MSP430 数据输入-bit6
27	P2.7-GPIO	41	MSP430 数据输入-bit7

ADC 的初始化和操作

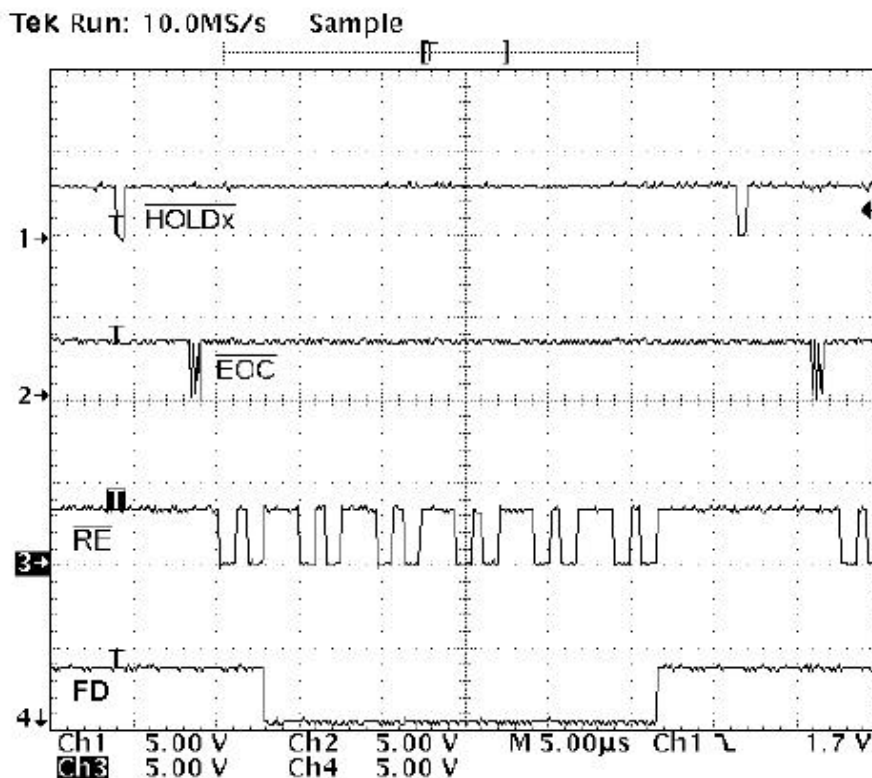
触发 ADS8364 的复位引脚(\overline{RST})可以确保读指针指向第一个数据位置。作为 MSP430 初始化的一部分，ADS8364 的 \overline{RST} 引脚分配给 P1.3，P1.3 最初是高电平，当系统时钟稳定后，被触发为低电平。这确保了从 ADC 输出的数据对应于通道 A0,A1,B0,B1,C0,C1 而排列。

\overline{HOLD}_x 是有源低电平取样触发器。当三条 HOLD 线均为低电平时，六个模拟输入同时被采样，在下一个时钟的上升沿转换过程开始。20 个时钟周期后转换过程结束。转换结束后引脚保持 1/2 时钟周期的低电平。

对于每一个转换的通道， \overline{EOC} 是低电平信号。ADS8364 为 MSP430 提供三个 \overline{EOC} 脉冲。每个脉冲信号表明转换的结束。当 ADC 的这三个引脚同时置为低电平时，三个通道被认为是有效的并同时转换。 \overline{EOC} 引脚可被连

接到 MSP430 的一个中断引脚，从而触发一个读周期。下图是进行一次完整的转换和读周期的信号流。

表 2：ADS8364 波形



MSP430 的设置

外部 8-MHz 接到 MSP430 的 XT2 输入端，选择 XT2 输入就选择了时钟源 MCLK 和 SMCLK，通过设置 DIVS 位可以给 SMCLK 提供 4-MHz 的时钟频率，而 MCLK 仍保持 8-MHz 的时钟频率。

通过向 MSP430 的寄存器 P1DIR 中写入 0x1D，可以把 PORT1 的 0, 2, 3, 4 引脚设置成输出格式。P1.4 被设置成输出以后，通过向寄存器 P1SEL 写入 0x10 可以设定 SMCLK，它为 ADS8364 提供转换时钟。

把 P1.1 设置成中断输入是相当简单的：只须清除寄存器 P1IFG 和 P1IES 的 bit2 同时向寄存器 P1IE 写入 0x02 就可以了。这就清除了中断标志，使能下降沿检测以及使能外部中断。这三个命令只有在全局中断命令之后使用。

ADS8364 的片选是一个有源低电平输入信号。当 \overline{CS} 为高时，并行输出引脚处于高阻态。当 \overline{CS} 为低时，并行数据线反映了输出缓冲器的当前状态。为了正确的从 ADS8364 的并行数据总线读取数据，器件必须被片选而后才能进行读操作。为了使有源控制线减少到最少， \overline{CS} 引脚应该接地。假如 \overline{CS} 有效，MSP430 的任意一个 GPIO 也有效。

读 (\overline{RD}) 也是有源低电平信号。当 \overline{CS} 为低的时候，在读信号 (\overline{RD}) 的下降沿 ADS8364 中寄存器的内容被更新。这意味着在每个读序列之前， \overline{RD} 信号必须被触发，这样才能更新输出缓冲器。MSP430 的中断子程序使 ADS8364 的 \overline{RD} 引脚置为低（通过 P1.2）保存 P2.0~P2.7 的数据，再将 \overline{RD} 引脚置为高。