

## PHILIPS P89C5x 单片机数据手册

## 1. 概述

P89C51/89C52/89C54/89C58 含有非易失 FLASH、并行可编程的程序存储器，所有器件都是通过引导装载机串行编程 (ISP)。见 P89C51RC+/89C51RD+ 数据手册。

2 种系列单片机采用先进 CMOS 工艺的单片 8 位微控制器，是 80C51 微控制器系列的派生。和 80C51 指令相同。

## FLASH 器件选择表

ROM/EPROM 存储器大小 (8 位)	RAM 大小 (8 位)	可编程定时器 / 计数器 (PAC)	硬件看门狗定时器
多次可编程 (MTP) 器件:			
89C51			
4K	128	无	无
89C52/54/58			
8K/16K/32K	256	无	无
串行系统内编程器件			
89C51RC+			
32K	512	有	有
89C51RD+			
64K	1024	有	有

## 特点:

- 80C51 中心处理单元
- 片内 FLASH 程序存储器
- 速度可达 3.3 MHz
- 全静态操作
- RAM 可扩展到 64 K 字节
- 4 级中断
- 6 个中断源
- 4 个 8 位 I/O 口
- 全双工增强型 UART
  - 帧数据错误检测
  - 自动地址识别
- 电源控制模式
  - 时钟的停止和恢复
  - 空闲模式
  - 掉电模式
- 可编程时钟输出
- 双 DPTR 寄存器
- 低 EMI (禁止 ALE)
- 3 个 16 位定时器
- 外部中断可以从掉电模式中唤醒

## 排序信息

	存储器大小 4K×8	存储器大小 8K×8	存储器大小 16K×8	存储器大小 32K×8	温度范围 (°C) 和包 装	电压 范围	频率 (MHz)	DWG. #
FLASH	P89C51 UBA A	P89C52 UBA A	P89C54UB A A	P89C58UB A A	0~70, PLCC	5V	0~33	SOT1 87-2
FLASH	P89C51 UBP N	P89C52 UBP N	P89C54UB P N	P89C58UB P N	0~70, PDIP	5V	0~33	SOT1 29-1
FLASH	P89C51 UBB B	P89C52 UBB B	P89C54UB B B	P89C58UB B B	0~70, PQFP	5V	0~33	QFP4 4 <sup>2</sup>
FLASH	P89C51 UFA A	P89C52 UFA A	P89C54UF A A	P89C58UF A A <sup>1</sup>	-40~+85, PLCC	5V	0~33	SOT1 87-2
FLASH	P89C51 UFP N	P89C52 UFP N	P89C54UF P N	P89C58UF P N <sup>1</sup>	-40~+85, PDIP	5V	0~33	SOT1 29-1
FLASH	P89C51 UFBB	P89C52 UFBB	P89C54UF B B	P89C58UF B B <sup>1</sup>	-40~+85, PQFP	5V	0~33	QFP4 4 <sup>2</sup>

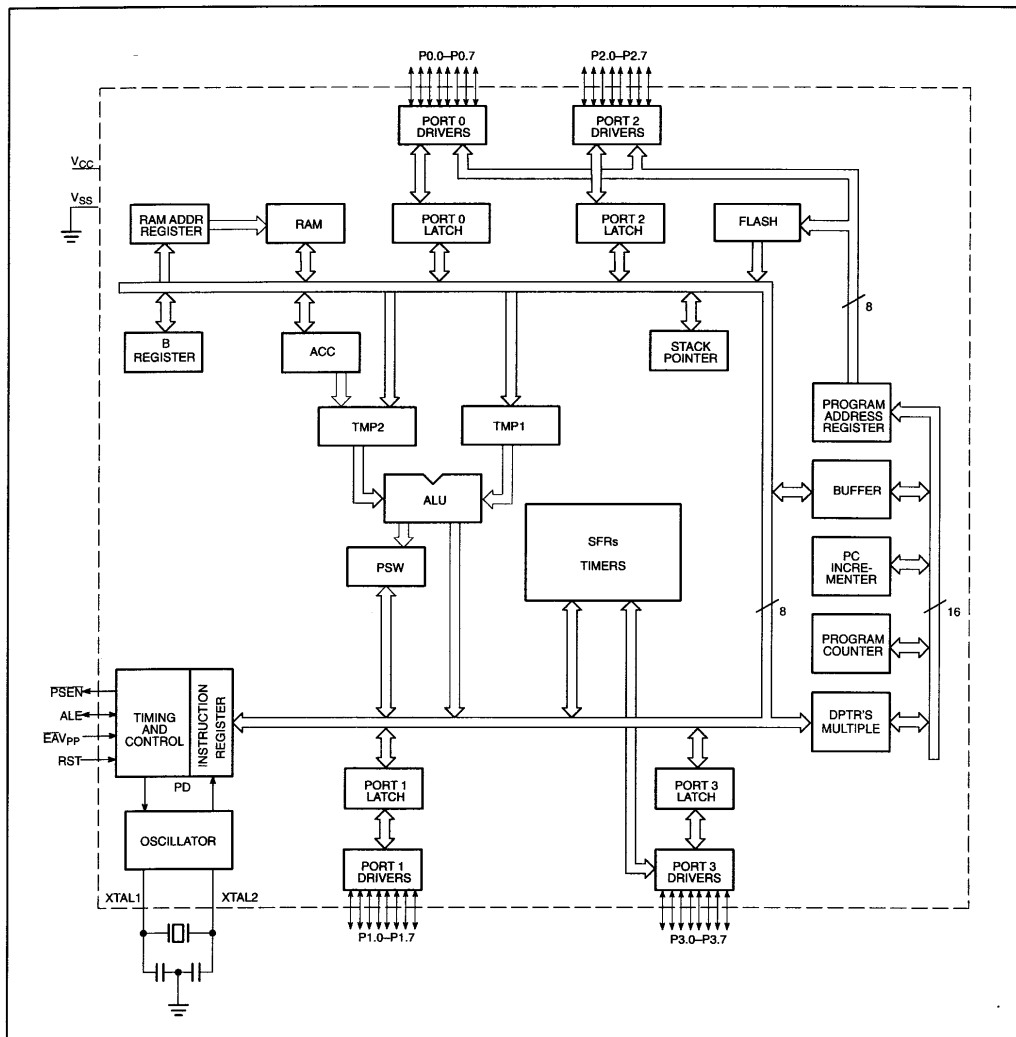
## 注释:

1. 联系有效的 Phillips 销售商
2. S O T 并不包含在该封装内。

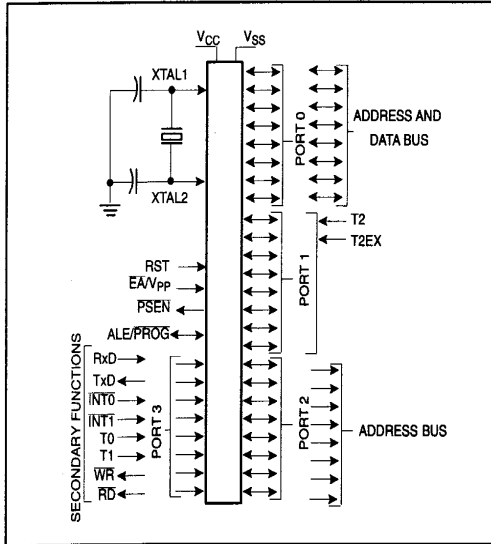
部分编号派生

器件编号(P89CXX)	操作频率,最大(V)	温度范围(B)	封装(AA,BB,PN)
P89C51 FLASH P89C52 FLASH P89C54 FLASH P89C58 FLASH	U=33MHz	B=0°C~70°C F=-40°C~+85°C	AA=PLCC BB=PQFP PN=PDIP

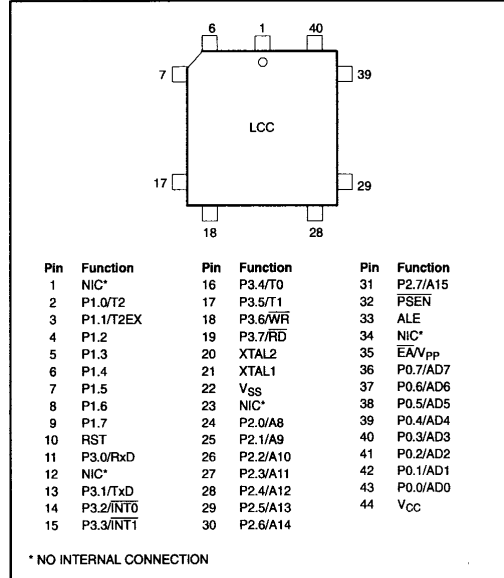
框图



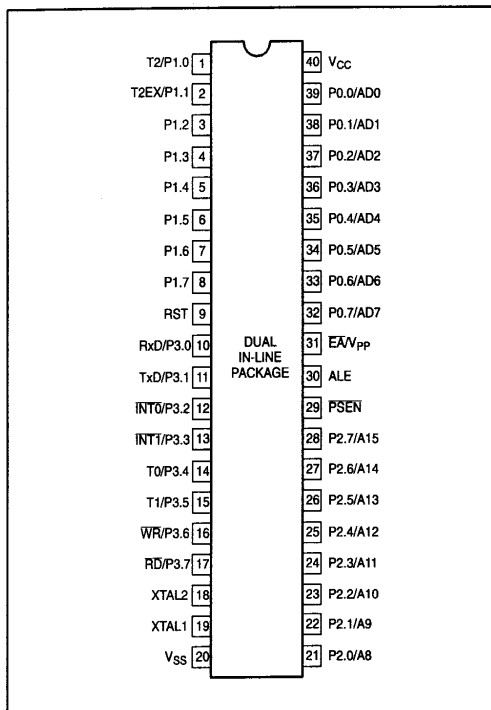
逻辑图



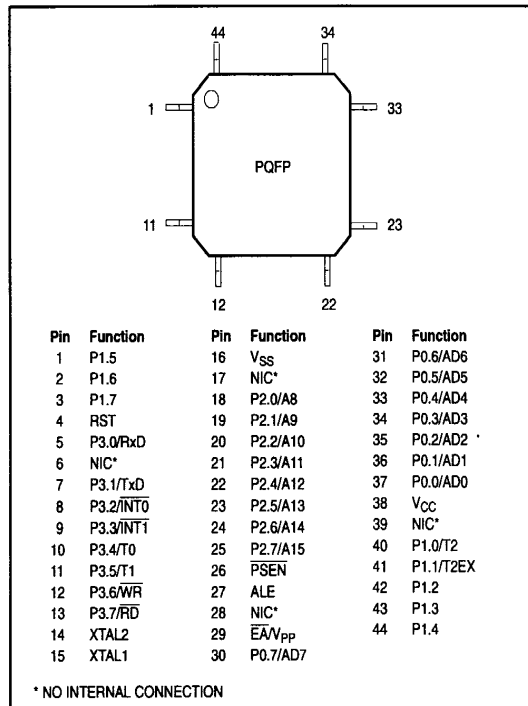
PLCC 和 CLCC 封装及管脚功能



DIP 封装及管脚功能



PQFP 封装及管脚功能



## 管脚描述

助记符	管脚号			类型	名称和功能
	DIP	LCC	QFP		
Vss	20	22	16	I	地: 0v 为标准
Vcc	40	44	38	I	电源:提供掉电、空闲、正常电压
P0.0-0.7	39-32	43-36	37-30	I/O	P0 口:P0 口是开漏双向口,可以写 1 用作高阻抗悬浮.也可以作多路转换,在访问外部程序存储器时作地址的低字节,在访问外部数据存储器时作数据总线,当送 1,通过内部强上拉
P1.0-1.7	1-8  1 2	2-9  2 3	40-44 1-3	I/O	P1 口: P1 口是带内部上拉的双向 I/O 口,向 P1 口写 1 时,1 口被内部上拉为高电平,并且可以用作输入口.当作为输入脚时,P1 口管脚被外部拉低,因为外部上拉而产生电流.(见 DC 的电特性).1 口第 2 功能: T2(P1.0):定时器 2/计数器 2 的外部输入/时钟输出(见可编程输出) T2EX(P1.1): 定时器 2/计数器 2 重载/捕捉/方向控制
P2.0-2.7	21-28	24-31	18-25	I/O	P2 口是带内部上拉的双向 I/O 口,向 P2 口写 1 时,1 口被内部上拉为高电平,并且以用作输入口,当作为输入脚时,P2 口管脚被外部拉低,因为外部上拉而产生电流.(见 DC 的电特性). 在访问外部程序存储器问和外部数据时作 16 位地址的高字节(MOVX @DPTR),当向口送 1 时采用强内部上拉.当访问 8 位外部数据存储器时(MOV @Ri),P2 口的内容送到 P2 的特殊功能寄存器中
P3.0-3.7	10-17  10 11 12 13 14 15 16 17	11, 13-19  11 13 14 15 16 18 19	5, 7-13  5 7 8 9 10 11 12 13	I/O	P3 口是带内部上拉的双向 I/O 口,向 P3 口写 1 时,1 口被内部上拉为高电平,并且以用作输入口,当作为输入脚时,口 P3 管脚被外部拉低,因为外部上拉而产生电流(见 DC 的电特性).89C51/89C52/89C54/89C58 在 P3 口脚也提供特殊功能: RxD(P3.0): 串行输入口 TxD(P3.1): 串行输出口 INT0(P3.2): 外部中断 0 INT1(P3.3): 外部中断 T0(P3.4): 定时器 0 外部输入 T1(P3.5): 定时器 1 外部输入 WR(P3.6): 外部数据存储器写信号 RD(P3.7): 外部数据存储器读信号
RST	9	10	4	I	复位:当晶振在运行,只要复位管脚出现 2 个机器周期高电平即可复位,内部带电阻连接到 Vss,仅需要一个外部电容接到 Vcc 上.
ALE	30	33	27	O	地址锁存使能:在访问外部存储时,输出脉冲用来锁存低地址的字节,在正常情况下,输出 1/6 的振荡频率可以当作外部时钟或定时,注意每次访问外部数据一个 ALE 脉冲将被忽略.ALE 可以通过设置 SFR 的 auxiliary.0 设置禁止 ALE,设置后 ALE 只能在 MOVX 指令时被激活
$\overline{\text{PSEN}}$	29	32	27	O	程序存储使能:读外部程序存储.当从外部读取程序时, $\overline{\text{PSEN}}$ 每个机器周期被激活两次,在访问外部数据器 $\overline{\text{PSEN}}$ 有效,访问内部程序时 $\overline{\text{PSEN}}$ 无效
$\overline{\text{EA}}/\text{Vpp}$	31	35	29	I	外部寻址使能/可编程电压: $\overline{\text{EA}}$ 必须置低在访问整个外部程序存储器时,如果 $\overline{\text{EA}}$ 为高时,将执行内部程序,除非程序计数器可以大于 0FFFH 可以访问 4K 器件,1FFFH 可以访问 8K 器件, 3FFFH 可以访问 16K 器件, 7FFFH 可以访问 32K 器件.该引脚在编程时接 12V 编程电压 (Vpp) .
XTAL1	19	21	15	I	晶体 1:晶振和内部时钟周期输入
XTAL2	18	20	14	O	晶体 2: 晶振输出

注释:为了避免“latch-up”的影响,管脚上的电压最大不能高于 vcc+0.5,最低不能低于 vss- 0.5。

表 1 P89C51/89C52/89C54/89C58 特殊功能寄存器

名称	说明	地址	位地址和功能	复位值
ACC*	累加器	E0H	E7 E6 E5 E4 E3 E2 E1 E0	00H
AUXR#	辅助功能寄存器	8EH	— — — — — — — A0	XXXXXX0B
AUXR#	辅助功能寄存器 1	A2H	— — — — — — — DPS	XXXX00X0B
B*	B 寄存器	FOH	F7 F6 F5 F4 F3 F2 F1 F0	00H
DPTR:	数据指针 (双字节)			
DPH	数据指针高字节	83H		00H
DPL	数据指针低字节	82H		00H
			AF AE AD AC AB AA A9 A8	
IE*	中断使能	A8H	EA — ET2 ES ET1 EX1 ET0 EX0	0X000000B
			BF BE BD DC BB BA B9 B8	
IP*	中断优先级	B8H	— — PT2 PS PT1 PX1 ET0 EX0	XX000000B
			B7 B6 B5 B4 B3 B2 B1 B0	
IPH#	中断优先级高字节	B7H	— — PT2H PSH PT1H PX1H PTOH PXOH	XX000000B
			87 86 85 84 83 82 81 80	
P0*	I/O 口 0	80H	AD7 AD6 AD5 AD4 AD3 AD2 AD1 AD0	FFH
			97 96 95 94 93 92 91 90	
P1*	I/O 口 1	90H	— — — — — — T2EX T2	FFH
			A7 A6 A5 A4 A3 A2 A1 A0	
P2*	I/O 口 2	A0H	AD15 AD14 AD13 AD12 AD11 AD10 AD9 AD8	FFH
			B7 B6 B5 B4 B3 B2 B1 B0	
P3*	I/O 口 3	BOH	RD WR T1 T0 INT1 INT0 TxD RxD	FFH
PCON#	电源控制	87H	SMOD1 SMOD — POF <sup>2</sup> GF1 GF0 PD IDL	00XXX000B
			D7 D6 D5 D4 D3 D2 D1 D0	
PSW*	程序状态字	D0H	CY AC F0 RS1 RS0 OV — P	000000X0B
RACAP2H#	定时器 2 捕获高字节	CBH		00H
RACAP2L#	定时器 2 捕获低字节	CAH		00H
SADDR#	从地址	A9H		00H
SADEN#	从地址屏蔽	B9H		00H
SBUF	串口数据缓冲区	99H		XXXXXXXXB
			9F 9E 9D 9C 9B 9A 99 98	
SCON*	串行口控制	98H	SM0/FE SM1 SM2 REN TB8 RB8 TI RI	00H
SP	堆栈指针	81H		07H
			8F 8E 8D 8C 8B 8A 89 88	
TCON*	定时器控制	88H	TF1 TR1 TF0 TR0 IE1 IT1 IE0 ITO	00H
			CF CE CD CC CB CA C9 C8	
T2CON*	定时器 2 控制	C8H	TF2 EXP2 RCLK TCLK EXEN2 TR2 C/T <sup>2</sup> CP/RL <sup>2</sup>	00H
T2MOD#	定时器 2 模式控制	C9H	— — — — — — T2OE DCEN	XXXXXX00B
TH0	定时器高字节 0	8CH		00H
TH1	定时器高字节 1	8DH		00H
TH2#	定时器高字节 2	CDH		00H
TL0	定时器低字节 0	8AH		00H
TL1	定时器低字节 1	8BH		00H
TL2#	定时器低字节 2	CCH		00H
TMOD	定时器模式	89H	GATE C/T M1 M0 GATE C/T M1 M0	00H

注：带“\*”号的 SFR 可位寻址。

带“#”号的 SFR 表示从 80C51 的 SFR 修改而来或新增加的。

“—”表示保留位

1. 复位值由复位源确定。
2. 此位不受复位影响。

### FLASH EPROM 存储器

#### 概述

P89C51/52/54/58 在 100 次擦除和编程之后仍能可靠保存 FLASH 存储器的内容。存储单元的设计使擦除和编程结构最优化。此外，先进的沟道氧化工艺和低内部电场的结合使擦除和编程操作更加可靠。

### 特性

- FLASH EPROM 带片内擦除的内部程序存储器
- 内部程序存储器禁止时 ( $\overline{EA}=0$ ), 外部程序存储器最多可达 64K
- 可编程加密位
- 每字节最少 100 次擦除/编程周期
- 数据最少可保存 10 年
- 从一般供应商处可获得编程支持

### 振荡器特性

配置为使用内部振荡器时, XTAL1 和 XTAL2 可分别作为一个反向放大器的输入和输出。要使用外部时钟源驱动器时, XTAL2 可以不连接而由 XTAL1 驱动。外部时钟信号无占空比的要求, 因为时钟通过触发器二分频输入到内部时钟电路。但高低电平的最长和最短时间必须符合资料的规定。

### 复位

在振荡器工作时, 将 RST 脚保持至少两个机器周期高电平 (24 个振荡器周期) 可实现复位。为了保证上电复位的可靠, RST 必须保持足够长时间的高电平以使振荡器产生两个机器周期的脉冲 (通常为几个微秒)。上电时 Vcc 和 RST 必须同时上升以实现正确的启动。当复位电压大于  $V_{IH}(min.)$  时, I/O 口 1、2 和 3 不同步复位。当 RST 撤除时, EA 的值被锁存。

### 低功耗模式

#### 时钟停止模式

静态设计使时钟频率可以降至 0MHz(停止)。当振荡器停振时, RAM 和 SFR 的值保留。该模式允许逐步应用并可将时钟频率降至任意值以实现系统功耗的降低。如要实现最低功耗则建议使用掉电模式。

#### Idle 模式

Idle 模式 (见表 2) 中, CPU 进入睡眠状态, 但片内外围器件仍然保持工作状态。正常操作模式的最后一条指令执行进入 Idle 模式。Idle 模式下, CPU 内容、片内 RAM 和所有 SFR 保持原来的值。任何被使能的中断 (此时, 程序从中断服务程序处恢复并继续执行) 或硬件复位 (与上电复位使用相同的方式启动处理器) 均可终止 Idle 模式。

#### 掉电模式

为了进一步降低功耗, 通过软件可实现掉电模式(见表 2)。该模式中, 振荡器停振并且在最后一条指令执行进入掉电模式。降到 2.0 伏时, 片内 RAM 和 SFR 保持原值, 在退出掉电模式之前 Vcc 必须升至规定的最低操作电压。

硬件复位或外部中断均可结束掉电模式。硬件复位使 SFR 值重新设置, 但不改变片内 RAM 的值。外部中断允许 SFR 和片内 RAM 都保持原值。

要正确退出掉电模式, 在 Vcc 恢复到正常操作电压范围之前, 复位或外部中断不会被执行并且要保持足够长的时间 (通常不小于 10ms) 以使振荡器重新启动并稳定下来。

使用外部中断时, INT0 和 INT1 必须使能且配置为电平触发。将管脚电平拉低使振荡器重新启动, 退出掉电模式后将管脚恢复为高电平。一旦中断被响应, RETI 之后所执行

的是进入掉电模式指令的后一条指令。

表 2 Idle 模式和掉电模式时外部管脚的状态

模式	程序存储器	ALE	PSEN	口 0	口 1	口 2	口 3
Idle	内部	1	1	数据	数据	数据	数据
Idle	外部	1	1	悬浮	数据	地址	数据
电源降低	内部	0	0	数据	数据	数据	数据
电源降低	外部	0	0	悬浮	数据	数据	数据

### 设计中应注意的细节

当 Idle 模式被硬件复位所中止时，器件在内部复位之前从停止处恢复程序正常运行，时间为 2 个机器周期。这段时间内片内硬件禁止对内部 RAM 的访问，但对 I/O 口的访问未被禁止。当 Idle 模式被复位所中止时，为了消除可能产生的误写操作，应用 Idle 模式指令后的指令不应执行写 I/O 口或写外部存储器操作。

### ONCE™ 模式

ONCE(在线仿真)模式实现了对系统的测试和调试而不需要将器件从电路中移去。ONCE 模式的使用条件:

1. 当器件复位且 PSEN 为高电平时，将 ALE 置低电平；
2. 在 RST 撤除时，ALE 保持低电平。

当器件处于 ONCE 模式时，P0 口处于悬浮状态，其它 I/O 口、ALE 和 PSEN 为弱上拉。振荡电路保持工作状态，器件处于该模式时，可用仿真器或测试 CPU 驱动电路。执行正常复位时恢复正常操作。

### 可编程时钟输出

可从 P1.0 编程输出 50% 占空比的时钟信号。P1.0 除了作为常规 I/O 口外，还有两个可选功能。它可编程为:

1. 用于定时器/计数器 2 的外部时钟输入；
2. 在 16MHz 操作频率下输出 50% 占空比的时钟信号 (范围: 61Hz~4MHz)。

要将定时器/计数器 2 配置为时钟发生器, C/T2 (T2CON. 1) 必须清零, T2MOD 中的 T2OE 位必须置位。启动定时器 2 必须将 TR2 (T2CON. 2) 置位。

时钟输出频率由振荡器频率和定时器 2 捕获寄存器的重新装入值确定, 公式如下:

$$\frac{\text{振荡器频率}}{4 \times (65536 - \text{RCAP2H}, \text{RCAP2L})}$$

此处 (RCAP2H, RCAP2L) = RCAP2H 和 RCAP2L 的内容作为一个 16 位无符号整数

在时钟输出模式中, 定时器 2 的翻转将不会产生中断。这和它作为波特率发生器时相似。定时器 2 可同时作为波特率发生器和时钟发生器。但需要注意的是, 波特率和时钟输出频率相同。

### 对定时器 2 的操作

#### 定时器 2

定时器 2 是一个 16 位定时/计数器。通过设置特殊功能寄存器 T2CON 中的 C/T2 位,

可将其作为定时器或计数器。定时器 2 有三种操作模式：捕获、自动重新装载（递增或递减计数）和波特率发生器，这三种模式由 T2CON 中的位进行选择（见表 3）。

#### 捕获模式

在捕获模式中，通过 T2CON 中的 EXEN2 设置两个选项。如果 EXEN2=0，定时器 2 作为一个 16 位定时器或计数器（由 T2CON 中  $\overline{C}/T2$  位选择），溢出时置位 TF2（定时器 2 溢出标志位）。该位可用于产生中断（通过使能 IE 寄存器中的定时器 2 中断使能位）。如果 EXEN2=1，与以上描述相同，但增加了一个特性，即外部输入 T2EX 由 1 变 0 时将定时器 2 中 TL2 和 TH2 的当前值各自捕获到 RCAP2L 和 RCAP2H。另外，T2EX 的负跳变使 T2CON 中的 EXF2 置位，EXF2 也象 TF2 一样能够产生中断（其向量与定时器 2 溢出中断地址相同，定时器 2 中断服务程序通过查询 TF2 和 EXF2 来确定引起中断的事件）。捕获模式如图 2 所示（在该模式中，TL2 和 TH2 无重新装载值。甚至当 T2EX 产生捕获事件时，计数器仍以 T2EX 的负跳变或振荡频率的 1/12 计数。）。

#### 自动重装模式（向上/向下计数器）

16 位自动重装模式中，定时器 2 可通过  $\overline{C}/T2$  配置为定时器/计数器，编程控制向上或向下计数。计数的方向是由 DCEN（向下计数使能位）确定的，DCEN 位于 T2MOD 寄存器（见图 3）中。当 DCEN=0 时，定时器 2 默认为向上计数；当 DCEN=1 时，定时器 2 可通过 T2EX 确定向上或向下计数。

图 4 显示了当 DCEN=0 时，定时器 2 自动向上计数。在该模式中通过设置 EXEN2 位进行选择。如果 EXEN2=0，定时器 2 向上计数到 0FFFFH 并在溢出后将 TF2 置位，然后将 RCAP2L 和 RCAP2H 中的 16 位值作为重新装载值装入定时器 2。RCAP2L 和 RCAP2H 的值是通过软件预设的。

如果 EXEN2=1，16 位重新装载可通过溢出或 T2EX 从 1→0 的负跳变实现。此负跳变同时将 EXF2 置位。如果定时器 2 中断被使能，则当 TF2 或 EXF2 置 1 时产生中断。

在图 5 中 DCEN=1 时，定时器 2 可向上或向下计数。此模式允许 T2EX 控制计数的方向。当 T2EX 置 1 时，定时器 2 向上计数，计数到 0FFFFH 后溢出并置位 TF2。还将产生中断（如果中断被使能），定时器 2 的溢出将使 RCAP2L 和 RCAP2H 中的 16 位值作为重新装载值放入 TL2 和 TH2。

当 T2EX 置零时，将使定时器 2 向下计数。当 TL2 和 TH2 计数到等于 RCAP2L 和 RCAP2H 时，定时器产生下溢。定时器 2 下溢置位 TF2，并将 0FFFFH 重新装入 TL2 和 TH2。

当定时器 2 产生下溢或上溢时，外部标志位 EXF2 切换。如果需要，可将 EXF2 位作为第 17 位。在此模式中，EXF2 不产生中断。



(最高位)				(最低位)			
TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/ $\overline{T2}$	CP/ $\overline{RL2}$

符号	位置	名称和意义
TF2	T2CON. 7	定时器 2 溢出标志。定时器 2 溢出时置位，必须由软件清除。当 RCLK 或 TCLK=1 时，TF2 将不会置位。
EXF2	T2CON. 6	定时器 2 外部标志。当 EXEN2=1 且 T2EX 的负跳变产生捕获或重装时，EXF2 置位。定时器 2 中断使能时，EXF2=1 将使 CPU 从中断向量处执行定时器 2 中断子程序。EXF2 位必须用软件清零。在向上/向下计数器模式 (DCEN=1) 中，EXF2 不会引起中断。
RCLK	T2CON. 5	接收时钟标志。RCLK 置位时，定时器 2 的溢出脉冲作为串行口模式 1 和模式 3 的接收时钟。RCLK=0 时，将定时器 1 的溢出脉冲作为接收时钟。
TCLK	T2CON. 4	发送时钟标志。TCLK 置位时，定时器 2 的溢出脉冲作为串行口模式 1 和模式 3 的发送时钟。TCLK=0 时，将定时器 1 的溢出脉冲作为发送时钟。
EXEN2	T2CON. 3	定时器 2 外部使能标志。当其置位且定时器 2 未作为串行口时钟时，允许 T2EX 的负跳变产生捕获或重装。EXEN2=0 时，T2EX 的跳变对定时器 2 无效。
TR2	T2CON. 2	定时器 2 启动/停止控制位。置 1 时启动定时器。
C/T2	T2CON. 1	定时器/计数器选择。(定时器 2) 0=内部定时器 (OSC/12) 1=外部事件计数器 (下降沿触发)
CP/RL2	T2CON. 0	捕获/重装标志。置位：EXEN2=1 时 T2EX 的负跳变产生捕获。清零：EXEN2=1 时定时器 2 溢出或 T2EX 的负跳变都可使定时器自动重装。当 RCLK=1 或 TCLK=1 时，该位无效且定时器强制为溢出时自动重装。

图 1. 定时器/计数器 2 (T2CON) 控制寄存器

表 3 定时器 2 工作方式

RCLK+TCLK	CP/ $\overline{RL2}$	TR2	模式
0	0	1	16 位自动重装载
0	1	1	16 位捕获
1	X	1	波特率发生器
X	X	0	(关闭)

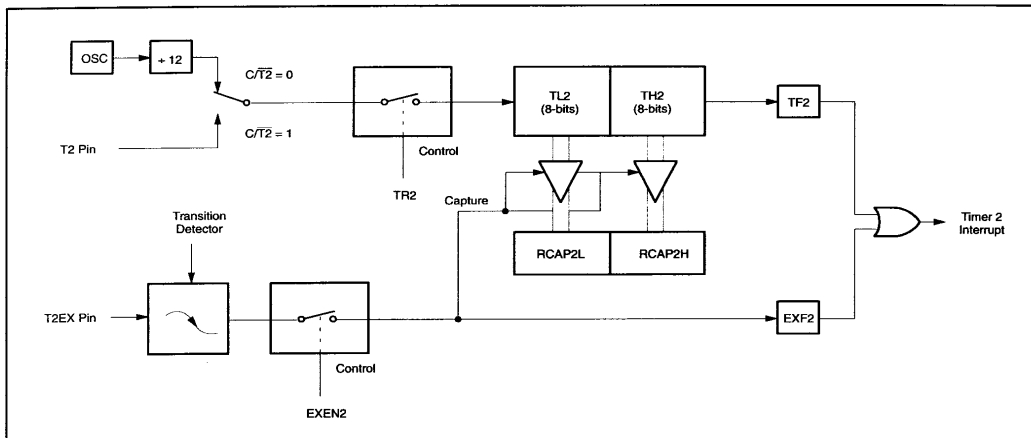


图 2 定时器 2 捕获模式

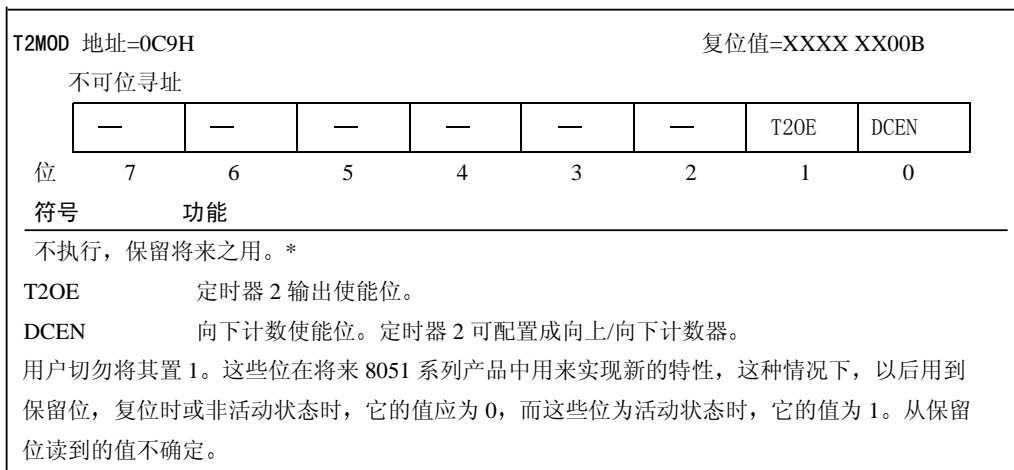


图 3 定时器 2 模式 (T2MOD) 控制寄存器

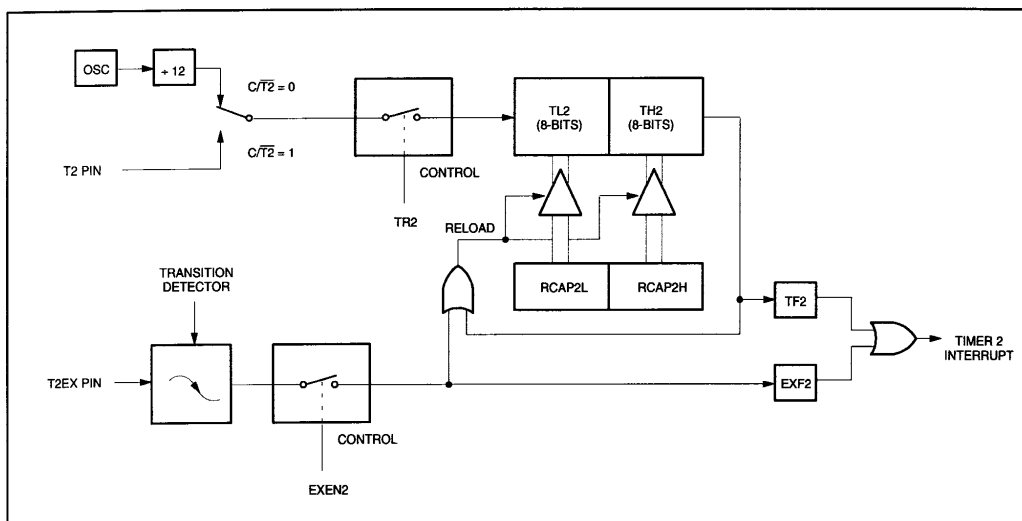


图 4 定时器 2 自动装载模式 (DCEN=0)

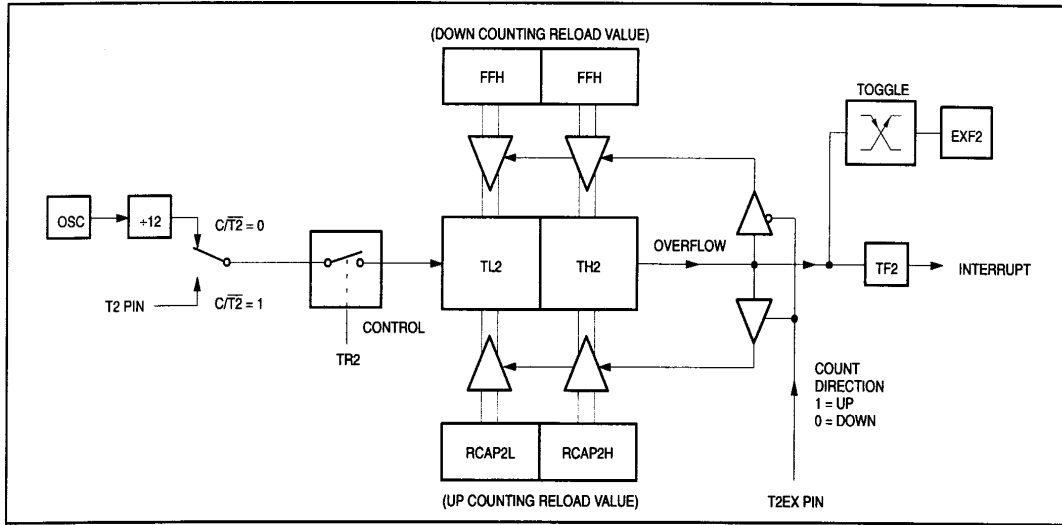


图 5 定时器 2 自动装载模式 (DCEN=1)

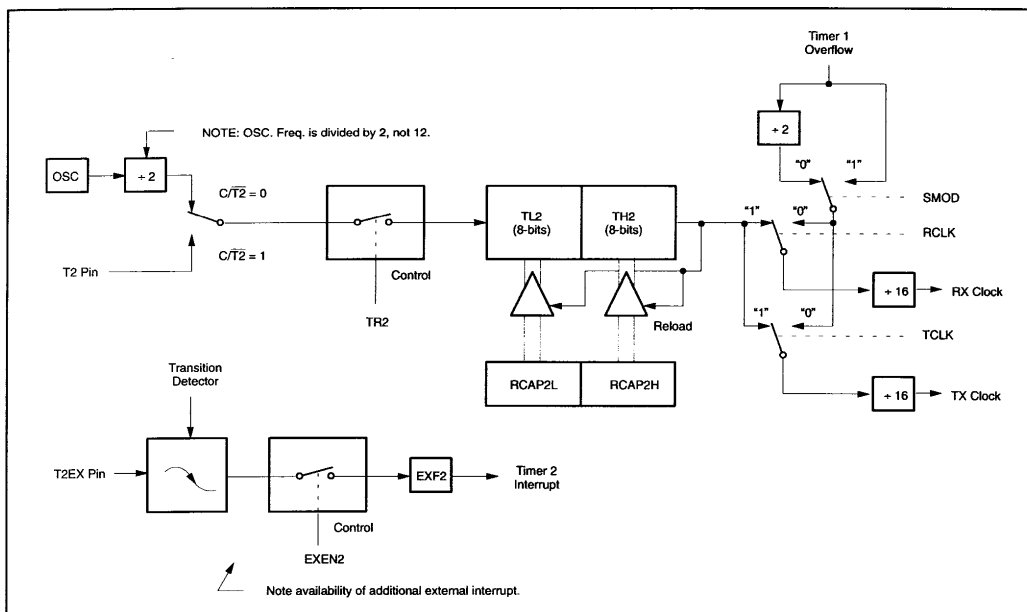


图 6 定时器 2 波特率发生器模式

表 4 由定时器 2 产生的常用波特率

波特率	振荡器频率	定时器 2	
		RCAP2H	RCAP2L
375K	12MHz	FF	FF
9.6K	12MHz	FF	D9
2.8K	12MHz	FF	B2
2.4K	12MHz	FF	64
1.2K	12MHz	FE	C8
300	12MHz	FB	1E
110	12MHz	F2	AF
300	6MHz	FD	8F
110	6MHz	F9	57

#### 波特率发生器模式

寄存器 T2CON (表 4) 的位 TCLK 和 (或) RCLK 允许从定时器 1 或定时器 2 中得到串行口传送和接收波特率。当 TCLK=0 时, 定时器 1 作为串行口传送波特率发生器; 当 TCLK=1 时, 定时器 2 作为串行口传送波特率发生器。RCLK 对串行口接收波特率有同样的效果。通过这两位, 串行口能得到不同的接收和传送波特率——一个通过定时器 1 产生, 另一个通过定时器 2 产生。

图 6 表明了定时器 2 工作在波特率发生器模式。与自动重装载模式相似, 当 TH2 溢出时, 波特率发生器模式使定时器 2 寄存器重新装载来自寄存器 RCAP2H 和 RCAP2L 的 16 位的值, 寄存器 RCAP2H 和 RCAP2LR 的值用软件预先设置。

当工作于模式 1 和模式 3 时, 波特率由下面给出的定时器 2 溢出率所决定:

$$\text{模式 1 和模式 3 的波特率} = \frac{\text{定时器 2 溢出率}}{16}$$

定时器可配置成“定时”或“计数”方式, 在许多应用上, 定时器被设置在“定时”方式 (C/T2\*=0)。当定时器 2 作为波特率发生器时, 定时器 2 异于定时器操作。

通常, 定时器 2 作为定时器, 它会在每个机器周期里记一个数 (例如 1/12 振荡频率)。当定时器 2 作为波特率发生器时, 它会在每个状态周期里记一个数 (例如 1/2 振荡频率)。这样, 波特率公式如下:

$$\text{模式 1 和模式 3 的波特率} = \frac{\text{振荡器频率}}{[32 \times [65536 - (\text{RCAP2H}, \text{RCAP2L})]]}$$

此处: RCAP2H, RCAP2L = RCAP2H 和 RCAP2L 的内容, 为 16 位无符号整数。

如图 6 所示, 定时器 2 作为波特率发生器, 仅当寄存器 T2CON 中的 RCLK 和 (或) TCLK=1 时, 定时器 2 作为波特率发生器才有效。注意 TH2 溢出并不置位 TF2, 也不产生中断。这样, 当定时器 2 作为波特率发生器时, 定时器 2 中断不必被禁能。如果 EXEN2 (T2 外部使能标志) 被置位, 在 T2EX 中, 由 1 到 0 的转换会置位 EXF2 (T2 外部标志位), 但并不导致 (TH2, TL2) 重装载 (RCAP2H, RCAP2L)。因此, 当定时器 2 用作波特率发生器时, 如果需要, T2EX 可用作附加的外部中断。

当定时器工作在波特率发生器模式下, 则不要对 TH2 和 TL2 进行读写, 每隔一个状态时间 (Osc/2) 或由 T2 进入的异步信号, 定时器 2 将加 1; 在此情况下对 TH2 和 TH1 进行读写是不准确的。可对 RCAP2 寄存器进行读, 但不要进行写, 否则将导致自动重装错误。当对定时器 2 或寄存器 RCAP 进行访问时, 应关闭定时器 (TR2 清零)。

表 4 列出了常用的波特率和如何用定时器 2 得到这些波特率。

**波特率公式总结**

定时器 2 工作在波特率发生器模式，外部时钟信号由 T2 脚进入，波特率为：

$$\text{波特率} = \frac{\text{定时器 2 溢出率}}{16}$$

如果时钟信号由内部产生，则波特率为：

$$\text{波特率} = \frac{f_{osc}}{[32 \times [65536 - (\text{RCAP2H}, \text{RCAP2L})]]}$$

$f_{osc}$  为晶振频率

自动重装值可由下式得到：

$$\text{RCAP2H}, \text{RCAP2L} = 65536 - (f_{osc} / 32 * \text{波特率})$$

**定时器/计数器 2 的设置**

除了波特率发生器模式，T2CON 不包括 TR2 位的设置，TR2 位需单独设置来启动定时器。表 5，表 6 给出了 T2 作为定时器和计数器的设置。

表 5 T2 作为定时器

模式	T2CON	
	内部控制（注 1）	外部控制（注 2）
16 位重装	00H	08H
16 位捕捉	01H	09H
波特率发生器接收和发送相同波特率	34H	36H
只接收	24H	26H
只发送	14H	16H

表 6 T2 作为计数器

模式	TMOD	
	内部控制（注 1）	外部控制（注 2）
16 位	02H	0AH
自动重装	03H	0BH

注：1. 定时器溢出时进行捕捉和重装

2. 进行捕捉和重装时，T2EX(P1. 1) 给出一个电平负跳变（波特率方式除外）

**增强型异步串行通信**

UART 操作的一般模式，前部分已有描述。除了通过查询停止位对帧错误进行检测和地址自动识别外，UART 和标准的 80C51 异步串行通信一样，支持多机通讯。

通过查询停止位对帧错误进行检测，丢失停止位时，置位 SCON 的 FE 位，FE 位 SM0 公用 SCON. 7 位地址，通过对 PCON. 6 (SMOD0) 位进行设置来决定 SCON. 7 位的功能。SMOD0 为 1 时，SCON. 7 为 FE, SMOD0 为 0 时，SCON. 7 为 SM0。SCON. 7 位只能被软件清除。见图 8。

**自动地址识别**

自动地址识别是串行通讯一个特性，它允许 UART 用硬件对地址进行比较识别，无须一直用软件对地址进行查询。通过置位 SCON 的 SM2 位来激活该功能。在 9 位 UART 模式中，模式 2 和模式 3，当接收完特定地址或广播地址后，接收中断标志位 RI 将自动置位。第 9 位为 1，说明所接收为地址，而非数据。自动地址识别见图 9。

模式 1 为 8 位 UART 模式，当 SM2 使能，所接收的 8 位数据后有有效的停止位 时，RI

将置位，所接收的 8 位数据为特定地址或广播地址。

模式 0 为移位寄存器模式，与 SM2 无关。

利用地址自动识别功能，可使主机通过发送地址和单个或多个从机进行通讯。可通过广播地址和所有从机通讯。两个特殊功能寄存器被用来定义从地址（SADDR）和地址屏蔽（SADEN）。SADEN 用来确认 SADDR 中的那些位是有用的，那些位是无用的。SADEN 和 SADDR 的内容相与来产生与每个从机进行通讯的寻址地址。由产生的特定地址来确认那些从机被选中 and 主机进行通讯。如下例：

```
从机 0： SADDR= 1100 0000
          SADEN= 1111 1101
          -----
          Given= 1100 00*0
```

```
从机 1： SADDR=1100 0000
          SADEN=1111 1110
          -----
          Given=1100 000*
```

以上例子中 SADDR 是相同的，SADEN 用来区分两个从机。从机 0 需要 0 位为 0，忽略第 1 位。从机 1 需要第 1 位为 0，忽略 0 位。当 SADDR 为 11000010 时，对从机 0 进行单独寻址，当 SADDR 为 11000001 时，对从机 1 进行单独寻址。当 SADDR 为 11000000 时，同时对两从机进行寻址。

在复杂的系统中，以下寻址将选择从机 1 和 2，而不选择 0

```
从机 0   SADDR=1100 0000
          SADEN=1111 1001
          -----
          Given=1100 0**0

从机 1   SADDR=1110 0000
          SADEN=1111 1001
          -----
          Given=1110 0*0*

从机 2   SADDR=1110 0000
          SADEN=1111 1100
          -----
          Given=1110 00**
```

以上例子中，各从机的低三位地址不同。从机 0 需要 0 位为 0，单独寻址地址为 11100110。从机 1 需要第一位为 0，单独寻址地址为 11100101。从机 2 需要第 2 位为零，单独寻址地址为 11100011。如选择从机 0 和 1，而排除从机 2，则寻址地址为 11100100，使第 2 位为 1，可排除从机 2。每个从机的广播地址由 SADDR 和 SADEN 逻辑与构成。结果为 0 表示不管。很多情况下，广播地址为 FFH。

复位时，SADDR(SFR 地址 0A9H)和 SADEN(SFR 地址 0B9H)被写入 0。这产生从机不响应的广播地址。这使得微控制器可使用标准的 80C51 异步通讯方式，而不使用寻址功能。

SCON Address=98H		复位值 0000000B							
可位寻址		SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI
位		7	6	5	4	3	2	1	0
(SMOD0=0/1) *									
符号	功能								
FE	帧错误位。当接收到无效停止位时，该位置位。必须由软件清零，而不是有效停止位。如果要对FE进行访问，则应置位SMOD。								
SM0	串行口模式位0（如果要对SM0进行访问，则应复位SMOD）								
SM1	串行口模式位1								
		SM0	SM1	Mode	功能描述	波特率**			
		0	0	0	移位寄存器	$f_{osc}/12$			
		0	1	1	8位UART	波特率可变			
		1	0	2	9位UART	$f_{osc}/64$ 或 $f_{osc}/32$			
		1	1	3	9位UART	波特率可变			
SM2	在模式2和3方式下使能自动地址识别功能。当SM2=1时，只有当传送的数据第9位（RB8）为1，说明传送的是地址时，RI才会置位。在模式1方式下，如果SM2=1，只有当接收到有效的停止位时，RI才会置位，并且接收的位为特定或广播地址。模式0时，SM2应该为0。								
REN	使能串行接收，软件置位允许串行接收，软件复位禁止串行接收。								
TB8	在模式2和3方式下所发送的第9位数据，软件置位或清零。								
RB8	在模式2和3方式下所接收的第9位数据，在模式1方式下，为所接收的停止位。模式0方式下，该位无效。								
TI	发送中断标志位，模式0方式下发送完第8位后，由硬件置位。在其它模式下，在发送停止位之前由硬件置位。该位由软件复位。								
RI	接收中断标志位，模式0方式下接收完第8位后，由硬件置位。在其它模式下，在接收停止位当中由硬件置位。该位由软件复位。								
注: *SMOD0在PCON6中									
** $f_{osc}$ =晶振频率									

图7 SCON 串行口控制寄存器

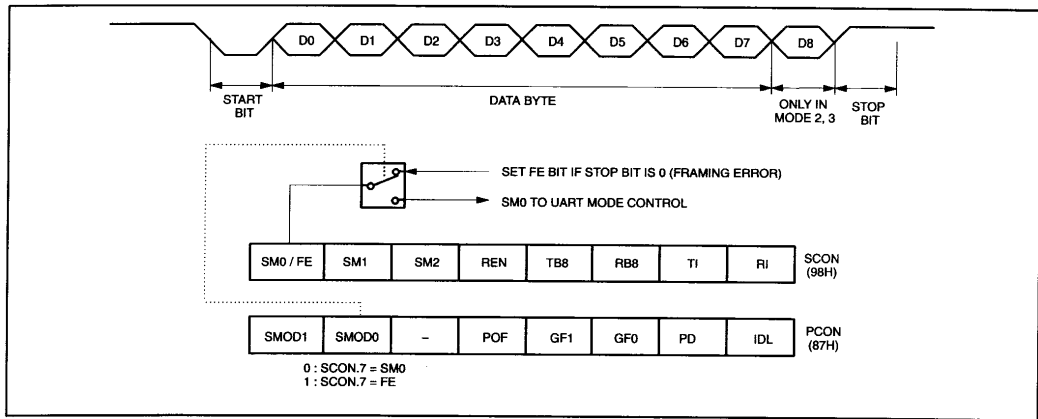


图 8 UART 错误监测

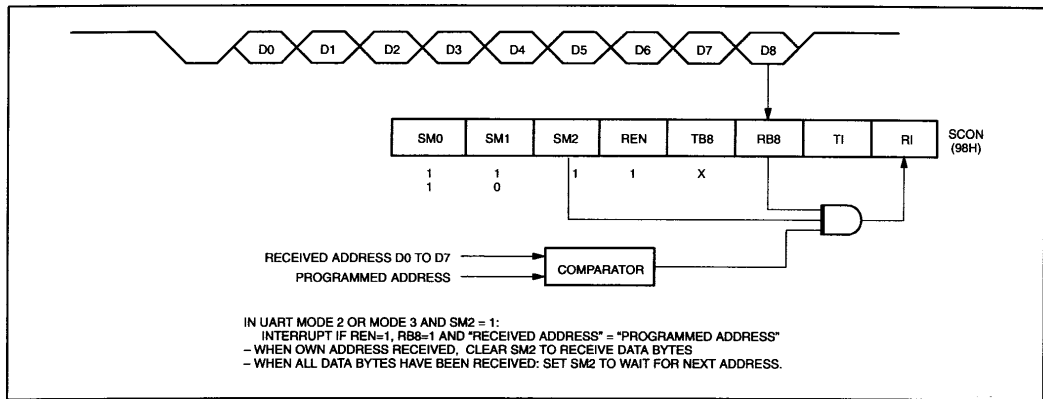


图 9 UART 通讯处理和地址的自动识别

中断优先级的结构

89C51/89C52/89C54/89C58 有 6 个中断源，4 级中断结构。

4 级中断和 3 个特殊功能寄存器相连，他们分别是 IE，IP 和 IPH(见图 10、11、12)。

中断有限高级寄存器 IPH(Interrupt Priority High)组成 4 级中断结构,IPH 的地址位于 SFR 中的 B7H。IPH 寄存器及其位的描述图 12。

当 IPH 特殊功能寄存器和 IP 决定优先级的特殊功能寄存器结合起来使用，就显得简单。

由下表的关系决定中断优先级：

优先位		中断优先级
IPH.x	IP.x	
0	0	0 级(最低级)
0	1	1 级
1	0	2 级
1	1	3 级(最高级)



表 7 中断表

中断源	优先顺序	请求位	硬件清除	入口地址
X0	1	IE0	N(L) <sup>1</sup> Y(T) <sup>2</sup>	03H
T0	2	TP0	Y	0BH
X1	3	IE1	N(L) Y(T)	13H
T1	4	TF1	Y	1BH
SP	5	R1, T1	N	23H
T2	6	TF2, EXF2	N	2BH

注释:

1. L=中断级激活
2. T= 转换激活

IE(0A8H)		7	6	5	4	3	2	1	0
		EA	—	ET2	ES	ET1	EX1	ET0	EX0
		使能位=1, 使能中断							
		使能位=0, 禁能中断							
位	标号	功能							
IE. 7	EA	全局使能位。如果 EA=0, 禁能所有中断, 如果 EA=1, 通过置位或清除使能位, 对应的每个中断被使能或禁能。							
IE. 6	—	无效, 保留将来之用							
IE. 5	ET2	定时器 2 中断使能位							
IE. 4	ES	串行口中断使能位							
IE. 3	ET1	定时器 1 中断使能位							
IE. 2	EX1	外部中断 1 使能位							
IE. 1	ET0	定时器 0 中断使能位							
IE. 0	EX0	外部中断 0 使能位							

图 10 IE 特殊功能寄存器

IP(0B8H)		7	6	5	4	3	2	1	0
		—	—	PT2	PS	PT1	PX1	PT0	PX0
		中断优先级控制位=1, 定义为高优先级中断							
		中断优先级控制位=0, 定义为低优先级中断							
位	标号	功能							
IP. 7		无效, 保留将来之用							
IP. 6	—	无效, 保留将来之用							
IP. 5	PT2	定时器 2 中断优先级控制位							
IP. 4	PS	串行口中断优先级控制位							
IP. 3	PT1	定时器 1 中断优先级控制位							
IP. 2	PX1	外部中断 1 中断优先级控制位							
IP. 1	PT0	定时器 0 中断优先级控制位							
IP. 0	PX0	外部中断 0 中断优先级控制位							

图 11 IP 寄存器

IPH(B7H)		7	6	5	4	3	2	1	0
		—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
		中断优先级控制位=1, 定义为高优先级中断							
		中断优先级控制位=0, 定义为低优先级中断							
位	标号	功能							
IPH. 7		无效, 保留将来之用							
IPH. 6	—	无效, 保留将来之用							
IPH. 5	PT2H	定时器 2 中断优先级控制位为高							
IPH. 4	PSH	串行口中断优先级控制位为高							
IPH. 3	PT1H	定时器 1 中断优先级控制位为高							
IPH. 2	PX1H	外部中断 1 中断优先级控制位为高							
IPH. 1	PT0H	定时器 0 中断优先级控制位为高							
IPH. 0	PX0H	外部中断 0 中断优先级控制位为高							

图 12 IPH 寄存器

4 个中断级比 80C51 多 2 个。在同级的中断和更高级的中断没有产生情况下, 产生中断将被服务, 如果同级的中断或更高级的中断正在服务, 新的中断只有等到正在服务的中断结束才能被服务。在更低级的中断正在服务情况下, 新的中断产生, 更低级的中断停止, 服务新来中断, 至到新中断完成才可以执行被停止的中断。

#### 简化的 EMI 模式

当位 AO (AUXR.0) 设置禁能 (AO=0) 时, ALE 输出 (频率为 1/6CPU 时钟频率)。相反, AO=1 时, ALE 关闭输出。仅仅在 MOVX、MOVC 两条指令时有效。

#### AUXR (8EH)

7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—
AUXR. 0	A0	关闭 ALE 输出					

#### 双 DPTR 结构

通过双 DPTR 的结构 (见图 13) 可以将零散的地址将被定在内部的数据存储地址, 有 2 个 16 位 DPTR 寄存器可以寻址内部存储器, 通过一个 DPS 标志位程序代码可以在 2 各寄存器之间切换

- 新寄存器名: AUXR1#
- SFR 的地址: A2H
- 复位置: xxxx00x0B

#### AUXR1 (A2H)

7	6	5	4	3	2	1	0
—	—	—	—	GF2	0	—	DPS

这里:

DPS 为 AUXR1 的位 0, 用于切换指针 DPTR0 和 DPTR1

选择寄存器	DPS
DPTR0	0
DPTR1	1

DPTR0 和 DPTR1 转化标志位 DPS 可以通过软件来保存

GF2 位是用户定义普通的标志，注意 AURX 的位 2 不能写，读出来为 0，这就要 DSP 位通过执行 INC AUXR1 命令不会影响 GF2 位快速写进。

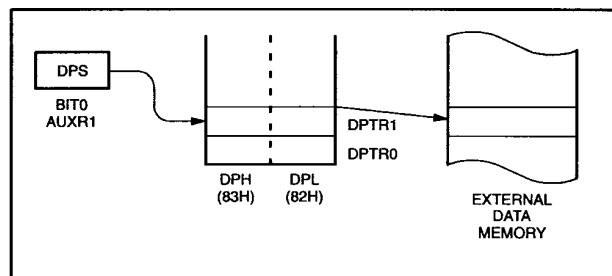


图 13

### DPTR 命令

DPTR 命令根据当前数据指针所选特殊寄存器 AUXR 的位 1/0。下面是使用 DPTR 的 6 个命令：

INC	DPTR	数据指针加 1
MOV	DOTR, #data16	DPTR 装载 16 位常数
MOV	A, @A+DPTR	将与 DPTR 关联代码字节送入 ACC
MOV X	A, @DPTR	ACC 装到外部 RAM (16 位地址)
MOVX	@DPTR, A	外部 RAM (16 位地址) 装入 ACC
JMP	@A+DPTR	跳转到和 DPTR 关联的地址

可以通过寻址 SFRs 的低字节或高字节来寻址数据指针。

### 绝对最大值

参数	值	单位
操作温度	0~+70 或 -40~+85	°C
贮存温度范围	-65~+150	°C
$\overline{EA}/V_{pp}$ 脚相对于 $V_{ss}$ 的电压	0~+13.0	V
其它任何脚相对于 $V_{ss}$ 的电压	-0.5~+6.5	V
每个 I/O 脚的最大 $I_{OL}$	15	mA
电源损耗	1.5	W

### 注释:

1. 在绝对最大值情况下汇兑器件造成永久性损坏，强调的仅仅是对器件的操作，并不包括 AC 和 DC 电源设置
2. 本产品包括安全性设置，用以保护内部以免极度静态影响损坏，因此，建议尽量少用超过最大值。
3. 参数是基于操作温度除非在别的特殊情况下。所有电平时基于  $V_{ss}$ 。

## AC 电特性

Tamb=0°C~+70°C或-40°C~+85°C

标号	参数	时钟频率范围		单位
		MIN	MAX	
1/t <sub>CLCL</sub>	振荡频率:U(33MHZ)	0	33	MHz

## 直流电特性

Tamb=0°C~+70°C或-40°C~+85°C;5V±10%;V<sub>SS</sub>=0V

标号	参数	测试条件	极限			单位
			MIN	TYP <sup>1</sup>	MAX	
V <sub>IL</sub>	输入低电压	4.5V<V <sub>CC</sub> <5.5V	-0.5		0.2V <sub>CC</sub> -0.1	V
V <sub>IH</sub>	输入高电压 (端口 0,1,2,3,EA)		0.2V <sub>CC</sub> +0.9		V <sub>CC</sub> + 0.5	V
V <sub>IH1</sub>	输入高电压,XTAL1,RST		0.7V <sub>CC</sub>		V <sub>CC</sub> +0. 5	V
V <sub>OL</sub>	输出低电压,端口 1,2,3 <sup>8</sup>	V <sub>CC</sub> =4.5V I <sub>OL</sub> =1.6mA <sup>2</sup>			0.4	V
V <sub>OL1</sub>	输出低电压,端口 0,ALE, PSEN <sup>7,8</sup>	V <sub>CC</sub> =4.5V I <sub>OL</sub> =3.2mA <sup>2</sup>			0.4	V
V <sub>OH</sub>	输出高电压,端口 1,2,3 <sup>3</sup>	V <sub>CC</sub> =4.5V I <sub>OH</sub> =-30uA	V <sub>CC</sub> - 0.7			V
V <sub>OH1</sub>	输出高电压 ALE <sup>9</sup> ,PSEN <sup>3</sup>	V <sub>CC</sub> =4.5V I <sub>OH</sub> =-3.2mA	V <sub>CC</sub> - 0.7			V
I <sub>IL</sub>	逻辑 0 输入电流,端口 1,2,3	V <sub>IN</sub> =0.4V	-1		-75	V
I <sub>TL</sub>	逻辑 1 到 0 的转变电流,端 口 1,2,3 <sup>6</sup>	V <sub>IN</sub> =2.0V 参见注释 4			-650	V
I <sub>LI</sub>	输入漏电流,端口 0	0.45<V <sub>IN</sub> < V <sub>CC</sub> -0.3			±10	uA
I <sub>CC</sub>	电源提供电流(参见图 21): 激活模式(参见图 5),空闲模 式(参见图 5),掉电模式或时 钟停止(参见图 25 的条件)	参见图 5  Tamb=0°C~+70°C Tamb=-40°C~+85 °C		3	100 125	uA uA
R <sub>RST</sub>	内部复位下拉电阻		40		225	KΩ
C <sub>IO</sub>	管脚电容 <sup>10</sup> (除 EA 脚外)				15	pF

注释:

1. 典型的速度是不能保证,因为只是在室温、5 v。
2. 0 口和 2 口上的容性负载产生噪声叠加 1 口、3 口和 A L E 的低电平。当 0 口和 2 口从 0 到 1 的转换在总线操作期间,噪声将对口 0 和口 2 管脚充电,噪声的脉冲在 A L E 管脚可超过 0.8 V。在之中境况下,可以通过施密特触发器 STORE 输入施密特触发器的或地址寄存器来校正 A L E.最多两个管脚的数出中一个最大电流可以超过 I<sub>OL</sub>, 可达 5mA.
3. 容性负载加到口 0 和口 2 会导致 ALE 和 PSEN 管脚瞬时低于 V<sub>CC</sub>-0.7V.当地置位稳定的情况下。
4. 处于外部驱动从 1 到 0 的转换引发口 1、口 2、口 3 转换电流,当输入电压在 2 v 左右,转换电流达到最大。
5. 见图 2 2 到 2 5 位 I c c 的测试环境级图 2 1 的测试结果。

6. 应用温度  $T = 0^{\circ}\text{C} \sim +70^{\circ}\text{C}$ .
7. 口 0、ALE 和 PSEN 脚 = 100 pF, 其他输出为 80 uF。
8. 在稳定的状态条件下,  $I_o$  低被外部限制如下:  
 低电平最大  $I_o$  每一口 15 mA  
 低电平最大  $I_o$  8 位口 26 mA  
 $I_o$  输出最大电流 71 mA  
 如果  $I_o$  超越测试环境, 输出的地带低电压相应超出。管脚上不能保证不超过测试电流
9. ALE 的测试是 ALE 关断情况下, 测出 ALE 的高电位值
10. 管脚电容特性并不是测试出来的, 管脚电容小于 25 pF。陶瓷电容小于 15 pF (EA 是 25 pF)

## 交流电特性

 $T_{\text{amb}} = 0^{\circ}\text{C}$  to  $+70^{\circ}\text{C}$  or  $-40^{\circ}\text{C}$  to  $+85^{\circ}\text{C}$ ,  $V_{\text{CC}} = 5\text{V} \pm 10\%$ ,  $V_{\text{SS}} = 0\text{V}^{1,2,3}$ 

SYMBOL	FIGURE	PARAMETER	VARIABLE CLOCK <sup>4</sup>		33MHz CLOCK		UNIT
			MIN	MAX	MIN	MAX	
$1/t_{\text{CLCL}}$	14	Oscillator frequency Speed versions: I;J;U (33 MHz)	3.5	33	3.5	33	MHz
$t_{\text{LHLL}}$	14	ALE pulse width	$2t_{\text{CLCL}}-40$		21		ns
$t_{\text{AVLL}}$	14	Address valid to ALE low	$t_{\text{CLCL}}-25$		5		ns
$t_{\text{LLAX}}$	14	Address hold after ALE low	$t_{\text{CLCL}}-25$		5		ns
$t_{\text{LLIV}}$	14	ALE low to valid instruction in		$4t_{\text{CLCL}}-65$		55	ns
$t_{\text{LLPL}}$	14	ALE low to PSEN low	$t_{\text{CLCL}}-25$		5		ns
$t_{\text{PLPH}}$	14	PSEN pulse width	$3t_{\text{CLCL}}-45$		45		ns
$t_{\text{PLIV}}$	14	PSEN low to valid instruction in		$3t_{\text{CLCL}}-60$		30	ns
$t_{\text{PXIX}}$	14	Input instruction hold after PSEN	0		0		ns
$t_{\text{PXIZ}}$	14	Input instruction float after PSEN		$t_{\text{CLCL}}-25$		5	ns
$t_{\text{AVIV}}$	14	Address to valid instruction in		$5t_{\text{CLCL}}-80$		70	ns
$t_{\text{PLAZ}}$	14	PSEN low to address float		10		10	ns
<b>Data Memory</b>							
$t_{\text{RLRH}}$	15, 16	$\overline{\text{RD}}$ pulse width	$6t_{\text{CLCL}}-100$		82		ns
$t_{\text{WLWH}}$	15, 16	$\overline{\text{WR}}$ pulse width	$6t_{\text{CLCL}}-100$		82		ns
$t_{\text{RLDV}}$	15, 16	$\overline{\text{RD}}$ low to valid data in		$5t_{\text{CLCL}}-90$		60	ns
$t_{\text{RHDX}}$	15, 16	Data hold after $\overline{\text{RD}}$	0		0		ns
$t_{\text{RHDX}}$	15, 16	Data float after $\overline{\text{RD}}$		$2t_{\text{CLCL}}-28$		32	ns
$t_{\text{LLDV}}$	15, 16	ALE low to valid data in		$8t_{\text{CLCL}}-150$		90	ns
$t_{\text{AVDV}}$	15, 16	Address to valid data in		$9t_{\text{CLCL}}-165$		105	ns
$t_{\text{LLWL}}$	15, 16	ALE low to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ low	$3t_{\text{CLCL}}-50$	$3t_{\text{CLCL}}+50$	40	140	ns
$t_{\text{AVWL}}$	15, 16	Address valid to $\overline{\text{WR}}$ low or $\overline{\text{RD}}$ low	$4t_{\text{CLCL}}-75$		45		ns
$t_{\text{QVWX}}$	15, 16	Data valid to $\overline{\text{WR}}$ transition	$t_{\text{CLCL}}-30$		0		ns
$t_{\text{WHQX}}$	15, 16	Data hold after $\overline{\text{WR}}$	$t_{\text{CLCL}}-25$		5		ns
$t_{\text{QVWH}}$	16	Data valid to $\overline{\text{WR}}$ high	$7t_{\text{CLCL}}-130$		80		ns
$t_{\text{RLAZ}}$	15, 16	$\overline{\text{RD}}$ low to address float		0		0	ns
$t_{\text{WHLH}}$	15, 16	$\overline{\text{RD}}$ or $\overline{\text{WR}}$ high to ALE high	$t_{\text{CLCL}}-25$	$t_{\text{CLCL}}+25$	5	55	ns
<b>External Clock</b>							
$t_{\text{CHCX}}$	18	High time	17	$t_{\text{CLCL}}-t_{\text{CLCX}}$			ns
$t_{\text{CLCX}}$	18	Low time	17	$t_{\text{CLCL}}-t_{\text{CHCX}}$			ns
$t_{\text{CLCH}}$	18	Rise time		5			ns
$t_{\text{CHCL}}$	18	Fall time		5			ns
<b>Shift Register</b>							
$t_{\text{XLXL}}$	17	Serial port clock cycle time	$12t_{\text{CLCL}}$		360		ns
$t_{\text{QVXH}}$	17	Output data setup to clock rising edge	$10t_{\text{CLCL}}-133$		167		ns
$t_{\text{XHGX}}$	17	Output data hold after clock rising edge	$2t_{\text{CLCL}}-80$		50		ns
$t_{\text{XHDX}}$	17	Input data hold after clock rising edge	0		0		ns
$t_{\text{XHDX}}$	17	Clock rising edge to input data valid		$10t_{\text{CLCL}}-133$		167	ns

交流特征说明

每一时序有 5 特征。首先是“t”(时序), 其他特征基于他们的位置、信号名和逻辑状态, 说明如下:

- A—地址
- C—时钟
- D—输入数据
- H—逻辑高
- I—指令
- L—逻辑低或 ALE
- Z—悬浮

- P —  $\overline{\text{PSEN}}$
- Q — 数据输出
- R — RD 信号
- t — 时间
- w — WR 信号
- X — 不再是有效逻辑
- V — 有效

例如:  $t_{AVLL}$  = 从地址有效到 ALE 为低的时间。

$t_{IPI}$  = 从 ALE 为低到 PSEN 为低的时间。

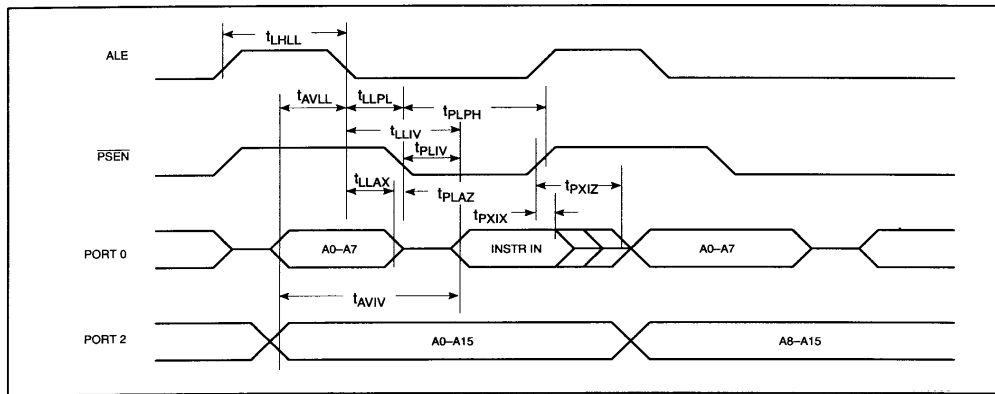


图 1 4. 外部程序存储的读时序

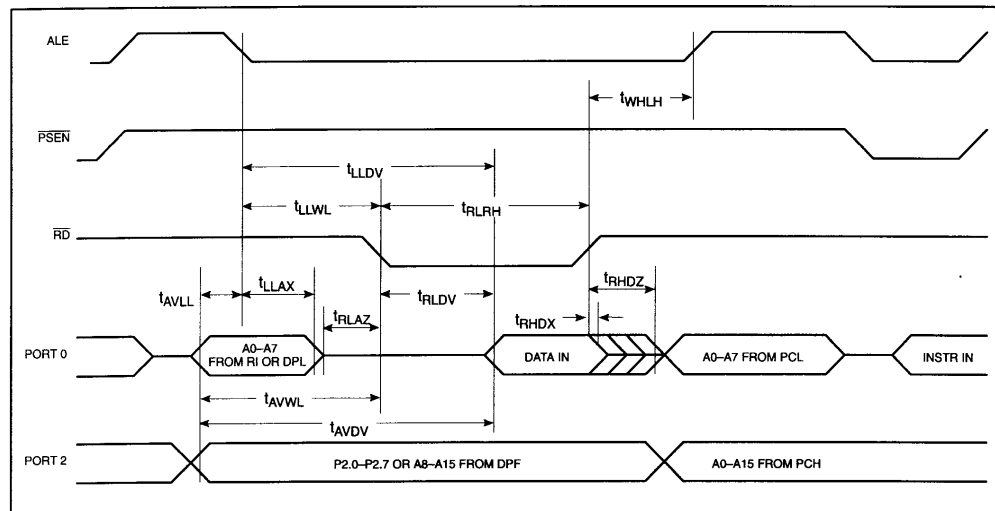


图 1 5. 外部数据存储的读时序

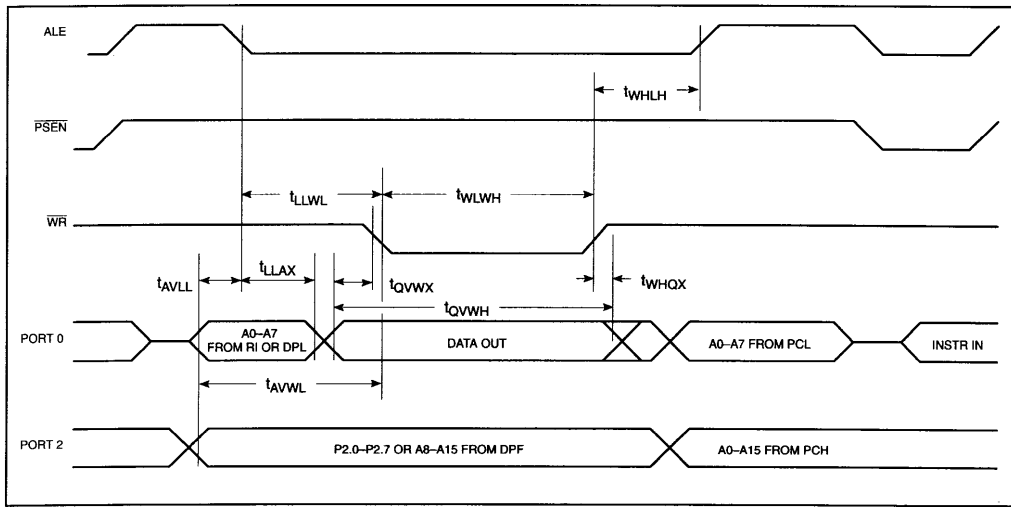


图 1 6. 外部数据存储的写时序

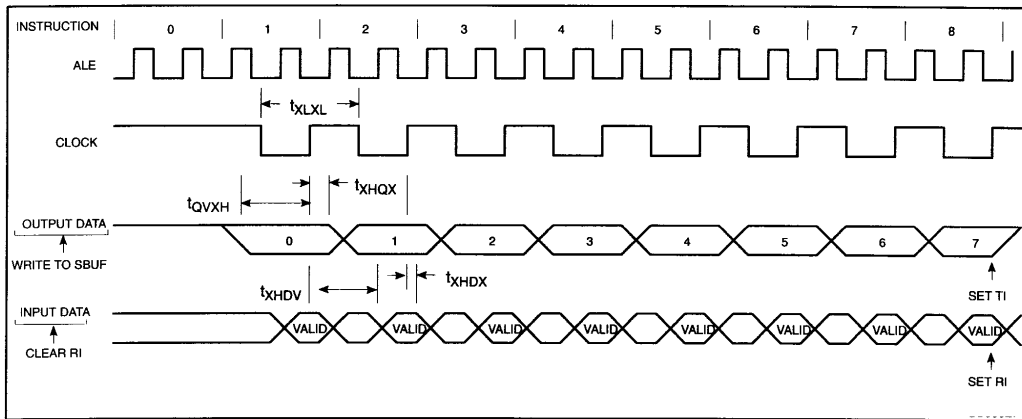


图 1 7 改变寄存器模式的时序

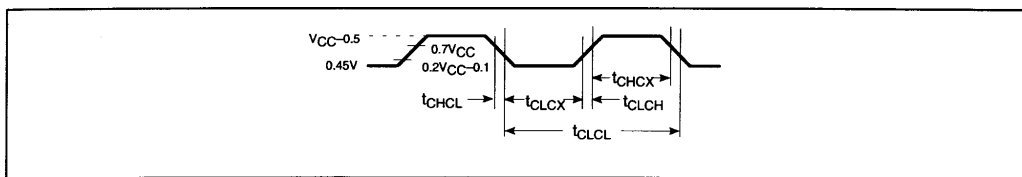


图 1 8 外部时钟驱动

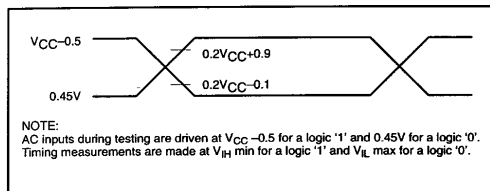


图 1 9 AC输入、输出测试

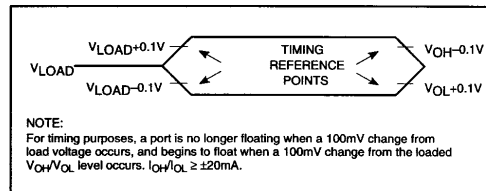


图 2 0 悬浮波形

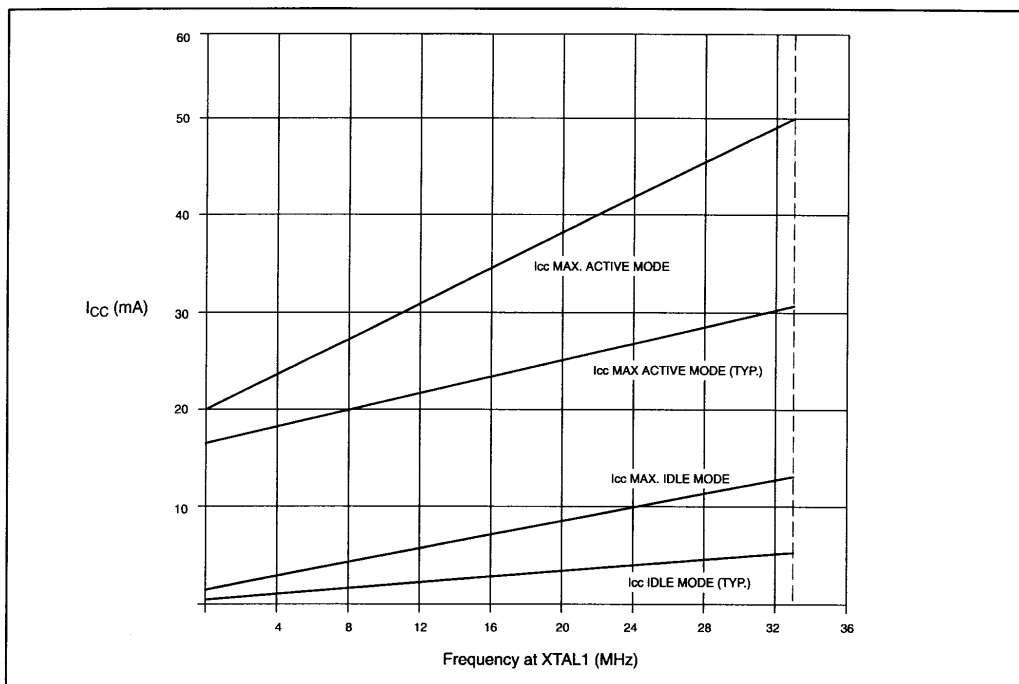


图 2.1 测试状态下的  $I_{CC}$

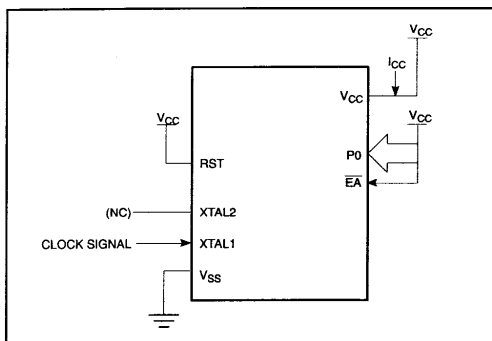


图 2.2  $I_{CC}$  测试条件  
其他管脚没有连接的激活模式

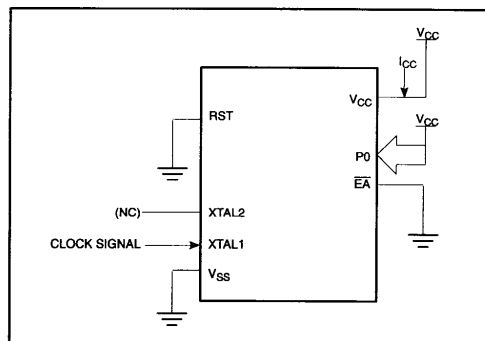


图 2.3  $I_{CC}$  测试条件,  
其他管脚没有连接的掉电模式

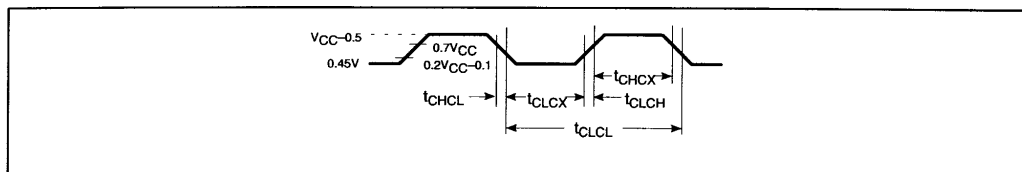


图 2.4  $I_{CC}$  激活和掉电模式时钟信号波形



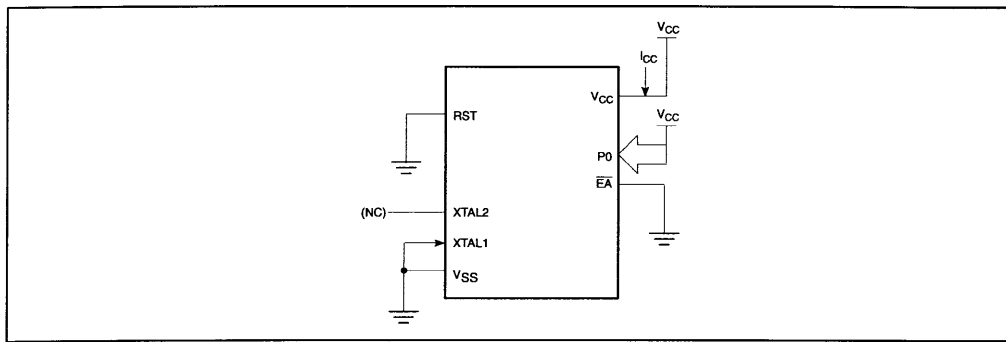


图 2 5 I c c 掉电模式

其他管脚没有连接,  $V_{cc} = 2\text{v} \sim 5\text{v}$

**保密性**

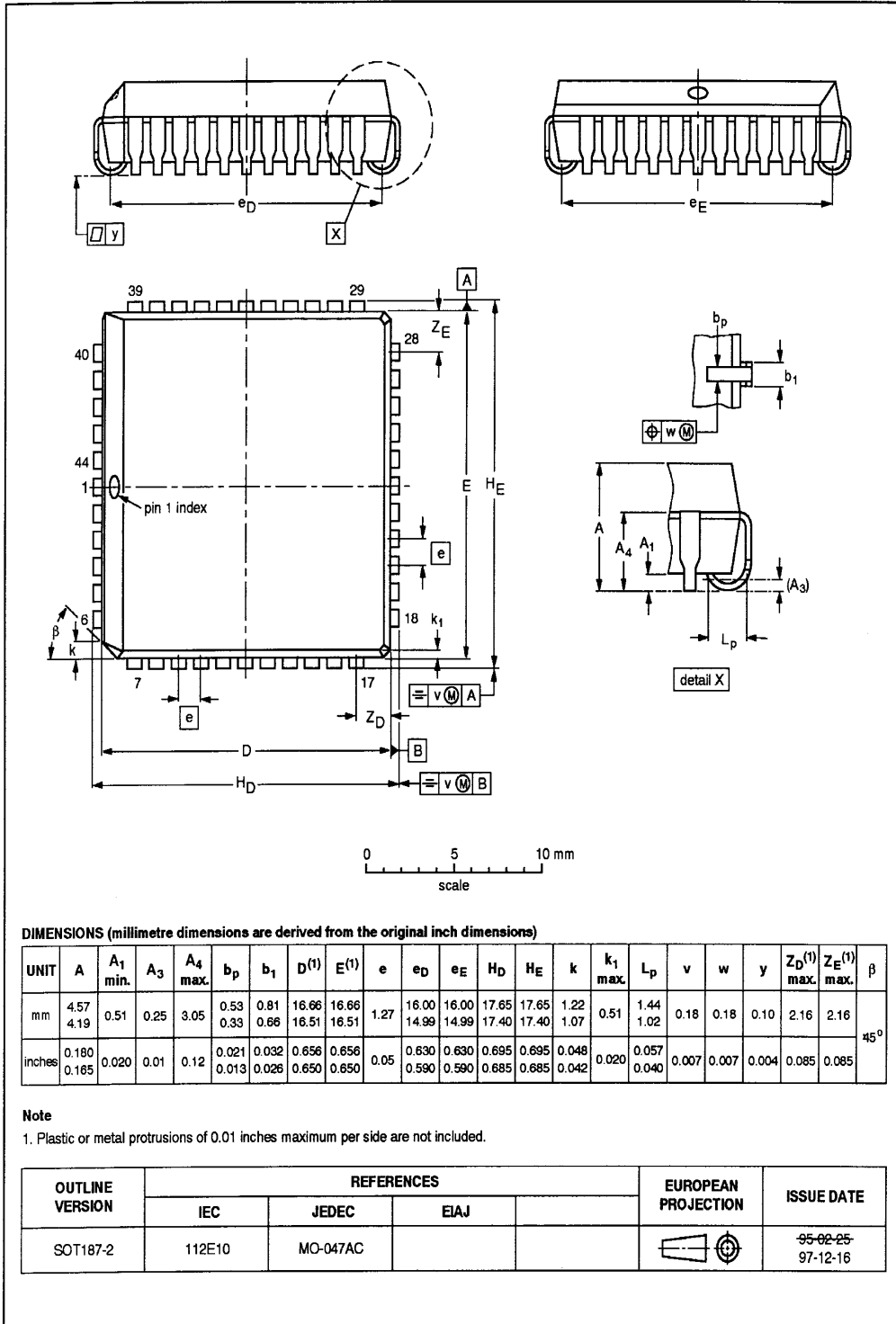
保密是针对防止 FLASH 的内容被读取，保密锁位位于 FLASH 中。89C51 / 89C52 / 89C54 / 89C58 有 3 个可编程保密锁位和片内的代码、数据（见表 8）。并不象 ROM 和 OTP，是独立保密锁位，LB3 包含 LB1 保密位。

表 8

保密锁位	保护描述
级别	
LB1	处理外部程序存储器的指令 MOV <sub>C</sub> 不能处理来自内部存储器的代码字节
LB2	禁能程序核对
LB3	禁能执行外部程序

注释：保密锁位是独立的

PLCC 封装: 44 脚



DIP 封装: 40 脚

