

VS1003-MP3/WMA 音频解码器

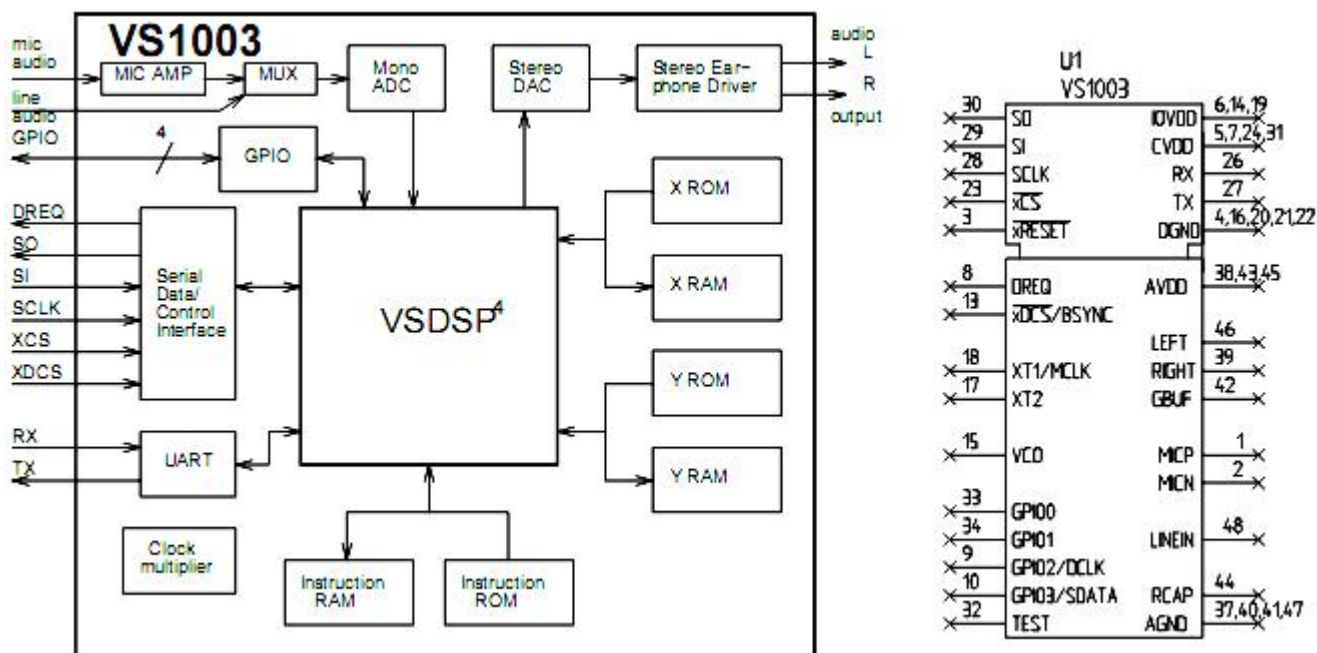
VS1003 DataSheet 翻译版

VS1003 特性:

- 能解码 MPEG 1 和 MPEG2 音频 层 III (CBR+VBR+ABR); WMA 4.0/4.1/7/8/9 5-384kbps 所有流文件; WAV(PCM+IMA AD-PCM);产生 MIDI/SP-MIDI 文件。
- 对话筒输入或线路输入的音频信号进行 IMA ADPCM 编码
- 支持 MP3 和 WAV 流
- 高低音控制
- 单时钟操作 12..13MHz
- 内部 PLL 锁相环时钟倍频器
- 低功耗
- 内含高性能片上立体声数模转换器, 两声道间无相位差
- 内含能驱动 30 欧负载的耳机驱动器
- 模拟, 数字, I/O 单独供电
- 为用户代码和数据准备的 5.5KB 片上 RAM
- 串行的控制, 数据接口
- 可被用作微处理器的从机
- 特殊应用的 SPI Flash 引导
- 供调试用途的 UART 接口
- 新功能可以通过软件和 4 GPIO 添加

VS1003 概述:

- VS1003 是一个单片 MP3/WMA/MIDI 音频解码器和 ADPCM 编码器。它包含一个高性能, 自主知识产权的低功耗 DSP 处理器核 VS_DSP⁴, 工作数据存储器, 为用户应用提供 5KB 的指令 RAM 和 0.5KB 的数据 RAM。串行的控制和数据接口, 4 个常规用途的 I/O 口, 一个 UART, 也有一个高品质可变采样率的 ADC 和立体声 DAC, 还有一个耳机放大器和地线缓冲器。
- VS1003 通过一个串行接口来接收输入的比特流, 它可以作为一个系统的从机。输入的比特流被解码, 然后通过一个数字音量控制器到达一个 18 位过采样多位 $\epsilon - \Delta$ DAC。通过串行总线控制解码器。除了基本的解码, 在用户 RAM 中它还可以做其他特殊应用, 例如 DSP 音效处理。



4. 1 参数容许最大范围

参数	符号	最小	最大	单位
模拟正电源	AVDD	-0.3	3.6	V
数字正电源	CVDD	-0.3	2.7	V
I/O 正电源	IOVDD	-0.3	3.6	V
所有数字口输出电流			±50	mA
所有数字口输入电压		-0.3	IOVDD+0.3 ¹	V
操作温度		-40	+85	°C
存储温度		-60	+150	°C

¹ 不能超过 3.6

4. 2 建议操作环境

参数	符号	最小值	典型值	最大值	单位
环境温度		-25		+70	°C
模拟和数字地 ¹	AGND DGND		0.0		V
模拟正电源	AVDD	2.6	2.8	3.6	V
数字正电源	CVDD	2.4	2.5	2.7	V
I/O 正电源	IOVDD	CVDD-0.6V	2.8	3.6	V
输入时钟频率 ²	XTAL1	12	12.288	13	MHz
内部时钟频率	CLKI	12	36.864	50.0 ⁴	MHz
内部时钟倍频数 ³		1.0x	3.0x	4.0x	
主机时钟占空比		40	50	60	%

¹ 必须相互连接并尽量靠近 VS1003 以避免锁存上拉

² 最大的采样率 XTAL1/256,决定了能以正确的速度播放的音频采样率。因此,为了能播放 48KHz 采样率的音频, XTAL1 至少为 12.288MHz 才能获得正确的播放速度。

³ 复位值为 1.0x, 复位后设置为 3.0x 和允许在 WMA 回放的过程中 1.0x 增加。

⁴ 在容许的 CVDD 电压范围内, 最大的时钟频率是 50.0MHz(4x12.288MHz 或 3.5x13.0MHz)。

4. 3 模拟指标

测试条件: AVDD=2.5..3.6V, CVDD=2.4..2.7V, IOVDD=CVDD-0.6V..3.6V, TA=-40..+85°C, XTAL1=12. .13MHz 内部时钟倍频数 3.5x, DAC 尝试输出 1307.894Hz 完整的正弦波, 测量带宽 20Hz. .20KHz, 模拟输出负载: 左声道到地 30 欧, 右声道到地 30 欧。麦克风测试幅度 50mVpp, 频率 1KHz。线路输入测试幅度 1.1V, 频率 1KHz

参数	符号	最小值	典型值	最大值	单位
DAC 位宽			18		bits
总谐波失真	THD		0.1	0.3	%
动态范围 (DAC 非静音)	IDR		90		dB
信噪比 (完整信号)	SNR	70			dB
通道隔离度 (串音)		50	75		dB
通道隔离度 (共地串音)			40		dB
通道失配增益		-0.5		0.5	dB
频率响应		-0.1		0.1	dB
完整信号输出电压幅度 峰峰值		1.3	1.5 ¹	1.7	Vpp
线性相位偏离度				5	Deg 度
模拟输出负载电阻	AOLR	16	30 ²		欧
模拟输出负载电容				100	pF
麦克风输入放大器增益	MICG		26		dB
麦克风输入幅度			50	140 ³	mVpp AC

麦克风总谐波失真	MTHD		0.02	0.10	%
麦克风信噪比	MSNR	50	62		dB
线路输入幅度			2200	2800 ³	mVpp AC
线路输入总谐波失真	LTHD		0.06	0.10	%
线路输入信噪比	LSNR	60	68		dB
线路和麦克风输入阻抗			100		千欧

典型值是从 5000 个器件测试中获取的

¹ +到+间的电压音声音不同会达到 3.0 V

² 模拟输出负载可以变低，但低于典型值时，失真度将会增大

³ 超过典型值的幅度将会引起谐波失真增大

4. 4 功耗

采用 MPEG 1.0 Layer-3 128Kbps 采样率产生正弦波来测试，满度输出音量，XTALI 为 12.288MHz。内部时钟倍频为 3.0x，CVCC=2.5V,AVDD=2.8V.

参数	最小值	典型值	最大值	单位
电源消耗 AVDD,复位状态		0.6	5.0	uA
电源消耗 CVDD,复位状态		3.7	50.0	uA
电源消耗 AVDD,正弦波测试, 30 欧到地负载		36.9		mA
电源消耗 CVDD, 正弦波测试		12.4		mA
电源消耗 AVDD, 空载		7.0		mA
电源消耗 AVDD, 输出负载 30 欧		10.9		mA
电源消耗 AVDD, 30 欧到地负载		16.1		mA
电源消耗 CVDD		17.5		mA

4. 5 数字指标

参数	符号	最小值	典型值	最大值	单位
高电平输入电压		0.7xIOVDD		IOVDD+0.3 ¹	V
低电平输入电压		-0.2		0.3xIOVDD	V
高电平输出电压 在 Io=-2.0mA		0.7xIDVDD			V
低电平输出电压 在 Io= 2.0mA				0.3xIOVDD	
输入漏电流		-1.0		1.0	uA
SPI 接口输入时钟频率				CLKI/6	MHz
所有输出管脚上升时间 负载电容=50pF				50	nS

¹ 必须不能超过 3.6V

² 是在 SCI 读操作时，在 SCI 和 SDI 写操作时允许至 CLKI/4

4. 6 转换指标—引导初始化

参数	符号	最小值	最大值	单位
XRESET 外部复位有效时间		2		XTALI
XRESET 外部复位无效到软件就绪		16600	50000 ¹	XTALI
上电复位，上升至 CVDD 时间		10		V/s

¹ 当初始化完成后 DREQ 电平上升，在此之前不能发送任何数据或命令

5 封装

5. 1. 1 LQFP-48

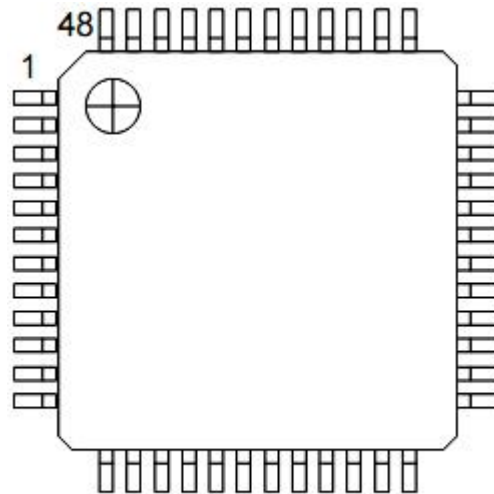


Figure 1: Pin Configuration, LQFP-48.

5. 1. 2 BGA-49

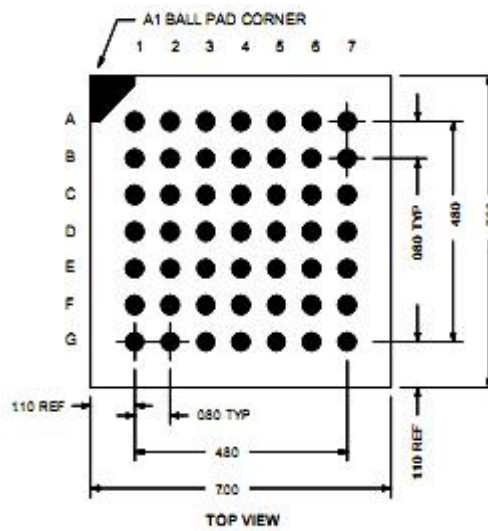


Figure 2: Pin Configuration, BGA-49.

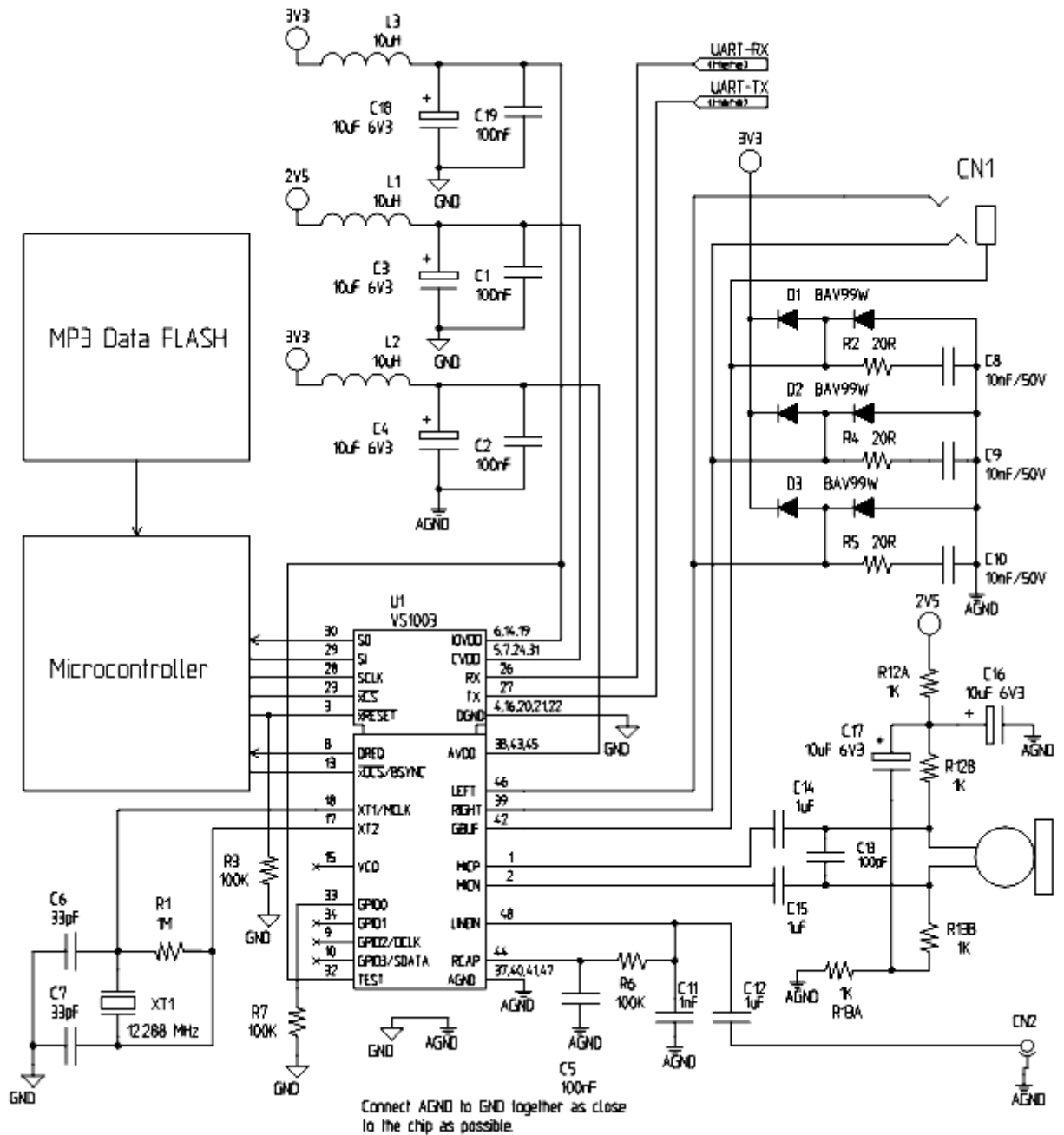
5. 2 LQFP-48 和 BGA-49 封装的管脚分配

管脚名称	LQFP-48	BGA-49Ball	管脚类型	管脚功能
MICP	1	C3	AI	同相差分话筒输入，自偏压
MICN	2	C2	AI	反相差分话筒输入，自偏压
XRESET	3	B1	DI	低电平有效，异步复位端
DGND0	4	D2	DGND	处理器核与 I/O 地
CVDD0	5	C1	CPWR	处理器核 电源
IOVDD0	6	D3	IOPWR	I/O 电源
CVDD1	7	D1	CPEW	处理器核 电源
DREQ	8	E2	DO	数据请求，输入总线
GPIO2/DCLK ¹	9	E1	DIO	通用 I/O2 / 串行数据总线时钟
GPIO3/SDATA ¹	10	F2	DIO	通用 I/O3 / 串行数据总线数据
XDCS/BSYNC ¹	13	E3	DI	数据片选端/字节同步
IOVDD1	14	F3	IOPWR	I/O 电源
VCO	15	G2	DO	时钟压控振荡器 VCO 输出
DGND1	16	F4	DGND	处理器核与 I/O 的地
XTALO	17	G3	AO	晶振输出
XTALI	18	E4	AI	晶振输入
IOVDD2	19	G4	IOPWR	I/O 电源
IOVDD3		F5	IOPWR	I/O 电源
DGND2	20		DGND	处理器核与 I/O 地
DGND3	21	G5	DGND	处理器核与 I/O 地
DGND4	22	F6	DGND	处理器核与 I/O 地
XCS	23	G6	DI	片选输入，低电平有效
CVDD2	24	G7	CPWR	处理器核电源
RX	26	E6	DI	UART 接收口，不用时接 IOVDD
TX	27	F7	DO	UART 发送口
SCLK	28	D6	DI	串行总线的时钟
SI	29	E7	DI	串行输入
SO	30	D5	DO3	串行输出
CVDD3	31	D7	CPWR	处理器核电源
TEST	32	C6	DI	保留做测试，连接至 IOVDD
GPIO0/SPIBOOT	33	C7	DIO	通用 I/O0 /SPIBOOT,使用 100K 下拉电阻 ²
GPIO1	34	B6	DIO	通用 I/O1
AGND0	37	C5	APWR	模拟地，低噪声参考地
AVDD0	38	B5	APWR	模拟电源
RIGHT	39	A6	AO	右声道输出
AGND1	40	B4	APWR	模拟地
AGND2	41	A5	APWR	模拟地
GBUF	42	C4	AO	公共地缓冲器
AVDD1	43	A4	APWR	模拟电源
RCAP	44	B3	AIO	基准滤波电容
AVDD2	45	A3	APWR	模拟电源
LEFT	46	B2	AO	左声道输出
AGND3	47	A2	APWR	模拟地
LINE IN	48	A1	AI	线路输入

¹ 管脚第一功能在新模式有效，后面的功能在兼容模式有效。

² 除非下拉电阻被使用，SPIBOOT 是可靠的

6 连接图



使用 LQFP-48 封装时的典型连接电路

地缓冲器 GBUF 可以用做耳机的公共电压 (1.24V)，这样，音频输出就不需要大容量的隔离电容，而是直接从 VS1003 连接至耳机连接器。

如果不使用 GBUF，左右声道输出必须增加 100uF 的隔直电容。

如果不使用 UART，RX 必须接 IOVDD，TX 必须悬空。

不允许在 XTALO 端挂接任何负载

注意：这种连接是假定 SM_SDINNEW 有效情况下，如果 SM_SDISHARE 也被使用的话 xDCS 不需要被连接

7 SPI 总线

7.1 概要

SPI 总线，最初被用在一些 Motorola 器件上-也被应用于 VS1003 的串行数据接口 SDI 和串行控制接口 SCI

7.2 SPI 管脚定义

7. 2. 1 VS1002 Native Modes (New Mode)

VS1002 有效模式（新模式）对于 VS1003,当 SM_SDINEW 被置 1 时，该模式被有效（启动时默认）GPIO2,GPIO3,XDCS 分别替换 DCLK,SDATA 和 BSYNC。

SDI 管脚	SCI 管脚	描述
XDCS	XCS	低电平有效片选输入，高电平强制使串行接口进入 standby 模式，结束当前操作。高电平也强制使串行输出 SO 变成高阻态。如果 SM_SDISHARE 为 1，不使用 XDCS，但是此信号在 XCS 中产生。
SCK		串行时钟输入。串行时钟也使用内部的寄存器接口主时钟。SCK 可以被门控或是连续的。对任一情况，在 XCS 变为低电平后，SCK 上的第一个上升沿标志着第一位数据被写入。
SI		串行输入，如果片选有效，SI 就在 SCK 的上升沿处采样。
-	SO	串行输出，在读操作时，数据在 SCK 的下降沿处从此脚移出，在写操作时为高阻态。

7. 2 VS1001 兼容模式

当 SM_SDINEW 被置 0 时，该模式有效。在此模式中，DCLK,SDATA.BSYNC 有效

SDI 管脚	SCI 管脚	描述
-	XCS	低电平有效片选输入，高电平强制使串行接口进入 standby 模式，结束当前操作。高电平也强制使串行输出 SO 变成高阻态。
BSYNC	-	SDI 数据与 BSYNC 的上升沿同步
DCLK	SCK	串行时钟输入。串行时钟也使用内部的寄存器接口主时钟。SCK 可以被门控或是连续的。对任一情况，在 XCS 变为低电平后，SCK 上的第一个上升沿标志着第一位数据被写入。
SDATA	SI	串行输入。如果 XCS 为 0，SI 在 SCK 的上升沿上采样。
-	SO	串行输出，在读操作时，数据在 SCK 的下降沿处从此脚移出，在写操作时为高阻态。

7. 3 数据请求脚 DREQ

DREQ 脚，在 VS1003 的 FIFO 在能够接受数据的时候输出高电平。此时，VS1003 可获取至少 32Byte 的 SDI 数据或一个 SCI 命令。遵循这个标准，当 DREQ 变低时，发送器必须停止发送新的数据。

因为有 32Byte 的保险区域（数据缓冲区），当检测到 DREQ 信号时，发送器（MCU）须发送 32Byte 的 SDI 数据。

易于和慢速的微控制器接口。

注意：VS10xx 系列产品直到 VS1002，DREQ 信号仅在 SDI 传送中使用。在 VS1003 中，DREQ 信号也被使用于告知 SCI 的状态。

7. 4 SDI 串行数据协议

7. 4. 1 概述

该串行接口作为从机模式操作，所以 DCLK 信号必须由外部电路产生。数据（SDATA 信号）被 DCLK 的上沿或下沿时钟化。

假设 VS1003 输入的字节数据是同步的。SDI 传送可由 SCI_MODE 的内容决定是高位在前或低位在前。

7. 4. 2 VS1002 SM_NEWMODE 自身模式（新模式）中的 SDI

在 VS1002 自身模式中（SM_NEWMODE 被置 1），通过 XDCS 完成字节同步。在一字节数据的传送过程中，XDCS 的状态不会改变。即使在 VS1003 的板上可能有干扰，也需要保持数据的同步，。

如果 SM_SDISHARE 为 1，XDCS 信号将在内部由 XCS 输入转化（共享同一端口）在新设计中，推荐使用 VS1002 自身模式

7. 4. 3 VS1001 兼容模式下 SDI 传送

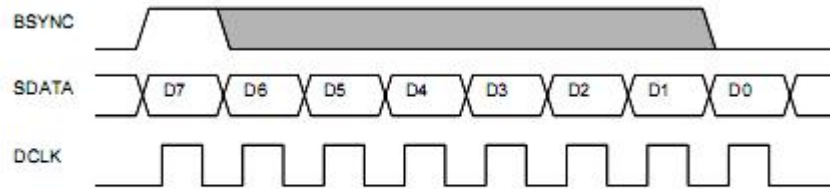


Figure 4: BSYNC Signal - one byte transfer.

BSYNC 字节同步信号-单字节传送

当 VS1003 运行在 VS1001 兼容模式下，BSYNC 信号用于保证输入比特流的字节对齐，在 BSYNC 高电平期，当 DCLK 第一个采样沿（上升沿或下降沿，取决于极性的选择）到来时，标志着一字节的第一位（LSB, 当使用低位在前顺序时；MSB, 当使用高位在前顺序时）。若 BSYNC 为 1，当接收完最后一位，接收器仍然保持有效并继续接收后续的 8bit 数据。

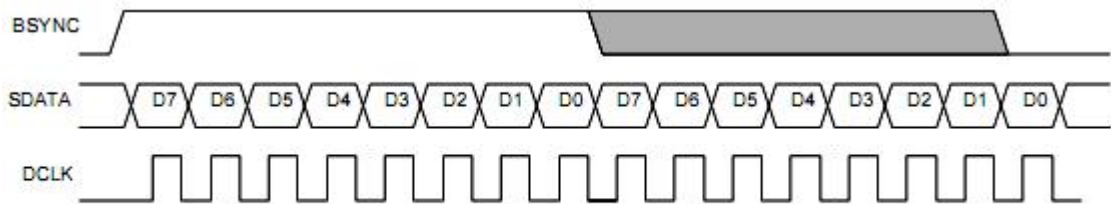


Figure 5: BSYNC Signal - two byte transfer.

7. 4. 4 被动 SDI 模式

如果 SM_NEWMODE 被置 0 且 SM_SDISHARE 被置 1，操作与 VS1001 兼容模式相似，但仅在 BSYNC 信号为 1 的时候接受数据。BSYNC 的上升沿仍然作为同步信号。

7. 5 SCI 串行命令接口协议

7. 5. 1 概述

SCI 串行总线命令接口协议包含了一个指令字节，一个地址字节和一个 16 位的数据字。读写操作可以读写单个寄存器。在上升沿读出数据位。所以拥护必须在下降沿刷新数据。字节数据总是以高位在前发送。

操作被一个 8 位的指令字节（Instruction opcode）所确定。支持的读写指令如下：

Instruction		
Name	Opcode	Operation
READ	0b0000 0011	Read data
WRITE	0b0000 0010	Write data

注意：在每次 SCI 操作后，DREQ 线被置 0。VS1003 靠此期间操作。不允许在 DREQ 变为 1 之前开始新的 SCI/SDI 操作。

7. 5. 2 SCI 读

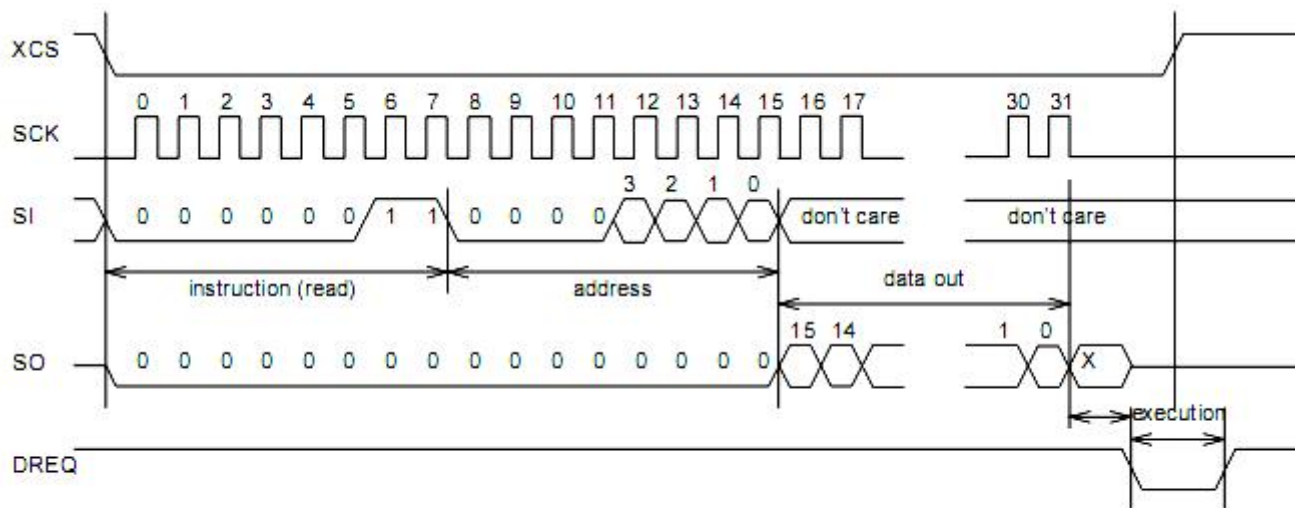


Figure 6: SCI Word Read

VS1003 的寄存器用下列顺序读出，如上图 Figure 6。首先将 XCS 片选拉低以选择芯片，再通过 SI 线发送 8 位的读操作码（READ opcode 0x03）和 8 位的地址。在地址被 VS1003 芯片读入后，SI 上的数据将被忽略。相应地址的 16 位数据将从 SO 线移出。

当数据全被移出后 XCS 需拉高

芯片在读操作时，DREQ 将被拉低一个短暂的时间。此时间及其短暂，不会引起用户的注意。

7. 5. 3 SCI 写

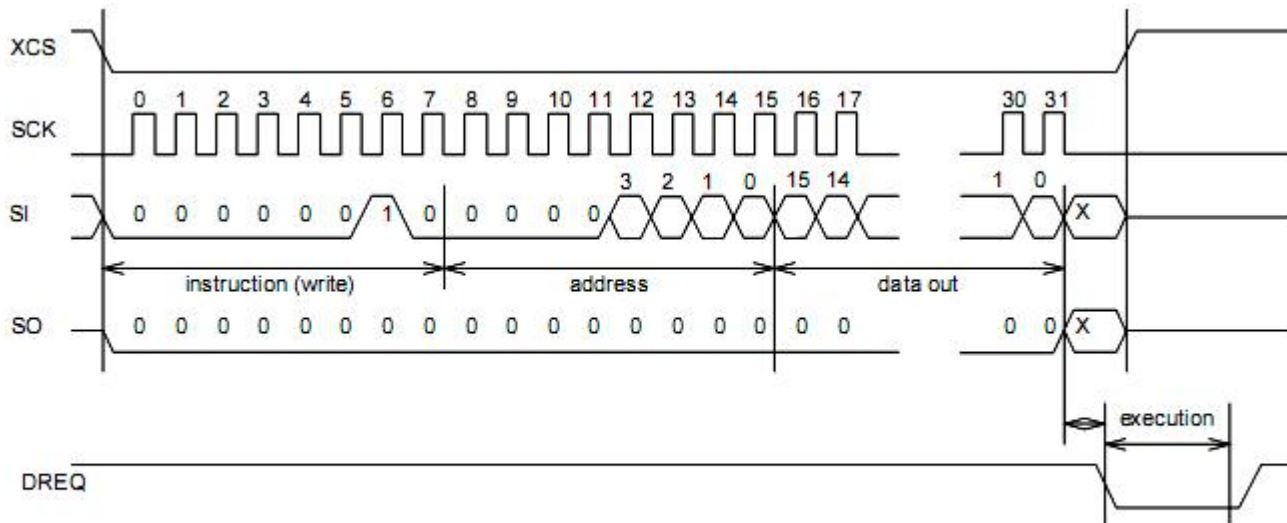


Figure 7: SCI Word Write

VS1003 的寄存器须按以下的顺序写入，见图 Figure 7。首先将 XCS 片选拉低以选择芯片，再通过 SI 线发送 8 位的读操作码（WRITE opcode 0x02）和 8 位的地址。随即发送 16 位的数据字。

当最后一位被移入且最后的时钟已发送，必须将 XCS 拉高以完成写操作。

当发送完最后一位，DREQ 被拉低，再此期间完成寄存器的刷新，用 execution（执行）标记。这个时间是可变的，取决于寄存器及寄存器的内容（详见 8.6），如果这个时间的最大值比微控制器发送下一个 SCI 命令或 SDI 数据的时间长，就不允许在 DREQ 再次变高之前完成一次新的 SCI/SDI 操作。

7.6 SPI 时序

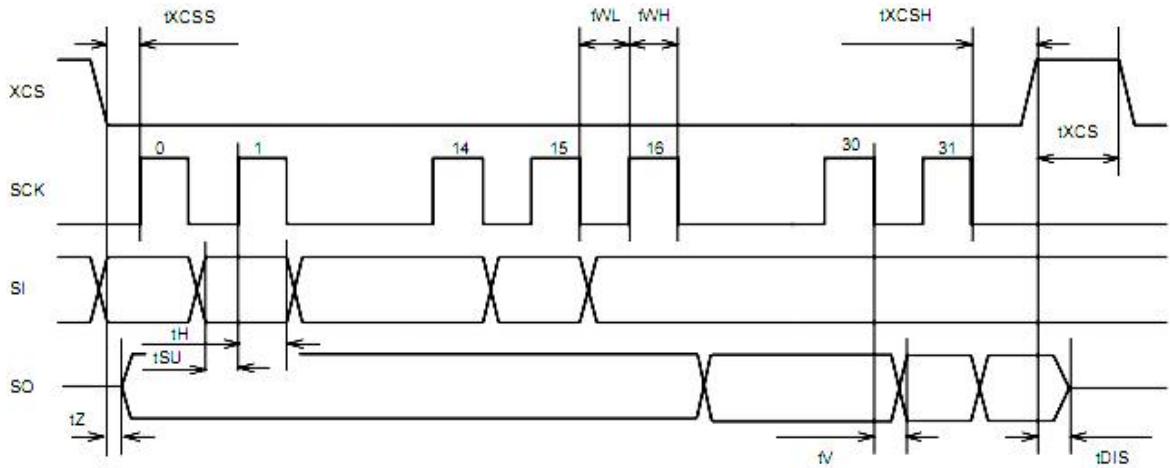


Figure 8: SPI Timing Diagram.

Symbol	Min	Max	Unit
tXCSS	5		ns
tSU	-26		ns
tH	2		CLKI cycles
tZ	0		ns
tWL	2		CLKI cycles
tWH	2		CLKI cycles
tV		2 (+ 25ns ¹)	CLKI cycles
tXCSH	-26		ns
tXCS	2		CLKI cycles
tDIS		10	ns

¹ 25ns 是在负载电容 100pF 情况下，若电容减小，则此时间变短

注意：对于 tWL 和 tWH，tH 也需要至少 2 时钟周期，SPI 总线的速度可轻松的达到 VS1003 CLKI 内部时钟频率的 1/6。稍高的速度需要细致地调整时序，详见 VS10xx 应用笔记。

注意：负数表示此信号在图中的顺序可以改变

7.7 两个 SCI 写操作

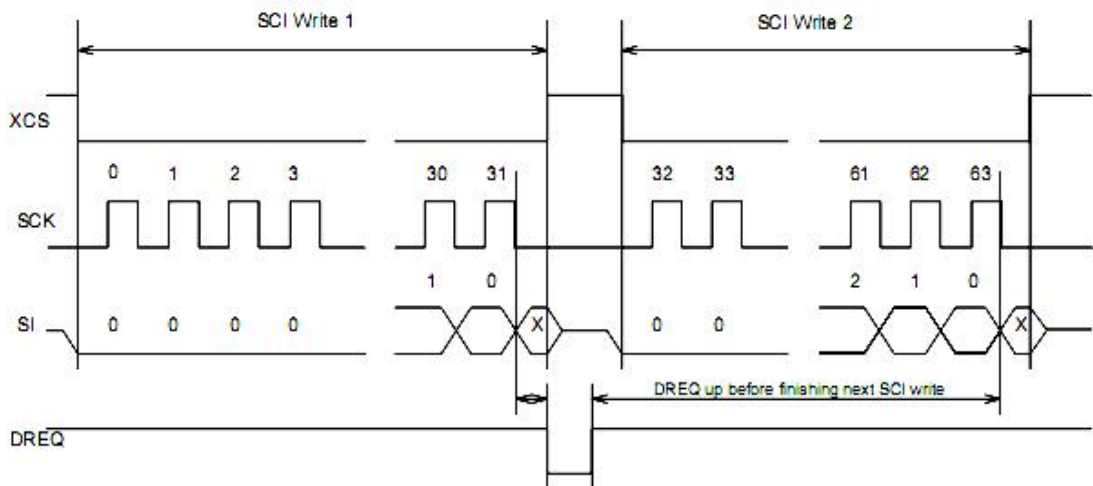


Figure 9: Two SCI Operations.

Figure9 图示了两个连续的 SCI 操作，注意在两个写操作间的无效状态，xCS 线必须拉高。DREQ 线也须注意！

7. 7. 2 两个 SDI 字节

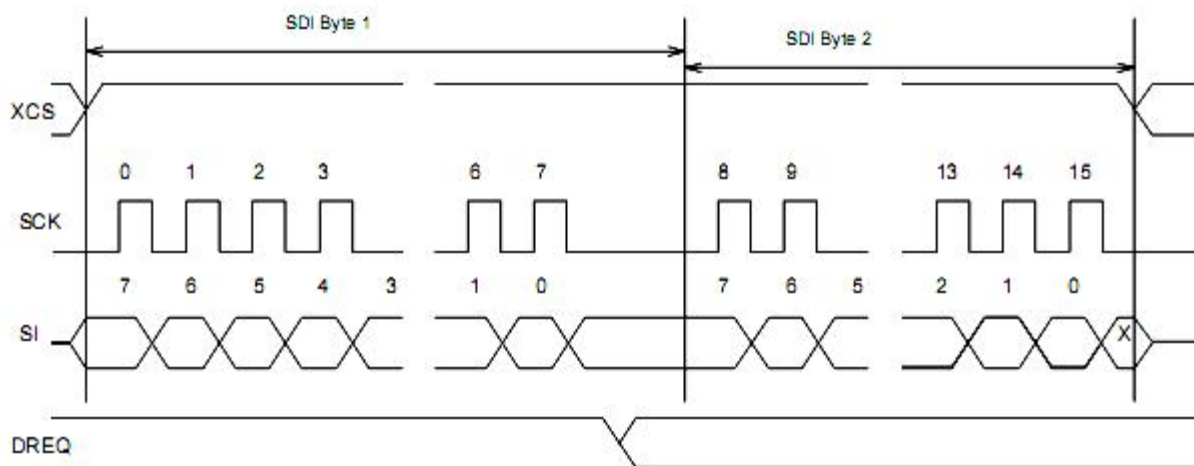


Figure 10: Two SDI Bytes.

如图 Figure 10 示，是用 xCS 线上的上升沿来使 SDI 数据同步。即便如此，不是每个字节都需要分开来同步。

7. 7. 3 两个 SDI 字节间的 SCI 操作

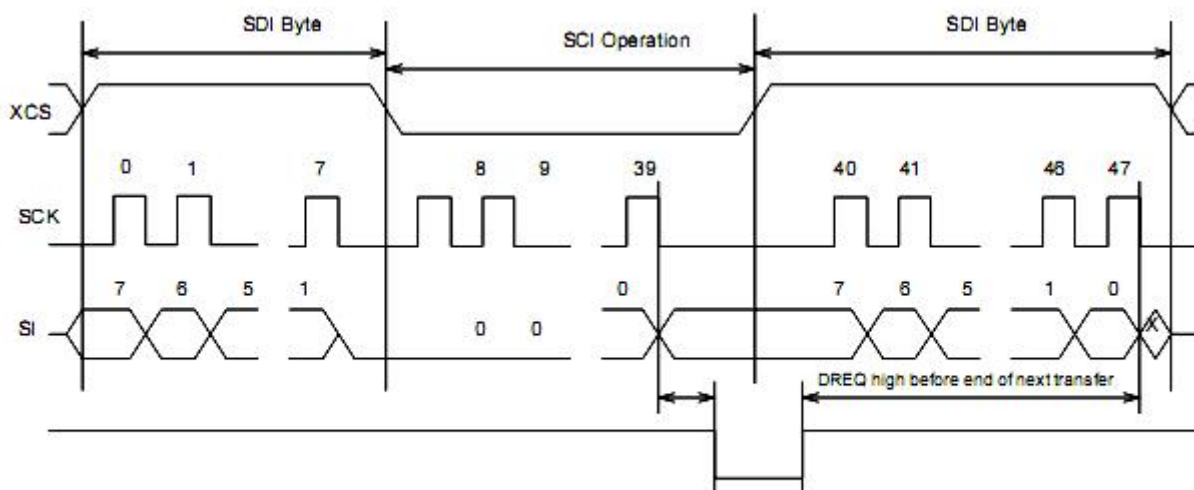


Figure 11: Two SDI Bytes Separated By an SCI Operation.

图 Figure11 描述了如何将一个 SCI 操作嵌入到两个 SDI 操作之间。xCS 的沿被同时用做 SDI 和 SCI 的同步。记得注意 DREQ 线。

8 功能描述

8. 1 主要特性

VS1003 是基于自主的数字信号处理器 VS_DSP。它包含了针对 MP3, WMA 和 WAV PCM+ADPCM 音频解码所必须的全部代码和数据, MIDI 合成器, 共享串行接口, 多速立体声 DAC 和模拟输出放大器及滤波器。同时有麦克风放大器和 ADC 及 ADPCM 音频编码。为调试准备了一个 UART。

8. 2 VS1003 所支持的音频编码

协定	
标记	描述
+	支持的格式
-	存在但不支持的格式
	不存在的格式

8. 2. 1 支持的 MP3 (MPEG layerIII) 格式

MPEG 1.0¹:

Samplerate / Hz	Bitrate / kbit/s													
	32	40	48	56	64	80	96	112	128	160	192	224	256	320
48000	+	+	+	+	+	+	+	+	+	+	+	+	+	+
44100	+	+	+	+	+	+	+	+	+	+	+	+	+	+
32000	+	+	+	+	+	+	+	+	+	+	+	+	+	+

MPEG 2.0¹:

Samplerate / Hz	Bitrate / kbit/s													
	8	16	24	32	40	48	56	64	80	96	112	128	144	160
24000	+	+	+	+	+	+	+	+	+	+	+	+	+	+
22050	+	+	+	+	+	+	+	+	+	+	+	+	+	+
16000	+	+	+	+	+	+	+	+	+	+	+	+	+	+

MPEG 2.5^{1 2}:

Samplerate / Hz	Bitrate / kbit/s													
	8	16	24	32	40	48	56	64	80	96	112	128	144	160
12000	+	+	+	+	+	+	+	+	+	+	+	+	+	+
11025	+	+	+	+	+	+	+	+	+	+	+	+	+	+
8000	+	+	+	+	+	+	+	+	+	+	+	+	+	+

¹ 也支持所有的可变比特率 (VBR) 格式

² 可能出现不兼容, 因为 MPEG 2.5 并非标准格式

8. 2. 2 支持的 WMA 格式

支持 2, 7, 8, 9 版本的 WMA (Windows Media Audio) 编码。所有的 WMA profile(L1,L2,L3)都支持。之前的流被分为几类 1, 2a,2b,3。该解码器通过微软的一致测试程序。

WMA 4.0 / 4.1:

Samplerate / Hz	Bitrate / kbit/s																
	5	6	8	10	12	16	20	22	32	40	48	64	80	96	128	160	192
8000	+	+	+		+												
11025			+	+													
16000				+	+	+	+										
22050					+	+	+	+									
32000						+	+	+	+	+	+						
44100								+		+	+	+	+	+	+	+	
48000															+	+	

WMA 7:

Samplerate / Hz	Bitrate / kbit/s																
	5	6	8	10	12	16	20	22	32	40	48	64	80	96	128	160	192
8000	+	+	+		+												
11025			+	+													
16000				+	+	+	+										
22050					+	+	+	+									
32000						+		+	+	+							
44100								+		+	+	+	+	+	+	+	+
48000															+	+	

WMA 8:

Samplerate / Hz	Bitrate / kbit/s																
	5	6	8	10	12	16	20	22	32	40	48	64	80	96	128	160	192
8000	+	+	+		+												
11025			+	+													
16000				+	+	+	+										
22050						+	+	+	+								
32000							+		+	+	+						
44100									+		+	+	+	+	+	+	+
48000															+	+	+

WMA 9:

Samplerate / Hz	Bitrate / kbit/s																		
	5	6	8	10	12	16	20	22	32	40	48	64	80	96	128	160	192	256	320
8000	+	+	+		+														
11025			+	+															
16000				+	+	+	+												
22050						+	+	+	+										
32000							+		+	+	+								
44100							+		+		+	+	+	+	+	+	+	+	+
48000											+		+	+	+	+	+		

除 WMA 解码之外，所有的比特率和采样率都支持，包括可变比特率 WMA 流。注意 WMA 消耗比特流不像 MP3 那样平坦，所以，在相同的比特率下，为了干净地回放，你需要一个较高的传送容量峰值。

8. 2. 3 RIFF WAV 格式支持

支持大多数 RIFF WAV 子格式

Format	Name	Supported	Comments
0x01	PCM	+	16 and 8 bits, any sample rate \leq 48kHz
0x02	ADPCM	-	
0x03	IEEE_FLOAT	-	
0x06	ALAW	-	
0x07	MULAW	-	
0x10	OKI_ADPCM	-	
0x11	IMA_ADPCM	+	Any sample rate \leq 48kHz
0x15	DIGISTD	-	
0x16	DIGIFIX	-	
0x30	DOLBY_AC2	-	
0x31	GSM610	-	
0x3b	ROCKWELL_ADPCM	-	
0x3c	ROCKWELL_DIGITALK	-	
0x40	G721_ADPCM	-	
0x41	G728_CELP	-	
0x50	MPEG	-	
0x55	MPEGLAYER3	+	For supported MP3 modes, see Chapter 8.2.1
0x64	G726_ADPCM	-	
0x65	G722_ADPCM	-	

8. 2. 4 MIDI 格式支持

普通的 MIDI 和 SP-MIDI 格式 0 文件可以播放。格式 1 和格式 2 文件必须由用户转换成格式 0 文件。最大的同时发声数为 40。实际上，发声数取决于内部时钟率（用户可选）。使用这个手段，可能后处理效果被禁用，例如低音，高音增强。利用 SP-MIDI MIP 表实现多音约束算法。

36. 86MHz(3 倍频时钟)可达到 16-26 个同时持续的记录。

8. 3 VS1003 数据的流程

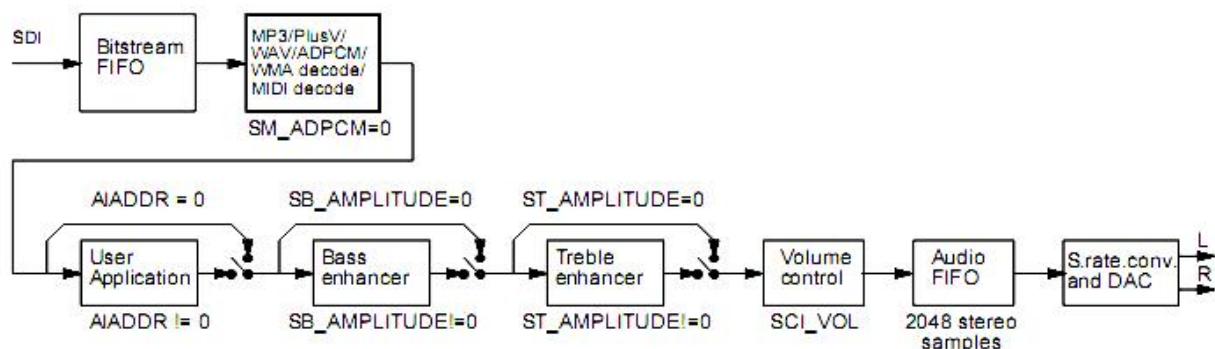


Figure 12: Data Flow of VS1003.

首先，依赖于音频数据，且非设置为 ADPCM 编码模式，MP3,WMA,PCMWAV,IMA ADPCM WAV 或 MIDI 的数据流从 SDI 总线接收并解码。

解码之后，如果 SCI_AIADDR 非零，则应用代码从寄存器所指向的地址开始执行。详见 VS10xx 应用笔记。

然后数据流是否经过低音，高音增强器，取决于 SCI_BASS 寄存器。

之后，数据流向音量控制单元，同时拷贝数据进音频 FIFO。

音频 FIFO 锁存住数据，通过音频中断 (10.13.1) 将数据送进采样率变换器和 DAC。音频 FIFO 的大小是 2048 立体声 (2x16bit) 采样，即 8KB。

采样率变换器把所有不同的采样率变为 XTALI/2,或 128 次最高可用采样率。这个变换用一个固定的输入时钟频率，经过复杂的 PLL 时钟配置后，几乎允许无限制的采样率精确度。对于 12.288MHz 的时钟，DAC 工作在 128x48KHz 也就是 6.144MHz 上，并建立一个立体声同相位模拟信号。过采样的输出被片上的模拟滤波器进行低通滤波。滤波后的信号前往耳机放大器。

8. 4 串行数据接口 (SDI)

这个串行数据接口被用于传送压缩的 MP3 或 WMA 数据，WAV PCM，ADPCM 和 MIDI 数据。

如果解码器的输入有故障或是不能够快地接收，模拟输出会自动静音。

同样，也可以通过 SDI 激活几个不同的测试，详见 9 章。

8. 5 串行控制接口 (SCI)

SCI 兼容 SPI 规范。数据传送总是 16 位。通过 SCI 读写寄存器来控制 VS1003。

此接口上主要的几个控制

- 控制操作模式，时钟，处理效果
- 访问状态信息和头数据
- 访问编码数字数据
- 上传用户程序

8. 6 SCI 寄存器

SCI 寄存器，前缀 SCI_					
寄存器	类型	复位值	时间 ¹	缩写[bits]	描述
0x0	RW	0x800	70CLKI ⁴	MODE	模式控制
0x1	RW	0x3C ³	40 CLKI	STATUS	VS1003 状态
0x2	RW	0	2100 CLKI	BASS	内置低音/高音增强器
0x3	RW	0	11000XTALI ⁵	CLOCKF	时钟频率+倍频数
0x4	RW	0	40 CLKI	DECODE_TIME	每秒解码次数
0x5	RW	0	3200 CLKI	AUDATA	Misc. 音频数据
0x6	RW	0	80 CLKI	WRAM	RAM 写/读
0x7	RW	0	80 CLKI	WRAMADDR	RAM 写/读基址
0x8	R	0	-	HDATA0	流头数据 0

0x9	R	0	-	HDATA1	流头数据 1
0xA	RW	0	3200 CLKI ²	AIADDR	用户代码起始地址
0xB	RW	0	2100 CLKI	VOL	音量控制
0xC	RW	0	50 CLKI ²	AICTRL0	应用控制寄存器 0
0xD	RW	0	50 CLKI ²	AICTRL1	应用控制寄存器 1
0xE	RW	0	50 CLKI ²	AICTRL2	应用控制寄存器 2
0xF	RW	0	50 CLKI ²	AICTRL3	应用控制寄存器 3

¹ 在最坏的情况下，当写寄存器之后 DREQ 线仍然为低电平，若用户选择跳过检测 DREQ 线来对寄存器写的话，需要间隔一段时间（低于 100 时钟周期）来执行。

² 另外，时钟的消耗必须在用户程序中被计数。

³ 硬件直接改变此寄存器的值到 0x38，100ms 后又变为 0x30。

⁴ 当模式寄存器写入特殊的软件复位，最坏的情况 16600 XTALI 周期

⁵ 写这个寄存器将强制使内部时钟暂时运行在 1.0x XTALI。所以，在刷新这个寄存器的进程中，最好不要发送 SCI 或 SDI 位。

注意：执行 SCI 写时如果 DREQ 为低，在 SCI 写过程之后，DREQ 仍然保持低电平。

8. 6. 1 SCI_MODE (RW)

SCI_MODE 用于控制 VS1003 的操作，其缺省值为 0x0800(SM_SDINEW set)。

位	名称	功能	值	描述
0	SM_DIFF	微分	0	正常同相音频
			1	左声道反相
1	SM_SETTOZERO	设置为 0	0	对
			1	错
2	SM_RESET	软件复位	0	不复位
			1	复位
3	SM_OUTOFWAV	跳出 WAV 解码	0	不
			1	是
4	SMPDOWN	掉电	0	电源开
			1	掉电模式
5	SM_TESTS	允许 SDI 测试	0	不允许
			1	允许
6	SM_STREAM	流模式	0	不
			1	是
7	SM_SETTOZERO 2	设置为 0	0	对
			1	错
8	SM_DACT	DCLK 有效沿	0	上升沿
			1	下降沿
9	SM_SDIORD	SDI 位顺序	0	高位在前
			1	低位在前
10	SM_SDISHARE	共享 SPI 片选	0	不
			1	是
11	SM_SDINEW	VS1002 自身 SPI 模式	0	不
			1	是
12	SM_ADPCM	ADPCM 录音允许	0	不
			1	是
13	SM_ADPCM_HP	ADPCM 高通滤波允许	0	不
			1	是
14	SM_LINE_IN	ADPCM 录音源选择	0	麦克风
			1	线路输入

当 SM_DIFF 被置位, 播放器反相左声道的输出, 对于一个立体声输入, 将得到一个虚拟的环绕声。若是单声道输入, 将得到一个差分的左/右声道信号。

当 SM_RESET 被置位, 软件复位将被初始化。此位会自动清零。

如果你想在 WAV,WMA 或是 MIDI 文件的解码过程中停止, 需要置位 SM_OUTOFWAV, 直到 SM_OUTOFWAV 被清零且遵照 DREQ 的情况下才能发送数据。SCI_HDAT1 也将被清零。对于 WMA 和 MIDI, 最可靠的继续传送数据流, 是发送 0。

SM_PDOWM 位设置 VS1003 为软件掉电模式。注意, 软件掉电效果不及 XRESET 上的硬件掉电。

若 SM_TESTS 被置位, 将允许 SDI 测试。关于 SDi 测试, 详见 9.7 章节

SM_STREAM 允许 VS1003 的流模式, 在这个模式下, 数据必须尽可能保持间隔的平滑(最好数据块小于 512 字节), VS1003 总是尝试让输入缓冲区保持半满, 改变回放速度上升到 5%。为了获得优质的声音, 平均速度误差必须在 0.5% 之内, 比特率不能超过 160kbit/s 且你能使用可变比特率 VBR。详见 VS10xx 应用笔记, WMA 文件不能工作于此模式。

SM_DACT 定义了 SDI 有效的时钟沿, 当为 0 时, 在上升沿读数据, 当为 1 时, 在下降沿读数据。

当 SM_SDIORD 被清零, SDI 默认按高位在前传送字节数据。若 SM_SDIORD 被置位, 则按相反的位顺序传送, 即位 0 在前, 位 7 在后。对于字节, 仍然按默认的顺序传送。这个寄存器位对 SCI 总线无效。

置位 SM_SDISHARE 使 SCI 和 SDI 共用享用的片选信号, 在 7.2 章详细说明, 如果 SM_SDINEW 也是 1 的话。

置位 SM_SDINEW 将使能 VS1002 自身串行模式(在 7.2.1 和 7.4.2 中有叙述)。注意, 在 VS1003 启动的时候此位默认为 1。

当同时使能 SM_ADPCM 和 SM_RESET, 用户将使能 IMA ADPCM 录音模式。更多的信息参阅 VS10xx 应用笔记。

如果 SM_ADPCM_HP 和 SM_ADPCM 和 SM_RESET 一起被置位, ADPCM 模式将从一个高通滤波器开始。话音在这里将大部分背景噪音滤除, 见 ADPCM 的频响曲线。

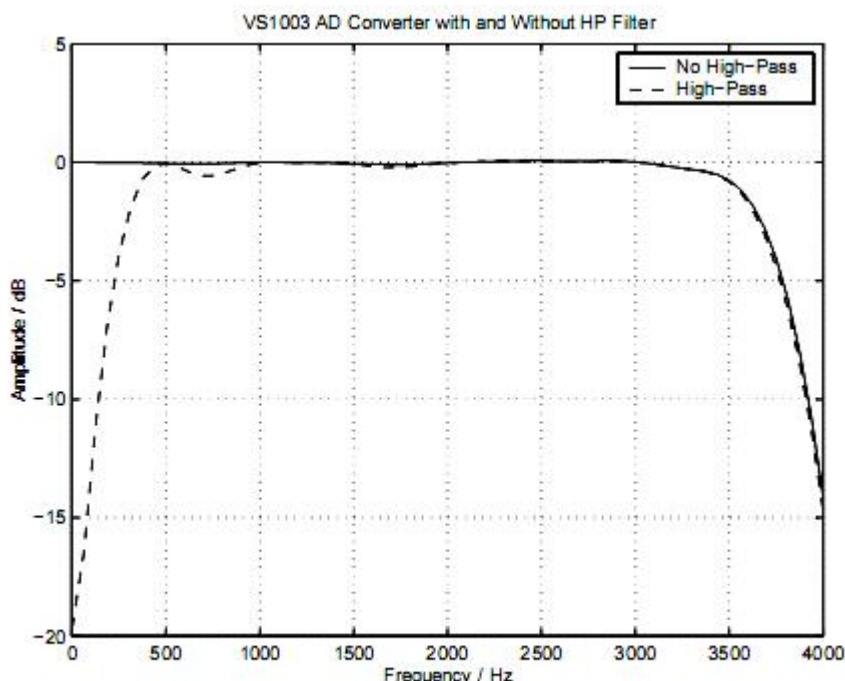


Figure 13: ADPCM Frequency Responses with 8kHz sample rate.

SM_LINE_IN 用来选择 ADPCM 录音的音源,如果是 0,则麦克风输入脚 MICP 和 MICN 被使用,如果 1,LINEIN 被使用。

SCI_STATUS 包含了 VS1003 的当前信息,用户可以在受到音频干扰的时候让 VS1003 关闭。

名称	位	描述
SS_VER	6: 4	版本
SS_APDOWN2	3	模拟驱动器掉电
SS_APDOWN1	2	模拟内部掉电
SS_AVOL	1: 0	模拟音量控制

SS_VER 为 0, VS1001;为 1,VS1011;为 2,VS1002;为 3, VS1003.

SS_APDOWN2 控制模拟驱动器掉电。正常情况下,这个位是受系统硬件控制。尽管如此,若用户想让 VS1003 进入掉电短暂的时间,则把此为变为 1。

SS_APDOWN1 控制内部模拟部分掉电,此位仅被系统硬件使用。

SS_AVOL 为模拟音量控制: 0=-0dB, 1=-6dB, 3=-12dB。这个寄存器仅对系统硬件自动使用有意义。

8. 6. 2 SCI_BASS (RW)

名称	位	描述
ST_AMPLITUDE	15: 12	高音控制, 1.5dB 步进 (-8..7 ,为 0 表示关闭)
ST_FREQLIMIT	11: 8	最低频限 1000Hz 步进 (0..15)
SB_AMPLITUDE	7: 4	低音加重, 1dB 步进 (0..15 ,为 0 表示关闭)
SB_FREQLIMIT	3: 0	最低频限 10Hz 步进 (2..15)

是一个强劲的 DSP 算法,他能尽量保证送耳机的信号不被削波。

当 SB_AMPLITUDE 不为零时, VSBE 低音提升有效。用户优先设置 SB_AMPLITUDE, 大约在音频系统还原的最低频率 1.5 倍时间设置 SB_FREQLIMIT。例如, 设置 SCI_BASS 为 0x00f6, 将在 60Hz 以下获得 15dB 提升。

因为 VSBE 尽量避免音频削波, 它为动态音乐素材提供了一个最合适的低音提升, 或者说, 当回放音量不是开到最大, 也就不能产生低音: 所以源素材中一开始就必须含有一些低频成分。

高音控制 VSTC 在 ST_AMPLITUDE 非零时有效。例如设置 SCI_BASS 为 0x7A00 将在 10KHz 以上获得 10.5dB 的高音提升。

低音提升使用大约 3.0MIPS 和高音控制 1.2MIPS 在 44100Hz 采样率的时候。两者可同时实现。

8. 6. 3 SCLCLOCKF (RW)

对 VS1003 的 SCLCLOCKF 寄存器的操作与 VS10x1 和 VS1002 不同

SCI_CLOCKF 位		
名称	位	描述
SC_MULT	15: 13	时钟倍频数
SC_ADD	12: 11	允许倍频
SC_FREQ	10: 0	时钟频率

SC_MULT 使内部倍频器有效，通过 XTALI 的倍乘，得到一个较高的频率的 CLKI，对应的值如下：

SC_MULT 域的值	掩码	CLKI
0	0x0000	XTALI
1	0x2000	XTALI × 1.5
2	0x4000	XTALI × 2.0
3	0x6000	XTALI × 2.5
4	0x8000	XTALI × 3.0
5	0xA000	XTALI × 3.5
6	0xC000	XTALI × 4.0
7	0xE000	XTALI × 4.5

SC_ADD 告诉解码器硬件允许 SC_MULT 以什么数值增加倍频数。如果较多的周期是临时的需要解码 WMA 流。对应值如下：

SC_ADD 域值	掩码	倍频增量
0	0x0000	禁止修改
1	0x0800	0.5x
2	0x1000	1.0x
3	0x1800	1.5x

SC_FREQ 用于当输入时钟是比 12.288MHz 高的其它频率时。XTALI 被设置为 4KHz 步进。寄存器中这个值正确的计算公式是 $(XTALI-8000000)/4000$,XTALI 的单位是 Hz。

注意：默认值为 0，是假设 XTALI 的频率是 12.288MHz。

注意：因为最大的采样率是 XTALI/256，所以当 XTALI<12.288MHz 时，不是所有的采样率都可用。

注意：自动时钟变换仅发生在 WMA 文件解码的时候。自动时钟变换每次改变 0.5x。这不会引起下降到 1.0x 时钟且你可以使用相同的 SCI 和 SDI 时钟贯穿整个 WMA 文件。当解码结束，恢复到默认的倍频数且立刻引起 1.0x 时钟。

例子：如果 SCI_CLOCKF 为 0x9BE8，SC_MULT=4，SC_ADD=3，SC_FREQ=0x3E8=1000。这意味着：
 $XTALI=1000 \times 4000 + 8000000 = 12\text{MHz}$. 时钟倍频器被设置为 $3.0 \times XTALI = 36\text{MHz}$ ，且允许的最大合成频率为 $(3.5+1.5) \times XTALI = 54\text{MHz}$ ，倍频数由硬件自动选择。

8. 6. 5 SCI_DECODE_TIME (RW)

当在解码正确的数据时，当前一秒之内的解码次数显示于此寄存器中。用户可以改变此寄存器的值，这种情况下，新的值又将第二次写入。

在每次软件复位或是 WAV(PCM 或 IMA ADPCM)，WMA,MIDI 解码的开始或结束时，SCI_DECODE_TIME 被复位。

8. 6. 6 SCI_AUDATA (RW)

当解码正确的数据时，当前的采样率和通道数可以从 SCI_AUDATA 的 15: 1 位和 0 位中读取。15: 1 位域包含了采样率除二后的值，位 0 为 0 表示单声道，为 1 表示立体声。写 SCI_AUDATA 将直接改变采样率。

例如：44100Hz 立体声数据，读出来即为 0xAC45(44101)。

8. 6. 7 SCI_WRAM (RW)

SCI_WRAM 用做上载应用程序和数据到指令和数据 RAMs。其开始地址必须在首次读写 SCI_WRAM 前，通过写 SCI_WRAMADDR 来进行初始化。

同样，一次 SCI_WRAM 的读写操作能传送 16 位数据，一个指令字是 32 位长，所以每个指令字的读写需要两个连续的读写操作。其字节顺序是大端模式 (Big-Endian)。在每个的全字被读写后，内部指针会自动增加。

8. 6. 8 SCI_WRAMADDR (W)

SCI_WRAMADDR 被用作设置编程地址供 SCI_WARM 读写，如下：

SM_WRAMADDR 开始……结束	Dest.addr. 开始……结束	位/每字 Bits/Word	描述
0x1800...0x187F	0x1800...0x187F	16	X data RAM
0x5800...0x587F	0x1800...0x187F	16	Y data RAM
0x8030...0x84FF	0x0030...0x04FF	32	指令 RAM
0xC000...0xFFFF	0xC000...0xFFFF	16	I/O

8. 6. 9 SCI_HDAT0 和 SCI_HDAT1 (R)

对于 WAV 文件，SCI_HDAT0 和 SCI_HDAT1 读出值分别是 0x7761 和 0x7665。

对于 WMA 文件，SCI_HDAT1 的值为 0x574D，SCI_HDAT0 包含了用字节每/秒描述的数据速度。若要获取文件的比特率，将 SCI_HDAT0 的值除 8。

对于 MIDI 文件，SCI_HDAT1 的值为 0x4D54，SCI_HDAT0 包含的值遵照下表。

HDAT0[15: 8]	HDAT0[7: 0]	值	说明
0	多音数		当前多音数
1..255	保留		

对于 MP3 文件，SCI_HDAT[0...1]有以下的内容

位	功能	值	说明
HDAT1[15:5]	同步字	2047	有效流
HDAT1[4:3]	ID	3	ISO 11172-3 MPG 1.0
		2	ISO 13818-3 MPG 2.0 (1/2-rate)
		1	MPG 2.5(1/4-rate)
		0	MPG 2.5(1/4-rate)
HDAT1[2:1]	Layer 层	3	I
		2	II
		1	III
		0	保留
HDAT1[0]	保护位	1	无 CRC 校验
		0	CRC 校验保护
HDAT0[15:12]	比特率		ISO 11172-3
HDAT0[11:10]	采样率	3	保留
		2	32/16/8 KHz
		1	48/24/12 KHz
		0	44/22/11 KHz
HDAT0[9]	Pad 位	1	另外位置
		0	常规结构
HDAT0[8]	私有位		未定义
HDAT0[7: 6]	模式	3	单声道
		2	双通道
		1	联合立体声

		0	立体声
HDATA0[5: 4]	扩展		ISO 11172-3
HDATA0[3]	版权	1	有版权
		0	自由
HDATA0[2]	原创否	1	原创
		0	拷贝
HDATA0[1: 0]	重点	3	CCITT J.17
		2	保留
		1	50/15 微秒
		0	无

当读的时候，SCI_HDATA0 和 SCI_HDATA1 包含的头信息是从 MP3 流开始解码时提取的。复位之后两个寄存器都清零，指示没有数据被找到。

SCI_HDATA0 中的“采样率”域通过下表解释：

“采样率”	ID=3/Hz	ID=2/Hz	ID=0,1/Hz
3	-	-	-
2	32000	16000	8000
1	48000	24000	12000
0	44100	22050	11025

HDATA0 中的“比特率”域通过下表解释：

“比特率”域	ID=3 / kbit/3	ID=0,1,2 / kbit/s
15	禁止	禁止
14	320	160
13	256	144
12	224	128
11	192	112
10	160	96
9	128	80
8	112	64
7	96	56
6	80	48
5	64	40
4	56	32
3	48	24
2	40	16
1	32	8
0	-	-

8. 6. 10 SCI_AIADDR (RW)

SCI_AIADDR 指出了应用代码的开始地址，要在 SCI_WRAMADDR 和 SCI_WARM 之前写入。如果不使用应用代码，此寄存器可以不初始化，也可初始化为 0。详见 VS10xx 应用笔记。

8. 6. 11 SCI_VOL (RW)

SCI_VOL 可以控制播放器硬件音量。对每个声道，一个 0 到 254 间的数被定义为从最大音量级别以 0.5dB 衰减。左声道值乘 256。因而，最大的音量是 0，而静音为 0xFEFE。

例如：若左声道为-2.0dB，右声道为-3.5dB： $(4 \times 256) + 7 = 0x407$ 。注意，在启动的时候被设置为满音量。软件复位不会改变音量设定。

注意：设置 SCI_VOL 为 0xFFFF 将使芯片进入模拟掉电模式。

8. 6. 12 SCI_AICTRL[x] (RW)

SCI_AICTRL[x]寄存器 (x=[0..3]) 可用作访问用户应用程序。

9 操作

9. 1 时钟

VS1003 操作于单时钟，12.288MHz 作为主时钟。此时钟可以由外部电路产生（连接至 XTALI）或使用内部晶体振荡器接口（XTALI 和 XTALO 脚）

9. 2 硬件复位

当 XRESET 线被拉低，VS1003 被复位，所有的控制寄存器和内部状态都被设置为初始值。XRESET 由任何外部时钟异步产生。复位模式同时也是全掉电模式，VS1003 的数字和模拟部分仅消耗很小的功率，而且时钟停止，XTALO 被接地。

在硬件复位或上电之后，DREQ 仍然保持低电平至少 16600 时钟周期，意味着在 12.288MHz 的时钟下，有大约 1.35ms 的延时。在此之后，解码之前用户可以设置基本的硬件寄存器例如 SCI_MODE,SCI_BASS,SCI_CLOCKF 和 SCI_VOL。详见 8.6。

内部时钟能被 PLL 倍频，支持 1.0x...4.5x 倍频（SCI_CLOCKF 寄存器）。复位值为 1.0x。若想设置为典型值，复位之后，内部时钟倍频数须设置为 3.0x。等待 DREQ 变高后，将 0x9800 写入 SCI_CLOCKF（寄存器 3）。详见 8.6.4

9. 3 软件复位

在一些情况下解码器软件被复位，就是 SCI_MODE 的 bit2 引起（8.6.1）。然后等待至少 2us，DREQ 线仍然保持低电平至少 16600 个时钟周期，意味着在 12.288MHz 工作的 VS1003 有约 1.35ms 的延时。在 DREQ 变高之后，你可以照常进行回放。

如果你不想 VS1003 截掉低比特率数据流的尾部，而你又想进行软件复位。建议在文件之后，复位之前遵照 DREQ 的协定，向 SDI 送入 2048 个零。这对 MIDI 文件尤其重要，尽管你可以通过 SCI_HDAT1 选取。

如果你打算中断 WAV,WMA,MIDI 文件的播放，置位模式寄存器中的 SM_OUTOFWAV，并等待直到 SCI_HDAT1 被清空（2 秒超时）在继续操作之前需要软件复位。MP3 通常不允许 SM_OUTOFWAV 因为它是一种流格式，所以需要超时处理。

9. 4 SPI 引导

如果在引导时间里，GPIO0 被上拉电阻拉到高电平，VS1003 尝试从外部 SPI 存储器中引导，SPI 引导重定义的管脚如下：

正常模式	SPI 引导模式
GPIO0	xCS
GPIO0	CLK
DREQ	MOSI
GPIO0	MISO

必须是有 16 位地址（即至少 1KB）的 SPI 串行 EEPROM。SPI 时钟速度在 VS1003 工作在 12.288MHz 时为 245KHz。此存储器中的前三字节必须是 0x50,0x26,0x48。准确的记录格式见 VS10xx 应用笔记。

9. 5 播放/解码

这是 VS1003 的一个常规操作模式。SDI 数据被解码，解码的采样率变换到内部模拟 DAC 允许的范围。如果找不到能被解码的数据，SCI_HDAT0 和 SCI_HDAT1 被设置为 0 并且模拟输出静音。

所有的不同格式的文件可以接着播放，且在两文件之间不需要软件复位。在每个流末尾发送至少 4 个零。尽管如此，在两个流之间使用软件复位不失为一个好主意，同样要警戒紧挨着的损坏的文件。在这种情况下你可以在发送软件复位之前，等待解码完成（SCI_HDAT0 和 SCI_HDAT1 变为零）。

9.6 传送 PCM 数据

VS1003 可以通过发送一个 WAV 文件头，用作 PCM 解码器。如果发送的 WAV 文件长度是 0 或 0xFFFFFFFF，VS1003 将停留在 PCM 模式不确定的时间（或是直到 SM_OUTOFWAV 被置位）。支持单声道或立体声 8 位和 16 位的线性音频。

9.7 SDI 测试

VS1003 有几个测试模式，如用户存储器测试，SCI 总线测试和几个不同的正弦波测试。

所有的测试都有一个相似的启动途径：VS1003 被硬件复位，SM_TEST 置位，然后发送一个测试命令到 SDI 总线。每个测试的开始都是发送一个 4 字节的特殊命令顺序和紧接着的 4 个零。这些顺序将在下面章节阐述。

9.7.1 正弦测试

正弦测试通过有序的 8 字节初始化，0x53 0xEF 0x6E n 0 0 0 0，这里的 n 被定义为正弦测试使用，定义如下：

n bits		
名称	位	描述
F _s Idx	7: 5	采样率索引
S	4: 0	正弦跳过速度

正弦输出频率可通过这个公式计算： $F = F_s \times (S/128)$ 。

例如：正弦测试值为 126 时被激活，二进制为 0b01111110。则 F_sIdx=0b011=3，所以 F_s=22050Hz。

S=0b11110=30，所以最终的正弦输出频率为 $F = 22050\text{Hz} \times 30/128 = 5168\text{Hz}$ 。

F _s Idx	F _s (Hz)
0	44100
1	48000
2	32000
3	22050
4	24000
5	16000
6	11025
7	12000

想要退出正弦测试模式的话，发送如下序列 0x45 0x78 0x69 0x74 0 0 0 0。

注意：正弦测试信号通过数字音量控制器，所以可以单独测试某个声道。

9.7.2 管脚测试

管脚测试通过发送 8 字节序列激活，即 0x50 0xED 0x6E 0x54 0 0 0 0。这个测试仅对芯片产品有意义。

9.7.3 存储器测试

存储器测试模式通过发送 8 字节的序列 0x4D 0xEA 0x6D 0x54 0 0 0 0 来初始化。在此序列之后，等待 500000 个时钟周期，就可以从 SCI 寄存器 SCI_HDAT0 中读取结果。读出数据的每位解释如下：

位	掩码	含义
15	0x8000	测试结束
14: 7		未使用
6	0x0040	所有测试成功
5	0x0020	I RAM 完好
4	0x0010	Y RAM 完好
3	0x0008	X RAM 完好
2	0x0004	I ROM 完好
1	0x0002	Y ROM 完好
0	0x0001	X ROM 完好
	0x807F	所有都完好

存储器测试是在当前 RAM 上覆盖写入。

9.7.4 SCI 测试

SCI 测试通过发送 8 字节的序列初始化，0x53 0x70 0xEE n 0 0 0 0，这里的 n 减去 48 为测试的寄存器编号。给定的被测试寄存器的内容被复制到 SCI_HDAT0，若被测试的寄存器为 SCI_HDAT0，则其结果被复制到 SCI_HDAT1。

例如：若 n 等于 48，则寄存器 0（SCI_MODE）的内容被复制到 SCI_HDAT0。

在春节即将来临之际
祝全国广大电子 DIY 爱好者
身体健康!

万事如意!

事业有成!

学业有成!

夫妻和睦!

官运亨通!

财源广进!

五谷丰登!

小弟在此给您拜年了!!!

为方便爱好者打造自己的个性 MP3，特将此器件手册翻译。
水平有限，错漏难免，欢迎斧正！
此翻译稿仅供读者对照参考，如有偏差或冲突请以原文为准！

由于时间紧迫，只翻译了第 4 到 9 章，前面的版权部分及后面的扩展功能部份未做翻译，若有需要，请读者阅读原英文版 DataSheet。

再次感谢亲爱钰铃的大力支持！^-^

本人联系方式

QQ: 275303901

Mail: weiguangyin@163.com

贵州大学 2004 级电子科学与技术专业
贵阳永青仪电科技 开发部 魏广寅