



125V/2A、高速、半桥 MOSFET 驱动器

MAX5062/MAX5063/MAX5064

概述

MAX5062/MAX5063/MAX5064 高频、125V 半桥、n 沟道 MOSFET 驱动器可在高压应用中用于驱动高边和低边 MOSFET。各驱动器可以独立控制，并且输入至输出典型 35ns 的传输延迟被匹配在 3ns (典型) 之内。高电压工作，非常小、并且驱动器之间匹配的传输延迟，高源出/吸收电流能力，以及热增强型封装等特性使这些器件非常适合于高功率、高频电信电源转换器。最大 125V 的输入电压范围超出了电信标准所规定的 100V 输入瞬态要求，并留出足够冗余。芯片在 V_{DD} 与 BST 之间集成了高可靠的片上自举二极管，省去了分离的外部二极管。

MAX5062A/C 与 MAX5063A/C 具有两个同相驱动器 (参见选择指南)。MAX5062B/D 与 MAX5063B/D 具有一路同相高边驱动器和一路反相低边驱动器。MAX5064A/B 的每个驱动器有两种输入，即可作为反相，也可作为同相应用。MAX5062A/B/C/D 与 MAX5064A 为 CMOS ($V_{DD}/2$) 逻辑输入。MAX5063A/B/C/D 与 MAX5064B 为 TTL 逻辑输入。MAX5064A/B 包括一个可调节的先开后合逻辑，可以在 16ns 至 95ns 之间设置两个驱动器之间的死时间。这些驱动器可提供工业标准的 8 引脚 SO 封装和引脚配置，热增强型 8 引脚 SO 和 12 引脚 (4mm x 4mm) 薄型 QFN 封装。所有器件工作于 -40°C 至 +125°C 的汽车级温度范围。

应用

电信半桥电源
双开关正激变换器
全桥转换器
有源钳位正激变换器
电源模块
电机控制

特性

- ◆ 引脚兼容于 HIP2100/HIP2101 (MAX5062A/MAX5063A)
- ◆ 输入工作电压高至 125V
- ◆ 8V 至 13.2V 的 V_{DD} 输入电压范围
- ◆ 2A 峰值源出和吸收驱动能力
- ◆ 35ns 典型传输延迟
- ◆ 驱动器间传输延迟保证匹配在 8ns 内
- ◆ 可设置的先开后合时序 (MAX5064)
- ◆ 驱动 100nC 栅极电荷时，组合开关频率高至 1MHz (MAX5064)
- ◆ 有滞回的 CMOS ($V_{DD}/2$) 或 TTL 逻辑电平输入
- ◆ 高至 15V 的逻辑输入与输入电压无关
- ◆ 仅有 2.5pF 输入电容
- ◆ 在出现故障或者 PWM 启-停同步时，驱动器立即关断 (MAX5064)
- ◆ 低至 200 μ A 的电源电流
- ◆ 提供多种同相和反相驱动器组合 (MAX5062B/D 与 MAX5063B/D)
- ◆ 备有 8 引脚 SO、热增强型 SO 以及 12 引脚薄型 QFN 封装

订购信息

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK
MAX5062AASA	-40°C to +125°C	8 SO	—
MAX5062BASA	-40°C to +125°C	8 SO	—
MAX5062CASA	-40°C to +125°C	8 SO-EP*	—
MAX5062DASA	-40°C to +125°C	8 SO-EP*	—

*EP = 裸露底盘。

订购信息后续于数据手册的末尾。

选择指南

PART	HIGH-SIDE DRIVER	LOW-SIDE DRIVER	LOGIC LEVELS	PIN COMPATIBLE
MAX5062AASA	Noninverting	Noninverting	CMOS ($V_{DD}/2$)	HIP 2100IB
MAX5062BASA	Noninverting	Inverting	CMOS ($V_{DD}/2$)	—
MAX5062CASA	Noninverting	Noninverting	CMOS ($V_{DD}/2$)	—
MAX5062DASA	Noninverting	Inverting	CMOS ($V_{DD}/2$)	—

选择指南后续于数据手册的末尾。



125V/2A、高速、 半桥MOSFET驱动器

ABSOLUTE MAXIMUM RATINGS

(All voltages referenced to GND, unless otherwise noted.)

V _{DD} , IN_H, IN_L, IN_L+, IN_L-, IN_H+, IN_H--0.3V to +15V
DL, BBM-0.3V to (V _{DD} + 0.3V)
HS-5V to +130V
DH to HS-0.3V to (V _{DD} + 0.3V)
BST to HS-0.3V to +15V
dV/dt at HS50V/ns
Continuous Power Dissipation (T _A = +70°C)	
8-Pin SO (derate 5.9mW/°C above +70°C)470.6mW

8-Pin SO With Exposed Pad (derate 19.2mW/°C above +70°C)1538.5mW
12-Pin Thin QFN (derate 24.4mW/°C above +70°C)1951.2mW
Maximum Junction Temperature+150°C
Operating Temperature Range-40°C to +125°C
Storage Temperature Range-65°C to +150°C
Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = V_{BST} = +8V to +13.2V, V_{HS} = GND = 0V, BBM = open, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V_{DD} = V_{BST} = +12V and T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
Operating Supply Voltage	V _{DD}		8.0		13.2	V
V _{DD} Quiescent Supply Current	I _{DD}	IN_H = IN_L = GND (no switching)	MAX5062_/MAX5063_	70	140	μA
			MAX5064_	120	260	
V _{DD} Operating Supply Current	I _{DDO}	f _{sw} = 500kHz, V _{DD} = +12V			3	mA
BST Quiescent Supply Current	I _{BST}	IN_H = IN_L = GND (no switching)		15	40	μA
BST Operating Supply Current	I _{BSTO}	f _{sw} = 500kHz, V _{DD} = V _{BST} = +12V			3	mA
UVLO (V _{DD} to GND)	UVLO _{VDD}	V _{DD} rising	6.5	7.3	8.0	V
UVLO (BST to HS)	UVLO _{BST}	BST rising	6.0	6.9	7.8	V
UVLO Hysteresis				0.5		V
LOGIC INPUT						
Input-Logic High	V _{IH_}	MAX5062_/MAX5064A, CMOS (V _{DD} / 2) version	0.67 x V _{DD}	0.55 x V _{DD}		V
		MAX5063_/MAX5064B, TTL version	2	1.65		
Input-Logic Low	V _{IL_}	MAX5062_/MAX5064A, CMOS (V _{DD} / 2) version		0.4 x V _{DD}	0.33 x V _{DD}	V
		MAX5063_/MAX5064B, TTL version		1.4	0.8	
Logic-Input Hysteresis	V _{HYS}	MAX5062_/MAX5064A, CMOS (V _{DD} / 2) version		1.6		V
		MAX5063_/MAX5064B, TTL version		0.25		

125V/2A、高速、 半桥MOSFET驱动器

MAX5062/MAX5063/MAX5064

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = V_{BST} = +8V$ to $+13.2V$, $V_{HS} = GND = 0V$, $BBM = open$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = V_{BST} = +12V$ and $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Logic-Input Current	I_{IN}	$V_{IN_H+}, V_{IN_L+} = 0V$	-1	0.001	+1	μA
		$V_{IN_L} = V_{DD}$ for MAX5062B/D, MAX5063B/D				
		$V_{IN_H-}, V_{IN_L-}, V_{IN_H} = V_{DD}$				
		$V_{IN_L} = 0V$ for MAX5062A/C, MAX5063A/C				
Input Resistance	R_{IN}	$IN_H+, IN_L+ IN_H, to GND$		1		$M\Omega$
		$IN_L to V_{DD}$ for MAX5062B/D, MAX5063B/D				
		$IN_H-, IN_L-, IN_H, to V_{DD}$				
		IN_L for MAX5062A/C, MAX5063A/C to GND				
Input Capacitance	C_{IN}		2.5			pF
HIGH-SIDE GATE DRIVER						
HS Maximum Voltage	V_{HS_MAX}		125			V
BST Maximum Voltage	V_{BST_MAX}		140			V
Driver Output Resistance (Sourcing)	R_{ON_HP}	$V_{DD} = 12V, I_{DH} = 100mA$ (sourcing)	$T_A = +25^{\circ}C$	2.5	3.3	Ω
			$T_A = +125^{\circ}C$	3.5	4.6	
Driver Output Resistance (Sinking)	R_{ON_HN}	$V_{DD} = 12V, I_{DH} = 100mA$ (sinking)	$T_A = +25^{\circ}C$	2.1	2.8	Ω
			$T_A = +125^{\circ}C$	3.2	4.2	
DH Reverse Current (Latchup Protection)		(Note 2)	400			mA
Power-Off Pulldown Clamp Voltage		$V_{BST} = 0V$ or floating, $I_{DH} = 1mA$ (sinking)		0.94	1.16	V
Peak Output Current (Sourcing)	I_{DH_PEAK}	$C_L = 10nF, V_{DH} = 0V$		2		A
Peak Output Current (Sinking)		$C_L = 10nF, V_{DH} = 12V$		2		A
LOW-SIDE GATE DRIVER						
Driver Output Resistance (Sourcing)	R_{ON_LP}	$V_{DD} = 12V, I_{DL} = 100mA$ (sourcing)	$T_A = +25^{\circ}C$	2.5	3.3	Ω
			$T_A = +125^{\circ}C$	3.5	4.6	
Driver Output Resistance (Sinking)	R_{ON_LN}	$V_{DD} = 12V, I_{DL} = 100mA$ (sinking)	$T_A = +25^{\circ}C$	2.1	2.8	Ω
			$T_A = +125^{\circ}C$	3.2	4.2	
Reverse Current at DL (Latchup Protection)		(Note 2)	400			mA
Power-Off Pulldown Clamp Voltage		$V_{DD} = 0V$ or floating, $I_{DL} = 1mA$ (sinking)		0.95	1.16	V
Peak Output Current (Sourcing)	I_{PK_LP}	$C_L = 10nF, V_{DL} = 0V$		2		A
Peak Output Current (Sinking)	I_{PK_LN}	$C_L = 10nF, V_{DL} = 12V$		2		A
INTERNAL BOOTSTRAP DIODE						
Forward Voltage Drop	V_f	$I_{BST} = 100mA$		0.91	1.11	V
Turn-On and Turn-Off Time	t_R	$I_{BST} = 100mA$		40		ns

125V/2A、高速、 半桥 MOSFET 驱动器

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = V_{BST} = +8V$ to $+13.2V$, $V_{HS} = GND = 0V$, $BBM = open$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = V_{BST} = +12V$ and $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SWITCHING CHARACTERISTICS FOR HIGH- AND LOW-SIDE DRIVERS						
Rise Time	t_R	$C_L = 1000pF$		7		ns
		$C_L = 5000pF$		33		
		$C_L = 10,000pF$		65		
Fall Time	t_F	$C_L = 1000pF$		7		ns
		$C_L = 5000pF$		33		
		$C_L = 10,000pF$		65		
Turn-On Propagation Delay Time	t_{D_ON}	Figure 1, $C_L = 1000pF$ (Note 2)	CMOS	30	55	ns
			TTL	35	63	
Turn-Off Propagation Delay Time	t_{D_OFF}	Figure 1, $C_L = 1000pF$ (Note 2)	CMOS	30	55	ns
			TTL	35	63	
Delay Matching Between Inverting Input to Output and Noninverting Input to Output	t_{MATCH1}	$C_L = 1000pF$, BBM open for MAX5064, Figure 1 (Note 2)		2	8	ns
Delay Matching Between Driver-Low and Driver-High	t_{MATCH2}	$C_L = 1000pF$, BBM open for MAX5064, Figure 1 (Note 2)		2	8	ns
Break-Before-Make Accuracy (MAX5064 Only)		$R_{BBM} = 10k\Omega$		16		ns
		$R_{BBM} = 47k\Omega$ (Notes 2, 3)	40	56	72	
		$R_{BBM} = 100k\Omega$		95		
Internal Nonoverlap				1		ns

Note 1: All devices are 100% tested at $T_A = +125^{\circ}C$. Limits over temperature are guaranteed by design.

Note 2: Guaranteed by design, not production tested.

Note 3: Break-before-make time is calculated by $t_{BBM} = 8ns \times (1 + R_{BBM} / 10k\Omega)$.

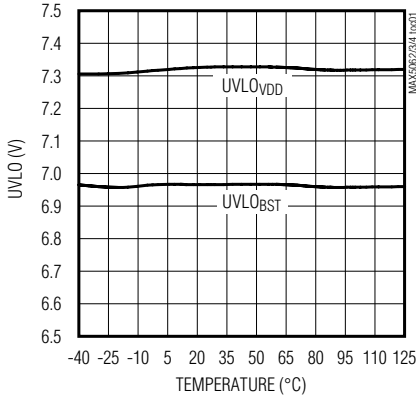
125V/2A、高速、半桥MOSFET驱动器

典型工作特性

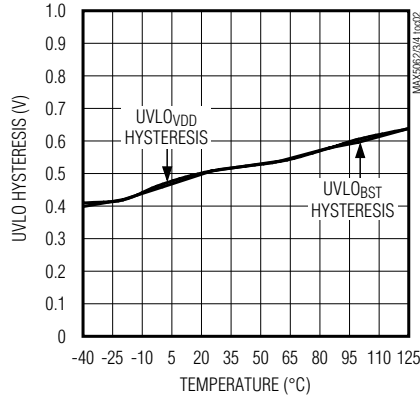
(Typical values are at $V_{DD} = V_{BST} = +12V$ and $T_A = +25^\circ C$, unless otherwise specified.)

MAX5062/MAX5063/MAX5064

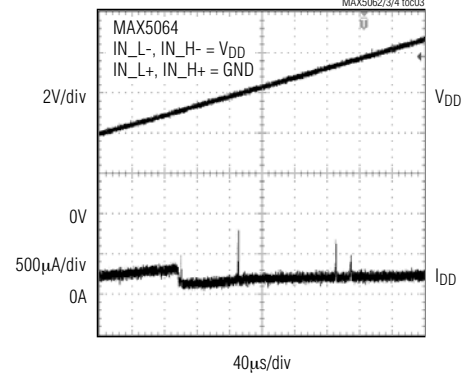
**UNDERVOLTAGE LOCKOUT
(V_{DD} AND V_{BST} RISING) vs. TEMPERATURE**



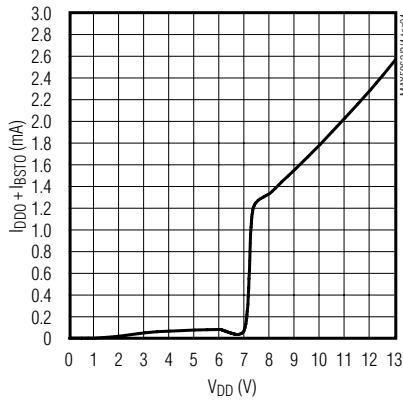
**V_{DD} AND BST UNDERVOLTAGE LOCKOUT
HYSTERESIS vs. TEMPERATURE**



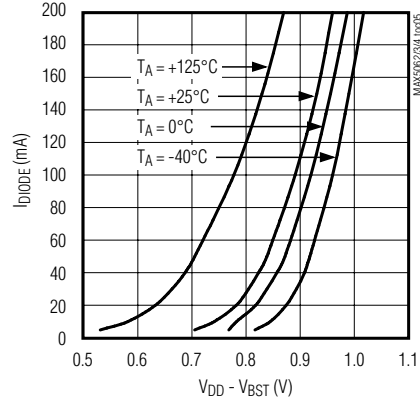
I_{DD} vs. V_{DD}



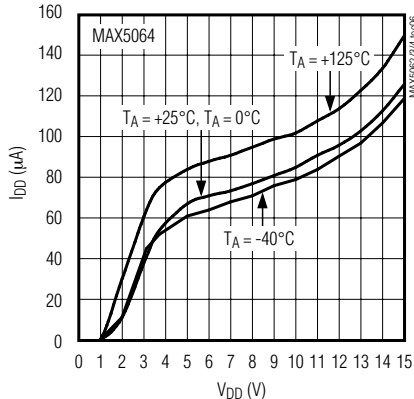
**$I_{DD} + I_{BSTO}$ vs. V_{DD}
($f_{sw} = 250kHz$)**



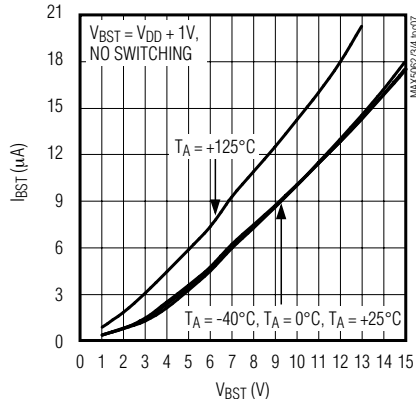
**INTERNAL BST DIODE
(I-V) CHARACTERISTICS**



**V_{DD} QUIESCENT CURRENT
vs. V_{DD} (NO SWITCHING)**



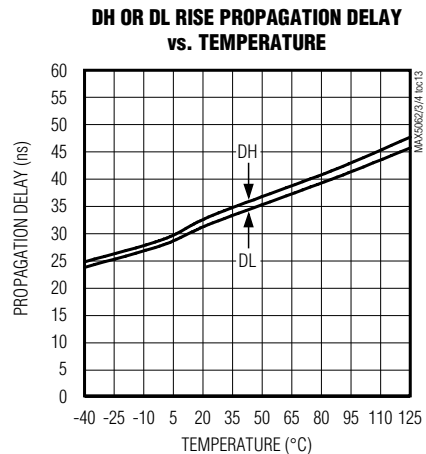
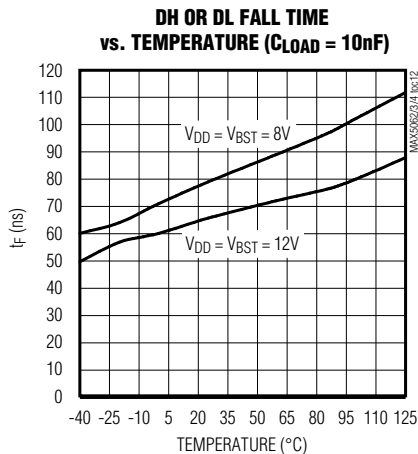
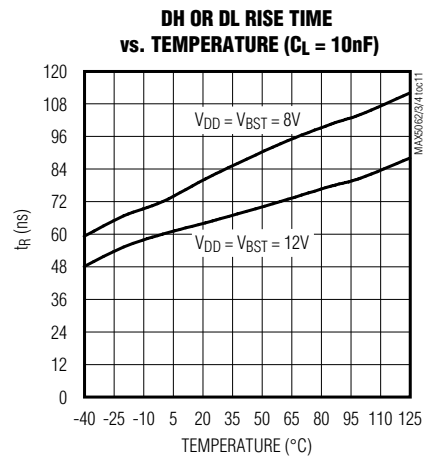
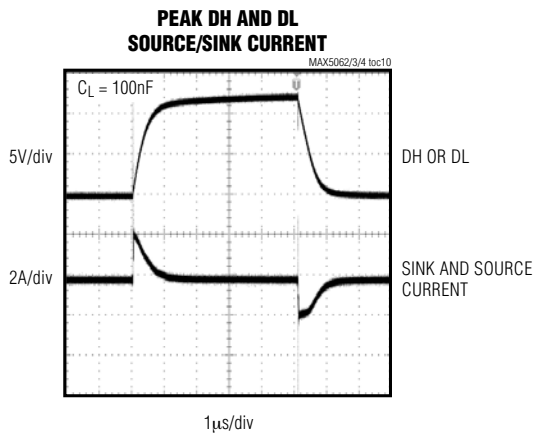
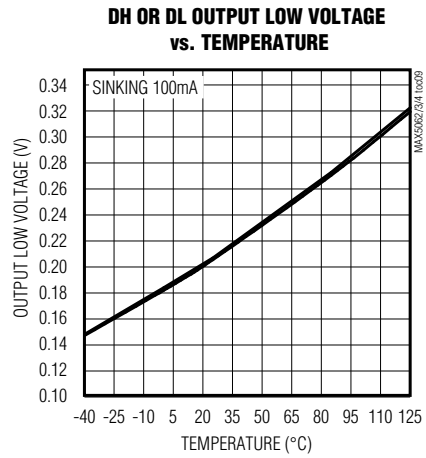
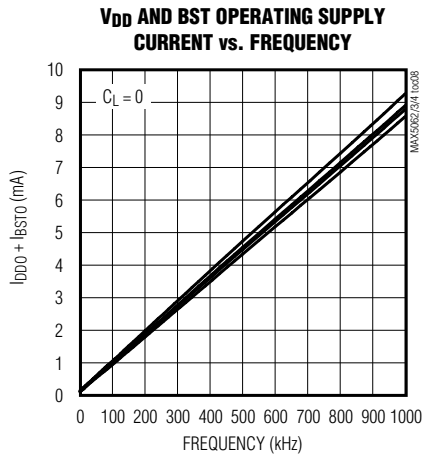
**BST QUIESCENT CURRENT
vs. BST VOLTAGE**



125V/2A、高速、 半桥 MOSFET 驱动器

典型工作特性 (续)

(Typical values are at $V_{DD} = V_{BST} = +12V$ and $T_A = +25^\circ C$, unless otherwise specified.)

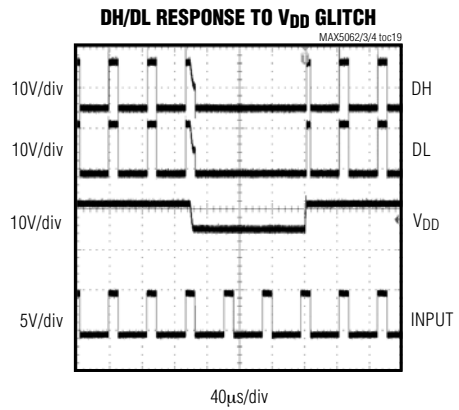
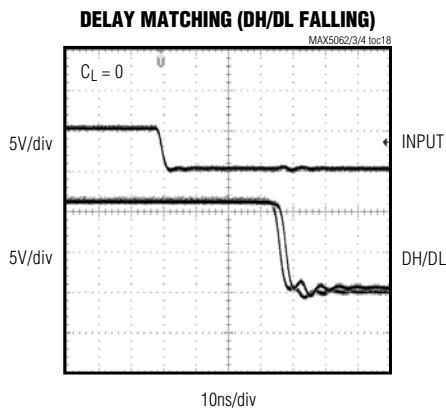
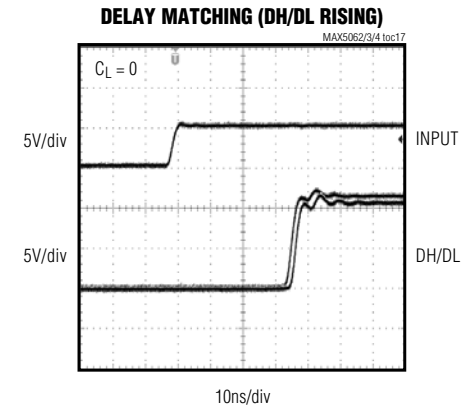
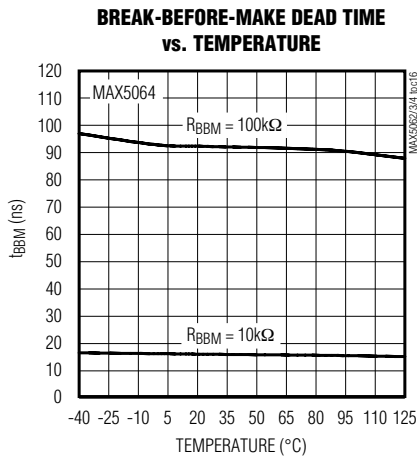
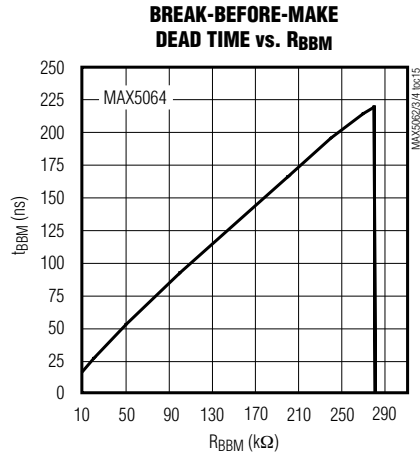
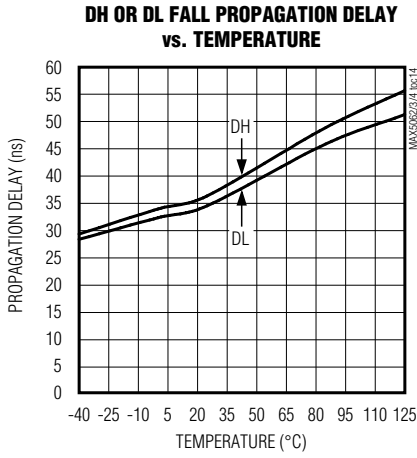


125V/2A、高速、半桥MOSFET驱动器

典型工作特性 (续)

(Typical values are at $V_{DD} = V_{BST} = +12V$ and $T_A = +25^\circ C$, unless otherwise specified.)

MAX5062/MAX5063/MAX5064



125V/2A、高速、 半桥 MOSFET 驱动器

MAX5062/MAX5063 引脚说明

引脚	名称	功能
1	V _{DD}	电源输入。用0.1 μ F和1 μ F陶瓷电容并联后旁路至GND。
2	BST	自举浮动电容连接点。在BST与HS之间连接0.1 μ F陶瓷电容，用于为高边MOSFET驱动器供电。
3	DH	高边栅极驱动器输出。驱动高边MOSFET栅极。
4	HS	高边MOSFET源极连接点。也是高边驱动器的返回端。
5	IN _H	高边同相逻辑输入。
6	IN _L	低边同相逻辑输入 (MAX5062A/C, MAX5063A/C)。低边反相逻辑输入 (MAX5062B/D, MAX5063B/D)。
7	GND	地。GND也是DL驱动器输出和IN _H /IN _L 输入的返回通路。
8	DL	低边栅极驱动器输出。驱动低边MOSFET栅极。
—	EP	裸露底盘。内部连接至GND。在外部将裸露底盘连接至大面积接地层以协助散热 (仅对MAX5062C/D, MAX5063C/D)。

MAX5064 引脚说明

引脚	名称	功能
1	BST	自举浮动电容连接点。在BST与HS之间连接0.1 μ F陶瓷电容，用于为高边MOSFET驱动器供电。
2	DH	高边栅极驱动器输出。驱动高边MOSFET栅极。
3	HS	高边MOSFET源极连接点。也是高边驱动器的返回端。
4	AGND	模拟地。低开关电流信号的返回通路。IN _H /IN _L 输入的参考端。
5	BBM	先开后合设置电阻连接点。在BBM与AGND间连接10k Ω 至100k Ω 电阻，设定先开后合时间 (t_{BBM}) 为16ns至95ns。电阻大于200k Ω 时禁止BBM功能，并使 $t_{BBM} = 1ns$ 。用至少1nF的电容旁路该引脚至AGND。
6	IN _{H-}	高边反相CMOS ($V_{DD}/2$) (MAX5064A) 或 TTL (MAX5064B) 逻辑输入。不用时连接至AGND。
7	IN _{H+}	高边同相CMOS ($V_{DD}/2$) (MAX5064A) 或 TTL (MAX5064B) 逻辑输入。不用时连接至V _{DD} 。
8	IN _{L-}	低边反相CMOS ($V_{DD}/2$) (MAX5064A) 或 TTL (MAX5064B) 逻辑输入。不用时连接至AGND。
9	IN _{L+}	低边同相CMOS ($V_{DD}/2$) (MAX5064A) 或 TTL (MAX5064B) 逻辑输入。不用时连接至V _{DD} 。
10	PGND	功率地。高开关电流信号的返回通路。使用PGND作为低边驱动器的返回通路。
11	DL	低边栅极驱动器输出。驱动低边MOSFET栅极。
12	V _{DD}	电源输入。用0.1 μ F和1 μ F陶瓷电容并联后旁路至PGND。
—	EP	裸露底盘。内部连接至AGND。在外部连接至大面积接地层以协助散热。

125V/2A、高速、半桥MOSFET驱动器

MAX5062/MAX5063/MAX5064

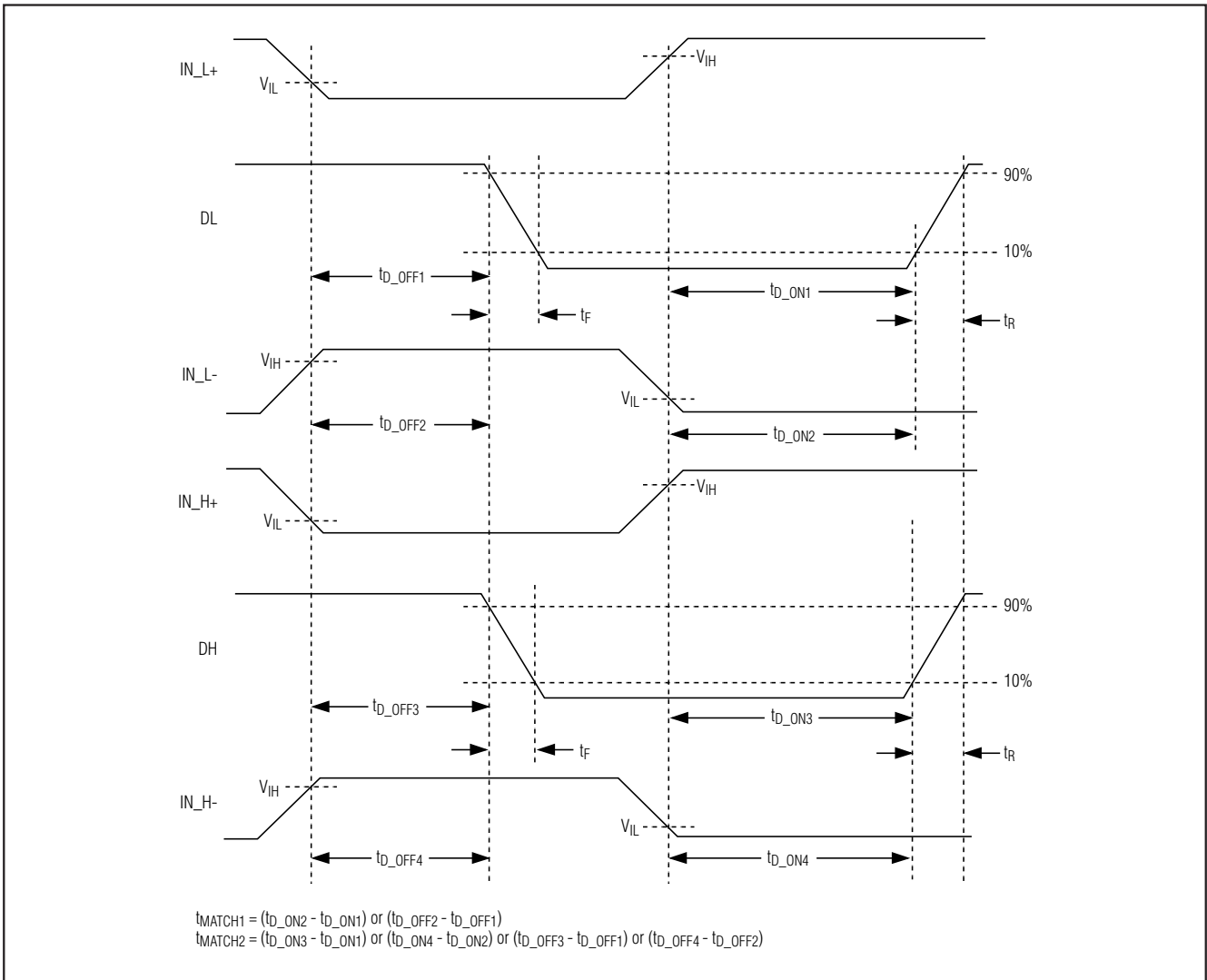


图 1. 同相与反相逻辑输入的定时特性

详细说明

MAX5062/MAX5063/MAX5064 为 125V/2A 高速、半桥 MOSFET 驱动器，工作于 +8V 至 +13.2V 供电电压下。这些驱动器设计用于在不用任何隔离器件（例如光耦或驱动变压器）的条件下驱动高边开关。高边驱动器通过以地为参考的 TTL/CMOS 逻辑信号来控制。利用低 R_{DS_ON} 的 p 沟道与 n 沟道驱动器输出级，提供 2A 的源出和吸收驱动能力。采用 BiCMOS 工艺实现了极快的上升/下降时间

和低传输延迟。逻辑输入信号至驱动输出的典型传输延迟为 35ns，并且传输延迟匹配度典型可达 3ns。传输延迟的匹配度与其绝对值具有同等重要的意义。高达 125V 的电压输入范围相对于电信标准规定的 100V 瞬态指标绰绰有余。

MAX5064 提供热增强型 TQFN 封装，耗散功率高达 1.95W (+70°C 时)，驱动总栅极电荷 100nC 的 MOSFET 时允许高达 1MHz 的开关频率。

125V/2A、高速、 半桥 MOSFET 驱动器

欠压锁定

高边与低边驱动器均具有欠压锁定功能 (UVLO)。低边驱动器的 UVLO_{LOW} 门限以地为参考, 当 V_{DD} 下降至 6.8V 以下时, 同时拉低两路驱动器输出。高边驱动器有自己的欠压锁定门限 (UVLO_{HIGH}), 以 HS 为参考, 当 BST 相对于 HS 下降到低于 6.4V 时拉低 DH。

启动期间, 一旦 V_{DD} 升高至 UVLO 门限以上, DL 就开始开关动作并跟随 IN_L 逻辑输入变化。此时, 自举电容尚未充电, BST-HS 电压低于 UVLO_{BST}。对于同步 buck 和半桥转换拓扑, 自举电容可在一个周期内充电, 并在 BST-HS 电压超过 UVLO_{BST} 之后的几个微秒内开始正常工作。在双开关正激拓扑中, BST 电容需要多一点时间 (几百微秒) 来充电并使其电压上升到 UVLO_{BST} 以上。

两个 UVLO 门限具有 0.5V 的典型滞回。应仔细选择自举电容的容量, 以避免 DH 开启和关闭时产生意想不到的振荡。可选择大约 20 倍于 MOSFET 总栅极电容的容量。在 BST 上使用低 ESR、X7R 电介质的陶瓷电容 (一般来讲 0.1μF 的陶瓷电容就足够了), 并在 V_{DD} 至 GND (MAX5062₁, MAX5063₁) 或者 V_{DD} 至 PGND (MAX5064₁) 之间连接 1μF 和 0.1μF 并联陶瓷电容。由于高边驱动器静态电流所造成的电荷流失, 高边 MOSFET 的连续导通时间受到限制。最大导通时间取决于 C_{BST} 的容量、I_{BST} (最大 50μA) 和 UVLO_{BST}。

输出驱动器

MAX5062/MAX5063/MAX5064 的输出级采用了 2.5Ω 低 R_{DS_ON} 的 p 沟道与 n 沟道器件 (图腾柱)。可以高速打开和关闭具有高栅极电荷的开关 MOSFET。峰值源出和吸收电流典型为 2A。从逻辑输入到驱动器输出的传输延迟被匹配在 8ns 内。内部 p 沟道与 n 沟道 MOSFET 具有 1ns 死时间的先开后合逻辑, 以避免它们交叉导通。这种内置的先开后合逻辑消除了穿透电流, 降低了工作电源电流和 V_{DD} 上的尖脉冲。DL 电压约等于 V_{DD} 和 DH-HS 电压, 当它们为高电平时比 V_{DD} 低一个二极管压降, 当它们为低电平时则为 0。驱动器在较高的 V_{DD} 下具有更低的

R_{DS_ON}。更低的 R_{DS_ON} 意味着更高的源出和吸收电流及更快的开关速度。

内部自举二极管

V_{DD} 与 BST 之间内部连接有一个二极管, 和外部连接在 BST 和 HS 之间的自举电容配合使用。这个二极管在 DL 低边开关导通时由 V_{DD} 给自举电容充电, 而当 HS 随着高边驱动器的导通被拉高时它又起到隔离 V_{DD} 的作用 (参见典型工作电路)。

内部自举二极管具有 0.9V 的典型正向压降和 10ns 的典型关断/打开时间。为了降低 V_{DD} 到 BST 的压降, 可在 V_{DD} 与 BST 之间连接一个外部的肖特基二极管。

设置先开后合 (MAX5064)

半桥和同步 buck 拓扑要求高边或低边开关应在另一开关导通之前关闭, 以避免穿透电流。当高边和低边开关同时打开时即会产生穿透电流。出现这种情况的原因包括: IN_H/IN_L 到 DH/DL 传输延迟的失配, 驱动器输出阻抗的差异, 以及 MOSFET 栅极电容的差异。穿透电流会增大功耗和 EMI 辐射, 并且在高输入电压情况下会造成灾难性后果。

MAX5064 具有先开后合 (BBM) 功能, 允许从输入到每个驱动器的输出延迟。IN_H 和 IN_L 上升沿至 DH 和 DL 上升沿的传输延迟可分别设定为 16ns 至 95ns。注意, 由于 BBM 单元中比较器的固有延迟, BBM 时间 (t_{BBM}) 在较低值时具有较高的百分比误差。在计算 t_{BBM} 总误差时要考虑传输延迟的失配 (t_{MATCH₁})。仅 8ns (最大值) 的延迟失配降低了总 t_{BBM} 的变化。根据下式计算满足 BBM 时间需要的 R_{BBM} 和 t_{BBM_ERROR}:

$$R_{BBM} = 10k\Omega \times \left(\frac{t_{BBM}}{8ns} - 1 \right) \text{ for } R_{BBM} < 200k\Omega$$

$$t_{BBM_ERROR} = 0.15 \times t_{BBM} + t_{MATCH_1}$$

其中, t_{BBM} 的单位为纳秒。

125V/2A、高速、半桥MOSFET驱动器

MAX5062/MAX5063/MAX5064

应用信息

电源旁路和接地

需要特别注意MAX5062/MAX5063/MAX5064的旁路和接地。当两个驱动器同相驱动比较大的外部容性负载时，电源和输出中的峰值电流会超过4A。电源的跌落和地电位的偏移构成了某种形式的向逆变器的负反馈，可能会给延迟和跳变时间带来负面影响。不恰当的器件接地造成的地偏移可能也会干扰共用同一交流地返回通路的其它电路。MAX5062/MAX5063/MAX5064带有任何容性负载时，V_{DD}、DH、DL和/或GND通路上的任何串联电感都会在开关时产生振荡，这是因为di/dt非常高。尽可能靠近器件放置一个或多个并联的0.1μF陶瓷电容旁路V_{DD}至GND(MAX5062/MAX5063)或PGND(MAX5064)。使用接地层来减小地返回通路电阻和串联电感。尽可能靠近MAX5062/MAX5063/MAX5064放置外部MOSFET，以减小电路板电感和AC通路电阻。对于MAX5064₋，低功率逻辑地(AGND)与高功率驱动器返回地(PGND)是分开的。在IN₋和AGND间接入逻辑输入信号，在DL与PGND之间连接负载(MOSFET栅极)。

功率耗散

MAX5062/MAX5063/MAX5064的功率耗散主要来自于内部自举二极管和nMOSFET及pMOSFET的功耗。

对于容性负载，器件的总功耗为：

$$P_D = (C_L \times V_{DD}^2 \times f_{SW}) + (I_{DDO} + I_{BSTO}) \times V_{DD}$$

其中，C_L为DH和DL上的总容性负载。V_{DD}为电源电压，f_{SW}为转换器的开关频率。P_D包括内部自举二极管的功耗。如果使用外部肖特基自举二极管，内部功耗还可降低P_{DIODE}。内部自举二极管的功耗(驱动容性负载时)等于每个开关周期通过二极管的电荷乘以最大二极管正向压降(V_f = 1V)。

$$P_{DIODE} = C_{DH} \times (V_{DD} - 1) \times f_{SW} \times V_f$$

BBM上的电压稳定至1.3V。BBM电路根据流过R_{BBM}的电流调节t_{BBM}。用一个1nF或更小的陶瓷电容(C_{BBM})旁路BBM至AGND，以免开关期间的地反射影响。刚开启时C_{BBM}的充电时间不影响t_{BBM}，因为在UVLO清除并启动器件之前BBM电压已经稳定。

像双开关正激变换器这样的拓扑要求高、低边开关同时导通和关闭，可以不连接BBM而使BBM功能被禁止掉。被禁止时，t_{BBM}通常为1ns。

驱动器逻辑输入 (IN_H、IN_L、IN_H+、IN_H-、IN_L+、IN_L-)

MAX5062₋/MAX5064A为CMOS(V_{DD}/2)逻辑输入驱动器，而MAX5063₋/MAX5064B为TTL兼容的逻辑输入。逻辑输入信号与V_{DD}无关。例如，该IC可以由10V电源供电，而逻辑输入可由12V CMOS逻辑提供。而且，无论V_{DD}电压为多少，逻辑输入都具有高至15V的尖峰电压保护。TTL与CMOS逻辑输入分别具有400mV和1.6V的滞回，以避免转换期间出现双脉冲。逻辑输入为高阻抗引脚，不可浮空。2.5pF的低输入电容减小了负载效应并增加了开关速度。在内部，通过1MΩ电阻，同相输入被下拉至GND，反相输入被上拉至V_{DD}。在上电时，控制器的PWM输出必须确保具有正确的状态。逻辑输入浮空时，V_{DD}升高至UVLO门限以上后，DH和DL输出被拉低。

MAX5064₋的每个驱动器有两个逻辑输入，可实现对MOSFET更灵活的控制。IN_H+/IN_L+为同相逻辑输入，IN_H-/IN_L-为反相逻辑输入。不用时将IN_H+/IN_L+连接至V_{DD}，IN_H-/IN_L-连接至GND。或者，未用的输入也可用于ON/OFF功能。IN_₊可作为低有效，IN_₋可作为高有效关断逻辑。

表 1. MAX5064₋真值表

IN_H+/IN_L+	IN_H-/IN_L-	DH/DL
Low	Low	Low
Low	High	Low
High	Low	High
High	High	Low

125V/2A、高速、 半桥 MOSFET 驱动器

使用内部自举二极管时的总功耗为 P_D ，使用外部肖特基二极管时的总功耗为 $P_D - P_{DIODE}$ 。在 $T_A = +70^\circ\text{C}$ 环境下，12 引脚 TQFN 封装的器件的总功耗必须保持低于 1.951W 的最大值，带有裸露底盘的 8 引脚 SO 封装应低于 1.5W，常规 8 引脚 SO 封装应低于 0.471W。

布局信息

MAX5062/MAX5063/MAX5064 驱动器源出和吸收很大的电流，以便在开关 MOSFET 的栅极产生很快的上升和下降沿。如果没有很好地控制连线的长度和阻抗，高 di/dt 会造成无法接受的振荡。在使用 MAX5062/MAX5063/MAX5064 进行设计时，可遵循如下的 PCB 布局准则：

- 在 V_{DD} 至 GND (MAX5062/MAX5063) 或 V_{DD} 至 PGND (MAX5064)，以及 BST 至 HS 之间，尽量靠近器件安排一个或更多 $0.1\mu\text{F}$ 陶瓷去耦电容。陶瓷去耦电容应至少 20 倍于被驱动的栅极电容。
- MOSFET 栅极与器件之间有两个交流电流环。拉低栅极电压时，MOSFET 类似于一个从栅极到源极的大电容。活动的电流环为：MOSFET 驱动器输出 (DL 或 DH)——MOSFET 栅极——MOSFET 源极——MOSFET 驱动器返回端 (GND 或 HS)。当拉高 MOSFET 栅极电压时，活动的电流环为：MOSFET 驱动器输出 (DL 或 DH)——MOSFET 栅极——MOSFET 源极——驱动器去耦电容返回端——去耦电容正端——MOSFET 驱动器供电引脚。去耦电容可能是连接在 BST 和 HS 之间的浮动电容，或者是 V_{DD} 的去耦电容。布局时必须仔细处理上述交流电流环，使其物理长度和阻抗最小。
- 要将 TQFN (MAX5064) 或 SO (MAX5062C/D 和 MAX5063C/D) 封装的裸露垫盘焊接到大面积敷铜上，以获得额定的功率耗散能力。在靠近 V_{DD} 去耦电容返回端的地方将 AGND 和 PGND 单点连接。

125V/2A、高速、 半桥MOSFET驱动器

典型应用电路

MAX5062/MAX5063/MAX5064

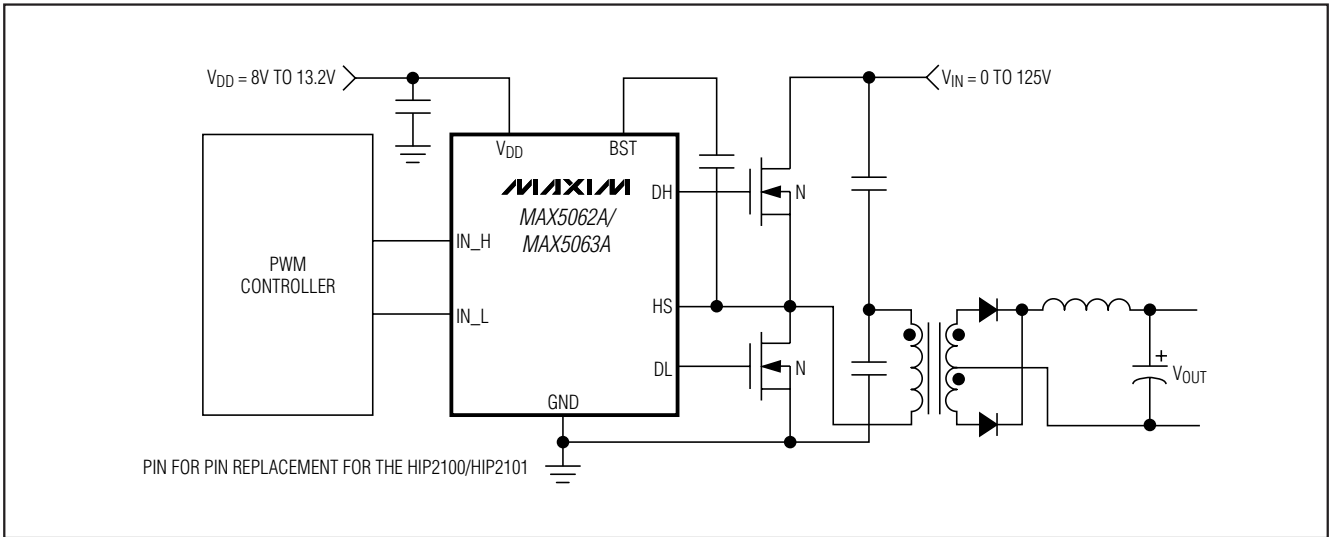


图 2. MAX5062 用于半桥转换电路

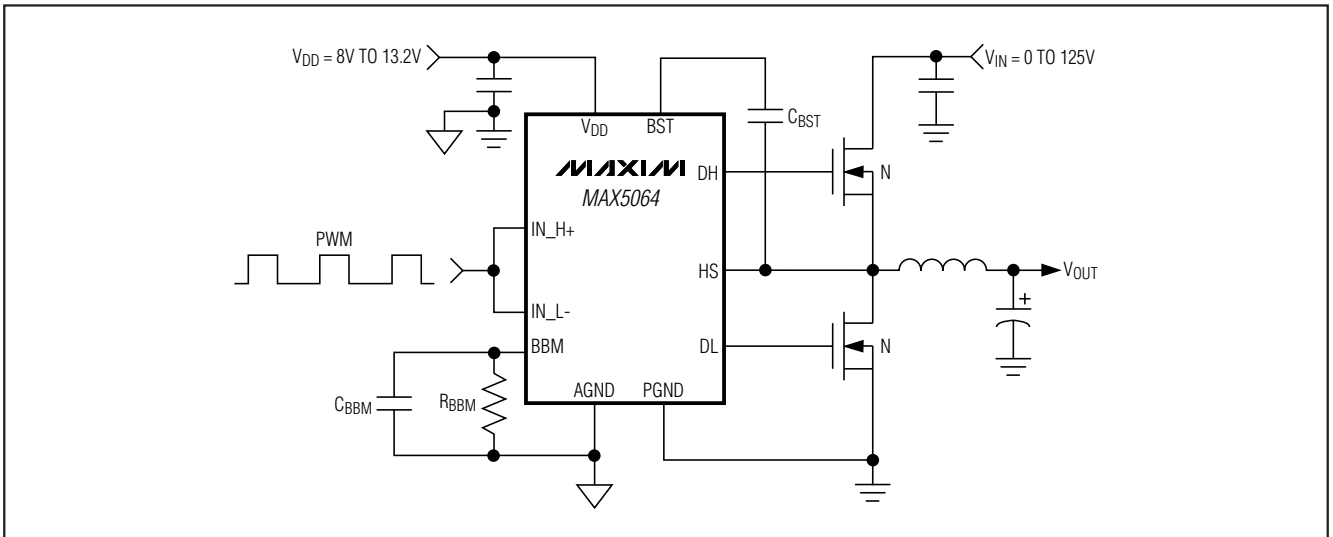


图 3. 同步降压转换器

125V/2A、高速、 半桥 MOSFET 驱动器

典型应用电路 (续)

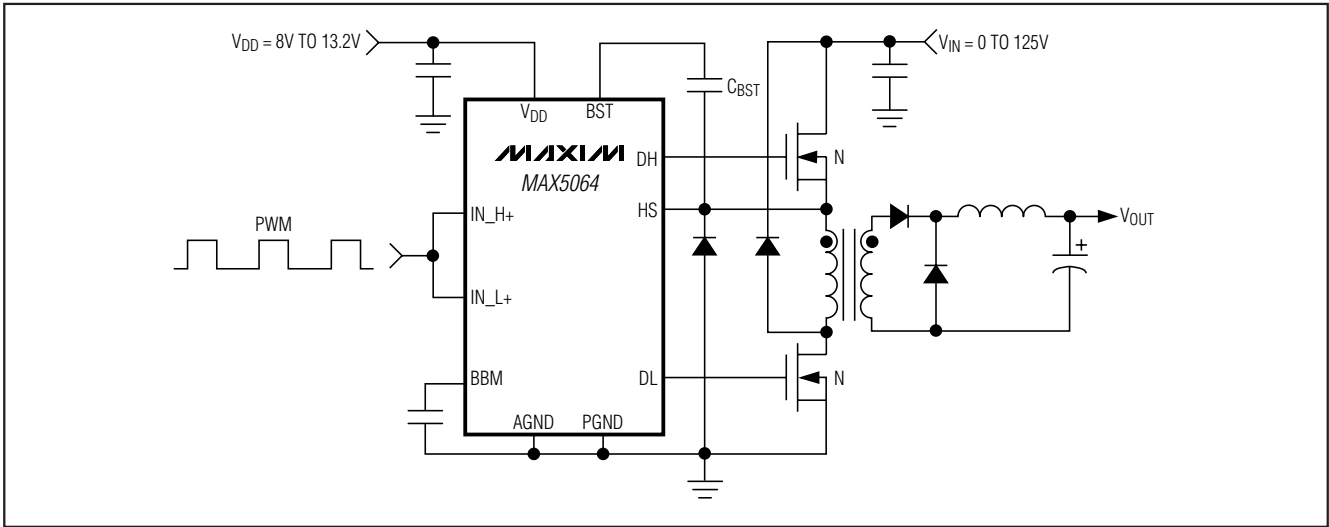


图 4. 双开关正激转换电路

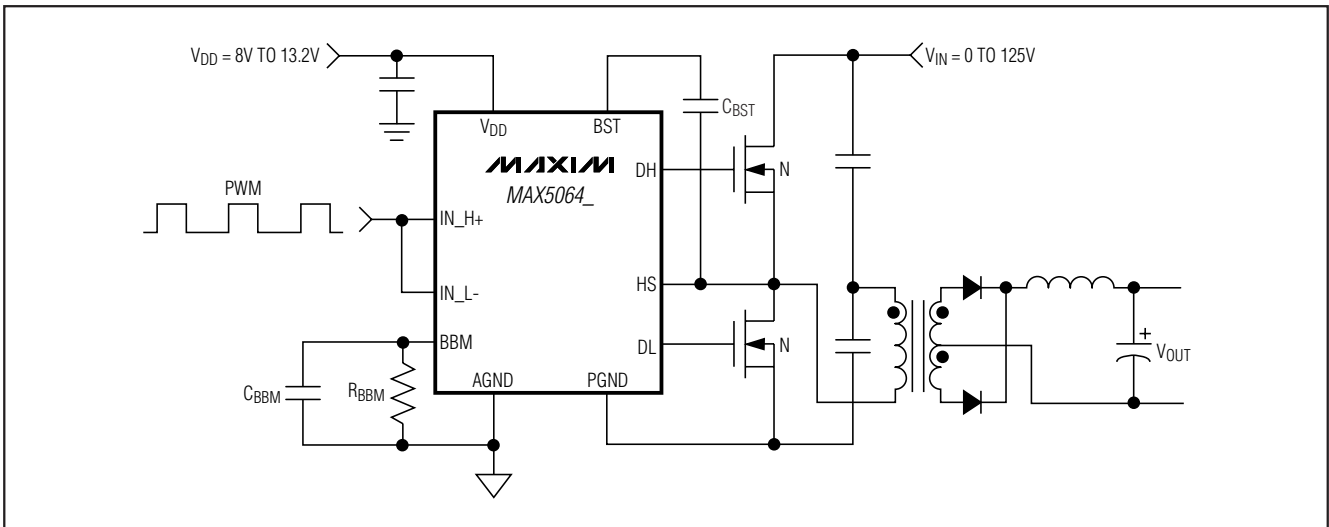
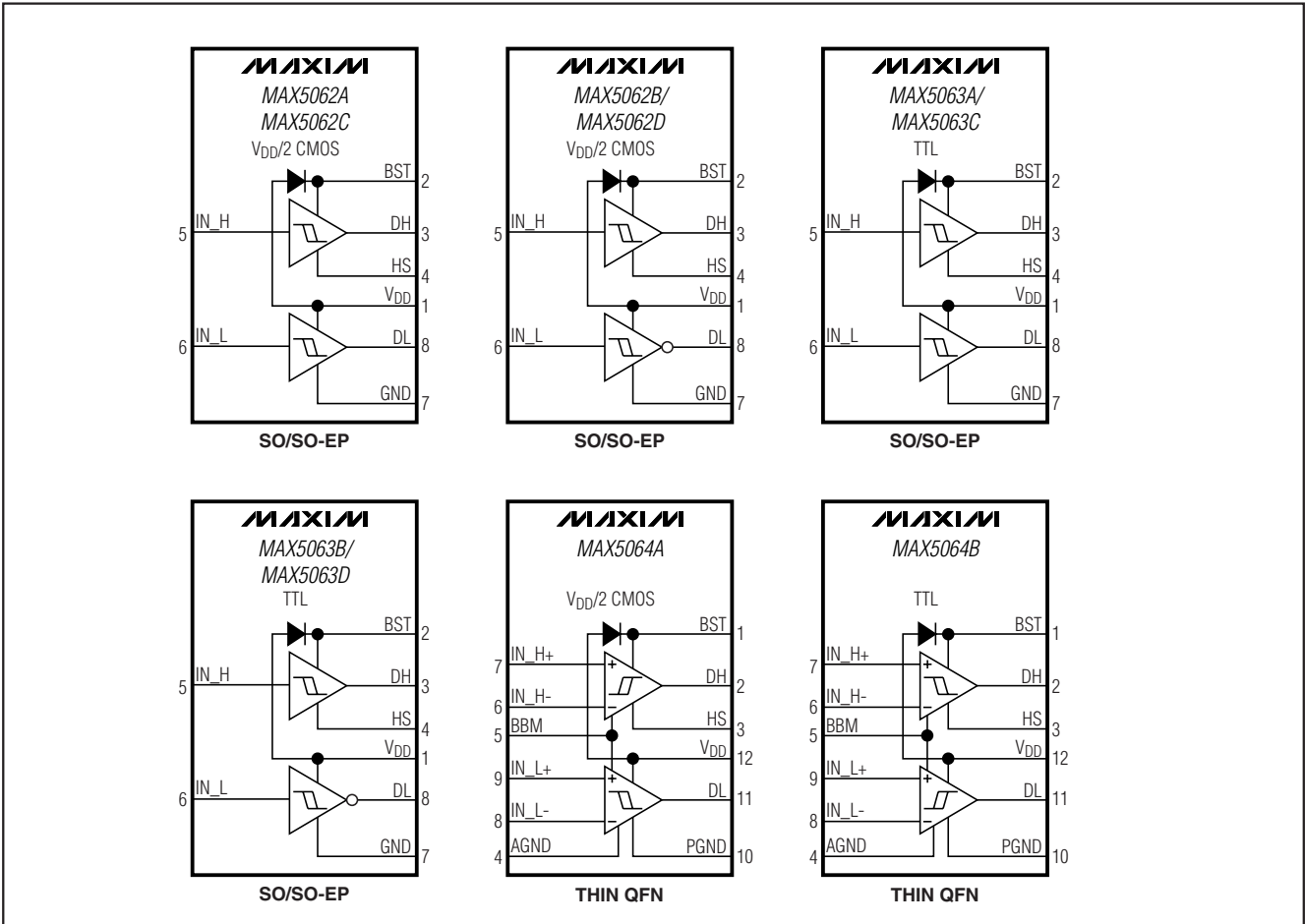


图 5. MAX5064 用于半桥转换器

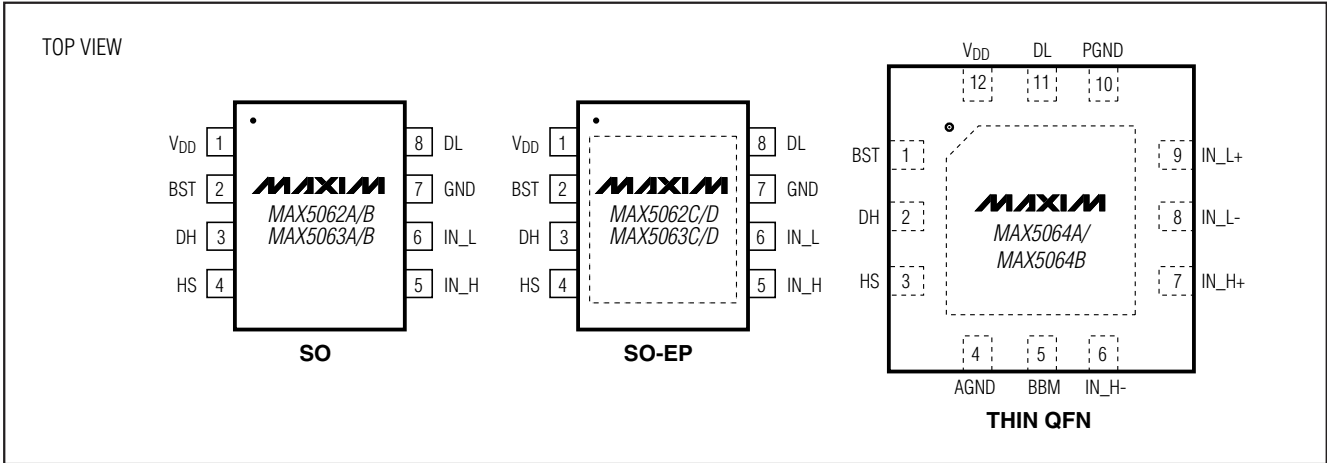
125V/2A、高速、半桥MOSFET驱动器

功能框图

MAX5062/MAX5063/MAX5064

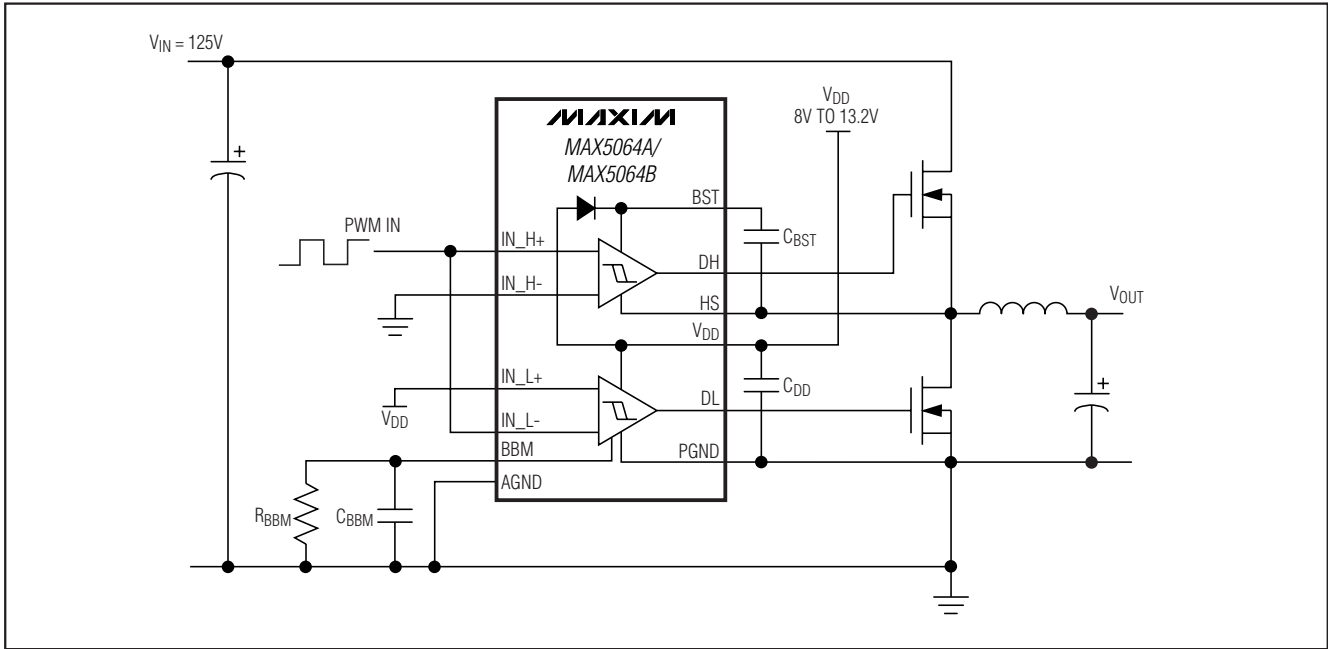


引脚配置



125V/2A、高速、 半桥 MOSFET 驱动器

典型工作电路



选择指南 (续)

PART	HIGH-SIDE DRIVER	LOW-SIDE DRIVER	LOGIC LEVELS	PIN COMPATIBLE
MAX5063AASA	Noninverting	Noninverting	TTL	HIP2101IB
MAX5063BASA	Noninverting	Inverting	TTL	—
MAX5063CASA	Noninverting	Noninverting	TTL	—
MAX5063DASA	Noninverting	Inverting	TTL	—
MAX5064AATC	Both Inverting and Noninverting	Both Inverting and Noninverting	CMOS ($V_{DD} / 2$)	—
MAX5064BATC	Both Inverting and Noninverting	Both Inverting and Noninverting	TTL	—

订购信息 (续)

芯片信息

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK
MAX5063AASA	-40°C to +125°C	8 SO	—
MAX5063BASA	-40°C to +125°C	8 SO	—
MAX5063CASA	-40°C to +125°C	8 SO-EP*	—
MAX5063DASA	-40°C to +125°C	8 SO-EP*	—
MAX5064AATC	-40°C to +125°C	12 TQFN	AAEF
MAX5064BATC	-40°C to +125°C	12 TQFN	AAEG

*EP = 裸露垫盘。

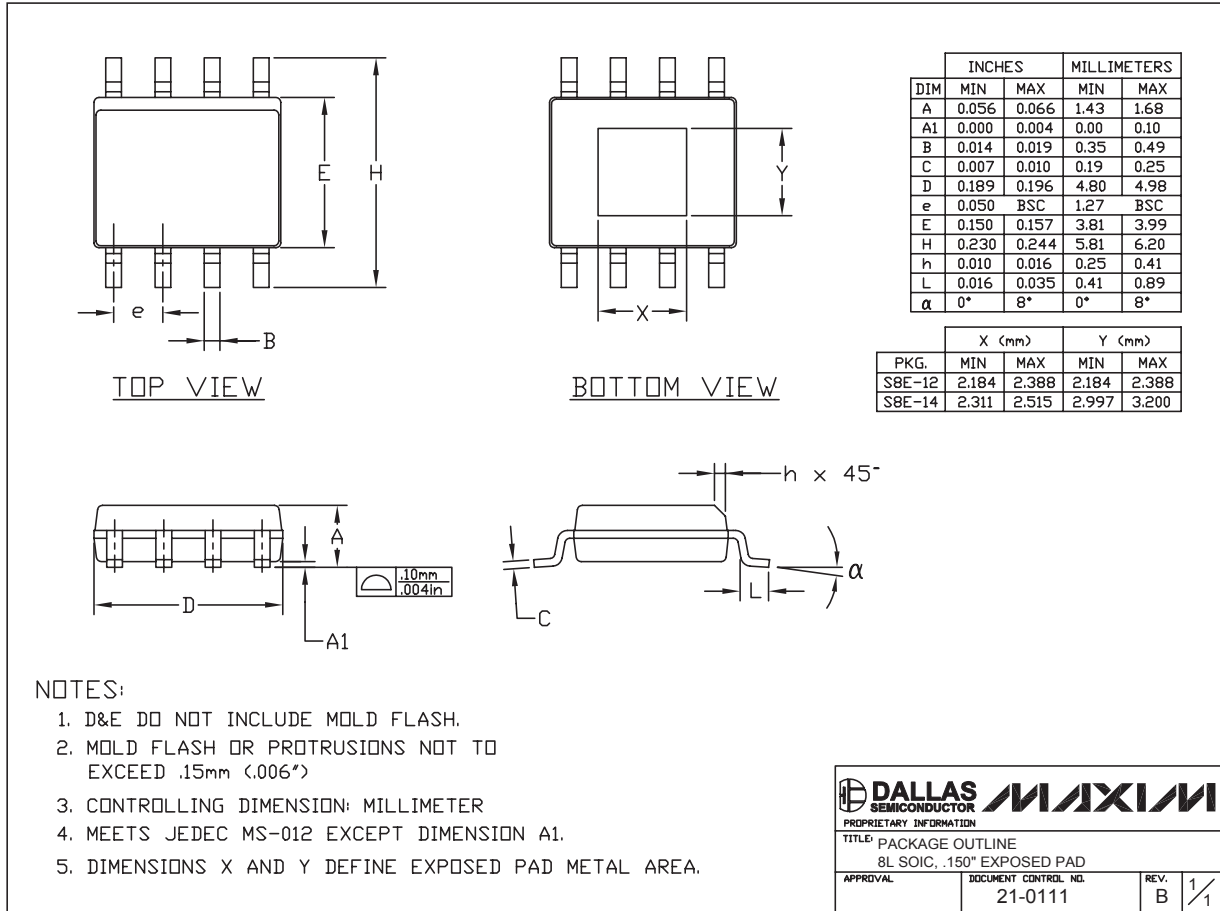
TRANSISTOR COUNT: 790
PROCESS: HV BiCMOS

125V/2A、高速、半桥 MOSFET 驱动器

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages。)

MAX5062/MAX5063/MAX5064

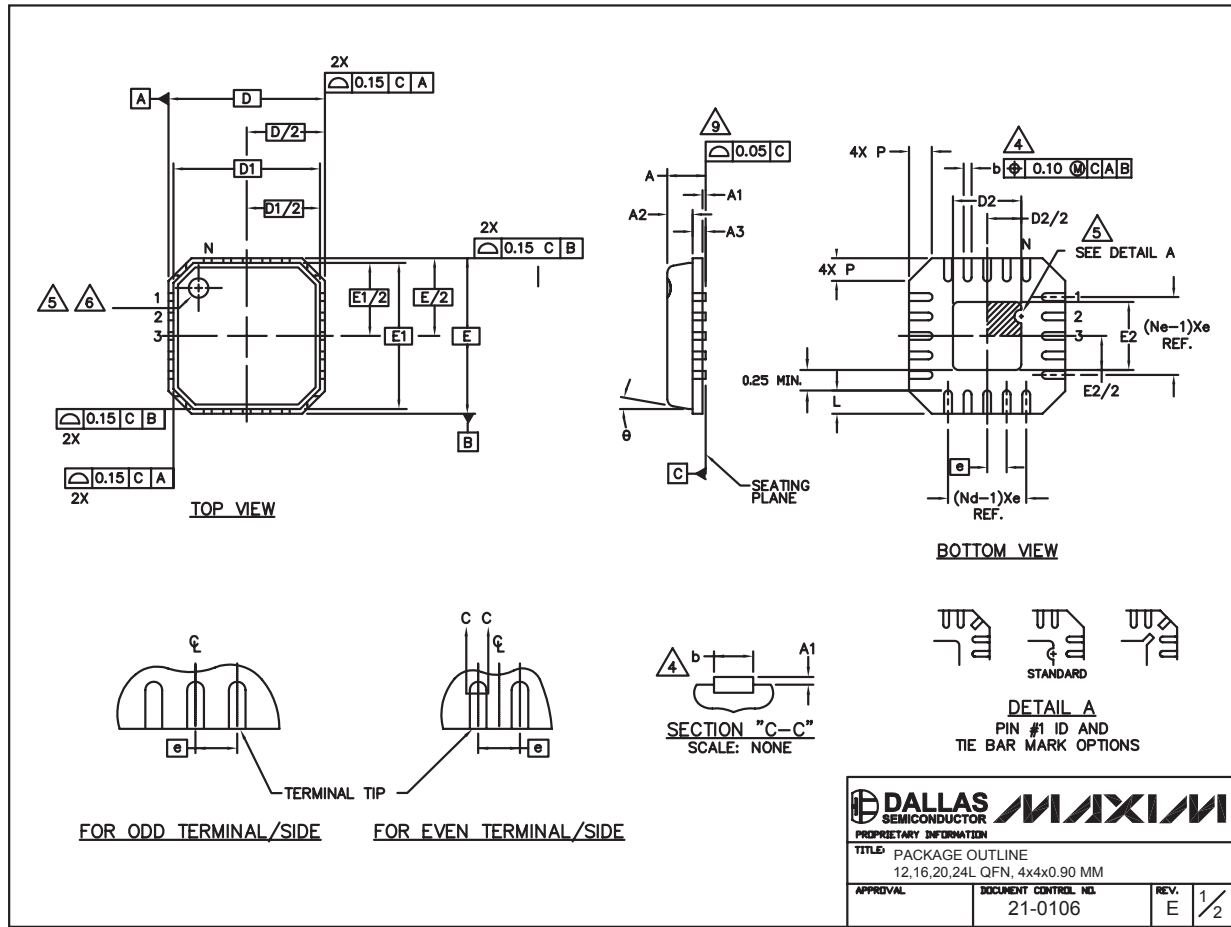


8L, SOIC EXP. PAD EPS

125V/2A、高速、 半桥 MOSFET 驱动器

封装信息 (续)

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages。)



125V/2A、高速、半桥MOSFET驱动器

封装信息(续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com.cn/packages.)

MAX5062/MAX5063/MAX5064

NOTES:

1. DIE THICKNESS ALLOWABLE IS 0.305mm MAXIMUM (.012 INCHES MAXIMUM).
2. DIMENSIONING & TOLERANCES CONFORM MUST TO ASME Y14.5M. - 1994.
3. N IS THE NUMBER OF TERMINALS.
Nd IS THE NUMBER OF TERMINALS IN X-DIRECTION &
Ne IS THE NUMBER OF TERMINALS IN Y-DIRECTION.
4. DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.20 AND 0.25mm FROM TERMINAL TIP.
5. THE PIN #1 IDENTIFIER MUST BE EXISTED ON THE TOP SURFACE OF THE PACKAGE BY USING INDENTATION MARK OR INK/LASER MARKED. DETAILS OF PIN #1 IDENTIFIER IS OPTIONAL, BUT MUST BE LOCATED WITHIN ZONE INDICATED.
6. EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
7. ALL DIMENSIONS ARE IN MILLIMETERS.
8. PACKAGE WARPAGE MAX 0.05mm.
9. APPLIED FOR EXPOSED PAD AND TERMINALS.
EXCLUDE EMBEDDING PART OF EXPOSED PAD FROM MEASURING.
10. MEETS JEDEC MO220; EXCEPT DIMENSION "b".
11. THIS PACKAGE OUTLINE APPLIES TO PUNCHED QFN (STEPPED SIDES).

SYMBOL	COMMON DIMENSIONS			NOTE
	MIN.	NOM.	MAX.	
A	0.80	0.90	1.00	
A1	0.00	0.01	0.05	
A2	0.00	0.65	0.80	
A3	0.20 REF.			
D	4.00 BSC			
D1	3.75 BSC			
E	4.00 BSC			
E1	3.75 BSC			
θ	0°	-	12°	
P	0.24	0.42	0.60	

SYMBOL	PITCH VARIATION A			SYMBOL	PITCH VARIATION B			SYMBOL	PITCH VARIATION C			SYMBOL	PITCH VARIATION D			NOTE
	MIN.	NOM.	MAX.		MIN.	NOM.	MAX.		MIN.	NOM.	MAX.		MIN.	NOM.	MAX.	
Ⓞ	0.80 BSC			Ⓞ	0.65 BSC			Ⓞ	0.50 BSC			Ⓞ	0.50 BSC			
N	12			N	16			N	20			N	24		3	
Nd	3			Nd	4			Nd	5			Nd	6		3	
Ne	3			Ne	4			Ne	5			Ne	6		3	
L	0.50	0.60	0.75	L	0.50	0.60	0.75	L	0.50	0.60	0.75	L	0.30	0.40	0.50	
b	0.28	0.33	0.40	b	0.23	0.28	0.35	b	0.18	0.23	0.30	b	0.18	0.23	0.30	4

PKG. CODE	EXPOSED PAD VARIATION					
	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
G1244-2	1.95	2.10	2.25	1.95	2.10	2.25
G1644-1	1.95	2.10	2.25	1.95	2.10	2.25
G2044-3	1.95	2.10	2.25	1.95	2.10	2.25
G2044-4	1.55	1.70	1.85	1.55	1.70	1.85
G2444-1	1.95	2.10	2.25	1.95	2.10	2.25

PROPRIETARY INFORMATION TITLE: PACKAGE OUTLINE 12,16,20,24L QFN, 4x4x0.90 MM	
APPROVAL	DOCUMENT CONTROL NO. 21-0106
REV. E	2/2

MAXIM 北京办事处

北京 8328 信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6201 0598

传真: 010-6201 0298

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 19