

EVALUATION KIT
AVAILABLE

MAXIM

超低功耗、高动态性能的
40Msps模拟前端

MAX5865

概述

MAX5865超低功耗、高度集成的模拟前端适用于便携式通信设备，例如手机、PDA、WLAN以及3G无线终端。MAX5865集成了两个8位接收ADC和两个10位发送DAC，以极低的功耗提供更高的动态性能。ADC的模拟I-Q输入放大器为全差分结构，可以接受1V_{P-P}满量程信号。I-Q通道相位匹配典型值为±0.2°，幅度匹配典型值为±0.05dB。f_{IN} = 5.5MHz和f_{CLK} = 40MHz时，ADC具有48.4dB的SINAD和70dBc的无杂散动态范围(SFDR)。DAC的模拟I-Q输出为全差分信号，满量程输出为±400mV，共模电压为1.4V。I-Q通道相位匹配典型值为±0.15°，增益匹配典型值为±0.05dB。f_{OUT} = 2.2MHz和f_{CLK} = 40MHz时，DAC具有双路10位分辨率，SFDR为72dBc，SNR为57dB。

ADC和DAC既可以同时工作、也可以独立工作，适用于频分双工(FDD)和时分双工(TDD)模式。通过3线串行接口控制关断与收发器的工作模式。在ADC与DAC同时工作的收发模式下，f_{CLK} = 40Msps时，典型功率为75.6mW。MAX5865具有内部1.024V电压基准，该电压基准在整个电源供电范围与温度范围内保持稳定。MAX5865工作在+2.7V至+3.3V模拟电源和+1.8V至+3.3V数字I/O电源下，以保证逻辑兼容性。空闲模式下静态电流为8.5mA，关断模式下为1μA。MAX5865的工作温度范围为-40°C至+85°C，采用48引脚薄型QFN封装。

应用

窄带/宽带CDMA手机与PDA
固定/移动宽带无线调制解调器
3G无线终端

订购信息

| PART | TEMP RANGE | PIN-PACKAGE |
|------------|----------------|--------------------------------|
| MAX5865ETM | -40°C to +85°C | 48 Thin QFN-EP* (7mm x 7mm) |
| MAX5865E/D | -40°C to +85°C | Dice** |

*EP = Exposed paddle.

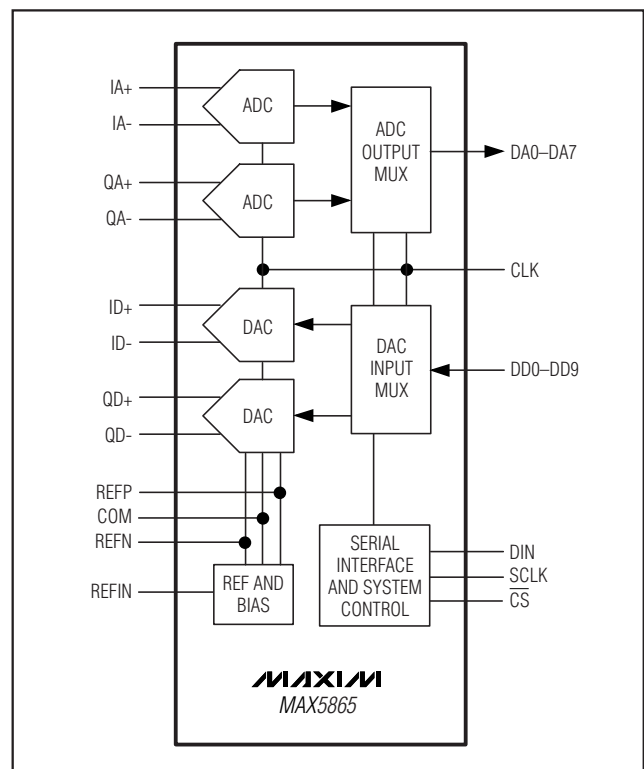
**Contact factory for dice specifications.

引脚配置在本数据资料的最后给出。

特性

- ◆ 集成了双路、8位ADC和双路、10位DAC
- ◆ 超低功耗
 - f_{CLK} = 40MHz时 75.6mW (收发模式)
 - f_{CLK} = 22MHz时 64mW (收发模式)
 - 低电流空闲模式与关断模式
- ◆ 优越的动态性能
 - f_{IN} = 5.5MHz时 SINAD为 48.4dB (ADC)
 - f_{OUT} = 2.2MHz时 SFDR为 70dB (DAC)
- ◆ 优越的增益/相位匹配
 - f_{IN} = 5.5MHz时相位匹配 ±0.2°，增益匹配 ±0.05dB (ADC)
- ◆ 内部/外部基准选择
- ◆ +1.8V至+3.3V数字输出电平 (TTL/CMOS兼容)
- ◆ 为ADC/DAC提供多路复用的并行数字输入/输出
- ◆ 微型48引脚、薄型QFN封装 (7mm x 7mm)
- ◆ 提供评估板 (订购 MAX5865EVKIT)

功能原理图



MAXIM

Maxim Integrated Products 1

本文是 Maxim 正式英文资料的译文，Maxim 不对翻译中存在的差异或由此产生的错误负责。请注意译文中可能存在文字组织或翻译错误，如需确认任何词语的准确性，请参考 Maxim 提供的英文版资料。

索取免费样品和最新版的数据资料，请访问 Maxim 的主页：www.maxim-ic.com.cn。

超低功耗、高动态性能的 40Msps模拟前端

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND, OV_{DD} to OGND-0.3V to +3.3V
 GND to OGND-0.3V to +0.3V
 IA+, IA-, QA+, QA-, ID+, ID-, QD+, QD-, REFP, REFN,
 REFIN, COM to GND-0.3V to (V_{DD} + 0.3V)
 DD0–DD9, SCLK, DIN, \overline{CS} , CLK,
 DA0–DA7 to OGND-0.3V to (OV_{DD} + 0.3V)

Continuous Power Dissipation (T_A = +70°C)
 48-Pin Thin QFN (derate 26.3mW/°C above
 +70°C)2.1W
 Thermal Resistance θ_{JA} +38°C/W
 Operating Temperature Range-40°C to +85°C
 Junction Temperature+150°C
 Storage Temperature Range-60°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 40MHz, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33μF, Xcvr mode, unless otherwise noted. Typical values are at T_A = +25°C, unless otherwise noted.) (Note 1)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---------------------------------|------------------|---|-----|------|-----------------|-------|
| POWER REQUIREMENTS | | | | | | |
| Analog Supply Voltage | V _{DD} | | 2.7 | 3.0 | 3.3 | V |
| Output Supply Voltage | OV _{DD} | | 1.8 | | V _{DD} | V |
| V _{DD} Supply Current | | ADC operating mode, f _{IN} = 5.5MHz, f _{CLK} = 40MHz, DAC operating mode, f _{OUT} = 2.2MHz | | 25.2 | 32 | mA |
| | | ADC operating mode (Rx), f _{IN} = 5.5MHz, f _{CLK} = 40MHz, DAC digital inputs at zero or OV _{DD} | | 21 | | |
| | | DAC operating mode (Tx), f _{OUT} = 2.2MHz, f _{CLK} = 40MHz, ADC off | | 12.8 | | |
| | | Standby mode, DAC digital inputs and CLK at zero or OV _{DD} | | | 2.0 | |
| | | Idle mode, DAC digital inputs at zero or OV _{DD} , f _{CLK} = 40MHz | | | 11 | |
| | | Shutdown mode, digital inputs and CLK at zero or OV _{DD} , \overline{CS} = OV _{DD} | | | 1 | μA |
| OV _{DD} Supply Current | | ADC operating mode, f _{IN} = 5.5MHz, f _{CLK} = 40Msps, DAC operating mode, f _{OUT} = 2.2MHz | | 3.8 | | mA |
| | | Idle mode, DAC digital inputs at zero or OV _{DD} , f _{CLK} = 40MHz | | 37.4 | | μA |
| | | Shutdown mode, DAC digital inputs and CLK at zero or OV _{DD} , \overline{CS} = OV _{DD} | | 1 | | |

超低功耗、高动态性能的 40Msps模拟前端

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 40MHz, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33μF, Xcvr mode, unless otherwise noted. Typical values are at T_A = +25°C, unless otherwise noted.) (Note 1)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|------------------|---|------|---------------------|-------|--------------|
| ADC DC ACCURACY | | | | | | |
| Resolution | | | 8 | | | Bits |
| Integral Nonlinearity | INL | | | ±0.15 | | LSB |
| Differential Nonlinearity | DNL | No missing codes over temperature | | ±0.15 | | LSB |
| Offset Error | | Residual DC offset error | | ±0.22 | ±5 | %FS |
| Gain Error | | Includes reference error | | ±0.48 | ±5 | %FS |
| DC Gain Matching | | | | ±0.03 | ±0.25 | dB |
| Offset Matching | | | | ±3 | | LSB |
| Gain Temperature Coefficient | | | | ±42 | | ppm/°C |
| Power-Supply Rejection | PSRR | Offset error (V _{DD} ±5%) | | ±0.2 | | LSB |
| | | Gain error (V _{DD} ±5%) | | ±0.07 | | |
| ADC ANALOG INPUT | | | | | | |
| Input Differential Range | V _{ID} | Differential or single-ended inputs | | ±0.512 | | V |
| Input Common-Mode Voltage Range | | | | V _{DD} / 2 | | V |
| Input Impedance | R _{IN} | Switched capacitor load | | 120 | | kΩ |
| | C _{IN} | | | 5 | | pF |
| ADC CONVERSION RATE | | | | | | |
| Maximum Clock Frequency | f _{CLK} | (Note 2) | | | 40 | MHz |
| Data Latency | | Channel I | | 5 | | Clock cycles |
| | | Channel Q | | 5.5 | | |
| ADC DYNAMIC CHARACTERISTICS (Note 3) | | | | | | |
| Signal-to-Noise Ratio | SNR | f _{IN} = 5.5MHz | 47 | 48.5 | | dB |
| | | f _{IN} = 20MHz | | 48.2 | | |
| Signal-to-Noise and Distortion Ratio | SINAD | f _{IN} = 5.5MHz | 46.5 | 48.4 | | dB |
| | | f _{IN} = 20MHz | | 48.2 | | |
| Spurious-Free Dynamic Range | SFDR | f _{IN} = 5.5MHz | 58 | 70 | | dBc |
| | | f _{IN} = 20MHz | | 70 | | |
| Third-Harmonic Distortion | HD3 | f _{IN} = 5.5MHz | | -75.4 | | dBc |
| | | f _{IN} = 20MHz | | -75 | | |
| Intermodulation Distortion | IMD | f ₁ = 2MHz, -7dBFS; f ₂ = 2.01MHz, -7dBFS | | -66 | | dBc |
| Third-Order Intermodulation Distortion | IM3 | f ₁ = 2MHz, -7dBFS; f ₂ = 2.01MHz, -7dBFS | | -70 | | dBc |
| Total Harmonic Distortion | THD | f _{IN} = 5.5MHz | | -71 | -57 | dBc |
| | | f _{IN} = 20MHz | | -70 | | |

超低功耗、高动态性能的 40Msps模拟前端

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 40MHz$, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, Xcvr mode, unless otherwise noted. Typical values are at $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

| | | | | |
|---|-------|---|----------------|---------|
| Large-Signal Bandwidth | FBW | $A_{IN} = -0.5dBFS$ | 440 | MHz |
| Aperture Delay | | | 3.3 | ns |
| Aperture Jitter | | | 2.7 | psRMS |
| Overdrive Recovery Time | | 1.5 × full-scale input | 2 | ns |
| ADC INTERCHANNEL CHARACTERISTICS | | | | |
| Crosstalk Rejection | | $f_{INX} = 5.5MHz$ at -0.5dBFS, $f_{INY} = 0.3MHz$ at -0.5dBFS (Note 5) | -75 | dB |
| Amplitude Matching | | $f_{IN} = 5.5MHz$ at -0.5dBFS (Note 6) | ± 0.05 | dB |
| Phase Matching | | $f_{IN} = 5.5MHz$ at -0.5dBFS (Note 6) | ± 0.2 | Degrees |
| DAC DC ACCURACY | | | | |
| Resolution | N | | 10 | Bits |
| Integral Nonlinearity | INL | | ± 1 | LSB |
| Differential Nonlinearity | DNL | Guaranteed monotonic | ± 0.5 | LSB |
| Zero-Scale Error | | Residual DC offset | ± 3 | LSB |
| Full-Scale Error | | Include reference error | -35 +35 | LSB |
| DAC DYNAMIC PERFORMANCE | | | | |
| DAC Conversion Rate | | (Note 2) | 40 | MSPS |
| Noise over Nyquist | N_D | $f_{OUT} = 2.2MHz$, $f_{CLK} = 40MHz$ | -130.6 | dBc/Hz |
| Output-of-Band Noise Power Density | N_O | $f_{OUT} = 1.2MHz$, $f_{CLK} = 22MHz$, offset = 10MHz | -130.9 | dBc/Hz |
| Glitch Impulse | | | 10 | pVs |
| Spurious-Free Dynamic Range | SFDR | $f_{CLK} = 40MHz$ $f_{OUT} = 2.2MHz$ | 59 72.3 | dBc |
| | | $f_{CLK} = 22MHz$ $f_{OUT} = 200kHz$ | 73.5 | |
| Total Harmonic Distortion (to Nyquist) | THD | $f_{CLK} = 40MHz$, $f_{OUT} = 2.2MHz$ | -70 -58.5 | dB |
| Signal-to-Noise Ratio (to Nyquist) | SNR | $f_{CLK} = 40MHz$, $f_{OUT} = 2.2MHz$ | 57 | dB |
| DAC INTERCHANNEL CHARACTERISTICS | | | | |
| DAC-to-DAC Output Isolation | | $f_{OUTX, Y} = 2.2MHz$, $f_{OUTX, Y} = 2.0MHz$ | 80 | dB |
| Gain Mismatch Between DAC Outputs | | $f_{OUT} = 2.2MHz$, $f_{CLK} = 40MHz$ | 0.05 | dB |
| Phase Mismatch Between DAC Outputs | | $f_{OUT} = 2.2MHz$, $f_{CLK} = 40MHz$ | ± 0.15 | Degrees |

超低功耗、高动态性能的 40Msps模拟前端

MAX5865

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 40MHz, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33μF, Xcvr mode, unless otherwise noted. Typical values are at T_A = +25°C, unless otherwise noted.) (Note 1)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|----------------------|--|------|------|-----|-------|
| DAC ANALOG OUTPUT | | | | | | |
| Full-Scale Output Voltage | V _{FS} | | | ±400 | | mV |
| Output Common-Mode Range | | | 1.29 | | 1.5 | V |
| ADC-DAC INTERCHANNEL CHARACTERISTICS | | | | | | |
| ADC-DAC Isolation | | ADC f _{IN1} = f _{INQ} = 5.5MHz, DAC f _{OUT1} = f _{OUTQ} = 2.2MHz, f _{CLK} = 40MHz | | 75 | | dB |
| ADC-DAC TIMING CHARACTERISTICS | | | | | | |
| CLK Rise to I-ADC Channel-I Output Data Valid | t _{DOI} | Figure 3 (Note 4) | | 7.4 | 9 | ns |
| CLK Fall to Q-ADC Channel-Q Output Data Valid | t _{DOQ} | Figure 3 (Note 4) | | 6.9 | 9 | ns |
| I-DAC Data to CLK Fall Setup Time | t _{DSI} | Figure 4 (Note 4) | 10 | | | ns |
| Q-DAC Data to CLK Rise Setup Time | t _{DSQ} | Figure 4 (Note 4) | 10 | | | ns |
| CLK Fall to I-DAC Data Hold Time | t _{DHI} | Figure 4 (Note 4) | 0 | | | ns |
| CLK Rise to Q-DAC Data Hold Time | t _{DHQ} | Figure 4 (Note 4) | 0 | | | ns |
| Clock Duty Cycle | | | | 50 | | % |
| CLK Duty-Cycle Variation | | | | ±15 | | % |
| Digital Output Rise/Fall Time | | 20% to 80% | | 2.6 | | ns |
| SERIAL INTERFACE TIMING CHARACTERISTICS | | | | | | |
| Falling Edge of \overline{CS} to Rising Edge of First SCLK Time | t _{CSS} | Figure 5 (Note 4) | 10 | | | ns |
| DIN to SCLK Setup Time | t _{DS} | Figure 5 (Note 4) | 10 | | | ns |
| DIN to SCLK Hold Time | t _{DH} | Figure 5 (Note 4) | 0 | | | ns |
| SCLK Pulse Width High | t _{CH} | Figure 5 (Note 4) | 25 | | | ns |
| SCLK Pulse Width Low | t _{CL} | Figure 5 (Note 4) | 25 | | | ns |
| SCLK Period | t _{CP} | Figure 5 (Note 4) | 50 | | | ns |
| SCLK to \overline{CS} Setup Time | t _{CS} | Figure 5 (Note 4) | 0 | | | ns |
| \overline{CS} High Pulse Width | t _{CSW} | Figure 5 (Note 4) | 80 | | | ns |
| MODE RECOVERY TIMING CHARACTERISTICS | | | | | | |
| Shutdown Wake-Up Time | t _{WAKE,SD} | From shutdown to Rx mode, Figure 6, ADC settles to within 1dB | | 20 | | μs |
| | | From shutdown to Tx mode, Figure 6, DAC settles to within 10 LSB error | | 40 | | |

超低功耗、高动态性能的 40Msps模拟前端

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 40MHz$, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, Xcvr mode, unless otherwise noted. Typical values are at $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|------------------|--|-------------------|----------------------|-------------------|-----------------|
| Idle Wake-Up Time (with CLK) | $t_{WAKE,ST0}$ | From idle to Rx mode with CLK present during idle, Figure 6, ADC settles to within 1dB SINAD | | 10 | | μs |
| | | From idle to Tx mode with CLK present during idle, Figure 6, DAC settles to 10 LSB error | | 10 | | |
| Standby Wake-Up Time | $t_{WAKE,ST1}$ | From standby to Rx mode, Figure 6, ADC settles to within 1dB SINAD | | 10 | | μs |
| | | From standby to Tx mode, Figure 6, DAC settles to 10 LSB error | | 40 | | |
| Enable Time from Xcvr or Tx to Rx | $t_{ENABLE, Rx}$ | ADC settles to within 1dB SINAD | | 10 | | μs |
| Enable Time from Xcvr or Rx to Tx | $t_{ENABLE, Tx}$ | DAC settles to 10 LSB error | | 10 | | μs |
| INTERNAL REFERENCE ($REFIN = V_{DD}$. V_{REFP} , V_{REFN} and V_{COM} are generated internally.) | | | | | | |
| Positive Reference | | $V_{REFP} - V_{COM}$ | | 0.256 | | V |
| Negative Reference | | $V_{REFN} - V_{COM}$ | | -0.256 | | V |
| Common-Mode Output Voltage | V_{COM} | | $V_{DD}/2 - 0.15$ | $V_{DD}/2$ | $V_{DD}/2 + 0.15$ | V |
| Differential Reference Output | V_{REF} | $V_{REFP} - V_{REFN}$ | +0.49 | +0.512 | +0.534 | V |
| Differential Reference Temperature Coefficient | REFTC | | | ± 30 | | ppm/ $^\circ C$ |
| Maximum REFP/REFN/COM Source Current | I_{SOURCE} | | | 2 | | mA |
| Maximum REFP/REFN/COM Sink Current | I_{SINK} | | | 2 | | mA |
| BUFFERED EXTERNAL REFERENCE ($REFIN = 1.024V$. V_{REFP} , V_{REFN} , and V_{COM} are generated internally.) | | | | | | |
| Reference Input | V_{REFIN} | | | 1.024 | | V |
| Differential Reference Output | V_{DIFF} | $V_{REFP} - V_{REFN}$ | | 0.512 | | V |
| Common-Mode Output Voltage | V_{COM} | | | $V_{DD}/2$ | | V |
| Maximum REFP/REFN/COM Source Current | I_{SOURCE} | | | 2 | | mA |
| Maximum REFP/REFN/COM Sink Current | I_{SINK} | | | 2 | | mA |
| REFIN Input Resistance | | | | >500 | | k Ω |
| REFIN Input Current | | | | -0.7 | | μA |
| DIGITAL INPUTS (CLK, SCLK, DIN, \overline{CS}, DD0-DD9) | | | | | | |
| Input High Threshold | V_{INH} | DD0-DD9, CLK, SCLK, DIN, \overline{CS} | | $0.7 \times OV_{DD}$ | | V |

超低功耗、高动态性能的 40MSPS模拟前端

ELECTRICAL CHARACTERISTICS (continued)

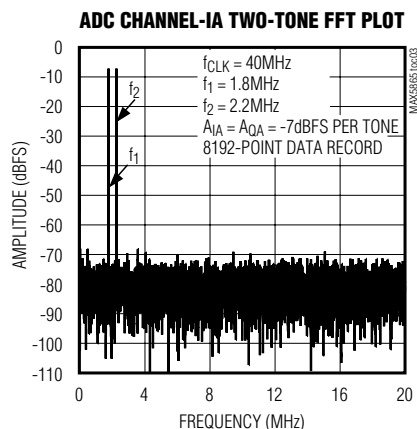
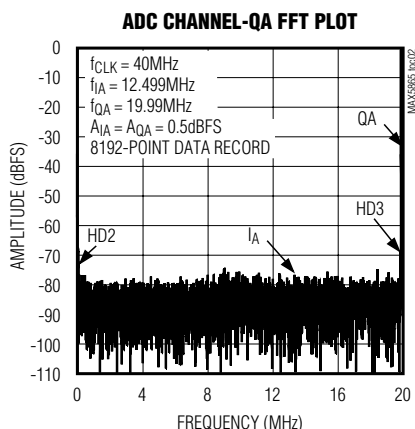
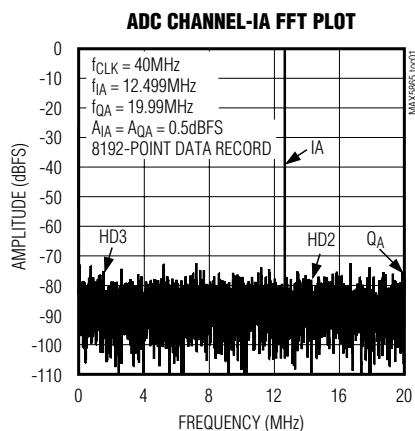
($V_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 40MHz$, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, Xcvr mode, unless otherwise noted. Typical values are at $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|----------------------------------|------------|--|----------------------|-----|----------------------|---------|
| Input Low Threshold | V_{INL} | DD0–DD9, CLK, SCLK, DIN, \overline{CS} | | | $0.3 \times OV_{DD}$ | V |
| Input Leakage | D_{IIN} | DD0–DD9, CLK, SCLK, DIN, $\overline{CS} = OGND$ or OV_{DD} | | | ± 5 | μA |
| Input Capacitance | DC_{IN} | | | 5 | | pF |
| DIGITAL OUTPUTS (DA0–DA7) | | | | | | |
| Output Voltage Low | V_{OL} | $I_{SINK} = 200\mu A$ | | | $0.2 \times OV_{DD}$ | V |
| Output Voltage High | V_{OH} | $I_{SOURCE} = 200\mu A$ | $0.8 \times OV_{DD}$ | | | V |
| Tri-State Leakage Current | I_{LEAK} | | | | ± 5 | μA |
| Tri-State Output Capacitance | C_{OUT} | | | 5 | | pF |

- Note 1:** Specifications from $T_A = +25^\circ C$ to $+85^\circ C$ are guaranteed by product tests. Specifications from $T_A = +25^\circ C$ to $-40^\circ C$ are guaranteed by design and characterization.
- Note 2:** The minimum clock frequency for the MAX5865 is 22MHz.
- Note 3:** SNR, SINAD, SFDR, HD3, and THD are based on a differential analog input voltage of -0.5dBFS referenced to the amplitude of the digital outputs. SINAD and THD are calculated using HD2 through HD6.
- Note 4:** Guaranteed by design and characterization.
- Note 5:** Crosstalk rejection is measured by applying a high-frequency test tone to one channel and a low-frequency tone to the second channel. FFTs are performed on each channel. The parameter is specified as the power ratio of the first and second channel FFT test tone bins.
- Note 6:** Amplitude/phase matching is measured by applying the same signal to each channel, and comparing the magnitude and phase of the fundamental bin on the calculated FFT.

典型工作特性

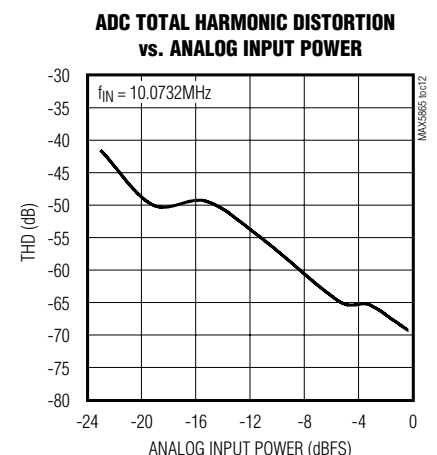
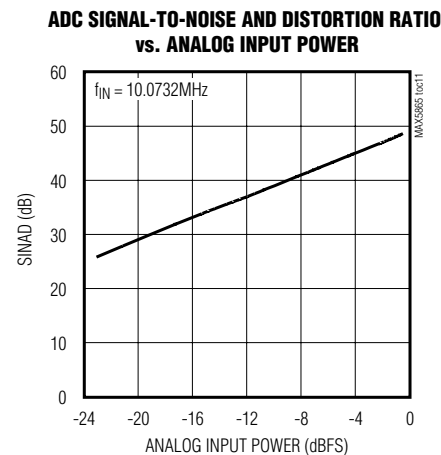
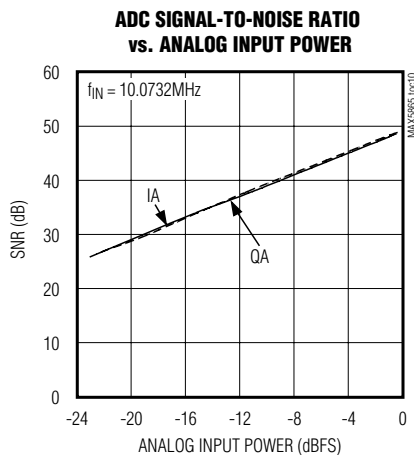
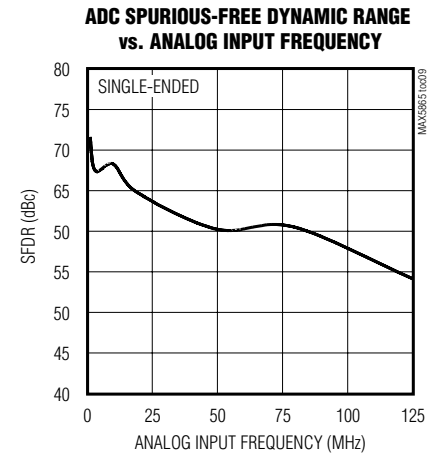
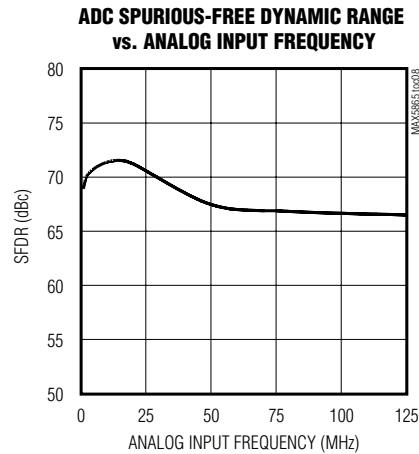
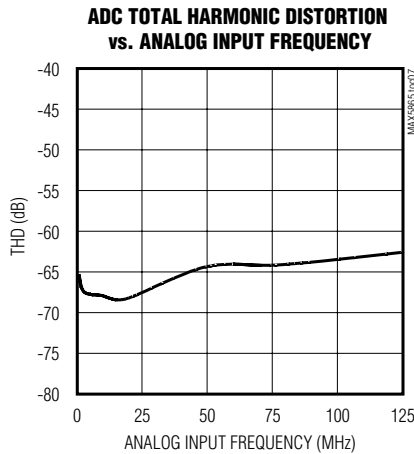
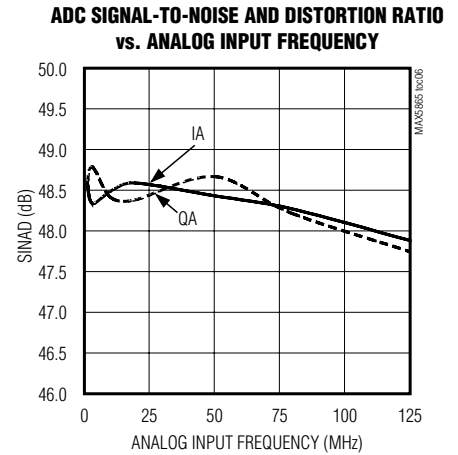
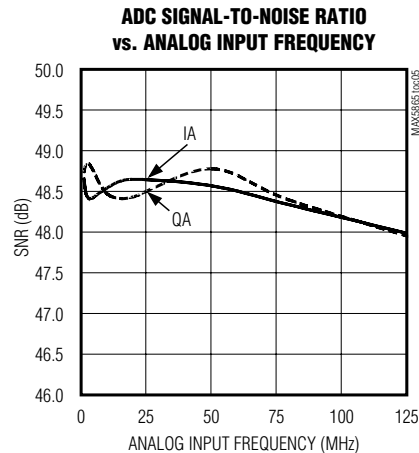
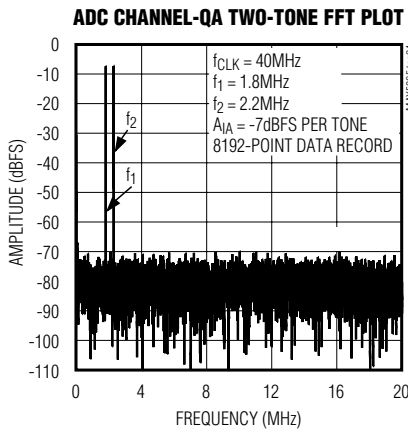
($V_{DD} = DV_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 40MHz$ 50% duty cycle, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, Xcvr mode, $T_A = +25^\circ C$, unless otherwise noted.)



超低功耗、高动态性能的 40MSPS模拟前端

典型工作特性 (续)

($V_{DD} = DV_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 40MHz$ 50% duty cycle, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, Xcvr mode, $T_A = +25^\circ C$, unless otherwise noted.)



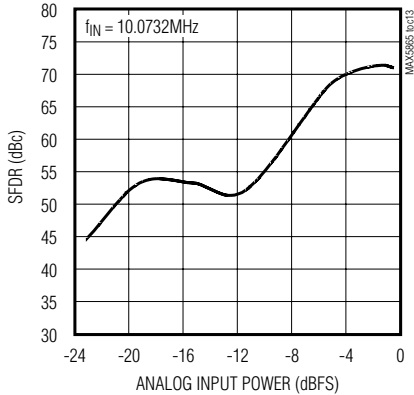
超低功耗、高动态性能的 40MSPS模拟前端

MAX5865

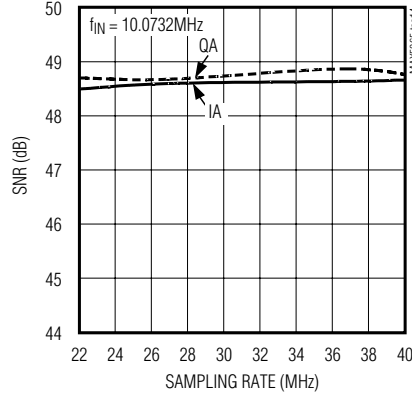
典型工作特性(续)

($V_{DD} = DV_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 40MHz$ 50% duty cycle, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, Xcvr mode, $T_A = +25^\circ C$, unless otherwise noted.)

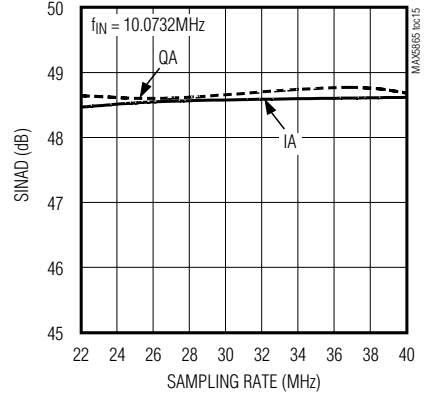
ADC SPURIOUS-FREE DYNAMIC RANGE vs. ANALOG INPUT POWER



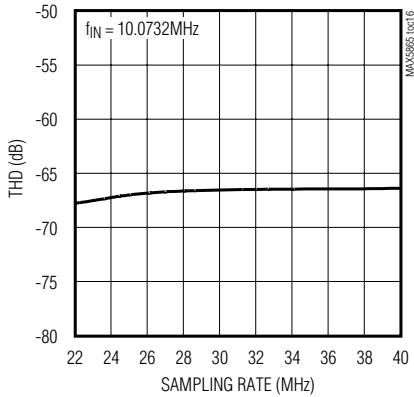
ADC SIGNAL-TO-NOISE RATIO vs. SAMPLING RATE



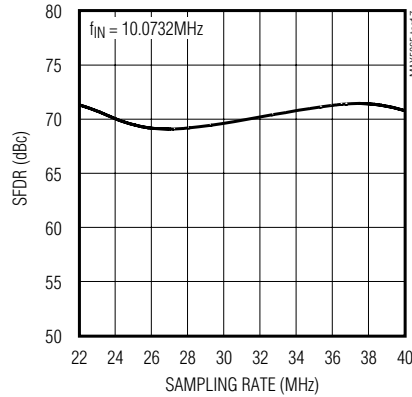
ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. SAMPLING RATE



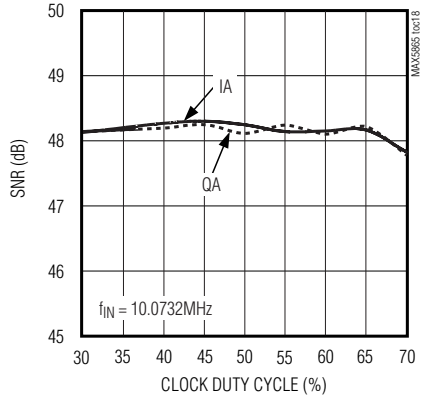
ADC TOTAL HARMONIC DISTORTION vs. SAMPLING RATE



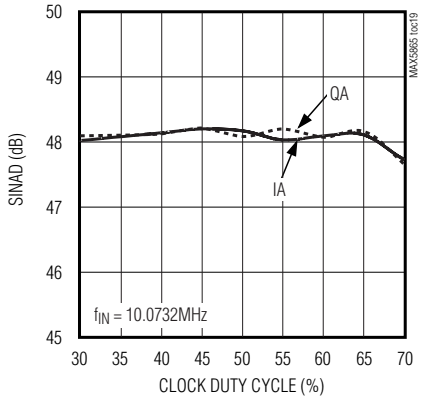
ADC SPURIOUS-FREE DYNAMIC RANGE vs. SAMPLING RATE



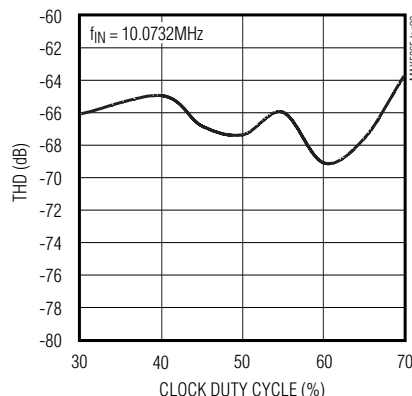
ADC SIGNAL-TO-NOISE RATIO vs. CLOCK DUTY CYCLE



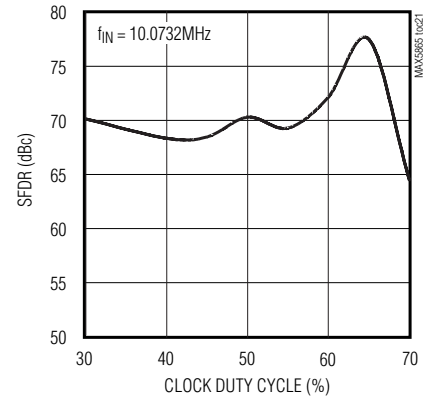
ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. CLOCK DUTY CYCLE



ADC TOTAL HARMONIC DISTORTION vs. CLOCK DUTY CYCLE



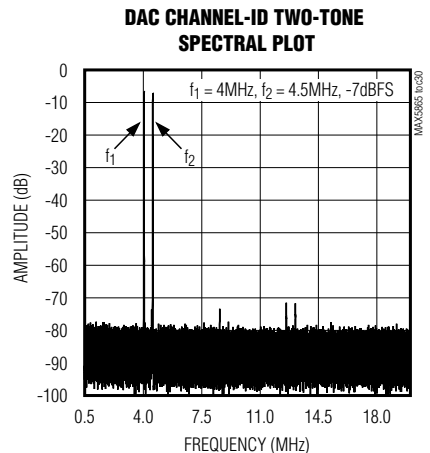
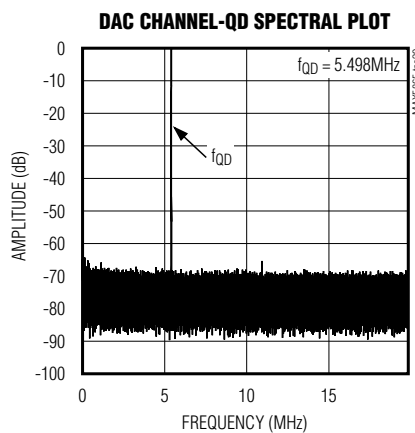
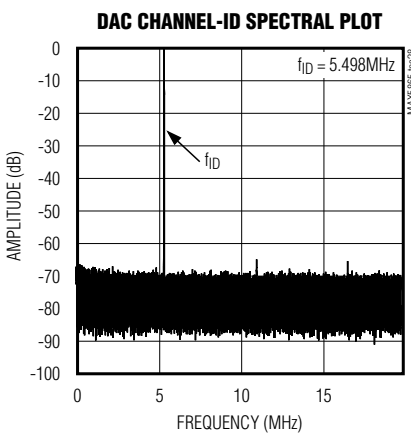
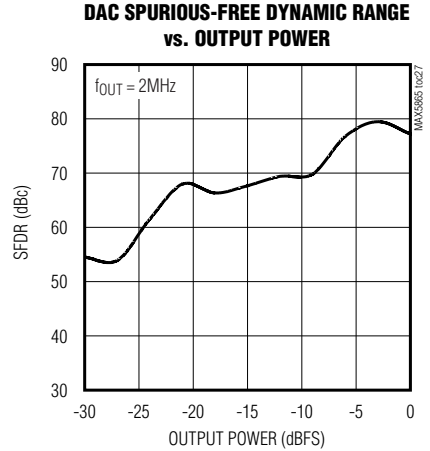
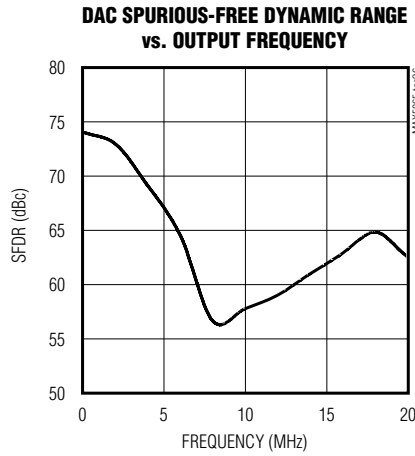
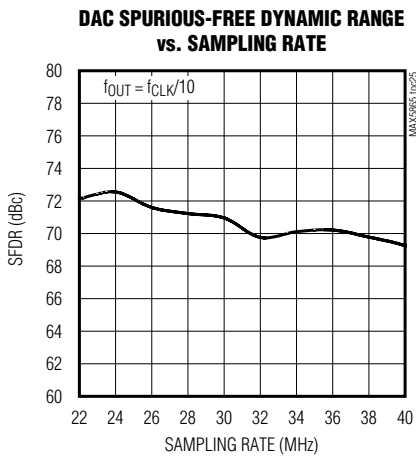
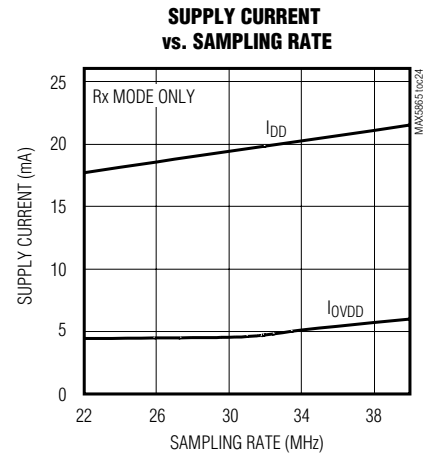
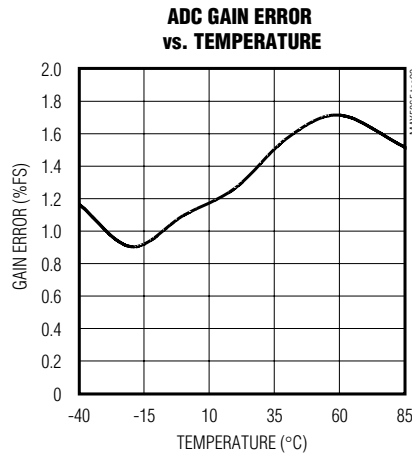
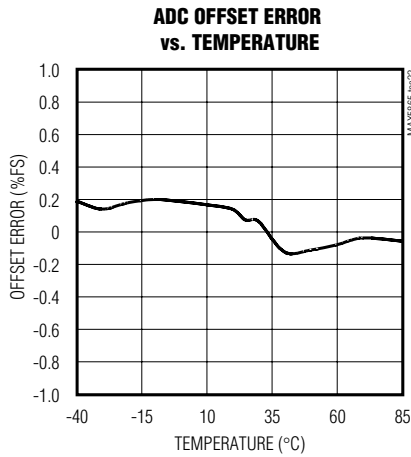
ADC SPURIOUS-FREE DYNAMIC RANGE vs. CLOCK DUTY CYCLE



超低功耗、高动态性能的 40MSPS模拟前端

典型工作特性(续)

($V_{DD} = DV_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 40MHz$ 50% duty cycle, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, Xcvr mode, $T_A = +25^\circ C$, unless otherwise noted.)

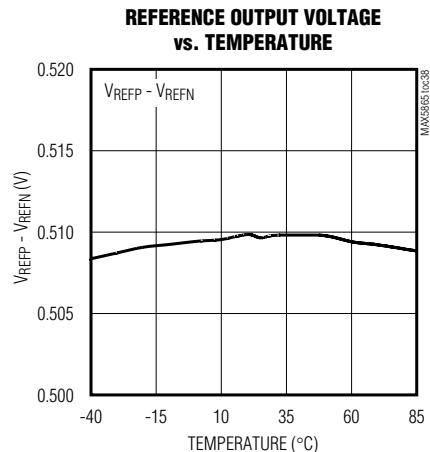
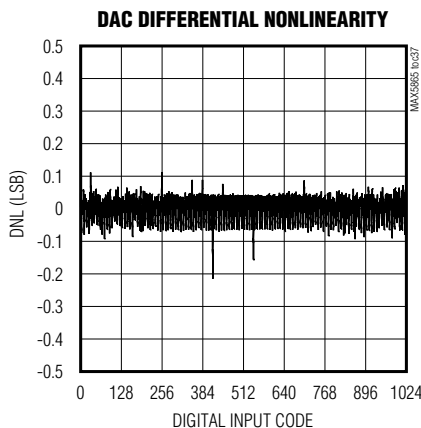
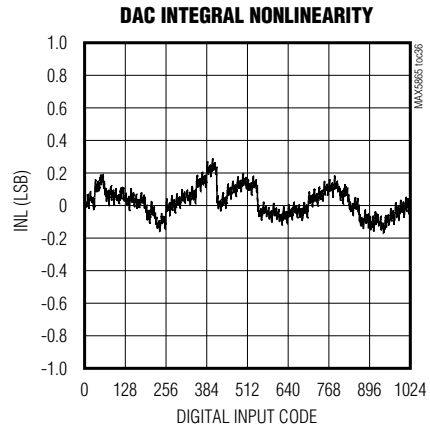
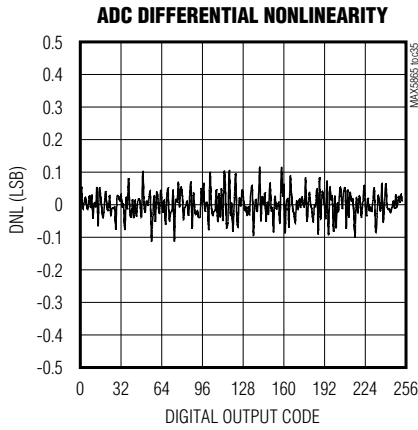
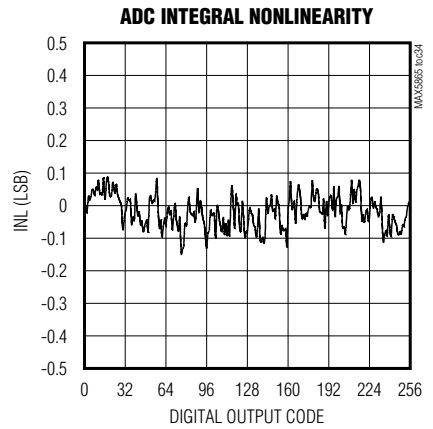
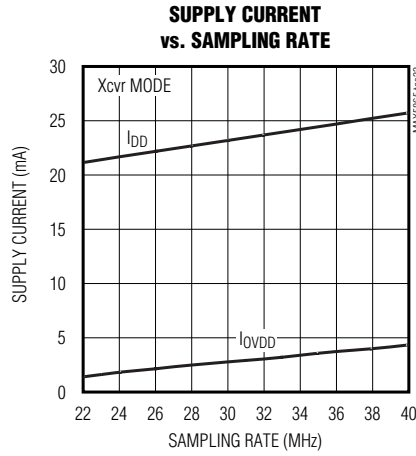
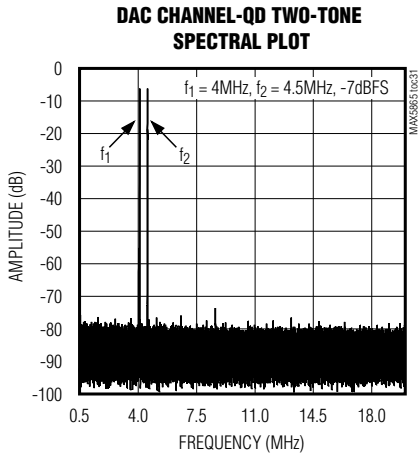


超低功耗、高动态性能的 40MSPS模拟前端

MAX5865

典型工作特性 (续)

($V_{DD} = DV_{DD} = 3V$, $OV_{DD} = 1.8V$, internal reference (1.024V), $C_L \approx 10pF$ on all digital outputs, $f_{CLK} = 40MHz$ 50% duty cycle, ADC input amplitude = -0.5dBFS, DAC output amplitude = 0dBFS, differential ADC input, differential DAC output, $C_{REFP} = C_{REFN} = C_{COM} = 0.33\mu F$, Xcvr mode, $T_A = +25^\circ C$, unless otherwise noted.)



超低功耗、高动态性能的 40Msps模拟前端

引脚功能介绍

| 引脚 | 名称 | 功能 |
|------------------|------------------|---|
| 1 | REFP | 高端基准电压，用0.33 μ F电容将其旁路到GND，该电容需尽可能靠近REFP引脚安装。 |
| 2, 8, 43 | V _{DD} | 模拟电源电压，用2.2 μ F与0.1 μ F电容并联将V _{DD} 旁路到GND。 |
| 3 | IA+ | 通道IA的正模拟输入，单端工作模式下，将IA+接信号源。 |
| 4 | IA- | 通道IA的负模拟输入，单端工作模式下，将IA-接COM引脚。 |
| 5, 7, 12, 37, 42 | GND | 模拟地，所有引脚接至GND地平面。 |
| 6 | CLK | 转换时钟输入，为ADC与DAC提供的时钟信号。 |
| 9 | QA- | 通道QA的负模拟输入，单端工作模式下，将QA-接COM引脚。 |
| 10 | QA+ | 通道QA的正模拟输入，单端工作模式下，将QA+接信号源。 |
| 11, 33, 39 | V _{DD} | 模拟电源电压，在尽可能靠近器件的地方连接至V _{DD} 电源平面。 |
| 13-16, 19-22 | DA0-DA7 | ADC三态数字输出位，DA7是最高位(MSB)，DA0是最低位(LSB)。 |
| 17 | OGND | 输出驱动器地。 |
| 18 | OV _{DD} | 输出驱动器电源，电源电压范围为+1.8V至V _{DD} ，适应绝大多数逻辑电平。用2.2 μ F与0.1 μ F电容并联将OV _{DD} 旁路到OGND。 |
| 23-32 | DD0-DD9 | DAC数字输入位，DD9为MSB，DD0为LSB。 |
| 34 | DIN | 3线串口数据输入，SCLK的上升沿时数据锁存。 |
| 35 | SCLK | 3线串口时钟输入。 |
| 36 | \overline{CS} | 3线串口片选输入，逻辑低电平时串口使能。 |
| 38 | N.C. | 不连接。 |
| 40, 41 | QD+, QD- | DAC的QD通道差分电压输出 |
| 44, 45 | ID-, ID+ | DAC的ID通道差分电压输出 |
| 46 | REFIN | 基准输入，使用内部基准时接V _{DD} 。 |
| 47 | COM | 共模电压I/O，用0.33 μ F电容将COM旁路到GND。 |
| 48 | REFN | 负基准I/O，转换范围为 $\pm(V_{REFP} - V_{REFN})$ 。用0.33 μ F电容将REFN旁路地GND。 |
| — | EP | 裸露焊盘，该裸露焊盘内部与GND连通。将EP与GND平面相连。 |

超低功耗、高动态性能的 40Msps模拟前端

详细说明

MAX5865集成了双路 8 位接收 ADC和双路 10 位发送 DAC，在 40Msps转换速率下能够提供超低功耗与更高的动态性能。ADC模拟输入放大器为全差分结构，可以接受 $1V_{P-P}$ 满量程信号。DAC模拟输出是全差分信号，1.4V共模电压下满量程输出范围为 $\pm 400mV$ 。

MAX5865包含一个 3 线串行接口，用来控制工作模式与电源管理。该串口兼容于 SPI™和 MICROWIRE™。MAX5865的串口可选择关断、空闲、待机、发送、接收以及收发模式。

通过 3 线串口将器件配置为发送、接收或收发模式，可以使 MAX5865工作在 FDD或 TDD系统。在 TDD模式下，接收 ADC与发送 DAC可以共用数字总线，将数字 I/O的数目减少到一组 10 位并行多路复用总线。在 FDD模式下，MAX5865的数字 I/O可以被配置为 18 位、并行多路复用总线，以满足双 8 位 ADC与双 10 位 DAC的需要。

MAX5865具有精密的 1.024V内部带隙基准，在整个电源供电范围与温度范围内保持稳定。

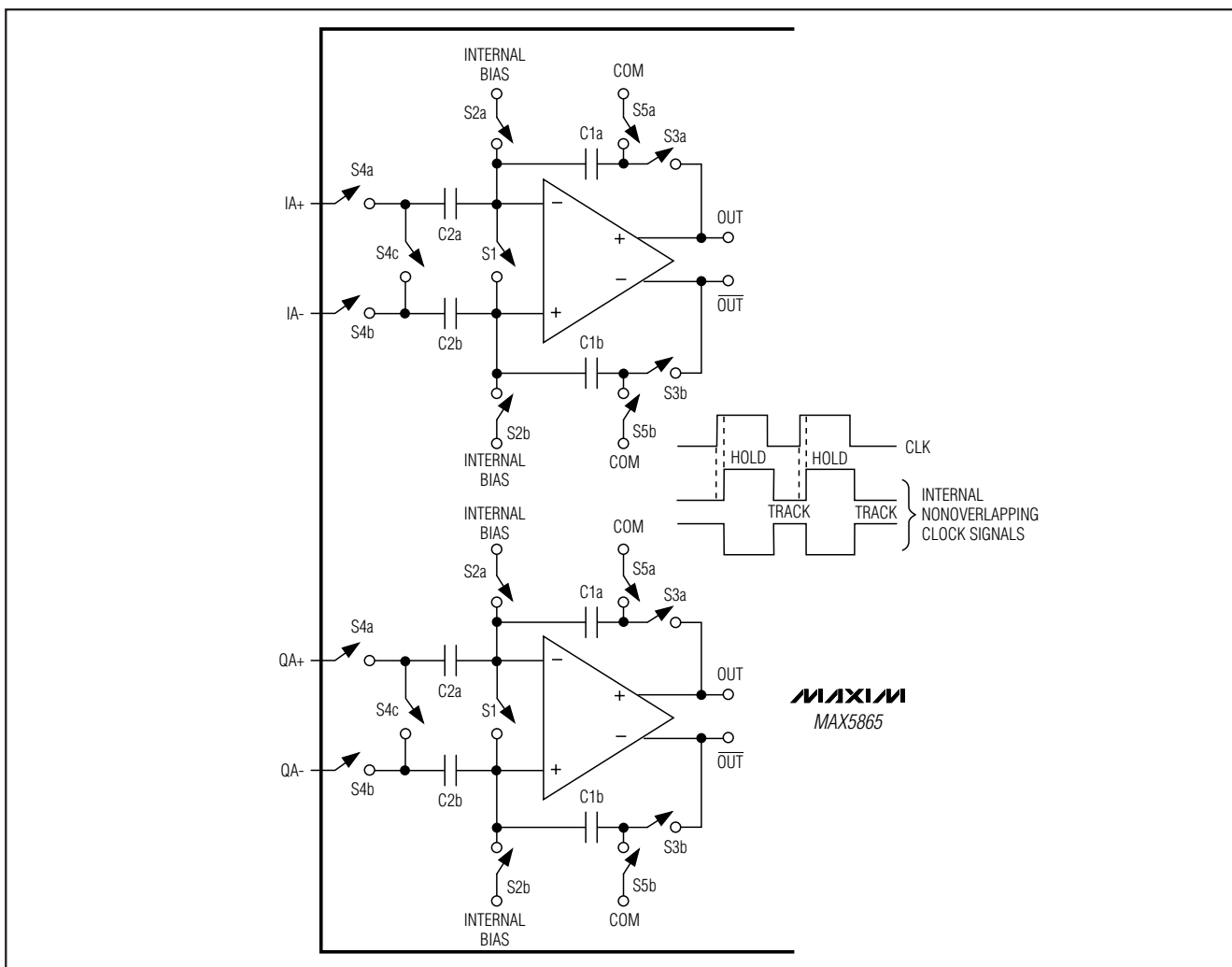


图 1. MAX5865 ADC 内部 T/H 电路

SPI是 Motorola Inc.的商标。MICROWIRE是 National Semiconductor Corp.的商标。

超低功耗、高动态性能的 40Msps模拟前端

双路 8位 ADC

ADC采用七级、全差分、流水线结构，可以在低功耗下进行高速转换。每半个时钟周期，对输入信号进行一次采样并逐级移动，通过流水线上的各级。包括输出锁存的延时在内，通道 IA 的总延迟时间为 5 个时钟周期，通道 QA 为 5.5 个时钟周期。ADC 的满量程模拟输入范围为 $\pm V_{REF}$ ，共模输入范围为 $V_{DD}/2 \pm 0.2V$ 。 V_{REF} 为 V_{REFP} 与 V_{REFN} 之差。详细内容参见基准配置部分。

输入采样保持 (T/H) 电路

图 1 所示为 ADC 输入 T/H 电路的功能原理简图。采样模式下，开关 S1、S2a、S2b、S4a、S4b、S5a 和 S5b 闭合。全差分电路通过开关 S4a 和 S4b 将输入信号采集到两个电容 (C2a 和 C2b) 上。S2a 和 S2b 为放大器输入设置共模电平，采集输入波形时与 S1 同时断开。S4a、S4b、S5a 和 S5b 在开关 S3a 和 S3b 将电容 C1a 和 C1b 连接到放大器输出，开关 S4c 闭合之前断开。得到的差分电压保持在电容 C2a 和 C2b 上。放大器对电容 C1a 和 C1b 充电，直到与

C2a 和 C2b 上最初保持的电压相等。随后这些值被送到第一级量化器，并将流水线与快速变化的输入隔离。较宽的 T/H 放大器输入频带使得 ADC 可以跟踪并采样/保持高频模拟输入 (> 奈魁斯特频率)。可以通过差分方式或单端方式驱动两路 ADC 输入 (IA+、QA+、IA- 与 QA-)。为获得最佳性能，应该使 IA+ 与 IA- 间阻抗匹配、QA+ 与 QA- 间阻抗匹配，并将共模电压设定为电源电压的一半 ($V_{DD}/2$)。

ADC 数字输出数据 (DA0-DA7)

DA0-DA7 是 ADC 数字逻辑输出，逻辑电平由 OV_{DD} 设定， OV_{DD} 的取值范围为 1.8V 至 V_{DD} 。数字输出编码为偏移二进制码 (表 1、图 2)。数字输出 DA0-DA7 的容性负载必须尽可能低 (< 15pF)，以避免大的数字电流反馈到 MAX5865 的模拟部分，降低动态性能。数字输出端的缓冲器将其与大的容性负载隔离，在数字输出端靠近 MAX5865 的地方串联 100Ω 电阻，有助于改善 ADC 性能。可以参考 MAX5865 评估板电路图，它是数字输出端通过 100Ω 串联电阻驱动数字缓冲器的一个范例。

表 1、输出编码与输入电压

| DIFFERENTIAL INPUT VOLTAGE | DIFFERENTIAL INPUT (LSB) | OFFSET BINARY (DA7-DA0) | OUTPUT DECIMAL CODE |
|-----------------------------------|------------------------------|-------------------------|---------------------|
| $V_{REF} \times \frac{127}{128}$ | 127 (+full scale - 1LSB) | 1111 1111 | 255 |
| $V_{REF} \times \frac{126}{128}$ | 126 (+full scale - 2LSB) | 1111 1110 | 254 |
| $V_{REF} \times \frac{1}{128}$ | +1 | 1000 0001 | 129 |
| $V_{REF} \times \frac{0}{128}$ | 0 (bipolar zero) | 1000 0000 | 128 |
| $-V_{REF} \times \frac{1}{128}$ | -1 | 0111 1111 | 127 |
| $-V_{REF} \times \frac{127}{128}$ | -127 (-full scale + 1LSB) | 0000 0001 | 1 |
| $-V_{REF} \times \frac{128}{128}$ | -128 (-full scale) | 0000 0000 | 0 |

超低功耗、高动态性能的 40MSPS模拟前端

ADC系统时序要求

图3所示为时钟、模拟输入以及相应输出数据之间的时序关系。在时钟信号(CLK)的上升沿,通道IA(CHI)与通道QA(CHQ)同时被采样,得到的相应数据复用输出到DA0-DA7输出端。CHI数据在CLK的上升沿刷新,而

CHQ数据在CLK的下降沿刷新。包括输出锁存延时的在内,CHI的总延迟时间为5个时钟周期,CHQ为5.5个时钟周期。

双路10位DAC

10位DAC可以工作在高达40MHz的时钟速率下。两个DAC的数字输入DD0-DD9复用同一10位总线。电压基准决定了数据转换器的满量程输出。基准电压的设置参见基准配置部分。DAC采用电流阵列技术,用1mA(1.024V基准下)满量程输出电流驱动400Ω内部电阻,得到±400mV满量程差分输出电压。MAX5865专为差分输出设计,而不是针对单端应用设计的。模拟输出偏置在1.4V共模电压,可驱动输入阻抗≥70kΩ的差分输入级,简化了RF正交上变频器与MAX5865间的模拟接口。RF上变频器需要1.3V至1.5V的共模偏压。内部DC共模偏压在保留每个发送DAC整个动态范围的同时可以省去分立的电平偏移设置电阻,无需编码发生器产生电平偏移。表2所示为输出电压与输入编码间的对应关系。

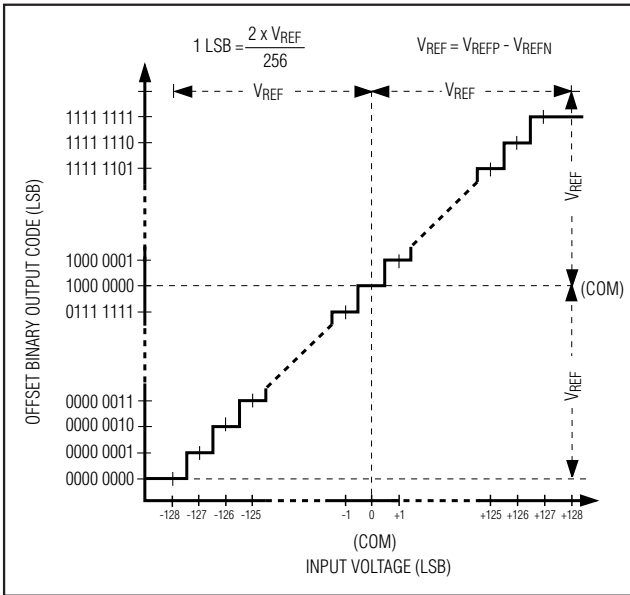


图2. ADC传输函数

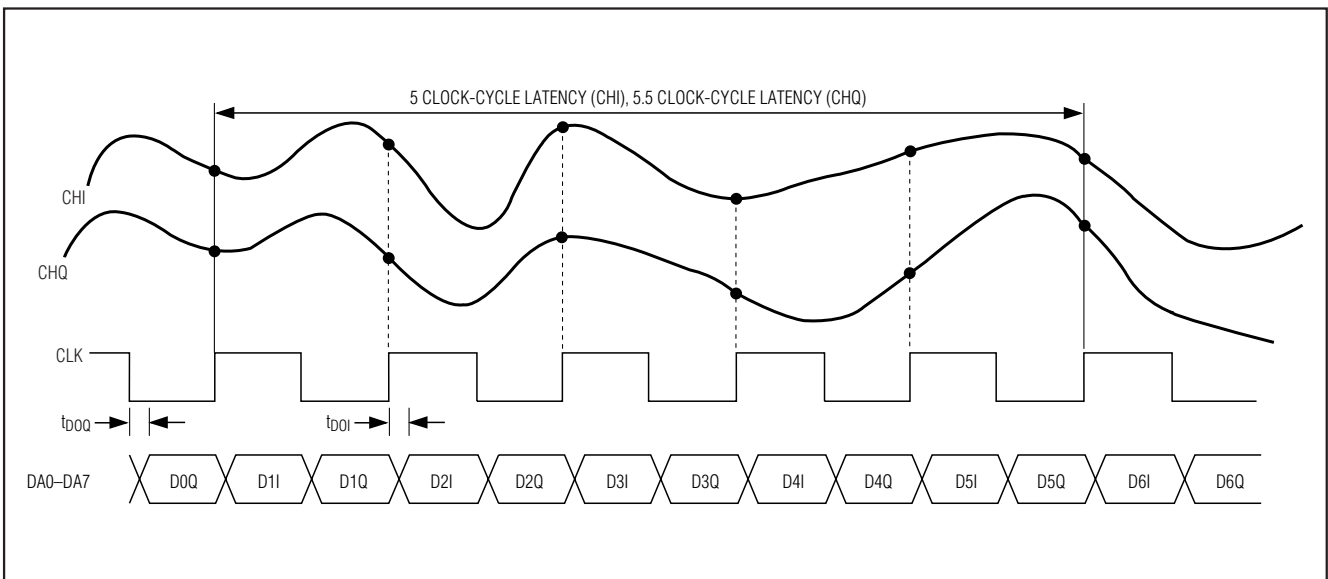


图3. ADC系统时序图

超低功耗、高动态性能的 40Msps模拟前端

表 2、DAC 输出电压与输入编码 (内部基准模式 $V_{REFDAC} = 1.024V$ ，外部基准模式 $V_{REFDAC} = V_{REFIN}$)

| DIFFERENTIAL OUTPUT VOLTAGE | OFFSET BINARY (DD0–DD9) | INPUT DECIMAL CODE |
|---|-------------------------|--------------------|
| $\frac{V_{REFDAC}}{2.56} \times \frac{1023}{1023}$ | 11 1111 1111 | 1023 |
| $\frac{V_{REFDAC}}{2.56} \times \frac{1021}{1023}$ | 11 1111 1110 | 1022 |
| $\frac{V_{REFDAC}}{2.56} \times \frac{3}{1023}$ | 10 0000 0001 | 513 |
| $\frac{V_{REFDAC}}{2.56} \times \frac{1}{1023}$ | 10 0000 0000 | 512 |
| $-\frac{V_{REFDAC}}{2.56} \times \frac{1}{1023}$ | 01 1111 1111 | 511 |
| $-\frac{V_{REFDAC}}{2.56} \times \frac{1021}{1023}$ | 00 0000 0001 | 1 |
| $-\frac{V_{REFDAC}}{2.56} \times \frac{1023}{1023}$ | 00 0000 0000 | 0 |

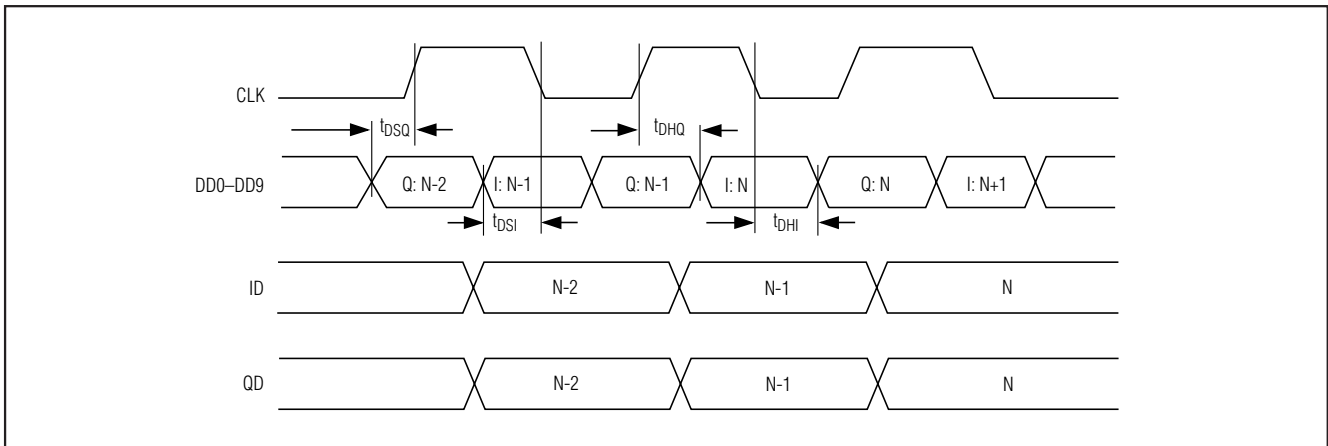


图 4. DAC 系统时序图

DAC 时序

图 4 所示为时钟、输入数据与模拟输出之间的时序关系。I 通道数据 (ID) 在时钟信号的下降沿锁存，Q 通道数据 (QD) 在时钟信号的上升沿锁存。I 与 Q 通道的输出同时在时钟信号的下一个上升沿刷新。

3 线串口与工作模式

3 线串口用来控制 MAX5865 的工作模式。上电时，必须通过编程使 MAX5865 工作在所希望的模式下。利用 3 线串口对器件编程，可以使器件工作在关断、空闲、待机、Rx、Tx 或 Xcvr 模式下。如表 3 所示，由一个 8 位数据寄存器设置工作模式，在所有六种模式下串口均保持有效。

超低功耗、高动态性能的 40Msps模拟前端

表 3、MAX5865的工作模式

| FUNCTION | DESCRIPTION | D7 (MSB) | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|----------|---|----------|----|----|----|----|----|----|----|
| Shutdown | Device shutdown. REF is off, ADCs are off, and the ADC bus is tri-stated; DACs are off and the DAC input bus must be set to zero or OV_{DD} . | X | X | X | X | X | 0 | 0 | 0 |
| Idle | REF and CLK are on, ADCs are off, and the ADC bus is tri-stated; DACs are off and the DAC input bus must be set to zero or OV_{DD} . | X | X | X | X | X | 0 | 0 | 1 |
| Rx | REF is on, ADCs are on; DACs are off, and the DAC input bus must be set to zero or OV_{DD} . | X | X | X | X | X | 0 | 1 | 0 |
| Tx | REF is on, ADCs are off, and the ADC bus is tri-stated; DACs are on. | X | X | X | X | X | 0 | 1 | 1 |
| Xcvr | REF is on, ADCs and DACs are on. | X | X | X | X | X | 1 | 0 | 0 |
| Standby | REF is on, ADCs are off, and the ADC bus is tri-stated; DACs are off and the DAC input bus must be set to zero or OV_{DD} . | X | X | X | X | X | 1 | 0 | 1 |

X = Don't care.

关断模式下，MAX5865的所有模拟电路被关断，ADC的数字输出被置为三态模式，最大限度地降低了功耗。当ADC的输出从三态切换到工作状态时，数字输出端输出的是上次转换的数据。由于DAC数字总线没有内部上拉，所以DAC数字总线输入端应当为0或 OV_{DD} 。DAC从关断模式下被唤醒时，前一次储存的数据丢失。从关断模式唤醒的时间由向REFP、REFN和COM引脚电容充电所需要的时间决定。在内部基准模式或缓冲外部基准模式下，进入Xcvr模式的唤醒时间典型值为40 μ s，进入Rx模式为20 μ s，进入Tx模式为40 μ s。

空闲模式下，只有基准与时钟分配电路上电，所有其他功能电路均被关断，ADC输出被强制为三态。由于DAC数字总线没有内部上拉，所以DAC数字总线输入端应当为0或 OV_{DD} 。ADC、DAC脱离空闲模式进入完全工作模式所需要的唤醒时间为10 μ s。当ADC的输出从三态切换到有效状态时，数字输出端输出的是上次转换的数据。在空闲模式下，如果时钟输入被设定为0或 OV_{DD} ，则电源电流会降低，但唤醒时间将延长至40 μ s。

待机状态下，只有ADC基准电路处于供电状态，器件的其它功能电路均关断。流水线ADC被关断，DA0至DA7为三态模式。由于DAC数字总线没有内部上拉，所以总线输入端应当为0或 OV_{DD} 。从待机状态到Xcvr模式的唤醒时间为40 μ s，由激活流水线ADC与DAC所需时间决定。当ADC的输出从三态切换到有效状态时，数字输出端提供的是上次转换的数据。

串行数字接口是与SPI/QSPI™/MICROWIRE/DSP接口兼容的标准三线连接。将 \overline{CS} 设为低电平，使串行数据加载到DIN。 \overline{CS} 由高到低跳变后，数据在串行时钟(SCLK)的上升沿同步移位，MSB在前。8位数据装入串行输入寄存器后，该数据被传送到锁存器。在下一个写时序之前， \overline{CS} 必须跳变到高电平，并保持至少80ns。瞬变过程中，SCLK既可以是高电平也可以是低电平。图5所示为3线串口的详细时序图。

QSPI是Motorola Inc.的商标。

超低功耗、高动态性能的 40Msps模拟前端

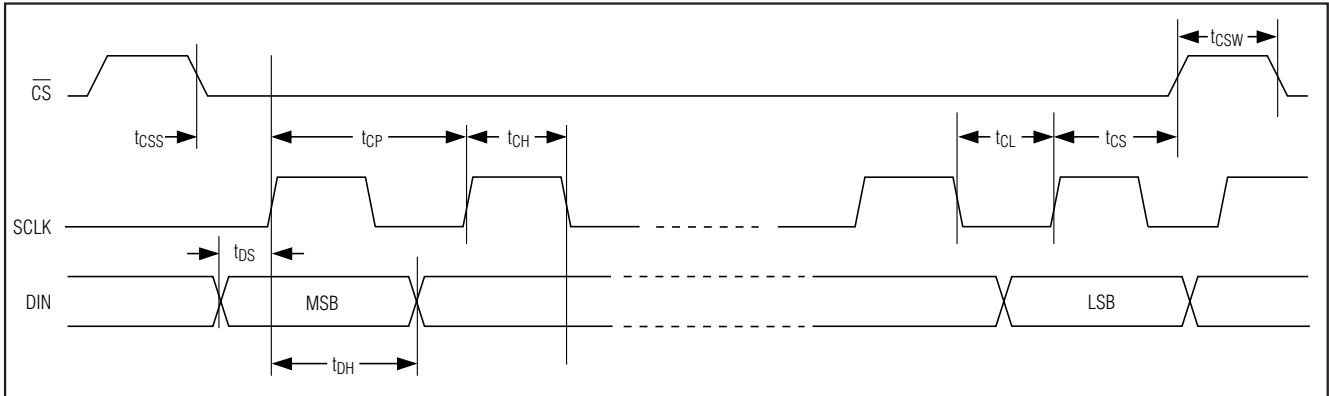


图 5.3 线串行接口时序图

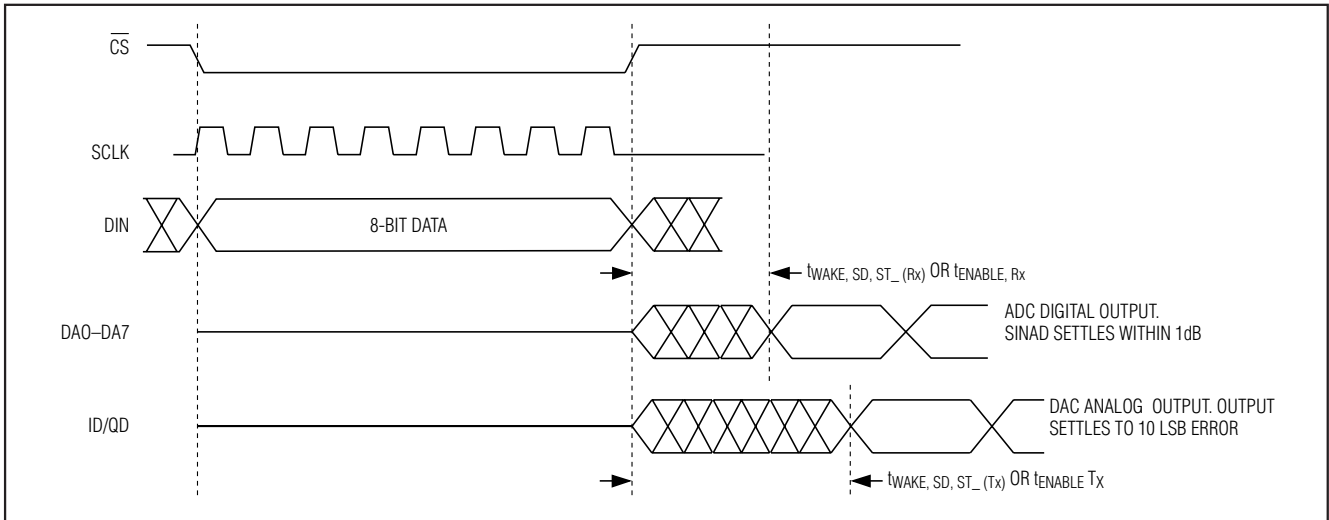


图 6. MAX5865 的模式恢复时序图

模式恢复时序

图 6 所示为模式恢复时序图。 t_{WAKE} 是退出关断、空闲或待机模式进入 Rx、Tx 或 Xcvr 模式的唤醒时间。 t_{ENABLE} 是在 Rx、Tx 或 Xcvr 模式之间任意切换时所需的恢复时间。 t_{WAKE} 或 t_{ENABLE} 是 ADC 达到指定 SINAD 性能 1dB 以内、DAC 达到 10 LSB 误差所需要的时间。 t_{WAKE} 或 t_{ENABLE} 是在 \overline{CS} 跳变为高电平使 8 位串行指令锁存到 MAX5865 后开始计时的。Xcvr 模式的 t_{ENABLE} 是由 DAC 唤醒时间决定的。在 Xcvr、Tx 或 Rx 模式之间切换的恢复时间为 10 μ s。从关断或待机模式切换到 Xcvr 模式的恢复时间为 40 μ s。

系统时钟输入 (CLK)

ADC 与 DAC 共享同一 CLK 输入，该输入接受由 OV_{DD} 设定的 CMOS 兼容信号电平，范围为 1.8V 至 V_{DD} 。由于器件的级间转换取决于外部时钟上升沿和下降沿重复性，需要采用具有低抖动、快速上升和下降 (< 2ns) 的时钟。特别是采样是在时钟信号的上升沿进行的，要求该上升沿的抖动应尽可能低。任何明显的时钟抖动都会限制片上 ADC 的 SNR 性能，如下式所示：

$$SNR = 20 \times \log \left(\frac{1}{2 \times \pi \times f_{IN} \times t_{AJ}} \right)$$

式中 f_{IN} 为模拟输入频率， t_{AJ} 为时钟抖动时间。

超低功耗、高动态性能的 40Msps模拟前端

应用信息

用非平衡变压器 AC耦合

RF变压器 (图 7) 为单端信号源至全差分信号的转换提供了出色的解决方案, 可获得最佳的 ADC 性能。变压器中心抽头与 COM 引脚连接, 为输入提供 $V_{DD}/2$ 的 DC 电平偏移量。可以使用 1:1 变压器, 为降低对驱动电路的要求也可使用升压变压器。通常, MAX5865 在全差分的输入信号下提供比单端信号更好的 SFDR 与 THD 性能, 尤其是在高输入频率的情况下。差分模式下, 当输入 (IA+, IA-, QA+, QA-) 对称时, 偶次谐波会更低, 并且每路 ADC 输入仅需要单端模式下信号摆幅的一半。图 8 给出了将 MAX5865 的 DAC 差分模拟输出转换成单端 RF 变压器的电路。

欠采样应用对时钟抖动的要求更严格, 将时钟输入作为模拟输入对待, 布线时避开任何模拟输入或其他数字信号线。MAX5865 的时钟输入工作在 $OV_{DD}/2$ 电压阈值下, 接受 $50\% \pm 15\%$ 的占空比。

基准配置

MAX5865 具有精密的 1.024V 内部带隙基准, 该基准在整个电源供电范围与温度范围内保持稳定。REFIN 输入提供两种基准工作模式。由 REFIN 引脚的电压 (V_{REFIN}) 设定基准的工作模式 (表 4)。

内部基准模式下, REFIN 接 V_{DD} , V_{REF} 是由内部产生的 0.512V。COM、REFP 与 REFN 均为低阻输出, 电压分别为 $V_{COM} = V_{DD}/2$ 、 $V_{REFP} = V_{DD}/2 + V_{REF}/2$ 、 $V_{REFN} = V_{DD}/2 - V_{REF}/2$ 。分别用 $0.33\mu F$ 电容作为 REFP、REFN 与 COM 引脚的旁路电容, 用 $0.1\mu F$ 电容将 REFIN 旁路到 GND。

带缓冲的外部基准模式下, 在 REFIN 引脚施加 $1.024V \pm 10\%$ 电压。该模式下, COM、REFP 与 REFN 均为低阻输出, 电压分别为 $V_{COM} = V_{DD}/2$ 、 $V_{REFP} = V_{DD}/2 + V_{REFIN}/4$ 、 $V_{REFN} = V_{DD}/2 - V_{REFIN}/4$ 。分别用 $0.33\mu F$ 电容作为 REFP、REFN 与 COM 引脚的旁路电容, 用 $0.1\mu F$ 电容将 REFIN 旁路到 GND。在该模式下, DAC 的满量程输出电压和共模电压均与外部基准成正比。例如, 若 V_{REFIN} 增加 10% (最大值), 则 DAC 的满量程输出电压也增加 10% 或达到 $\pm 440mV$, 同时共模电压增加 10%。

表 4、基准模式

| V_{REFIN} | REFERENCE MODE |
|-----------------------|---|
| $> 0.8 \times V_{DD}$ | Internal reference mode. V_{REF} is internally generated to be 0.512V. Bypass REFP, REFN, and COM each with a $0.33\mu F$ capacitor. |
| $1.024V \pm 10\%$ | Buffered external reference mode. An external $1.024V \pm 10\%$ reference voltage is applied to REFIN. V_{REF} is internally generated to be $V_{REFIN}/2$. Bypass REFP, REFN, and COM each with a $0.33\mu F$ capacitor. Bypass REFIN to GND with a $0.1\mu F$ capacitor. |

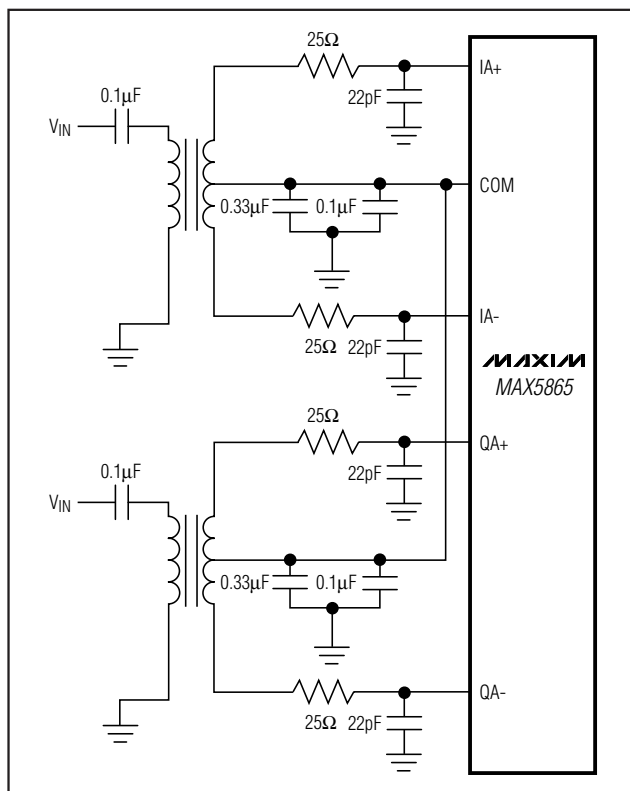


图 7. 非平衡变压器将单端信号耦合到 ADC 的差分输入驱动端

超低功耗、高动态性能的 40Msps模拟前端

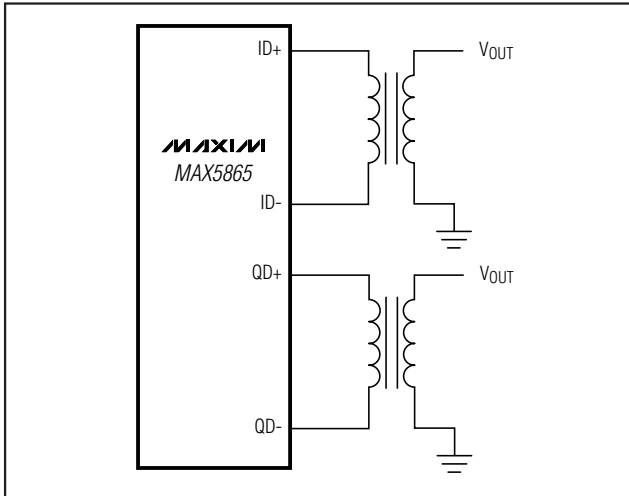


图 8. 非平衡变压器将 DAC 的差分信号耦合到单端输出驱动

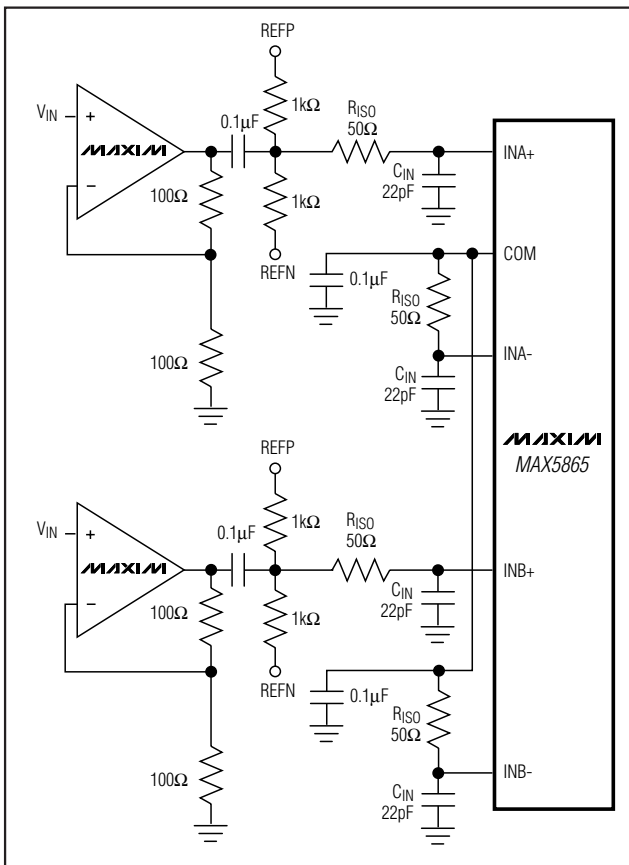


图 9. ADC 单端驱动

采用运放耦合

没有非平衡变压器时，可以使用运放来驱动 MAX5865 的 ADC。图 9 和图 10 分别为 AC 耦合单端与 DC 耦合差分应用下由运放驱动的 ADC。MAX4354/MAX4454 等运放可以提供高速、带宽、低噪声与低失真性能，以保持输入信号的完整性。图 10 也可以作为与 DAC 差分模拟输出的接口，用来提供增益或缓冲。由于器件内部产生了 1.4V DC 共模电压，DAC 差分模拟输出不能用于单端模式。另外，DAC 模拟输出被设计用来驱动输入阻抗 $\geq 70k\Omega$ 的差分输入级。如果需要单端输出，可采用一个放大器提供差分到单端转换，而且要选择输入共模电压范围合适的放大器。

FDD 与 TDD 模式

MAX5865 能够以 FDD 或 TDD 模式工作在各种不同的应用中。MAX5865 能够在诸如 WCDMA-3GPP (FDD) 与 4G 技术的 FDD 应用中工作于 X_{cvr} 模式，也可以在诸如 TD-SCDMA、WCDMA-3GPP (TDD)、IEEE802.11a/b/g 以及 IEEE802.16 等 TDD 应用中在 Tx 与 Rx 模式之间切换。

在 FDD 模式下，ADC 和 DAC 同时工作。ADC 总线与 DAC 总线是专用的，必须与数字基带处理器通过 18 位 (8 位 ADC 与 10 位 DAC) 并行总线连接。通过 3 线串行接口选择 X_{cvr} 模式，用转换时钟锁存数据。FDD 模式下， $f_{CLK} = 40\text{MHz}$ 时，MAX5865 消耗 75.6mW 功率。这是 ADC 与 DAC 同时工作消耗的总功率。

在 TDD 模式下，ADC 与 DAC 分别工作。ADC 与 DAC 总线是共享的，可以一起构成 10 位并行总线连接到数字基带处理器。通过 3 线串行接口，选择 Rx 模式时 ADC 使能，选择 Tx 模式时 DAC 使能。工作在 Rx 模式下，DAC 由于内核被禁用而不能发送；工作在 Tx 模式下，ADC 总线是三态的。这样就可以消除任何不希望的杂散辐射，并可避免总线冲突。在 TDD 模式下， $f_{CLK} = 40\text{MHz}$ 时，MAX5865 在 Rx 模式下消耗 63mW 功率，在 Tx 模式下 DAC 消耗 38.4mW。

图 11 所示电路是与 MAX2820 配合工作在 TDD 模式的 MAX5865，该方案提供了完整的 802.11b 射频前端解决方案。由于 MAX5865 的 DAC 采用共模电压为 1.4V 的全差分模拟输出，ADC 具有较宽的输入共模范围，可以直接与 RF 收发器接口，省去了电平转换电路所需要的分立元

超低功耗、高动态性能的 40Mps模拟前端

MAX5865

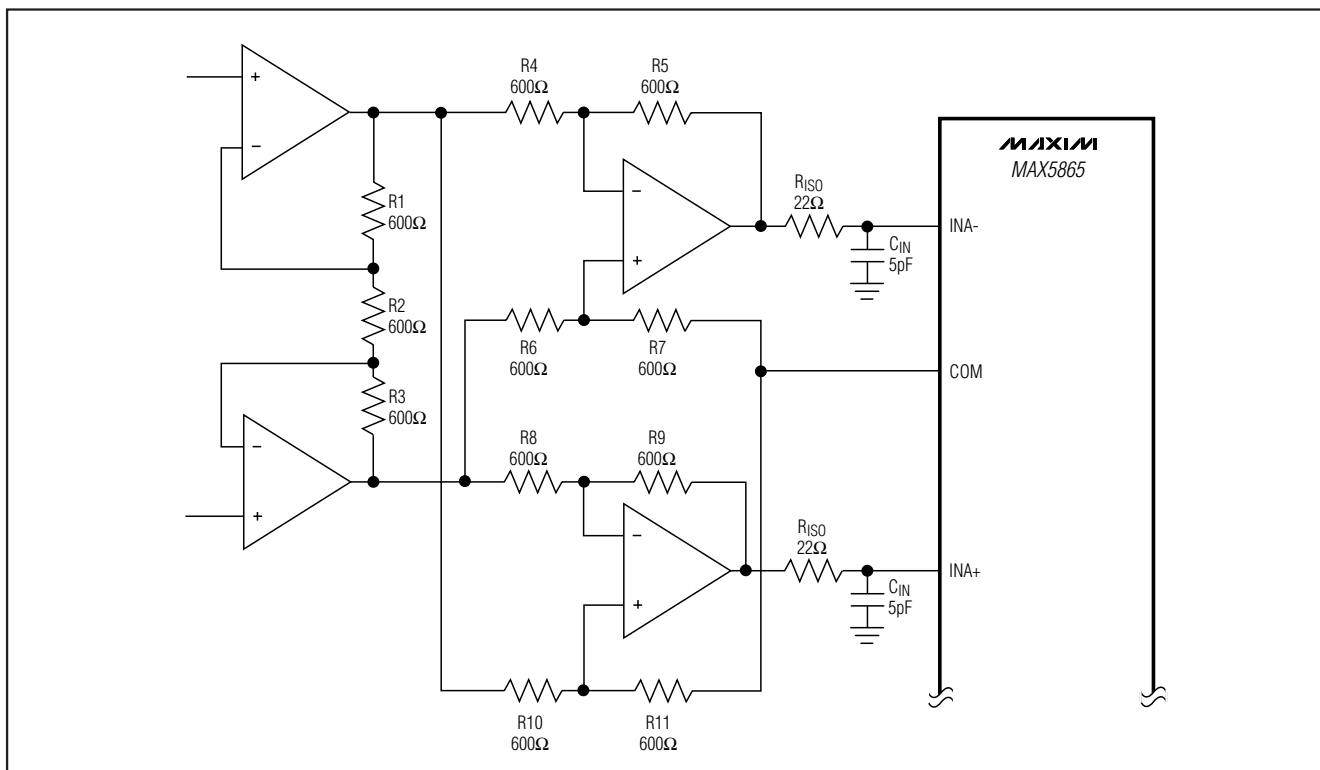


图 10. ADC 的 DC 耦合差分驱动

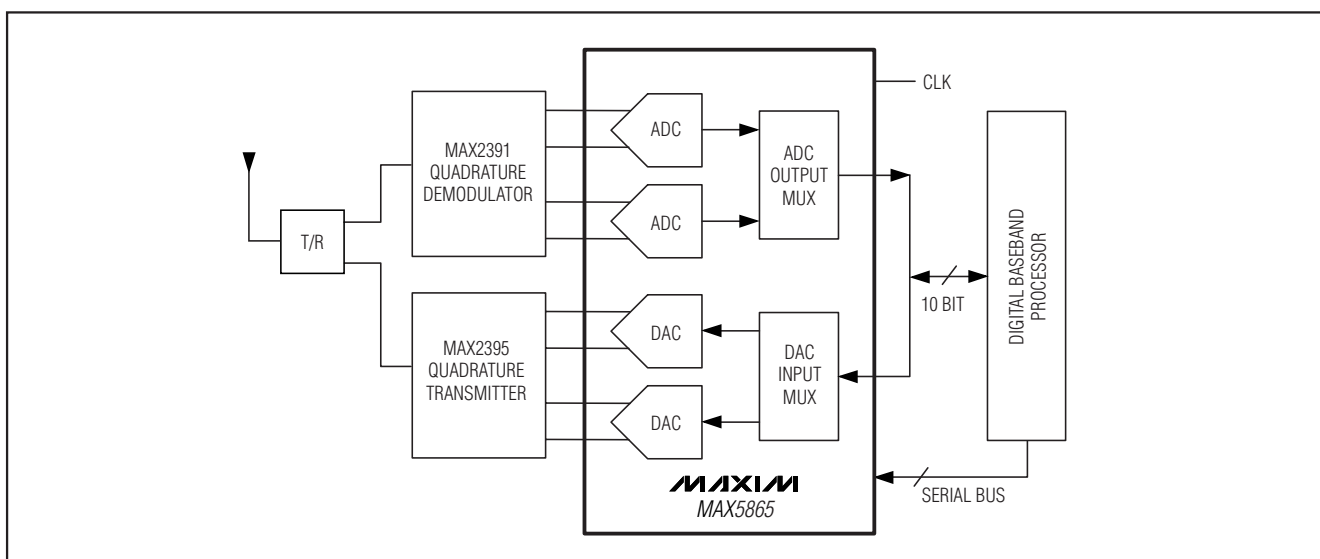


图 11. TDD 模式典型应用电路

超低功耗、高动态性能的 40Msps模拟前端

件和放大器。

同时，由于内部产生共模电压免除了编码发生器的电平偏移或由电阻电平偏移引起的衰减，DAC保留了全动态范围。MAX5865的ADC具有 $1V_{P-P}$ 满量程范围，可接受 $V_{DD}/2$ ($\pm 200mV$)的输入共模电平。由于可以省去分立的增益放大器与电平转换元件，上述特性简化了RF正交解调器与ADC之间的模拟接口。

接地、 旁路与布线

MAX5865需要高速电路布线设计技术，电路布局可以参考MAX5865评估板数据资料。所有旁路电容应尽可能靠近器件安装，并与器件位于电路板的同侧，应该选用表贴器件以减小电感。用 $0.1\mu F$ 陶瓷电容与 $2.2\mu F$ 电容并联，将 V_{DD} 旁路到GND；用 $0.1\mu F$ 陶瓷电容与 $2.2\mu F$ 电容并联，将 OV_{DD} 旁路到OGND；分别用 $0.33\mu F$ 陶瓷电容将REFP、REFN与COM旁路到GND；用 $0.1\mu F$ 电容将REFIN旁路到GND。

具有独立地平面与电源平面层的多层板可以获得最佳的信号完整性。模拟地(GND)与数字输出驱动地(OGND)采用独立的地平面，并分别与器件封装上的物理位置匹配，MAX5865裸露的背面焊盘接到GND平面，两个地平面单点相连，使噪声较大的数字地电流不会影响模拟地平面。可以凭经验将两个地平面之间空隙上的一点确定

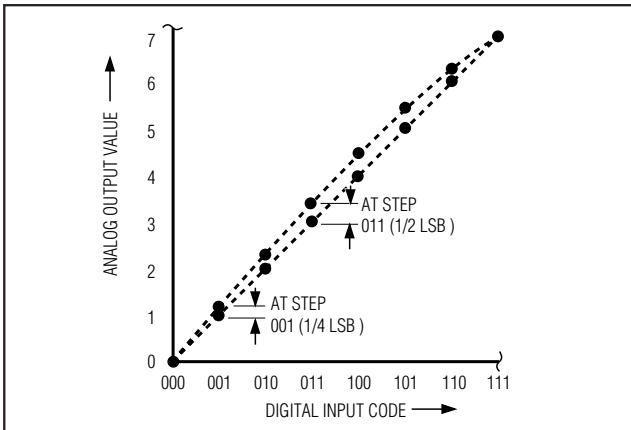


图 12a. 积分非线性

为单点共地的最佳位置，可以用一个低阻值的表贴电阻 (1Ω 至 5Ω)、磁珠或直接短路完成该连接。如果该地平面与所有噪声较大的数字系统地平面 (如后续输出缓冲器或DSP地平面)充分隔离，也可以使所有接地引脚共享同一个地平面。

高速数字信号布线应远离敏感的模拟信号布线，确保模拟输入与相应的转换器隔离，减小通道间的串扰。确保所有信号引线尽可能短，并避免 90° 转角。

动态参数定义

ADC与DAC的静态参数定义

积分非线性 (INL)

积分非线性是实际传递函数值与直线的偏差，这条直线可以是最佳直线拟合，也可以是消除失调量与增益误差后传递函数两个端点的连线。该器件静态线性参数的测量采用了端点方法。(DAC图 12a)。

微分非线性 (DNL)

微分非线性是实际步长宽度与1个LSB理想值之差，小于1LSB的DNL误差保证不会产生失码(ADC)，并确保单调的传递函数(ADC与DAC)(DAC图 12b)。

ADC失调误差

理想情况下，中点跳变出现在中点以上0.5个LSB处，失

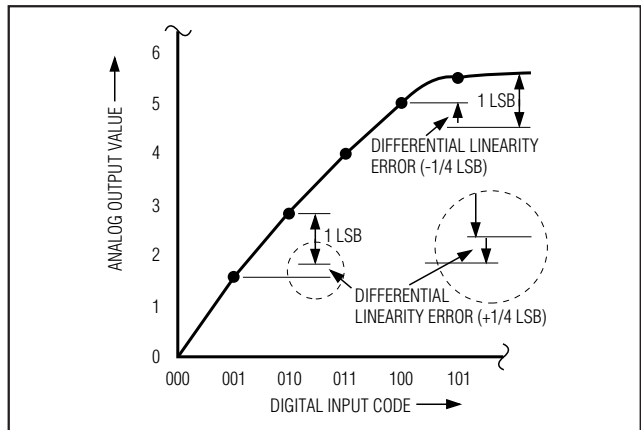


图 12b. 微分非线性

超低功耗、高动态性能的 40MSPS模拟前端

失调误差是测试得到的跳变点与理想跳变点之间的差值。

DAC失调误差

失调误差(图 12a)是理想失调点与实际失调点之差。失调点是数字输入为 midpoint 时对应的输出, 该误差对所有编码的影响是相等的, 通常可经过调理加以补偿。

ADC增益误差

理想情况下, ADC满量程跳变出现在低于满量程值 1.5个 LSB处。增益误差是在消除失调误差后测试的跳变点与理想跳变点之间的差值。

ADC动态参数定义

孔径抖动

图 13给出了孔径抖动 (t_{AJ})的说明, 它是孔径延时期间采样值的变化。

孔径延时

孔径延时 (t_{AD})是指采样时钟的上升沿与实际采样瞬间的时间差(图 13)。

信噪比 (SNR)

从数字采样中重建最佳波形, 理论上 SNR 的最大值是满量程模拟输入 (RMS 值)与 RMS 量化误差 (剩余误差)之比, 并直接由 ADC 的分辨率 (N 位)确定:

$$SNR(\max) = 6.02\text{dB} \times N + 1.76\text{dB} \text{ (dB)}$$

实际上, 除了量化噪声外还有其他噪声源, 如热噪声、基准噪声、时钟抖动等。SNR 用 RMS 信号与 RMS 噪声之比来计算。RMS 噪声包括除基波、前五次谐波与 DC 失调以外奈奎斯特频率的所有频谱成分。

信噪比加失真 (SINAD)

SINAD 用 RMS 信号与 RMS 噪声之比来计算。RMS 噪声包括除了基波与 DC 失调以外奈奎斯特频率的所有频谱成分。

有效位数 (ENOB)

ENOB 规定了在指定输入频率与采样率下 ADC 的动态性能, 理想的 ADC 误差仅包括量化误差。满量程正弦输入波形的 ENOB 由下式计算:

$$ENOB = (SINAD - 1.76) / 6.02$$

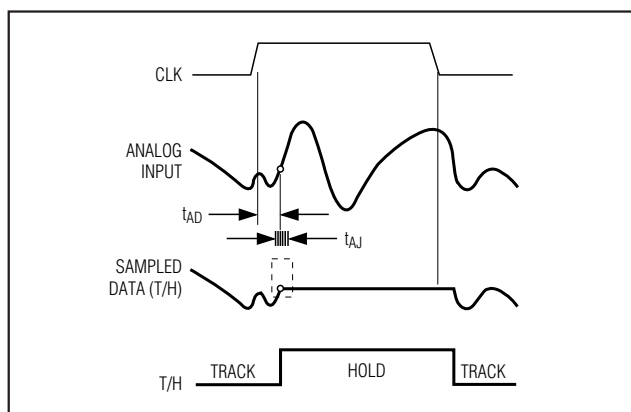


图 13. T/H 孔径时间

总谐波失真 (THD)

THD 是输入信号前 5 次谐波的 RMS 之和与基波之比, 可用下式表示:

$$THD = 20\log \left[\frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2)}}{V_1} \right]$$

其中 V_1 为基波幅值, V_2 – V_6 为 2 次至 6 次谐波幅值。

三次谐波失真 (HD3)

HD3 被定义为 3 次谐波分量的 RMS 值与输入信号基波的比值。

无杂散动态范围 (SFDR)

SFDR 是基波 (信号成分最大值) 的 RMS 幅值与不包括 DC 失调的第二大失真成分的 RMS 值之比, 以分贝为单位。

交调失真 (IMD)

当 f_1 和 f_2 两路信号加在输入端时, IMD 是对应于总输入功率的交调分量的总功率, 交调分量为 $(f_1 \pm f_2)$ 、 $(2 \times f_1)$ 、 $(2 \times f_2)$ 、 $(2 \times f_1 \pm f_2)$ 、 $(2 \times f_2 \pm f_1)$ 。每路信号电平为 -7dBFS 。

3 阶交调 (IM3)

当 f_1 和 f_2 两路信号加在输入端时, IM3 是对应于任意一路信号输入功率、最差的三阶交调分量的功率。三阶交调分量为 $(2 \times f_1 \pm f_2)$ 、 $(2 \times f_2 \pm f_1)$ 。每路信号电平为 -7dBFS 。

超低功耗、高动态性能的 40Msps模拟前端

电源抑制比

电源抑制比定义为电源变化 $\pm 5\%$ 时产生的失调量与增益误差的偏移。

小信号带宽

将 -20dBFS 的模拟输入信号送入 ADC，并且信号摆率不会限制 ADC 性能的条件下，随着输入频率的升高数字转换结果的幅值将会下降，下降 3dB 时所对应的频点称为小信号带宽。值得注意的是，T/H 性能通常是小信号输入带宽的制约因素。

满功率带宽

将 -5dBFS 的模拟输入信号送入 ADC，随着输入频率的升高数字转换结果的幅值将会下降，下降 3dB 时所对应的频点称为满功率带宽。

DAC 动态参数定义

总谐波失真

THD 是奈奎斯特频率输出谐波的 RMS 之和与基波的比值：

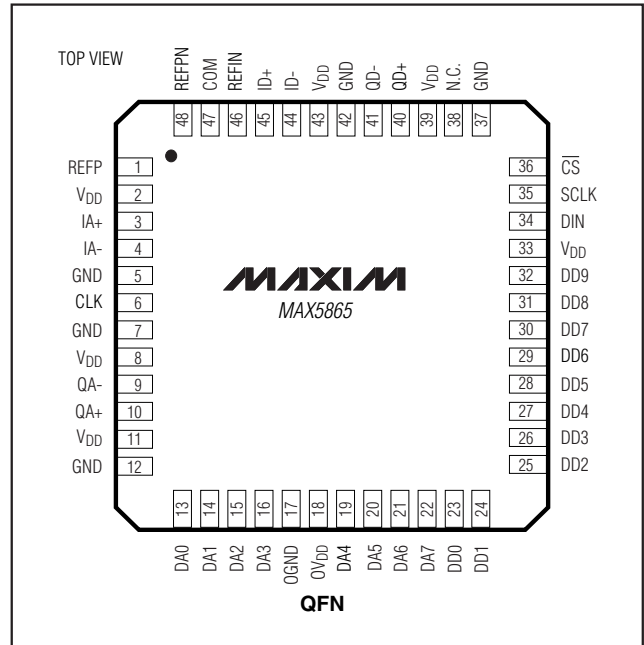
$$\text{THD} = 20 \log \left[\frac{\sqrt{(V_2^2 + V_3^2 + \dots + V_n^2)}}{V_1} \right]$$

其中 V_1 为基波幅值， V_2 至 V_n 为奈奎斯特频率的 2 次至 n 次谐波幅值。

无杂散动态范围

无杂散动态范围 (SFDR) 是基波 (信号成分最大值) 的 RMS 幅值与不包括 DC 成分的奈奎斯特频率第二大失真成分的 RMS 值之比。

引脚定义



芯片信息

TRANSISTOR COUNT: 16,765

PROCESS: CMOS

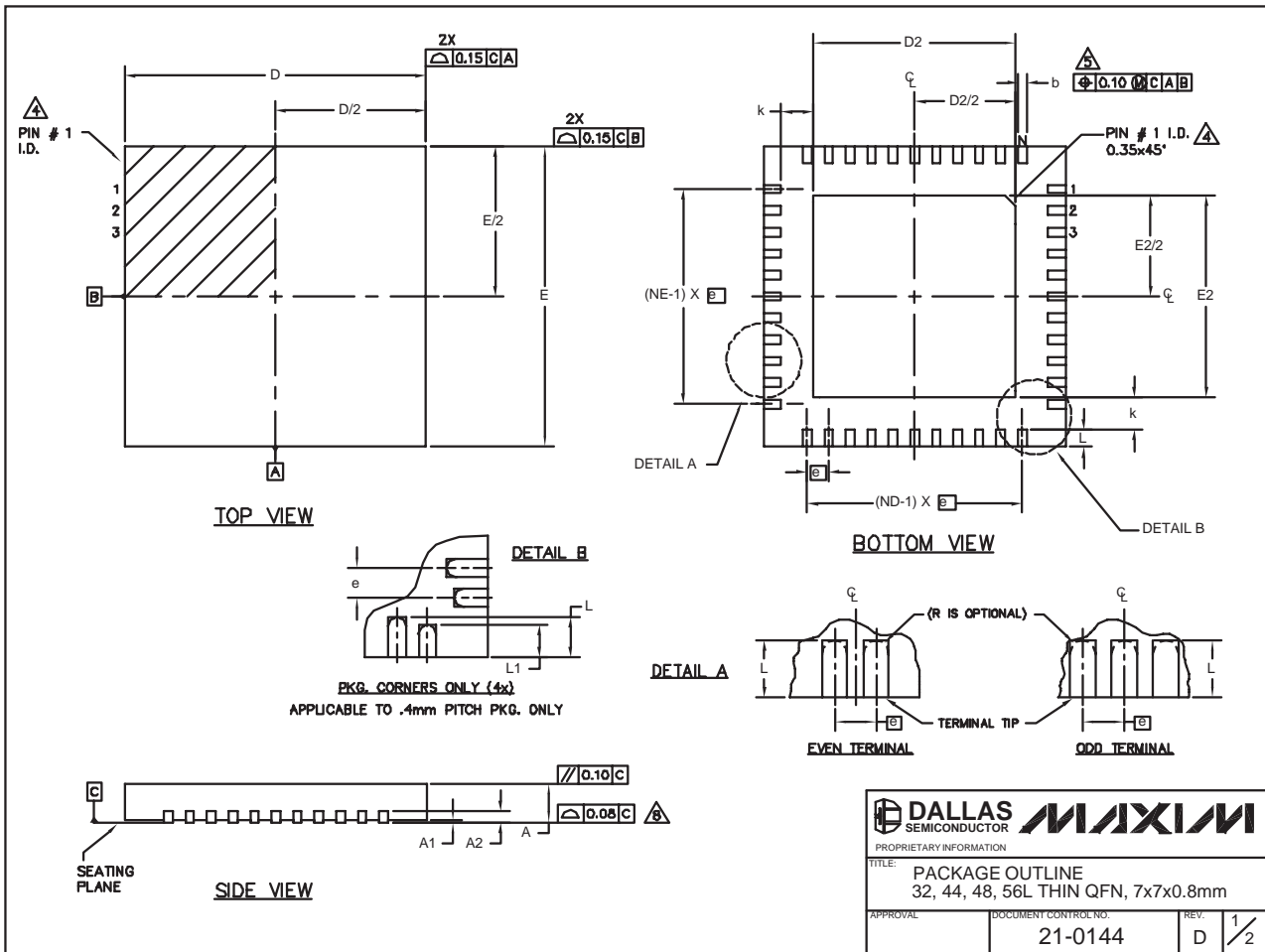
超低功耗、高动态性能的 40MSPS模拟前端

封装信息

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com/packages。)

MAX5865

32, 44, 48L QFN/EP



超低功耗、高动态性能的 40MSPS模拟前端

封装信息 (续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com/packages。)

| COMMON DIMENSIONS | | | | | | | | | | | | | | | |
|-------------------|-----------|------|------|-----------|------|------|-----------|------|------|-------------------------------------|------|------|-----------|------|------|
| PKG | 32L 7x7 | | | 44L 7x7 | | | 48L 7x7 | | | CUSTOM PKG. (T4877-1) 48L 7x7 | | | 56L 7x7 | | |
| SYMBOL | MIN. | NOM. | MAX. | MIN. | NOM. | MAX. | MIN. | NOM. | MAX. | MIN. | NOM. | MAX. | MIN. | NOM. | MAX. |
| A | 0.70 | 0.75 | 0.80 | 0.70 | 0.75 | 0.80 | 0.70 | 0.75 | 0.80 | 0.70 | 0.75 | 0.80 | 0.70 | 0.75 | 0.80 |
| A1 | 0 | 0.02 | 0.05 | 0 | 0.02 | 0.05 | 0 | 0.02 | 0.05 | 0 | 0.02 | 0.05 | 0 | - | 0.05 |
| A2 | 0.20 REF. | | | 0.20 REF. | | | 0.20 REF. | | | 0.20 REF. | | | 0.20 REF. | | |
| b | 0.25 | 0.30 | 0.35 | 0.20 | 0.25 | 0.30 | 0.20 | 0.25 | 0.30 | 0.20 | 0.25 | 0.30 | 0.15 | 0.20 | 0.25 |
| D | 6.90 | 7.00 | 7.10 | 6.90 | 7.00 | 7.10 | 6.90 | 7.00 | 7.10 | 6.90 | 7.00 | 7.10 | 6.90 | 7.00 | 7.10 |
| E | 6.90 | 7.00 | 7.10 | 6.90 | 7.00 | 7.10 | 6.90 | 7.00 | 7.10 | 6.90 | 7.00 | 7.10 | 6.90 | 7.00 | 7.10 |
| e | 0.65 BSC. | | | 0.50 BSC. | | | 0.50 BSC. | | | 0.50 BSC. | | | 0.40 BSC. | | |
| k | 0.25 | - | - | 0.25 | - | - | 0.25 | - | - | 0.25 | - | - | 0.25 | 0.35 | 0.45 |
| L | 0.45 | 0.55 | 0.65 | 0.45 | 0.55 | 0.65 | 0.30 | 0.40 | 0.50 | 0.45 | 0.55 | 0.65 | 0.40 | 0.50 | 0.60 |
| L1 | - | - | - | - | - | - | - | - | - | - | - | - | 0.30 | 0.40 | 0.50 |
| N | 32 | | | 44 | | | 48 | | | 44 | | | 56 | | |
| ND | 8 | | | 11 | | | 12 | | | 10 | | | 14 | | |
| NE | 8 | | | 11 | | | 12 | | | 12 | | | 14 | | |

| EXPOSED PAD VARIATIONS | | | | | | | | | |
|------------------------|-------------------|------|------|------|------|------|------|--------------------|--------------------|
| PKG. CODES | DEPOPULATED LEADS | D2 | | | E2 | | | JEDEC MO220 REV. C | DOWN BONDS ALLOWED |
| | | MIN. | NOM. | MAX. | MIN. | NOM. | MAX. | | |
| T3277-1 | - | 4.55 | 4.70 | 4.85 | 4.55 | 4.70 | 4.85 | - | NO |
| T3277-2 | - | 4.55 | 4.70 | 4.85 | 4.55 | 4.70 | 4.85 | - | YES |
| T4477-1 | - | 4.55 | 4.70 | 4.85 | 4.55 | 4.70 | 4.85 | WKD-1 | NO |
| T4477-2 | - | 4.55 | 4.70 | 4.85 | 4.55 | 4.70 | 4.85 | WKD-1 | YES |
| T4477-3 | - | 4.55 | 4.70 | 4.85 | 4.55 | 4.70 | 4.85 | WKD-1 | YES |
| T4877-1** | 13,24,37,48 | 4.20 | 4.30 | 4.40 | 4.20 | 4.30 | 4.40 | - | NO |
| T4877-2 | - | 5.45 | 5.60 | 5.63 | 5.45 | 5.60 | 5.63 | - | NO |
| T4877-3 | - | 4.95 | 5.10 | 5.25 | 4.95 | 5.10 | 5.25 | - | YES |
| T4877-4 | - | 5.45 | 5.60 | 5.63 | 5.45 | 5.60 | 5.63 | - | YES |
| T4877-5 | - | 2.40 | 2.80 | 2.60 | 2.40 | 2.80 | 2.60 | - | NO |
| T4877-6 | - | 5.45 | 5.60 | 5.63 | 5.45 | 5.60 | 5.63 | - | NO |
| T5677-1 | - | 5.20 | 5.30 | 5.40 | 5.20 | 5.30 | 5.40 | - | YES |

** NOTE: T4877-1 IS A CUSTOM 48L PKG. WITH 4 LEADS DEPOPULATED. TOTAL NUMBER OF LEADS ARE 44.

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 EXCEPT THE EXPOSED PAD DIMENSIONS OF T3277-1; T4877-1/-2/-3/-4/-5/-6 & T5677-1.
- WARPAGE SHALL NOT EXCEED 0.10 mm.

| | |
|--|---------------------------------|
| | |
| PROPRIETARY INFORMATION TITLE: PACKAGE OUTLINE 32, 44, 48, 56L THIN QFN, 7x7x0.8mm | |
| APPROVAL | DOCUMENT CONTROL NO. 21-0144 |
| REV. | D 2/2 |

MAXIM北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6201 0598

传真: 010-6201 0298

Maxim不对Maxim产品以外的任何电路使用负责, 也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

26 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**