



-48V热插拔控制器， 外置 R_{SENSE}

MAX5920

概述

MAX5920A/MAX5920B热插拔控制器能使电路板卡安全地热插入带电背板。MAX5920A/MAX5920B工作在-20V至-80V，非常适合-48V供电系统。这两款芯片的引脚和功能与LT4250兼容，引脚与LT1640兼容。

MAX5920A/MAX5920B为电路板卡提供受控制的开启功能，以防损坏电路板连接器和电路板器件，并可避免电源线上的瞬态故障。MAX5920A/MAX5920B提供欠压、过压和过流保护功能。这些器件确保在为负载供电之前保持输入电压稳定、并使其在容限范围以内。

出现故障时，MAX5920A/MAX5920B通过断开外部MOSFET对系统提供过流和短路保护。MAX5920A/MAX5920B还具有输入电压跃变保护功能，当输入电压发生跃变时，MAX5920A/MAX5920B将负载电流限制到一个安全水平，无需切断负载供电。

两款芯片集成了漏极开路、电源就绪状态输出 (MAX5920A为 $\overline{\text{PWRGD}}$ 输出、MAX5920B为PWRGD输出)，用于启动后续转换器。另外，内置热关断功能可以在过热情况下保护外部MOSFET。

MAX5920A/MAX5920B采用8引脚SO封装，工作在扩展级温度范围：-40°C到+85°C。

应用

电信线卡
网络开关/路由器
局用线卡
服务器线卡
基站线卡

典型工作电路和选择指南在本数据资料的最后给出。

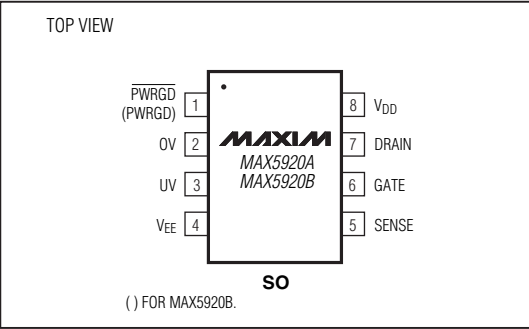
特性

- ◆ 能够在-48V带电背板上安全地插入或拔出板卡
- ◆ 引脚和功能与LT 4250L兼容 (MAX5920A)
- ◆ 引脚与LT1640L兼容 (MAX5920A)
- ◆ 引脚和功能与LT4250H兼容 (MAX5920B)
- ◆ 引脚与LT1640H兼容 (MAX5920B)
- ◆ 电路断路器可以避免输入电压跃变和电流尖峰的影响
- ◆ 可承受-100V输入瞬变电压，无需外部器件
- ◆ 可编程浪涌电流和短路电流限制
- ◆ -20V至-80V工作电压
- ◆ 可编程过压保护
- ◆ 可编程欠压锁定
- ◆ 能够在短路负载下上电
- ◆ 电源就绪控制输出
- ◆ 热关断电路保护外部MOSFET

订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX5920AESA	-40°C to +85°C	8 SO
MAX5920BESA	-40°C to +85°C	8 SO

引脚配置



-48V热插拔控制器， 外置 R_{SENSE}

ABSOLUTE MAXIMUM RATINGS

All Voltages are Referenced to V_{EE} , Unless Otherwise Noted.
 Supply Voltage ($V_{DD} - V_{EE}$) -0.3V to +100V
 DRAIN, PWRGD, PWRGD -0.3V to +100V
 PWRGD to DRAIN -0.3V to +95V
 PWRGD to V_{DD} -95V to +85V
 SENSE (Internally Clamped) -0.3V to +1.0V
 GATE (Internally Clamped) -0.3V to +18V
 UV and OV -0.3V to +60V

Current Through SENSE $\pm 40\text{mA}$
 Current into GATE $\pm 300\text{mA}$
 Current into Any Other Pin $\pm 20\text{mA}$
 Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)
 8-Pin SO (derate 5.9mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$) 471mW
 Operating Temperature Range -40°C to $+85^\circ\text{C}$
 Junction Temperature $+150^\circ\text{C}$
 Storage Temperature Range -65°C to $+150^\circ\text{C}$
 Lead Temperature (soldering, 10s) $+300^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{EE} = 0\text{V}$, $V_{DD} = 48\text{V}$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$. Typical values are at $T_A = +25^\circ\text{C}$, unless otherwise noted.) (Notes 1, 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
Operating Input Voltage Range	V_{DD}		20		80	V
Supply Current	I_{DD}	(Note 2)		0.7	2	mA
GATE DRIVER AND CLAMPING CIRCUITS						
Gate Pin Pullup Current	I_{PU}	GATE drive on, $V_{GATE} = V_{EE}$	-30	-45	-60	μA
Gate Pin Pulldown Current	I_{PD}	GATE drive off, $V_{GATE} = 2\text{V}$	24	50	70	mA
External Gate Drive	ΔV_{GATE}	$V_{GATE} - V_{EE}$, $20\text{V} \leq V_{DD} \leq 80\text{V}$	10	13.5	18	V
GATE to V_{EE} Clamp Voltage	V_{GSCLMP}	$V_{GATE} - V_{EE}$, $I_{GS} = 30\text{mA}$	15	16.4	18	V
CIRCUIT BREAKER						
Current-Limit Trip Voltage	V_{CL}	$V_{CL} = V_{SENSE} - V_{EE}$	40	50	60	mV
SENSE Input Bias Current		$V_{SENSE} = 50\text{mV}$	-1	-0.2	0	μA
UNDERVOLTAGE LOCKOUT						
Internal Undervoltage Lockout Voltage High	V_{UVLOH}	V_{DD} increasing	13.8	15.4	17.0	V
Internal Undervoltage Lockout Voltage Low	V_{UVLOL}	V_{DD} decreasing	11.8	13.4	15.0	V
UV PIN						
UV High Threshold	V_{UVH}	UV voltage increasing	1.240	1.255	1.270	V
UV Low Threshold	V_{UVL}	UV voltage decreasing	1.105	1.125	1.145	V
UV Hysteresis	$V_{UVHY_}$			130		mV
UV Input Bias Current	I_{INUV}		-0.5		0	μA
OV PIN						
OV High Threshold	V_{OVH}	OV voltage increasing	1.235	1.255	1.275	V
OV Low Threshold	V_{OVL}	OV voltage decreasing	1.189	1.205	1.221	V
OV Voltage Reference Hysteresis	V_{OVHY}			50		mV
OV Input Bias Current	I_{INOV}	$V_{OV} = V_{EE}$	-0.5		0	μA
PWRGD OUTPUT SIGNAL REFERENCED TO DRAIN						
DRAIN Input Bias Current	I_{DRAIN}	$V_{DRAIN} = 48\text{V}$	10	80	250	μA

-48V热插拔控制器, 外置 R_{SENSE}

MAX5920

ELECTRICAL CHARACTERISTICS (continued)

($V_{EE} = 0V$, $V_{DD} = 48V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$. Typical values are at $T_A = +25^{\circ}C$, unless otherwise noted.) (Notes 1, 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DRAIN Threshold for Power-Good	V _{DL}	V _{DRAIN} - V _{EE} threshold for power-good condition, DRAIN decreasing	1.1	1.7	2.0	V
GATE High Threshold	V _{GH}	ΔV _{GATE} - V _{GATE} threshold for power-good condition, ΔV _{GATE} - V _{GATE} decreasing	1.0	1.6	2.0	V
PWRGD, $\overline{\text{PWRGD}}$ Output Leakage	I _{OH}	$\overline{\text{PWRGD}}$ (MAX5920A) = 80V, V _{DRAIN} = 48V, PWRGD (MAX5920B) = 80V, V _{DRAIN} = 0V			10	μA
$\overline{\text{PWRGD}}$ Output Low Voltage	V _{OL}	V $\overline{\text{PWRGD}}$ - V _{EE} ; V _{DRAIN} - V _{EE} < V _{DL} , I _{SINK} = 5mA (MAX5920A)		0.11	0.4	V
PWRGD Output Low Voltage	V _{OL}	V _{PWRGD} - V _{DRAIN} ; V _{DRAIN} = 5V, I _{SINK} = 5mA (MAX5920B)		0.11	0.4	V
OVERTEMPERATURE PROTECTION						
Overtemperature Threshold	T _{OT}	Junction temperature, temperature rising		135		°C
Overtemperature Hysteresis	T _{HYS}			20		°C
AC PARAMETERS						
OV High to GATE Low	t _{PHLOV}	Figures 1a, 2		0.5		μs
UV Low to GATE Low	t _{PHLUV}	Figures 1a, 3		0.4		μs
OV Low to GATE High	t _{PLHOV}	Figures 1a, 2		3.3		μs
UV High to GATE High	t _{PLHVL}	Figures 1a, 3		3.4		μs
SENSE High to GATE Low	t _{PHLSENSE}	Figures 1a, 4a		1	3	μs
Current Limit to GATE Low	t _{PHLCL}	Figures 1b, 4b	350	500	650	μs
DRAIN Low to $\overline{\text{PWRGD}}$ Low DRAIN Low to (PWRGD - DRAIN) High	t _{PHLDL}	MAX5920A, Figures 1a, 5a		1.8		μs
		MAX5920B, Figures 1a, 5a		3.4		
GATE High to $\overline{\text{PWRGD}}$ Low GATE High to (PWRGD-DRAIN) High	t _{PHLGH}	MAX5920A, Figures 1a, 5b		1.6		μs
		MAX5920B, Figures 1a, 5b		2.5		
TURN-OFF						
Latch-Off Period	t _{OFF}	(Note 3)		128 x t _{PHLCL}		ms

Note 1: All currents into device pins are positive; all currents out of device pins are negative. All voltages are referenced to V_{EE} , unless otherwise specified.

Note 2: Current into V_{DD} with UV = 3V, OV, DRAIN, PWRGD, SENSE = V_{EE} , GATE = floating.

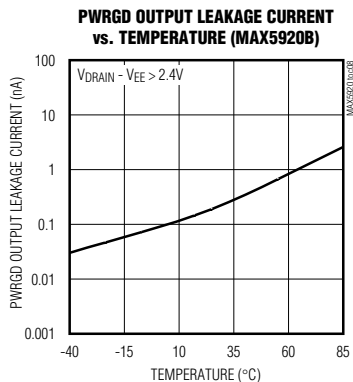
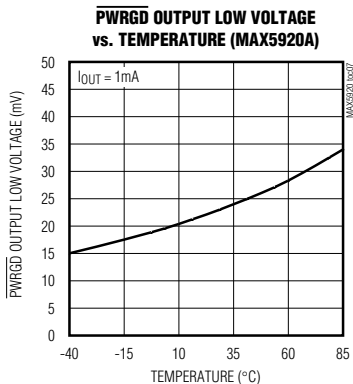
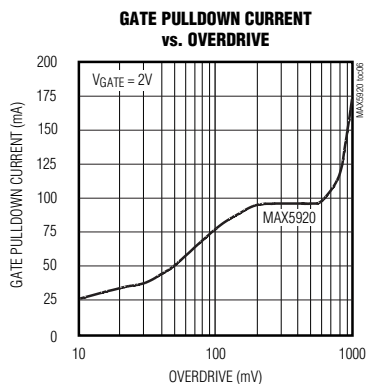
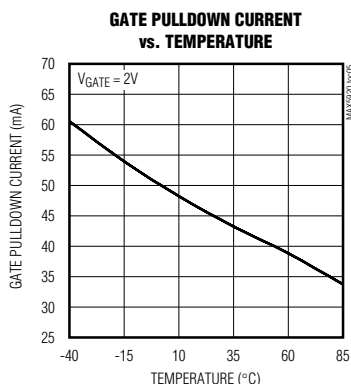
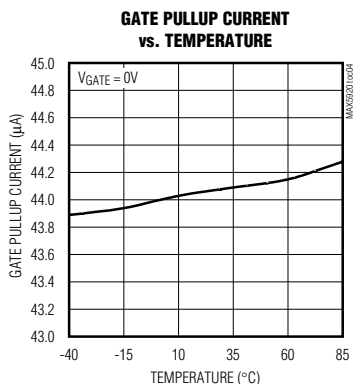
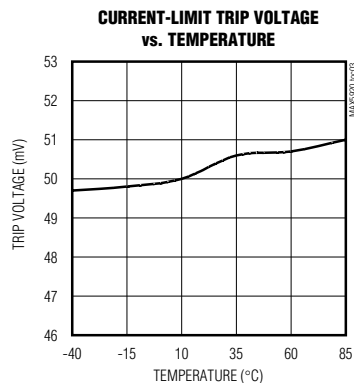
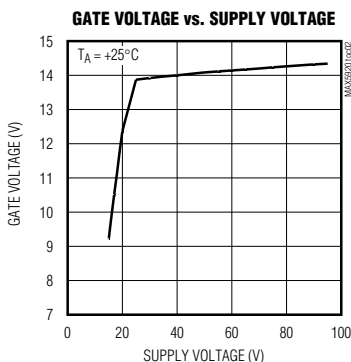
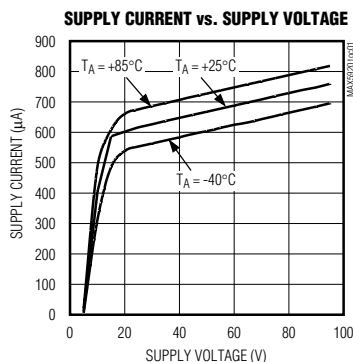
Note 3: Minimum duration of GATE pulldown following a circuit-breaker fault. The circuit breaker can be reset during this time by toggling UV low, but the GATE pulldown does not release until t_{OFF} has elapsed.

Note 4: Limits are 100% tested at $T_A = +25^{\circ}C$ and $+85^{\circ}C$. Limits at $-40^{\circ}C$ are guaranteed by design.

-48V热插拔控制器, 外置 R_{SENSE}

典型工作特性

($V_{DD} = 48V$, $V_{EE} = 0V$, $T_A = +25^\circ C$, unless otherwise noted.)



-48V热插拔控制器, 外置 R_{SENSE}

MAX5920

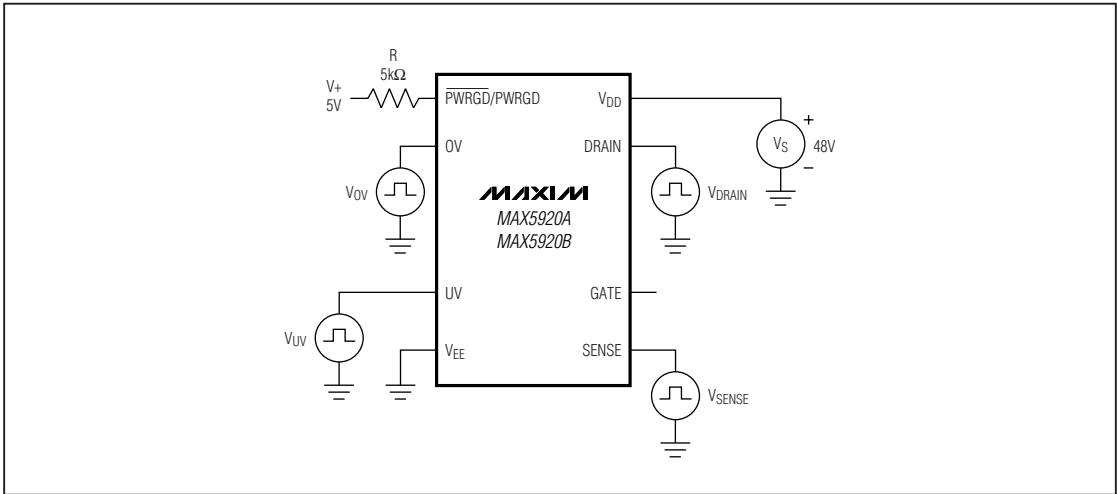


图 1a、测试电路 1

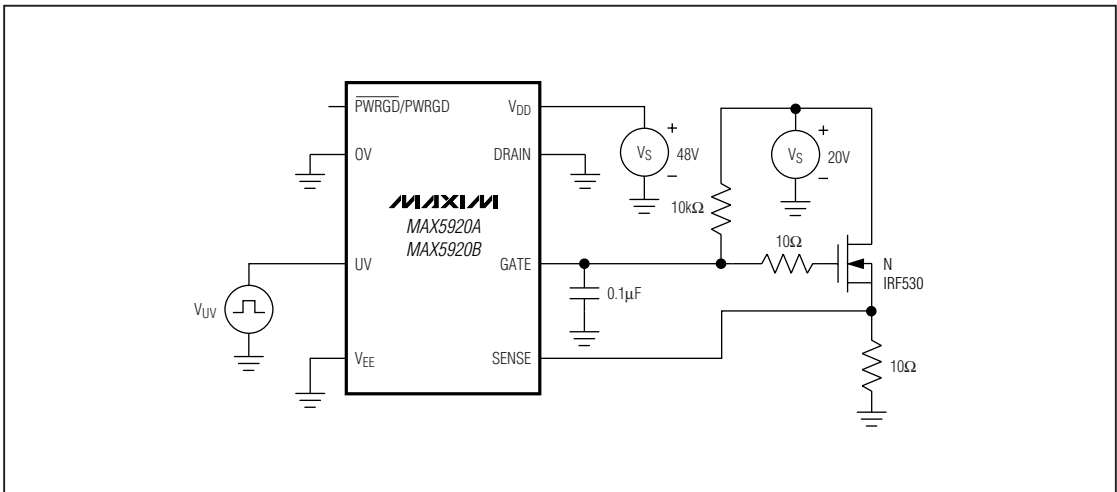


图 1b、测试电路 2

-48V热插拔控制器， 外置 R_{SENSE}

时序图

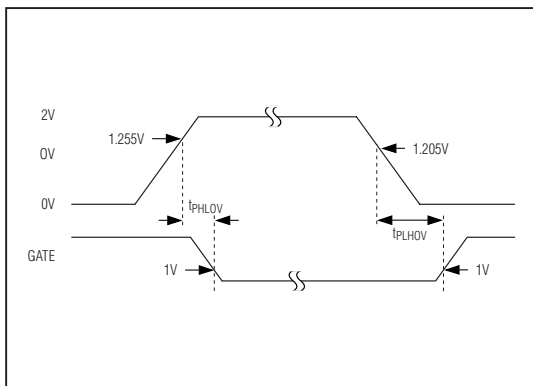


图2、OV与GATE时序关系

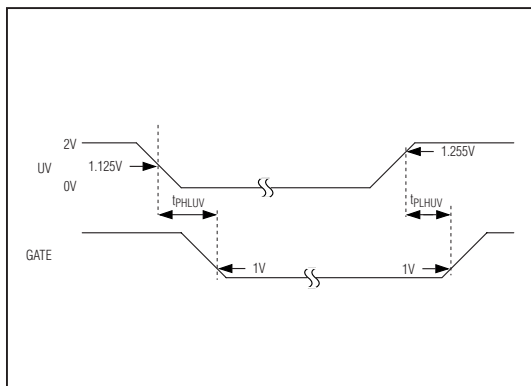


图3、UV与GATE时序关系

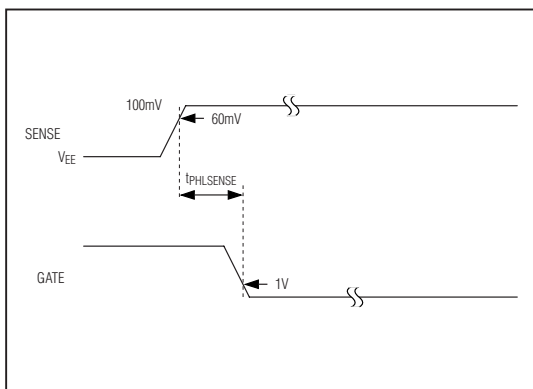


图4a、SENSE与GATE时序关系

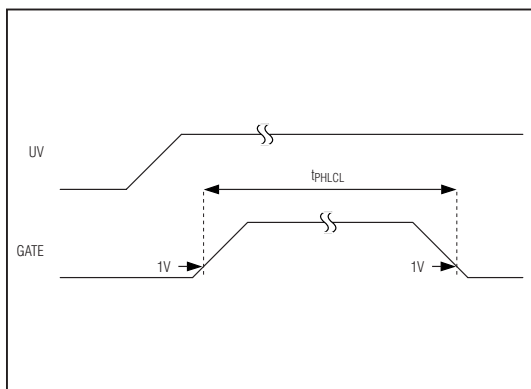


图4b、限流门限有效

-48V热插拔控制器, 外置 R_{SENSE}

时序图 (续)

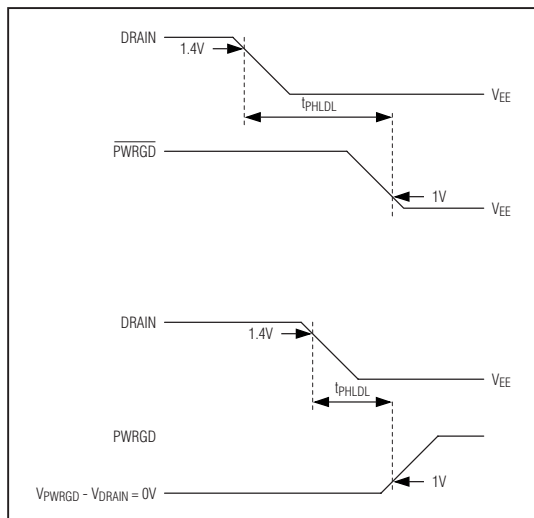


图5a、DRAIN与PWRGD/PWRGD的时序关系

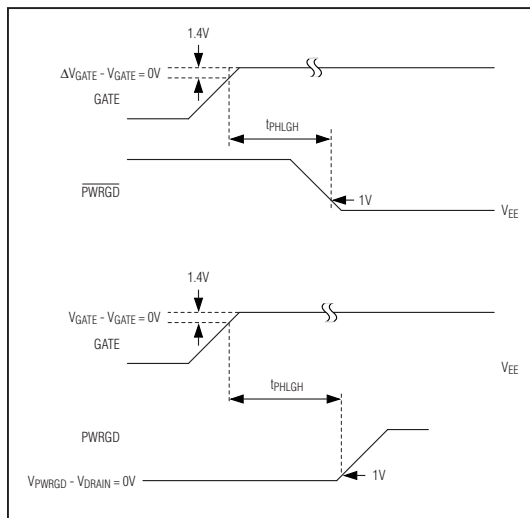
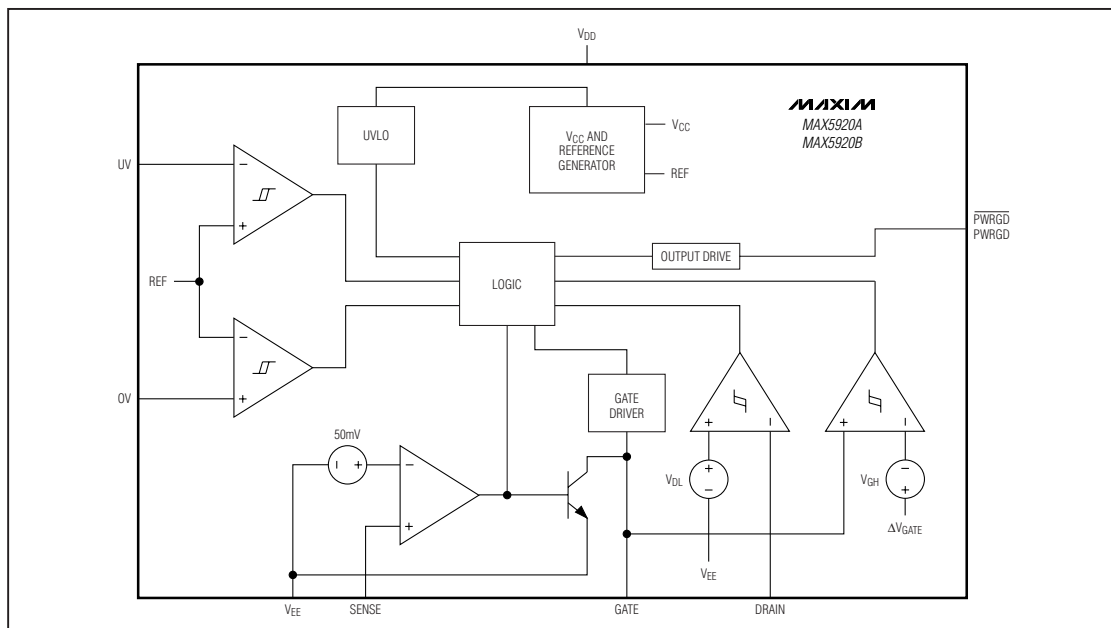


图5b、GATE与PWRGD/PWRGD的时序关系

原理框图



-48V热插拔控制器，
外置 R_{SENSE}

引脚说明

引脚		名称	功能
MAX5920A	MAX5920B		
1	—	$\overline{\text{PWRGD}}$	电源就绪信号输出。 $\overline{\text{PWRGD}}$ 是以 V_{EE} 为参考的低电平有效、漏极开路状态输出。当 $V_{\text{DRAIN}} - V_{EE} \leq V_{\text{DL}}$ 并且 $V_{\text{GATE}} > \Delta V_{\text{GATE}} - V_{\text{GH}}$ 时， $\overline{\text{PWRGD}}$ 锁定为低电平，表明电源就绪。否则， $\overline{\text{PWRGD}}$ 为漏极开路状态。
—	1	PWRGD	电源就绪信号输出。PWRGD是以DRAIN为参考的高电平有效、漏极开路状态输出。当 $V_{\text{DRAIN}} - V_{EE} \leq V_{\text{DL}}$ 并且 $V_{\text{GATE}} > \Delta V_{\text{GATE}} - V_{\text{GH}}$ 时，PWRGD锁定为高阻态，表明电源就绪。否则，PWRGD下拉到DRAIN电平。
2	2	OV	过压检测输入。OV以 V_{EE} 为参考。当将OV上拉到 V_{OVH} 电压以上时，GATE拉低。在OV电平降至 V_{OVL} 以前GATE将一直保持低电平。
3	3	UV	欠压检测输入。UV以 V_{EE} 为参考。当将UV电平上拉到 V_{UVH} 以上时，GATE使能。当将UV电平下拉到 V_{UVL} 以下时，GATE拉低。出现故障后还可以用UV复位电路断路器。为了复位电路断路器，需将UV电平下拉到 V_{UVL} 以下。出现故障后可以立即发出复位命令，但是，直到故障状态解除、再经过 t_{OFF} 延迟时间后器件才会重启。
4	4	V_{EE}	负电源输入。与负电源连接。
5	5	SENSE	电流检测输入。接外部检流电阻和外部MOSFET的源极。通过监视外部检流电阻上的压降检测过流和短路故障。将SENSE接 V_{EE} ，可禁止限流功能。
6	6	GATE	栅极驱动输出。接外部N沟道MOSFET的栅极。
7	7	DRAIN	输出电压检测输入。接输出电压节点(外部N沟道MOSFET的漏极)。为得到最佳的热保护效果，放置MAX5920A/MAX5920B时需保证DRAIN尽可能靠近外部MOSFET的漏极。
8	8	V_{DD}	正电源输入。该引脚是负电源系统中的电源地。与电源输入的高电位点连接。

详细说明

MAX5920A/MAX5920B 为 -48V 电源系统集成了热插拔控制器，允许电路板安全地热插入带电背板，不会在电源线上产生瞬态故障。当把电路板插入带电背板时，电路板上电源模块或开关电源输入端的旁路电容会在它们放电时吸入很大的浪涌电流。不受控制的浪涌电流会在系统电源上造成瞬态故障，损坏线路板上的器件。

MAX5920A/MAX5920B 为电路板卡提供受控的开启过程，避免损坏连接器和板上器件，并可避免电源线上出现瞬态故障。MAX5920A/MAX5920B 都具有欠压、过压和过流保护功能。MAX5920A/MAX5920B 确保为负载供电之前输入电压稳定、并使其在容限范围以内。这些器件还具有输入电压跃变保护功能，当输入电压发生跃变时，MAX5920A/MAX5920B 将负载电流限制到一个安全水平，无需切断负载供电。

-48V热插拔控制器, 外置 R_{SENSE}

电路板插入

图 6a 是一个典型的 -48V 系统的热插拔电路。当电路板首次与背板接触时, Q1 的漏极与栅极之间的电容 (C_{gd}) 将栅极电压上拉到 $V_{EE} \times C_{gd} / (C_{gd} + C_{gs})$ 。MAX5920A/MAX5920B 在 GATE 和 V_{EE} 之间具有内部动态嵌位, 能够在热插入期间保持 Q1 的栅源电压为低, 防止 Q1 将未受控制的电流传递给负载。在大多数应用中, MAX5920A/MAX5920B 内部在 GATE 和 V_{EE} 之间的内部嵌位可以省去外部栅源电容。在板卡插入过程中, 电阻 R3 限制流入嵌位电路的电流。

电源电压缓升

MAX5920A/MAX5920B 可以安装在背板上或可移动的电路板卡上(如图 6a 所示)。通过在电源通道上放置的一个外部 N 沟道 MOSFET 调整管给负载供电。

当电路板插入背板、 V_{EE} 电源电压稳定并保持在欠压和过压容限范围以内后，随着 $45\mu A$ 电流源对 Q1 栅极充电，MAX5920A/MAX5920B 逐渐开启外部 MOSFET。电容 C2 提供的反馈信号准确地限制浪涌电流。

可根据以下公式计算浪涌电流:

$$I_{INRUSH} = I_{PU} \times C_1 / C_2$$

这里, C_L 是总的负载电容, 等于 C_3+C_4 , I_{PU} 是 MAX5920_栅极上拉电流。

图 6b 表示浪涌电流波形。流经 C2 的电流控制栅极电压。漏极电压按一定斜率波动, 最后, 栅极电压充电达到终值。GATE 到 SENSE 端的嵌位电路将 V_{GS} 的最大值限制在 18V 以内。

拔出电路板

如果从背板上拔出电路板，则 UV 端的电压降低至 UVLO 检测门限，MAX5920 断开外部 MOSFET。

限流和电子断路器

MAX5920_集成了限流功能和断路器,以便在负载电流过大和短路情况下保护电路。通过检测 V_{EE} 和 SENSE 之间的外部检流电阻的电压来监视负载电流。

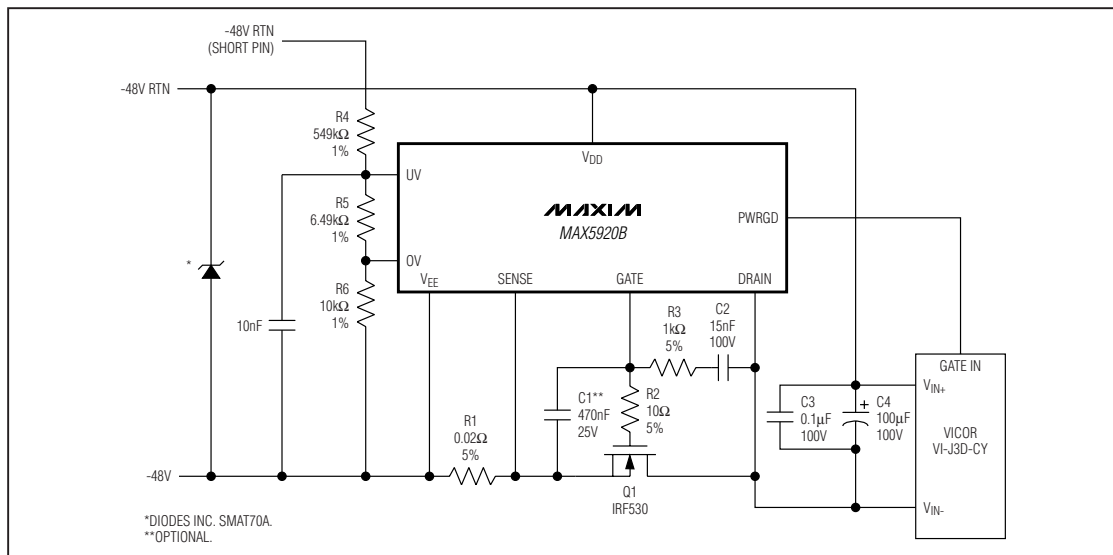


图6a、浪涌控制电路

-48V热插拔控制器, 外置 R_{SENSE}

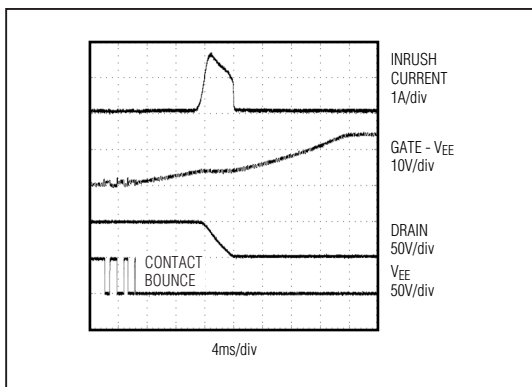


图 6b、浪涌控制波形

如果 V_{EE} 和 SENSE 之间的电压达到限流门限电压 (V_{CL})，则 MAX5920_ 将 GATE 端拉低，并调节流经外部 MOSFET 的电流，使 $V_{SENSE} - V_{EE} \leq V_{CL}$ 。当负载吸收电流降低到 V_{CL} / R_{SENSE} 时，GATE 电压将再次回升。但是，如果在 t_{PHLCL} 周期内，负载电流始终保持在 V_{CL} / R_{SENSE} 的限流值，将达到电子断路器的门限，MAX5920A/MAX5920B 将断开外部 MOSFET。

出现过流故障后，电路断路器通过将 UV 引脚拉低、然后再置为高电平或将 MAX5920A/MAX5920B 重新上电才能复位。除非是重新上电，否则，MAX5920A/MAX5920B 将等待 t_{OFF} 时间后才会开启外部 FET 的栅极。

过流故障积分器

MAX5920_ 带有一个过流故障积分器。当检测到过流故障时，内部数字计数器的数值开始递增。当 MAX5920_ 的计数值达到 $500\mu s$ (最大限流持续时间)，则判断为过流故障。如果过流故障持续时间不到 $500\mu s$ ，则计数器开始以低于递增速率 128 倍的速率 (最大限流占空比) 递减。当过流状态的占空比大于 $1/128$ 时，重复出现的过流状态将导致一次故障报警。

负载电流调节

只要 $V_{SENSE} - V_{EE} > V_{CL}$ ，MAX5920A/MAX5920B 会通过从 GATE 端拉电流实现负载电流调节 (参考典型工作特性)。这就降低了外部 MOSFET 的栅源电压，从而减少负载电

流。当 $V_{SENSE} - V_{EE} < V_{CL}$ 时，MAX5920A/MAX5920B 利用 $45\mu A$ (I_{PU}) 电流抬高 GATE。

驱动短路负载

出现持久的短路故障时，MAX5920A/MAX5920B 能够在 t_{PHLCL} 周期内将负载电流限制在 V_{CL} / R_{SENSE} ，在此之后将触发断路器。一旦激活断路器，外部 FET 的栅极被 $50mA$ 电流下拉至低电平，迅速断开电源与负载的连接。

抑制输入电压跃变

MAX5920A/MAX5920B 可以承受输入电源电压的跃变。输入电源电压的快速增大 ($V_{DD} - V_{EE}$ 增大) 会产生跃变电流： $I = C_L \times \Delta V_{IN} / \Delta T$ ，正比于输入电压的摆率 ($\Delta V_{IN} / \Delta T$)。如果负载电流在输入电压跃变期间大于 V_{CL} / R_{SENSE} ，MAX5920A/MAX5920B 限流电路将起作用，拉低栅极电压、并将负载电流限制在 V_{CL} / R_{SENSE} 。然后，DRAIN 端的电压 (V_{DRAIN}) 将按照比输入电压摆率低得多的速率回升。当漏极电压上升速度开始变缓时，漏栅极间的反馈电容 C_2 迫使栅极电压回退，降低栅源电压 (V_{GS}) 和流过外部 MOSFET 的电流。一旦输入电源达到其终值，DRAIN 摆率 (和由此产生的浪涌电流) 将受电容 C_2 的制约，与启动过程的受限状况相同。为确保正确工作，所选择的 R_{SENSE} 必须保证限流值高于负载电流与摆率模式下流入负载电容的动态电流。

如果负载电流与电容充电电流之和低于电流限制，则不会触发电路断路器。

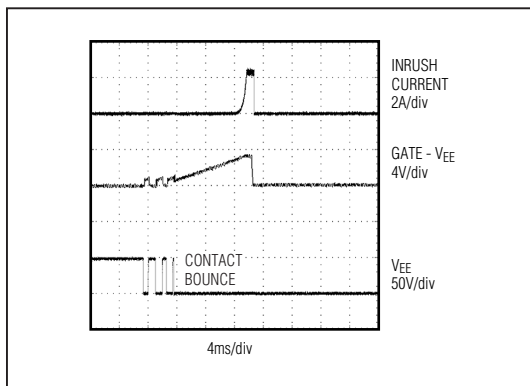


图 7a、短路保护启动过程

-48V热插拔控制器, 外置 R_{SENSE}

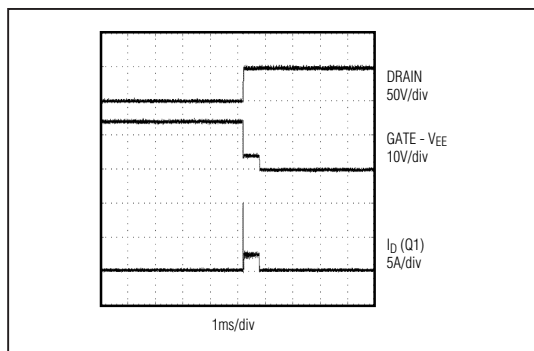


图7b、短路保护波形

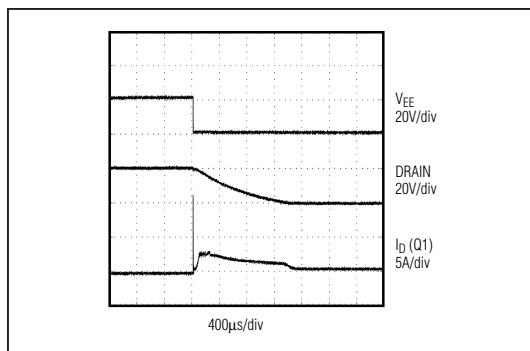


图8、输入电源的电压跃变

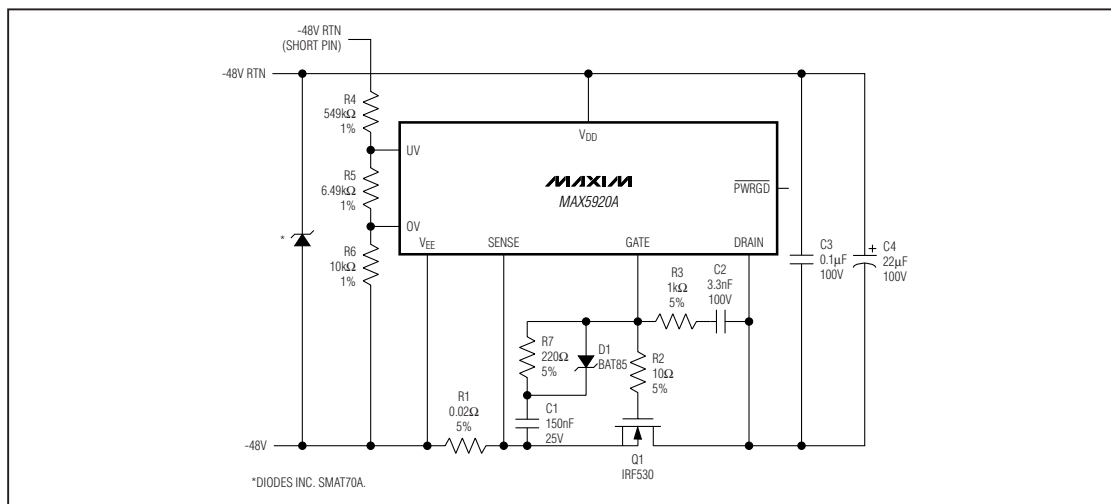


图9、输入跃变保护电路(用小电容)

C2小于 10nF时, 输入电源正的跃变电压会立即断开Q1, 关断输出。增加一个电阻和二极, Q1能够在电压跃变时保持导通, 如图9中的D1和R7所示。D1在电源引脚首次上电时对流过R7的电流起分流作用, 使C1保持GATE端为低电平。应选择R7使时间常数 $R7 \times C1$ 为33μs。

欠压和过压保护

利用UV和OV检测欠压和过压故障。UV和OV与内部模拟比较器连接, 比较器滞回分别为130mV (UV)和50mV

(OV)。当UV电压降低到相应门限或OV电压上升到相应门限时, GATE端拉低, 并且, GATE将在UV变高、OV变低之前, 即输入电源电压达到指定范围之内前持续保持低电平。MAX5920_具有内部锁定功能(UVLO), 无论UV输入如何, 外部MOSFET将一直保持断开状态, 直到输入电源电压超出15.4V。

发生故障后, 还能利用UV复位电路断路器。将UV电平下拉至 V_{UVL} 即可复位电路断路器。

-48V热插拔控制器， 外置 R_{SENSE}

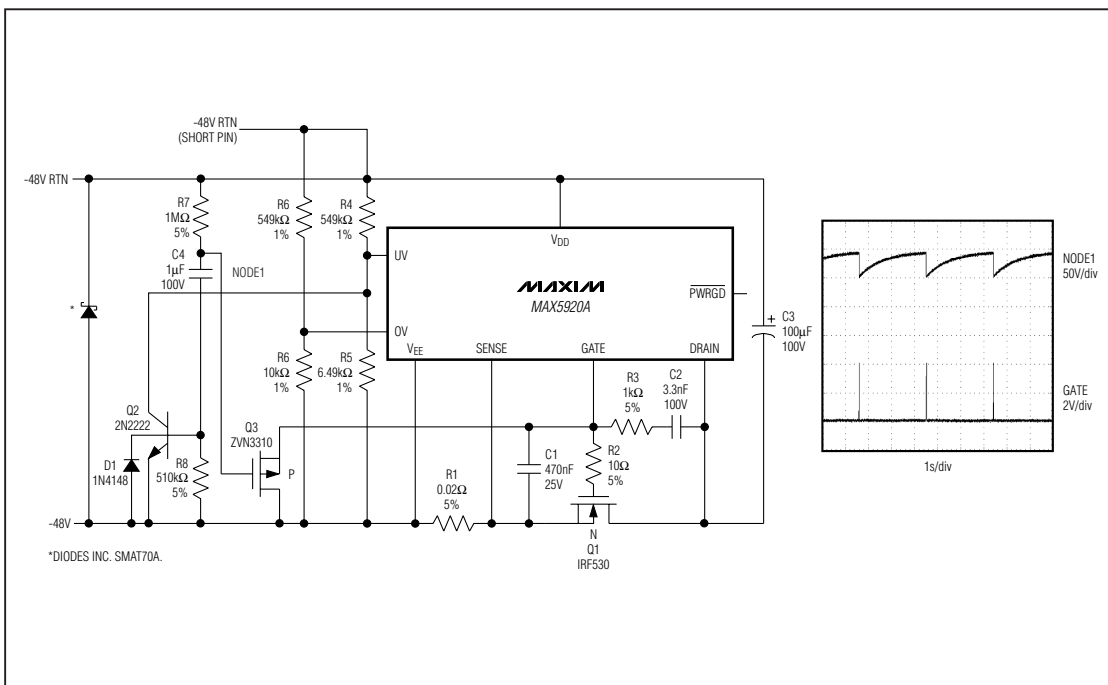


图 10、电流故障后的自动重启

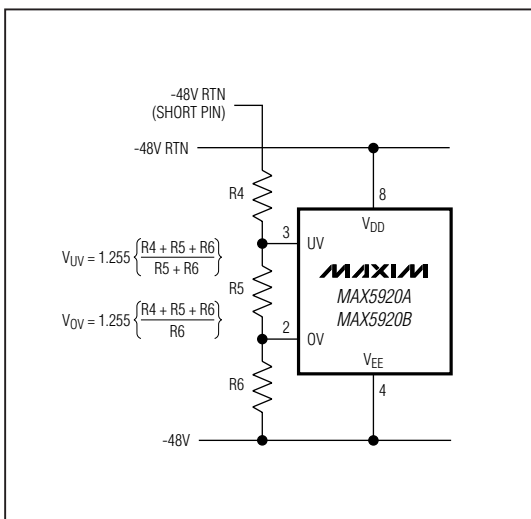


图 11、欠压和过压检测

图 11 用来说明如何利用三个电阻设置欠压和过压触发门限。当 $R4 = 549k\Omega$ 、 $R5 = 6.49k\Omega$ 和 $R6 = 10k\Omega$ 时，设定欠压门限为 38.5V（解除欠压状态门限为 43V），过压门限为 71V。电阻分压器还可以增大输入电源的欠压和过压滞回，分别达到 4.5V 和 2.8V。

$\overline{PWRGD}/PWRGD$ 输出

热插入后，利用 $\overline{PWRGD}$ (PWRGD) 输出可以启动电源模块。利用 MAX5920A ($\overline{PWRGD}$) 可以启动一个带有低电平使能输入的模块（如图 13 所示），或者利用 MAX5920B (PWRGD) 启动一个带有高电平使能输入的模块（如图 12 所示）。

PWRGD 信号以 DRAIN 端为参考，该端是电源模块的负电源。 $\overline{PWRGD}$ 信号以 V_{EE} 为参考。

MAX5920A 的 DRAIN 电压相对于 V_{EE} 为高，GATE 端电压为低时，内部将 MOSFET Q2 下拉至断开状态， $\overline{PWRGD}$ 输出变为高阻态（图 13）。利用模块内部的上拉电流源将 $\overline{PWRGD}$ 拉高，使模块关断。

-48V热插拔控制器, 外置 R_{SENSE}

MAX5920

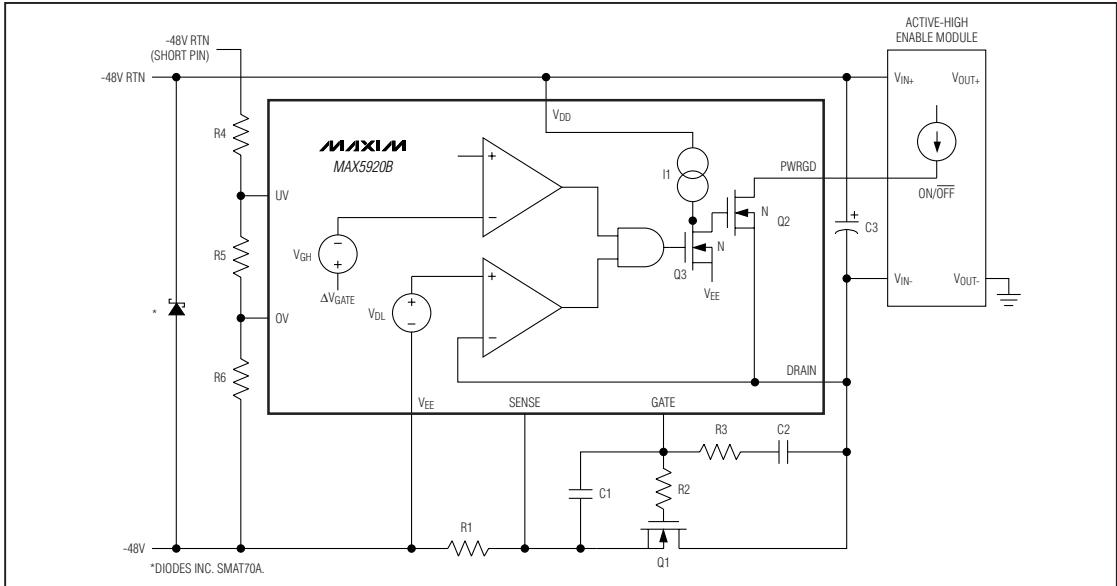


图12、高电平有效使能模块

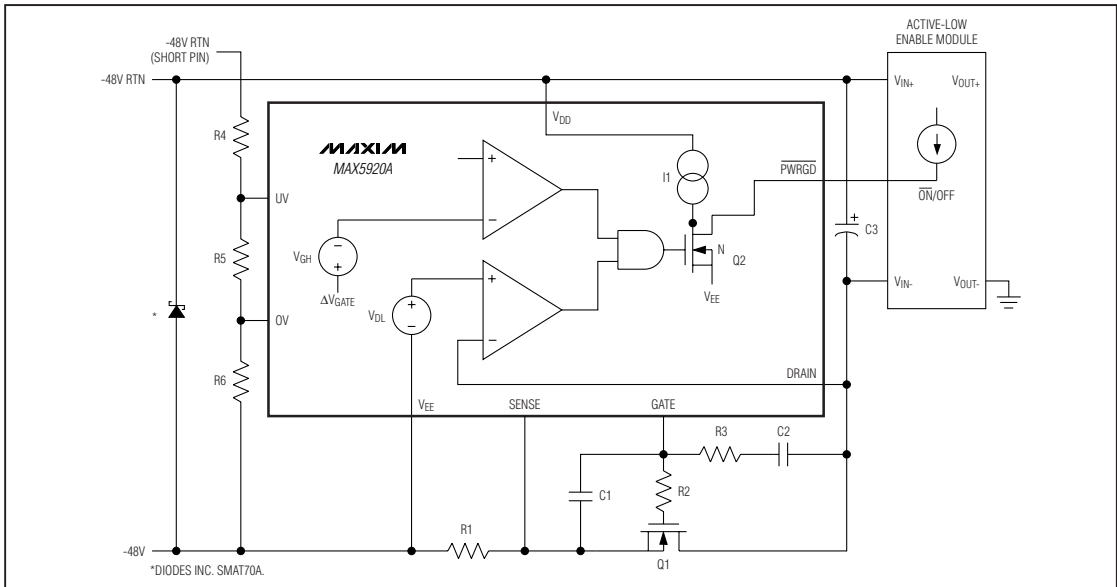
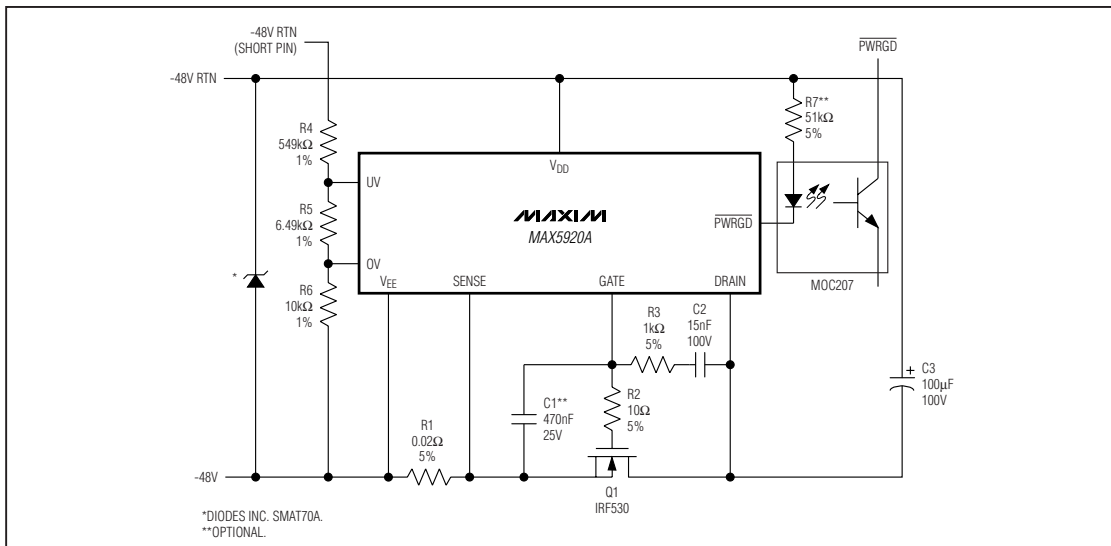


图13、低电平有效使能模块

-48V热插拔控制器, 外置 R_{SENSE}

图 14、利用 $\overline{PWRGD}$ 驱动光耦

当 DRAIN 电压降低到 V_{DL} ，并且 GATE 电压大于 $\Delta V_{GATE} - V_{GH}$ 时，Q2 导通， $\overline{PWRGD}$ 被下拉为低电平，开启模块。

PWRGD 信号也能用来开启 LED 或光耦，指示电源状态正常(如图 14 所示)(参见“元件选择步骤”部分)。

MAX5920B 的 DRAIN 电压相对于 V_{EE} 为高, GATE 端电压为低时, 内部将 MOSFET Q3 下拉至断开状态, 使得 I1 和内部 MOSFET Q2 将 PWRGD 引脚钳位至 DRAIN 引脚的电平。MOSFET Q2 吸收模块的上拉电流, 模块断开。

当 DRAIN 电压降低到 V_{DL} ，并且 GATE 电压大于 $\Delta V_{GATE} - V_{GH}$ 时，MOSFET Q3 导通，I1 与 V_{EE} 短路，Q2 断开。模块中的上拉电流将 PWRGD 拉高，开启模块。

GATE端电压调节

启动后, 如果符合以下条件 GATE 变高: UV 为高, OV 为低, 电源电压高于 V_{UVLOH} 以及 $V_{SENSE} - V_{EE}$ 小于 50mV。利用 45 μ A 电流源拉高栅极, 并将其调节到比 V_{EE} 高出 1.35V。MAX5920A/MAX5920B 内部嵌位电路

可确保外部 MOSFET 的 GATE 电压始终不会超出 18V。在快速升高 V_{DD} 期间, 附加的动态箝位电路使 GATE 和 SENSE 电位尽可能保持接近, 以防意外开启 FET。当检测到故障时, GATE 端通过 50mA 电流拉至低电平。

热关断

MAX5920A/MAX5920B 包含一个内部管芯温度监视器, 当管芯温度达到热关断阈值 T_{OT} 时, MAX5920A/MAX5920B 将 GATE 端拉低, 并关断外部 MOSFET。如果 MOSFET 和 MAX5920A/MAX5920B 之间有良好的导热通道, 芯片可为外部 MOSFET 提供热保护。将 MAX5920A/MAX5920B 靠近外部 MOSFET 的漏极放置, 由于大部分功率消耗在漏极, 可以获得最佳的热保护效果。

发生热关断故障后，MAX5920A/MAX5920B 关断外部 FET，需要通过触发 UV 引脚或重新上电清除热关断故障状态。触发 UV 后，芯片将在 t_{OFF} 时间内持续保持 FET 为关断状态，使 MOSFET 逐渐冷却。当温度降低到热关断阈值以下 20°C 时，芯片重新启动。

-48V热插拔控制器, 外置 R_{SENSE}

应用信息

检流电阻

电路断路器的限流门限被设定为 50mV (典型值)。选择一个检流电阻, 使其在高于最大标准工作电流时所产生的压降等于或大于限流门限值。通常, 启动过程中, 将过载电流设定为标准负载电流与动态负载电容充电电流之和的 1.5 倍至 2.0 倍。选择限流电阻的额定功率大于 $(V_{CL})^2 / R_{SENSE}$ 。

器件选择步骤:

- 确定负载电容:

$$C_L = C_2 + C_3 + \text{模块输入电容}$$

- 确定负载电流 I_{LOAD}
- 选择电路断路器电流, 例如:

$$I_{CB} = 2 \times I_{LOAD}$$

- 计算 R_{SENSE} :

$$R_{SENSE} = \frac{50\text{mV}}{I_{CB}}$$

注意, 考虑到触发电压容限, I_{CB} 波动为 $\pm 20\%$ 。

- 设置所容许的浪涌电流:

$$I_{INRUSH} \leq 0.8 \times \frac{40\text{mV}}{R_{SENSE}} - I_{LOAD} \quad \text{或}$$

$$I_{INRUSH} + I_{LOAD} \leq 0.8 \times I_{CB(MIN)}$$

- 确定 C_2 值:

$$C_2 = \frac{45\mu\text{A} \times C_L}{I_{INRUSH}}$$

- 计算 C_1 值:

$$C_1 = (C_2 + C_{gd}) \times \left(\frac{V_{IN(MAX)} - V_{GS(TH)}}{V_{GS(TH)}} \right)$$

- 确定 R_3 值:

$$R_3 \leq \frac{150\mu\text{s}}{C_2} \quad (\text{典型值为 } 1\text{k}\Omega)$$

- 设定 $R_2=10\Omega$ 。

- 如果利用图 14 所示的光耦, 则确定 LED 串联电阻为:

$$R_7 = \frac{V_{IN(NOMINAL)} - 2V}{3\text{mA} \leq I_{LED} \leq 5\text{mA}}$$

尽管推荐的光耦没有指定工作在 5mA 以下, 但其性能能够允许电源电压短时间低至 36V, 此时, LED 电流 $\approx 2.2\text{mA}$ 至 3.7mA 。如果将 R_7 设置在 $51\text{k}\Omega$, 光耦应该能够工作在所期望的温度和输入电压范围, 确保在输入为 48V、LED 电流 $\approx 0.9\text{mA}$, 输入为 36V、电流 $\approx 0.7\text{mA}$ 时正常工作。

如果预计输入电压会在瞬间达到 100V 以上, 则需选择一个输入瞬间电压抑制二极管 (TVS) 限定 MAX5920A/MAX5920B 的最大电压不超过 100V。比较适合的器件有: Diodes Inc. 的 SMAT70A, 是符合电信规范的 TVS。

选择 Q_1 满足电源电压、负载电流、效率和 Q_1 封装功耗要求:

$$BV_{DSS} \geq 100V$$

$$I_{D(ON)} \geq 3 \times I_{LOAD}$$

DPAK、D²PAK 或 TO-220AB

实际选用的最低 $R_{DS(ON)}$, 根据预计的限制条件, 数值为 $14\text{m}\Omega$ 至 $540\text{m}\Omega$, 击穿电压 100V。

确保在标准负载电流下, Q_1 节温的上升不会超出所选封装的要求。确保电压瞬变期间 I_{CB} 电流不超出所允许的瞬时安全工作区限。这由 Q_1 制造商提供的数据资料中的 SOA 和瞬时热阻曲线确定。

例 1:

$I_{LOAD} = 2.5\text{A}$, 效率 = 98%, 则 $V_{DS} = 0.96\text{V}$ 或在工作温度下 $R_{DS(ON)} \leq 384\text{m}\Omega$ 是容许的。可选用 D²PAK 封装的 $R_{DS(ON)} \leq 180\text{m}\Omega$ 、 $I_{D(ON)} = 10\text{A}$ 的 IRL520NS 100V NMOS。(Vishay Siliconix 公司提供 DPAK 封装、 $R_{DS(ON)} \leq 25\text{m}\Omega$ 、 $I_{D(ON)} = 40\text{A}$ 的 SUD40N10-25 100V NMOS, 但其管芯尺寸较大, 价格较高)。

使用 IRL520NS, 即使在 $+80^\circ\text{C}$ 时, 也能保证 $V_{DS} \leq 0.625\text{V}$, 效率 $\geq 98.6\%$ 。其 $P_D \leq 1.56\text{W}$, 由于封装热阻为 $\theta_{JC} = 3.1^\circ\text{C/W}$, 节温的上升会高出外壳温度大约 5°C 。当然, 使用 SUD40N10-25 会得到 99.8% 以上的效率, 足以补偿成本的增加。

-48V热插拔控制器， 外置 R_{SENSE}

如果将 I_{CB} 设定为 I_{LOAD} 的两倍，或 5A，则 V_{DS} 可以加倍到 $\leq 1.25V$ 。如果 $C_{OUT} = 4000\mu F$ ，输入电压瞬变 $\Delta 36V$ ，则 5A 充电电流脉冲为：

$$t = \frac{4000\mu F \times 1.25V}{5A} = 1ms$$

数据资料瞬时热阻曲线在 1ms 处所对应的 $\theta_{JC} = 0.9^{\circ}C/W$ 。 $P_D = 6.25W$ ，则 $\Delta t_{JC} = 5.6^{\circ}C$ 。很明显，这是不成问题的。

例 2：

$I_{LOAD} = 10A$ ，效率 = 98%，允许 $V_{DS} = 0.96V$ 、 $R_{DS(ON)} \leq 96m\Omega$ 。D²PAK 封装的 IRL530 列出 +25°C 时 $R_{DS(ON)} \leq 90m\Omega$ ，+80°C 时 $R_{DS(ON)} \leq 135m\Omega$ 。+25°C 时功率耗散是 9.6W，+80°C 时功率耗散是 14.4W。节点到外壳热阻是 $1.9^{\circ}C/W$ ，因此节点温度的上升会比 +25°C 外壳温度高出大约 $5^{\circ}C$ 。为得到更高的效率，考虑使用 $R_{DS(ON)} \leq 44m\Omega$ 的 IRL540NS。可以得到 $\eta = 99\%$ ， $P_D \leq 4.4W$ ，并且 +25°C 时 $T_{JC} = +4^{\circ}C$ ($\theta_{JC} = 1.1^{\circ}C/W$)。

由瞬态情况下的热量计算得到 $I_{CB} = 20A$ ， $V_{DS} = 1.8V$ ， $t = 0.5ms$ ，瞬时 $\theta_{JC} = 0.12^{\circ}C/W$ ， $P_D = 36W$ 和 $\Delta t_{JC} = 4.3^{\circ}C$ 。

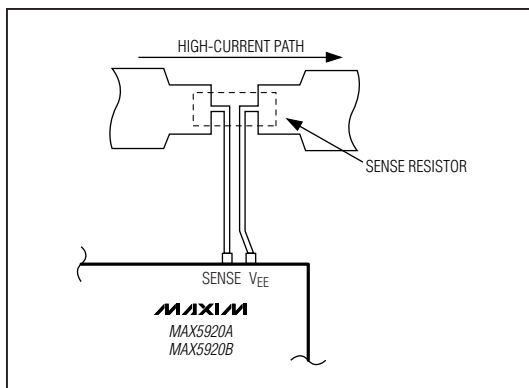


图 15、通过检流电阻实现 Kelvin 检流的布板范例

布板要求

MAX5920A/MAX5920B 和外部 MOSFET 之间良好的热传导性是保证有效发挥热关断功能的关键。将 MAX5920A/MAX5920B 尽可能靠近外部 MOSFET 漏极放置，并且使用较宽的电路板引线以获得良好的热传导效果 (图 15)

选择指南

PART	PWRGD POLARITY	FAULT MANAGEMENT
MAX5920AESA	Active low (PWRGD)	Latched
MAX5920BESA	Active high (PWRGD)	Latched

典型工作电路

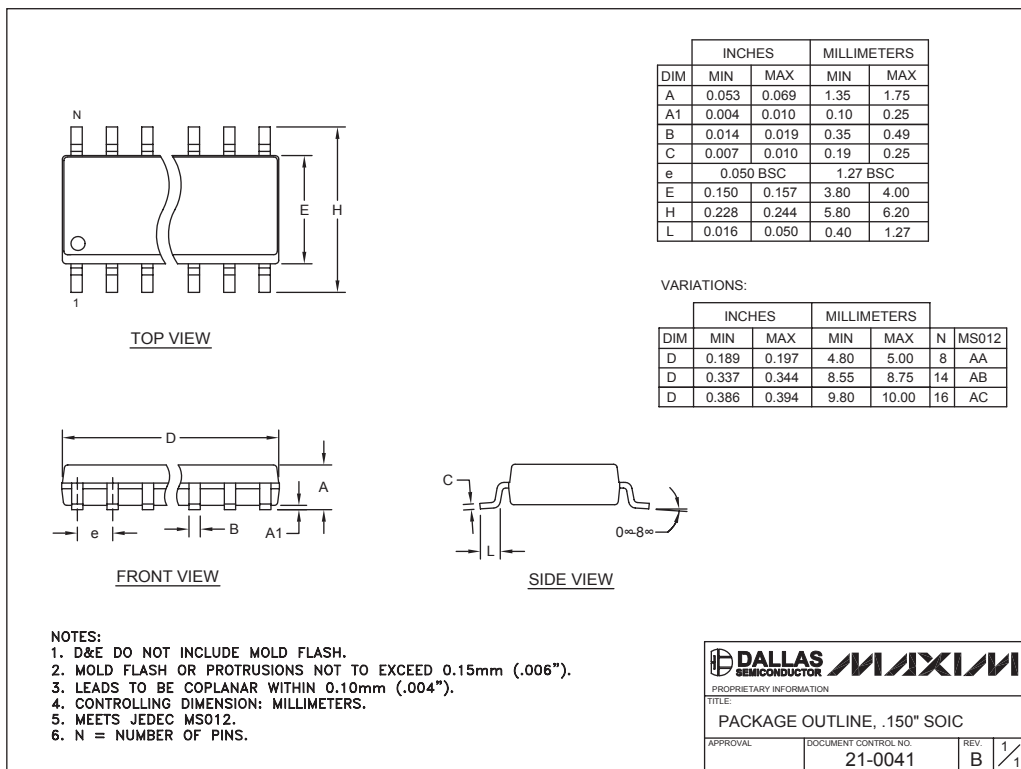
TRANSISTOR COUNT: 2645

PROCESS: BiCMOS

-48V热插拔控制器， 外置 R_{SENSE}

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com/packages。)



SOIC EP8

MAXIM 北京办事处

北京 8328 信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6201 0598

传真: 010-6201 0298

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

18 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**