

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

概述

MAX5936/MAX5937 是用于-10V至-80V电源电压的热插拔控制器。MAX5936/MAX5937 允许电路板卡安全地插入带电背板, 而不会在电源上产生尖峰脉冲。这两款器件集成了电路断路器, 无需 R_{SENSE} 。

MAX5936/MAX5937 为电路卡提供受控制的开启过程和受限制的浪涌电流, 防止在电源线上产生脉冲干扰, 避免损坏电路板连接器和元件。在上电之前, 器件执行 Load Probe™ 测试, 检测是否存在短路故障。如果不存在短路, 器件通过逐渐打开外部 MOSFET 的过程限制负载吸入的浪涌电流。一旦外部 MOSFET 完全打开, MAX5936/MAX5937 通过监视外部功率 MOSFET $R_{DS(ON)}$ 上的压降, 提供过流和短路保护。MAX5936/MAX5937 集成了 400mA 的快速 GATE 栅极下拉, 确保功率 MOSFET 在过流或短路情况下迅速关闭。

MAX5936/MAX5937 提供 V_{IN} 阶跃抑制, 保护系统免受输入电压 (V_{IN}) 跃变的影响。MAX5936/MAX5937 具有精确的 UVLO 电压检测。MAX5936 提供开漏极、低有效 PGOOD 输出; MAX5937 提供开漏极、高有效 PGOOD 输出。

除了可以选择无断路器配置外, MAX5936/MAX5937 还可提供 100mV、200mV 和 400mV 的电路断路器检测门限。这些器件采用闭锁和自动重试故障管理, 8 引脚 SO 封装, 工作在扩展级温度范围 (-40°C 至 +85°C) (见选择指南)。

应用

服务器
电信线卡
网络交换机
固态电路断路器
网络路由器

特性

- ◆ -10V至-80V工作电压
- ◆ 无需 R_{SENSE}
- ◆ 驱动大功率 MOSFET
- ◆ 热插拔期间可编程浪涌电流限制
- ◆ 100mV、200mV、400mV 门限和无断路器选项
- ◆ 具有瞬态抑制的电路断路故障保护
- ◆ 功率 MOSFET 开启之前提供负载短路检测 (Load Probe)
- ◆ $\pm 2.4\%$ 的精确欠压锁定 (UVLO)
- ◆ 采用自动重试和闭锁故障管理
- ◆ 低静态电流

订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX5936_ _ESA	-40°C to +85°C	8 SO
MAX5937_ _ESA	-40°C to +85°C	8 SO

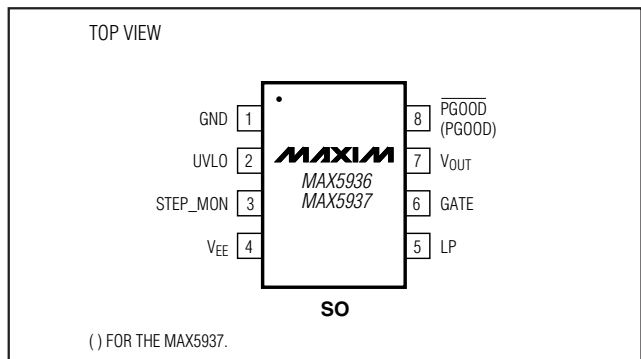
注: 第一个“_”为A时表示自动重试, 为L时表示闭锁故障管理选项。

第二个“_”表示电路断路器的门限。

更多信息请参考选择指南。

选择指南和典型工作电路在本数据资料的最后部分给出。

引脚配置



Load Probe 是 Maxim Integrated Products, Inc 的商标。

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

ABSOLUTE MAXIMUM RATINGS

V_{EE} , V_{OUT} , PGOOD (PGOOD), LP, STEP_MON to GND.....	+0.3V to -85V	GATE (during 15V clamp, continuous).....	30mA
PGOOD (PGOOD) to V_{OUT}	-0.3V to +85V	GATE (during 2V clamp, continuous).....	50mA
PGOOD (PGOOD), LP, STEP_MON to V_{EE}	-0.3V to +85V	GATE (during gate pulldown, continuous).....	50mA
GATE to V_{EE}	-0.3V to +20V	Continuous Power Dissipation ($T_A = +70^\circ\text{C}$) 8-Pin SO (derate 5.9mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$).....	471mW
UVLO to V_{EE}	-0.3V to +6V	Operating Temperature Range	-40 $^\circ\text{C}$ to +85 $^\circ\text{C}$
Input Current LP (internally, duty-cycle limited).....	1A	Junction Temperature	+150 $^\circ\text{C}$
PGOOD (PGOOD) (continuous).....	80mA	Storage Temperature Range	-65 $^\circ\text{C}$ to +150 $^\circ\text{C}$
		Lead Temperature (soldering, 10s)	+300 $^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{EE} = -10\text{V}$ to -80V , $V_{IN} = \text{GND} - V_{EE}$, $V_{STEP_MON} = V_{EE}$, $R_{LP} = 200\Omega$, UVLO open, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted. Typical values are at $V_{EE} = -48\text{V}$, $T_A = +25^\circ\text{C}$.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Operating Voltage Range	V_{EE}	Referenced to GND	-80		-10	V	
Operating Supply Current	I_{CC}			0.95	1.4	mA	
Default V_{EE} Undervoltage Lockout	$V_{UVLO,R}$	I_{VEE} increasing	-33.5	-31.0	-29.5	V	
	$V_{UVLO,F}$	I_{VEE} decreasing		-28			
UVLO Reference Threshold, V_{EE} Rising	$V_{UVLO_REF,R}$	V_{UVLO} increasing	1.219	1.25	1.281	V	
UVLO Reference Threshold, V_{EE} Falling	$V_{UVLO_REF,F}$	V_{UVLO} decreasing	1.069	1.125	1.181	V	
UVLO Input Resistance			20		50	k Ω	
UVLO Transient Rejection	t_{OVREJ}		0.8	1.5	2.25	ms	
Power-Up Delay (Note 3)	t_{ONDLY}		80	220	380	ms	
V_{EE} and UVLO Glitch Rejection (Note 4)	t_{REJ}		0.8	1.5	2.25	ms	
V_{OUT} to V_{EE} Leakage Current		$V_{EE} = -80\text{V}$, $V_{OUT} = \text{GND}$		0.01	1	μA	
LP to V_{EE} Leakage Current		$V_{EE} = -80\text{V}$, $V_{LP} = \text{GND}$		0.01	1	μA	
External Gate-Drive Voltage	V_{GS}	$V_{GATE} - V_{EE}$	$V_{IN} = 10\text{V}$	6.5	6.8	7.2	V
			$14 \leq V_{IN} \leq 80\text{V}$	8.1	10	12.8	
GATE to V_{EE} Clamp Voltage		MOSFET fully enhanced	$I_{CLAMP} = 9\text{mA}$	13.5	16	V	
			$I_{CLAMP} = 20\text{mA}$		17		19.5
		Power-off, $V_{EE} = \text{GND}$	$I_{CLAMP} = 1\text{mA}$		2.1		2.55
			$I_{CLAMP} = 10\text{mA}$		2.5		2.9
Open-Loop Gate-Charge Current		$V_{GATE} = V_{EE}$, $V_{OUT} = \text{GND}$	-66	-52	-35	μA	
GATE Pulldown Switch On-Resistance	R_{GATE}	$V_{GATE} - V_{EE} = 500\text{mV}$	$V_{IN} > 10\text{V}$		9	14.1	Ω
			$V_{IN} > 14\text{V}$		7.5	12.5	
Output-Voltage Slew Rate	SR	$I \text{ d}V_{OUT}/\text{d}t \text{ I}$	2.4	9	14.8	V/ms	

-48V 热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

MAX5936/MAX5937

ELECTRICAL CHARACTERISTICS (continued)

($V_{EE} = -10V$ to $-80V$, $V_{IN} = GND - V_{EE}$, $V_{STEP_MON} = V_{EE}$, $R_{LP} = 200\Omega$, UVLO open, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $V_{EE} = -48V$, $T_A = +25^\circ C$.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Circuit-Breaker Tempco		$-40^\circ C < T_A < +85^\circ C$		6000		ppm/ $^\circ C$	
Circuit-Breaker Glitch Rejection	t_{CB_DLY}		1.0	1.2	1.6	ms	
Circuit-Breaker Threshold	V_{CB}	MAX5936LA/ MAX5936AA/ MAX5937LA/ MAX5937AA	$T_A = +85^\circ C$	118	140	162	mV
			$T_A = +25^\circ C$	85	100	115	
			$T_A = -10^\circ C$	64	79	94	
			$T_A = -40^\circ C$		62		
		MAX5936LB/ MAX5936AB/ MAX5937LB/ MAX5937AB	$T_A = +85^\circ C$	244	284	324	
			$T_A = +25^\circ C$	180	200	220	
			$T_A = -10^\circ C$	135	158	181	
			$T_A = -40^\circ C$		124		
		MAX5936LC/ MAX5936AC/ MAX5937LC/ MAX5937AC	$T_A = +85^\circ C$	485	568	651	
			$T_A = +25^\circ C$	355	400	445	
			$T_A = -10^\circ C$	270	316	362	
			$T_A = -40^\circ C$		248		
Short-Circuit Threshold	V_{SC}	MAX5936LA/ MAX5936AA/ MAX5937LA/ MAX5937AA	$T_A = +85^\circ C$	220	280	340	mV
			$T_A = +25^\circ C$	160	200	240	
			$T_A = -10^\circ C$	111	158	205	
			$T_A = -40^\circ C$		124		
		MAX5936LB/ MAX5936AB/ MAX5937LB/ MAX5937AB	$T_A = +85^\circ C$	470	568	667	
			$T_A = +25^\circ C$	350	400	450	
			$T_A = -10^\circ C$	255	316	377	
			$T_A = -40^\circ C$		248		
		MAX5936LC/ MAX5936AC/ MAX5937LC/ MAX5937AC	$T_A = +85^\circ C$	962	1136	1310	
			$T_A = +25^\circ C$	700	800	900	
			$T_A = -10^\circ C$	510	632	754	
			$T_A = -40^\circ C$		496		
Short-Circuit Response Time (Note 5)		150mV overdrive, $C_{LOAD} = 0$, to GATE below 1V		330	500	ns	
INPUT-VOLTAGE-STEP PROTECTION							
Input-Voltage-Step Detection Threshold	$STEP_{TH}$		1.219	1.250	1.281	V	
Input-Voltage-Step Threshold Offset Current	I_{STEP_OS}		-10.8	-10.0	-9.2	μA	
LOAD-PROBE CIRCUIT							
Load-Probe Switch On-Resistance		$V_{LP} - V_{EE} = 1V$		7.5	11	Ω	
Load-Probe Timeout	t_{LP}		80	220	380	ms	
Load-Probe Retry Time	t_{LP_OFF}			16 x t_{LP}		s	
Load-Probe Voltage Threshold	V_{THSC_DET}	Referenced to GND	-220	-200	-180	mV	

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

ELECTRICAL CHARACTERISTICS (continued)

($V_{EE} = -10V$ to $-80V$, $V_{IN} = GND - V_{EE}$, $V_{STEP_MON} = V_{EE}$, $R_{LP} = 200\Omega$, UVLO open, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $V_{EE} = -48V$, $T_A = +25^\circ C$.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LOGIC AND FAULT MANAGEMENT						
Autoretry Delay	t_{RETRY}			16 x t_{LP}		s
PGOOD (\overline{PGOOD}) Assertion Threshold		$ V_{OUT} - V_{EE} $ falling		0.74 x V_{CB}		mV
		Hysteresis		0.26 x V_{CB}		
PGOOD (\overline{PGOOD}) Assertion Delay Time (Note 6)			0.67	1.26	1.85	ms
PGOOD (\overline{PGOOD}) Low Voltage	V_{OL}	$I_{SINK} = 1mA$, referenced to V_{OUT} , $V_{OUT} < GND - 5V$ for PGOOD (\overline{PGOOD})		0.05	0.4	V
PGOOD (\overline{PGOOD}) Open-Drain Leakage	I_L	$V_{EE} = -80V$, $V_{PGOOD}(\overline{PGOOD})$, $V_{PGOOD}(\overline{PGOOD}) = GND$		0.01	1	μA

Note 1: All currents into pins are positive and all currents out of pins are negative. All voltages referenced to V_{EE} , unless otherwise specified.

Note 2: All limits are 100% tested at $+25^\circ C$ and $+85^\circ C$. Limits at $-40^\circ C$ and $-10^\circ C$ are guaranteed by characterization.

Note 3: Delay time from a valid on-condition until the load probe test begins.

Note 4: V_{EE} or UVLO voltages below V_{UVLO_F} or $V_{UVLO_REF_F}$, respectively, are ignored during this time.

Note 5: The time $(V_{OUT} - V_{EE}) > V_{SC}$ + overdrive until $(V_{GATE} - V_{EE})$ drops to approximately 90% of its initial high value.

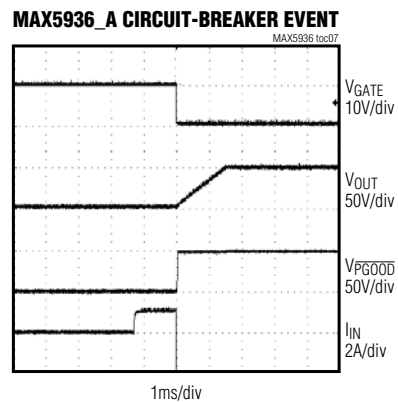
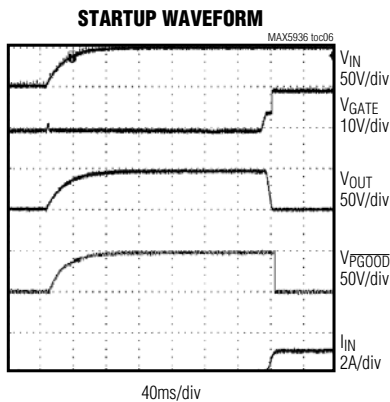
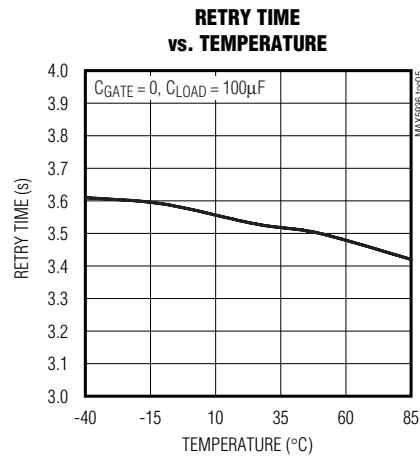
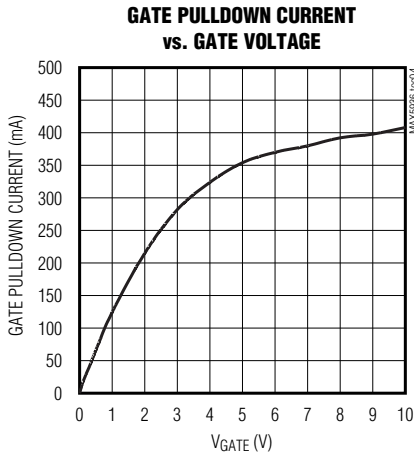
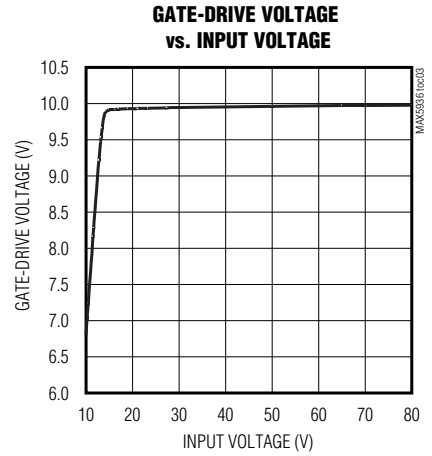
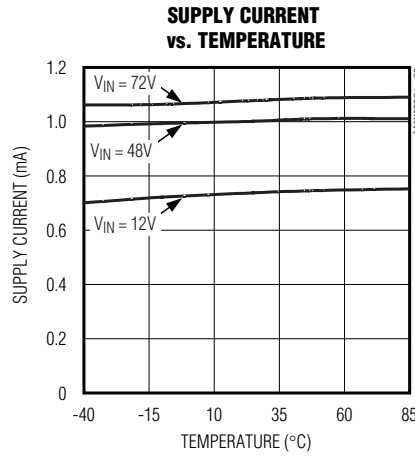
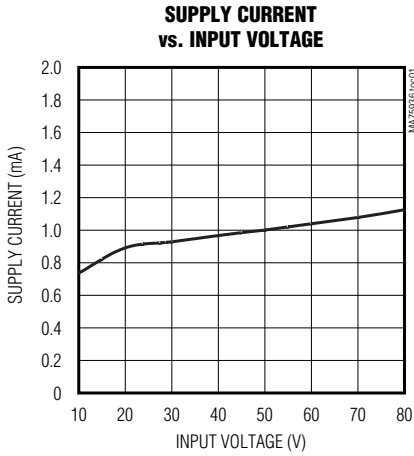
Note 6: The time when the PGOOD (\overline{PGOOD}) condition is met until the PGOOD (\overline{PGOOD}) signal is asserted.

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

典型工作特性

($V_{EE} = -48V$, $GND = 0V$, $V_{IN} = GND - V_{EE}$, all voltages are referenced to V_{EE} , $T_A = +25^\circ C$, unless otherwise noted.)

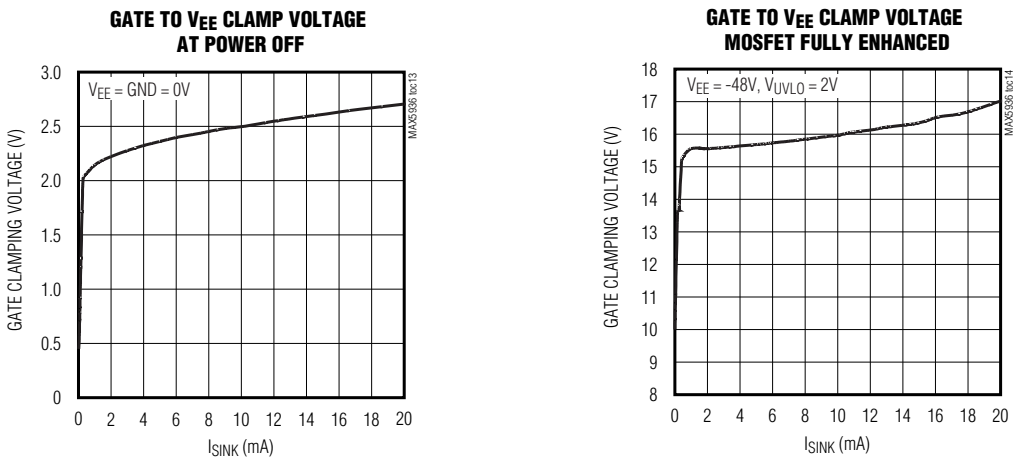
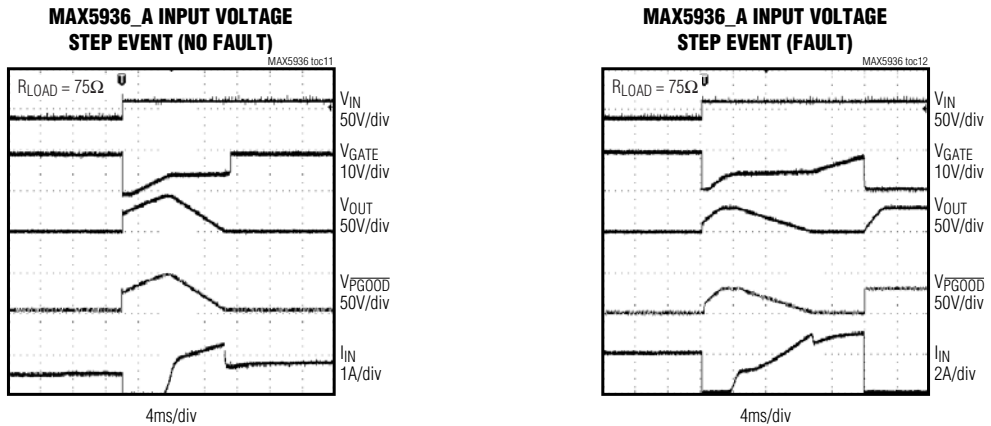
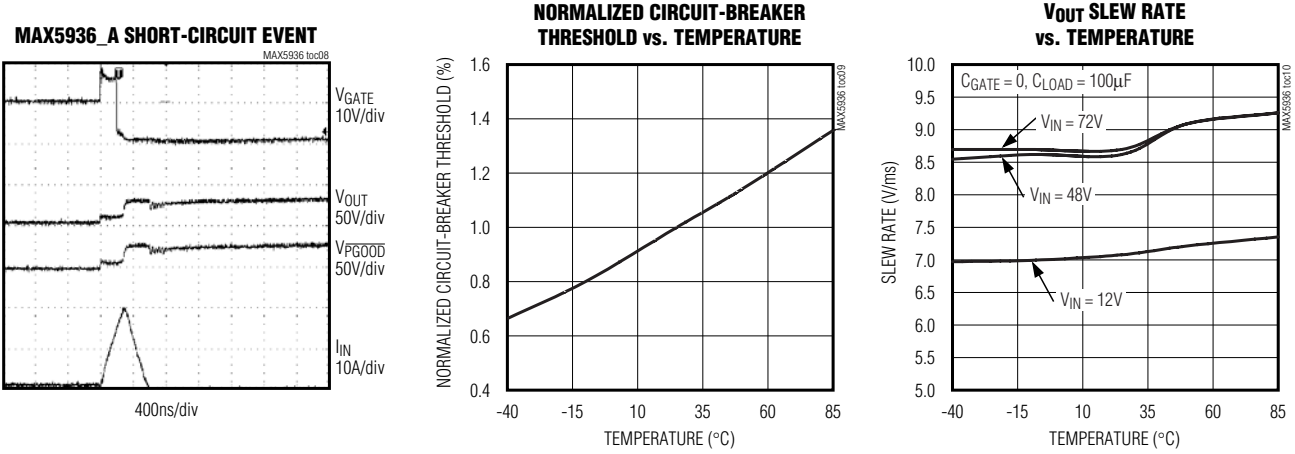
MAX5936/MAX5937



-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

典型工作特性 (续)

($V_{EE} = -48V$, $GND = 0V$, $V_{IN} = GND - V_{EE}$, all voltages are referenced to V_{EE} , $T_A = +25^\circ C$, unless otherwise noted.)



-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

引脚说明

MAX5936/MAX5937

引脚		名称	功能
MAX5936	MAX5937		
1	1	GND	地。接电源的高电压端, 用于负电源热插拔控制器。
2	2	UVLO	欠压锁定输入。开/关控制。以 V_{EE} 为参考。将 UVLO 上拉至高于 1.25V 的上升门限时开启器件。要关闭器件, 将 UVLO 拉低至低于 1.125V 的下降门限, 并保持 1.5ms 的脉冲干扰抑制时间。UVLO 浮动时欠压锁定门限缺省为 31V。故障消除后, 刷新 UVLO 输入可使 MAX5936L/MAX5937L 解除闭锁。
3	3	STEP_MON	输入电压阶跃监视器。以 V_{EE} 为参考, 电压门限为 1.25V。在 STEP_MON 和 V_{EE} 之间接一个电阻, 可设置阶跃监视器的灵敏度。在 GND 和 STEP_MON 之间接一个电容, 可调节相对于 V_{EE} 阶跃上升的阶跃响应, 从而消除错误的电路断路器和短路故障。接 V_{EE} 则关闭阶跃抑制功能 (见应用信息中的为阶跃监视器选择电阻值和电容值部分)。
4	4	V_{EE}	负电源输入
5	5	LP	负载短路检测。在 LP 和 V_{OUT} 之间接一个电阻, 可用来设置负载短路检测电流。将负载短路检测电流限制在 1A 之内。接 V_{EE} 则关闭负载短路检测功能。
6	6	GATE	栅极驱动输出。接外部 n 沟道 MOSFET 的栅极。
7	7	V_{OUT}	输出电压检测。 V_{OUT} 是负载的负电源。接至外部 n 沟道 MOSFET 的漏极。
8	—	$\overline{\text{PGOOD}}$	电源就绪, 低有效、开漏极输出。以 V_{OUT} 为参考。当 V_{OUT} 在限制范围以内并且没有故障发生时, PGOOD 输出为低。
—	8	PGOOD	电源就绪, 高有效、开漏极输出。以 V_{OUT} 为参考。当 V_{OUT} 在限制范围以内并且没有故障发生时, PGOOD 输出为高。

详细说明

MAX5936/MAX5937 热插拔控制器, 具有过流故障管理功能, 为负电源应用而设计。MAX5936/MAX5937 不需要使用外部 R_{SENSE} , 并具有 V_{IN} 输入阶跃保护和负载短路检测功能, 以防止负载短路时上电。这些器件设计用于 -48V 电信电源系统, 这种系统需要低成本、高灵活性、多故障管理和尺寸紧凑等特性。MAX5936/MAX5937 适合多种系统, 从具有小功率 MOSFET 的低电流系统, 到需要大功率 MOSFET 和低导通电阻的大电流系统。

MAX5936/MAX5937 控制一个放置在外部负载负电源回路上的外部 n 沟道功率 MOSFET。不加电源时, MAX5936/MAX5937 的 GATE 输出将 MOSFET 的 V_{GS} 电压箝位至 2V, 保持 MOSFET 关闭。当 MAX5936/MAX5937 加上电源后, 箝位在 2V 上的 GATE 输出由强下拉电路取代, 将

GATE 拉低至 V_{EE} , 从而使 MOSFET 的 V_{GS} 变为 0V。如图 2 所示, 这一跃变使得在电路板与背板接触时的插入阶段, MAX5936/MAX5937 能够保持功率 MOSFET 一直关闭。如果没有该箝位, 未上电的控制器 GATE 输出会浮空, 与背板接触时 V_{IN} 跃变将快速上拉 MOSFET 漏极, 此时通过 MOSFET 的反向转移电容 (栅极到漏极) 上拉 MOSFET 栅极, 并开启 MOSFET。通过附加的摆率控制电容 (C_{SLEW}), MAX5936/MAX5937 的 GATE 箝位能够克服大功率 MOSFET 的栅漏电容, 而且不需要额外的栅极与源极之间的电容。如果电源电压低于用户设定的 UVLO 门限, 或者检测到接在功率 MOSFET 漏极上的负载发生短路, MAX5936/MAX5937 将一直保持 MOSFET 关闭。

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

MAX5936/MAX5937

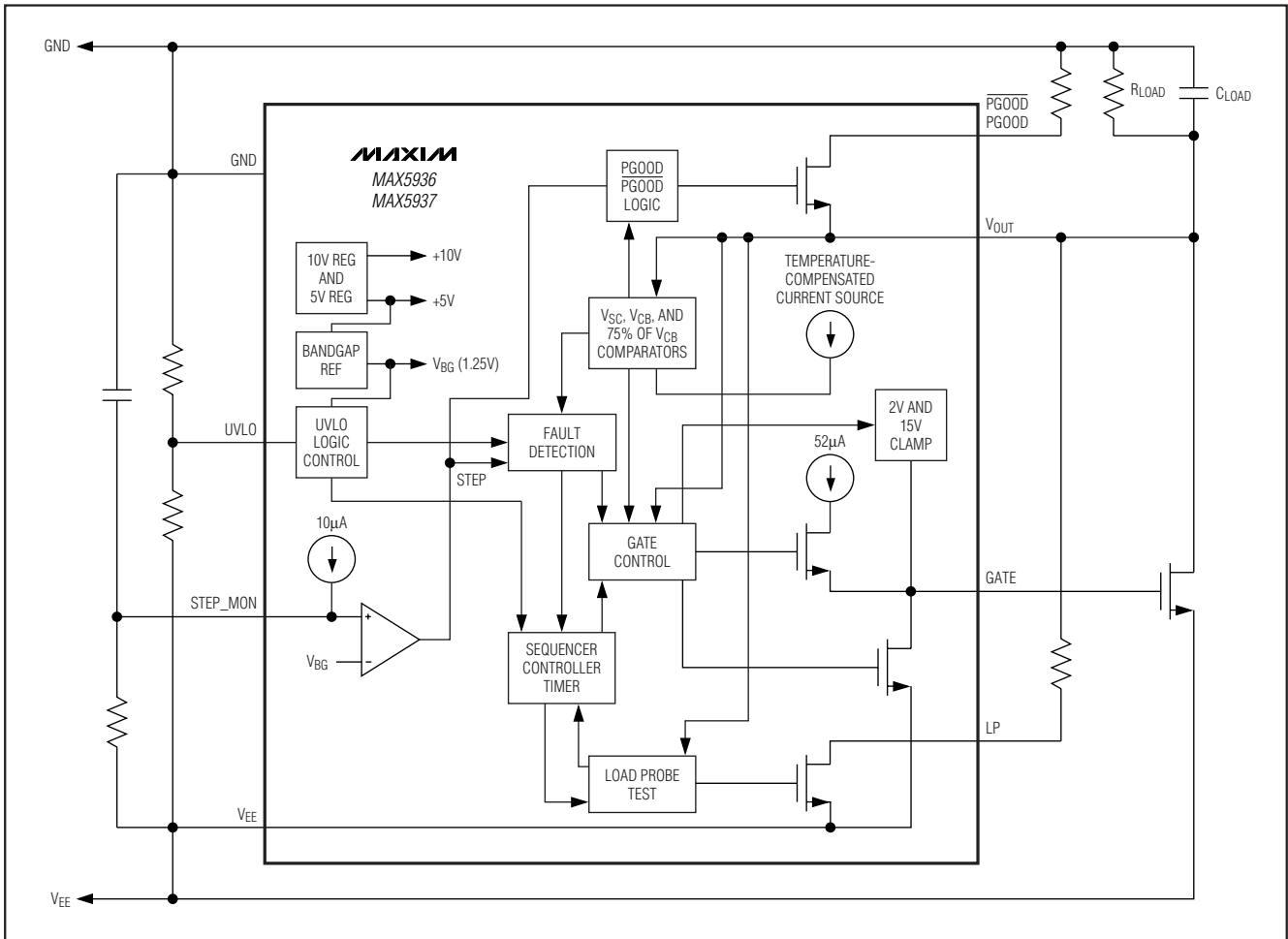


图 1. 功能框图

MAX5936/MAX5937 在热插入过程稳定后, 执行负载短路检测。这一检测是在 MAX5936/MAX5937 上电 (满足 UVLO 条件达 220ms (t_{LP})) 之后, 并在功率 MOSFET 开启之前进行的。该检测电路为负载提供用户可编程的电流 (最大 1A), 持续 220ms, 并检测负载两端的电压 V_{OUT} 是否大于 200mV。该电流由接在 V_{OUT} 和 LP 之间的外部电阻 R_{LP} 设定 (见图 14)。当负载两端的电压超过 200mV 时, 测试终止并启动 GATE 开启时序。如果在 220ms 测试周期结束时负载上的电压未达到 200mV, 则断定为负载短路, 关闭从 LP 引脚流向负载的电流。MAX5936A_/ MAX5937A_ 将延时 $16 \times t_{LP}$ 的时间, 然后重新进行负载短路检测。MAX5936L_/MAX5937L_ 将锁定故障状态, 直到 UVLO

降到 1.125V 以下的时间达到 1.5ms 或者重新上电。关于选择 R_{LP} 对电流大小进行设置的建议见应用信息部分。

在成功完成负载短路检测之后, MAX5936/MAX5937 进入上电 GATE 周期, 并开始用 52µA 的电流源升高 GATE 电压。如果 V_{OUT} 开始以比缺省的 9V/ms 摆率更快的速度下降, 则会对电流源进行限制。对 GATE 充电能够以可控的方式打开功率 MOSFET, 以用户设定的速率升高 V_{OUT} 可以控制来自背板的浪涌电流。MAX5936/MAX5937 将持续对 GATE 充电, 直到发生以下两种情况之一: 完成正常的上电 GATE 周期, 或者检测到上电进入故障管理状态 (见附录 A 的 GATE 周期部分)。

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

MAX5936/MAX5937

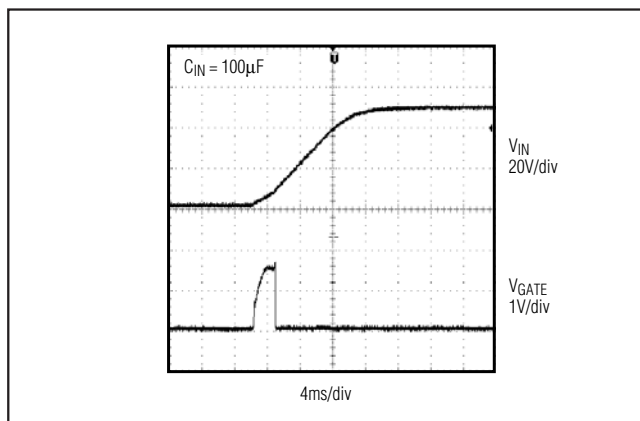


图2. 上电过程中的GATE电压箝位

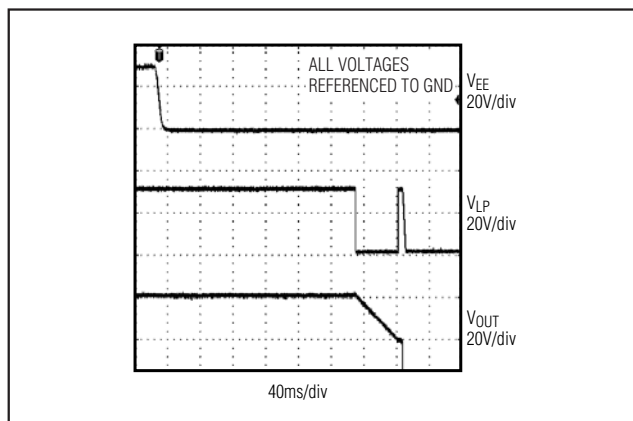


图3. 初始上电过程的负载短路检测

在一个标准的GATE上电周期内, 如果 V_{OUT} 电压(以 V_{EE} 为参考)上升到电路断路器门限电压 V_{CB} 的74%以下, 此时, GATE电压将迅速上拉到完全导通电压, 并在GATE达到完全导通电压1.26ms后, 触发PGOOD输出(见图4)。如果 V_{OUT} 电压达到 V_{CB} 的74%以上(当GATE达到完全导通电压的90%时), 则认为发生故障, 进入上电故障管理模式(见图5)。GATE迅速拉低至 V_{EE} , 关闭功率MOSFET并断开负载。PGOOD保持解除状态, MAX5936/MAX5937进入故障管理模式。

功率MOSFET完全导通后, MAX5936/MAX5937监视漏极电压(V_{OUT}), 以检测电路断路器和短路故障。MAX5936/MAX5937利用功率MOSFET的 $R_{DS(ON)}$ 作为电流检测电阻, 检测负载的过流情况。短路门限电压 V_{SC} 为 V_{CB} 的两倍($V_{SC} = 2 \times V_{CB}$), 并提供100mV、200mV和400mV

门限值。 V_{CB} 和 V_{SC} 具有温度补偿功能(随温度升高而升高), 以跟踪典型功率MOSFET $R_{DS(ON)}$ 的归一化温度系数。

当负载电流在完全导通期间增大时, 可能导致 V_{OUT} 超过 V_{CB} 但低于 V_{SC} , 并启动1.2ms的电路断路器瞬态抑制定时器。在瞬态抑制周期结束后, 如果 V_{OUT} 仍然大于 V_{CB} , 则GATE立即下拉至 V_{EE} (330ns), PGOOD (PGOOD)解除输出正常的指示, 器件进入故障管理模式。还有一种情况, 如果在完全导通期间 V_{OUT} 超过 V_{SC} , 则不启动瞬态抑制定时器。GATE立即下拉至 V_{EE} , PGOOD解除输出正常的指示, 器件进入故障管理模式。

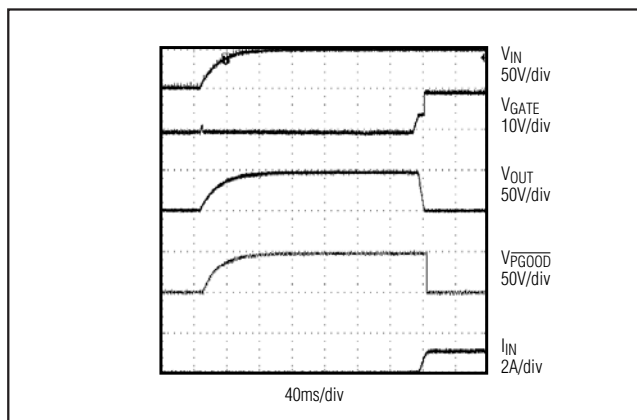


图4. MAX5936的正常情况

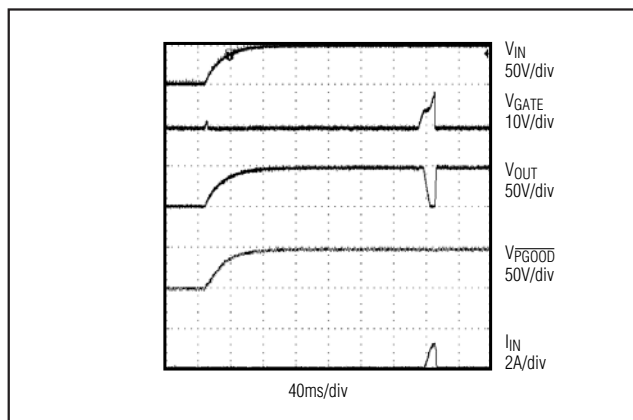


图5. MAX5936在故障情况下的启动过程

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

为实现 V_{IN} 大幅度阶跃升高情况下的平稳过渡, V_{IN} 阶跃抑制提供了一种有效的途径, 能够保持背板浪涌电流最小并且不会关断负载。如果没有 V_{IN} 阶跃抑制(功率 MOSFET 完全导通时), V_{IN} 阶跃升高将导致大的浪涌电流和 V_{OUT} 的大幅度跃变, 触发电路断路器。由于带有 V_{IN} 阶跃抑制, 在 V_{OUT} 上检测到短路之前, STEP_MON 输入先检测到阶跃, 这样, 尽管因阶跃而导致 V_{OUT} 超过 V_{SC} , 阶跃抑制却会改变 MAX5936/MAX5937 对这种情况的响应。STEP_MON 上的 1.25V 电压门限和 10 μ A 电流源, 允许用户通过接到 V_{EE} 上的外部电阻来设置阶跃检测的灵敏度。在 GND 和 STEP_MON 输入之间放置一个电容, 它与电阻一起设置 STEP_MON 的时间常数。当 STEP_MON 输入检测到阶跃超过门限 (STEP_{TH}) 时, 禁止启动过流故障管理, 如果只是超过 STEP_{TH} 门限就保持禁止过流故障管理状态。在没有出现 V_{OUT} 超过 V_{SC} 或 V_{OUT} 超过 V_{CB} 达到 1.2ms 的电路断路器瞬态抑制周期之前, 如果只是超过 STEP_{TH}, MAX5936/MAX5937 将不采取任何措施。否则, 发生任何一种故障情况时, 则启动一个阶跃 GATE 周期, 并将 GATE 立即拉至 V_{EE} , 从而关闭功率 MOSFET, 最大程度地降低来自背板的浪涌电流的冲击, PGOOD 输出保持触发状态。GATE 保持在 V_{EE} 上持续 350 μ s, 在大约 1ms 后, 开始上升, 并以受控制的过程开启功率 MOSFET, 与上电 GATE 周期一样。这一过程具有受控制的浪涌电流, 并将负载电容充电至新的电源电压 (见附录 A 中的 GATE 周期部分)。

与上电 GATE 周期一样, 如果 V_{OUT} 跌落到小于设置的 V_{CB} 的 74%, 无论 STEP_MON 的状态如何, GATE 电压迅速拉至完全导通电压。PGOOD 在整个阶跃过程中始终保持正常指示状态。否则, 如果 STEP_MON 输入下降到

它的门限以下, 而 V_{OUT} 保持在设置的 V_{CB} 的 74% 以上 (当 GATE 达到完全导通电压的 90% 时), (发生阶跃至故障管理的情况), 则 GATE 迅速拉低至 V_{EE} , 关闭功率 MOSFET 并断开负载, PGOOD ($\overline{\text{PGOOD}}$) 解除输出正常的指示, MAX5936/MAX5937 进入故障管理模式。

故障管理

故障管理过程可由下列情况触发:

- 当 GATE 达到完全导通电压的 90% 时, V_{OUT} 超过 V_{CB} 的 74%
- 在完全导通期间 V_{OUT} 超过 V_{CB} 的时间超过了 1.2ms
- 在完全导通期间 V_{OUT} 超过 V_{SC}
- 负载短路检测失效。

一旦进入故障管理模式, GATE 总是拉至 V_{EE} 以关断外部 MOSFET, PGOOD ($\overline{\text{PGOOD}}$) 一直保持非输出正常指示状态。发生故障之后, MAX5936A_/MAX5937A_ 执行自动重试, 而 MAX5936L_/MAX5937L_ 锁定在故障状态。

自动重试故障管理 (MAX5936A_/MAX5937A_)

如果 MAX5936A_/MAX5937A_ 因为断路器和短路故障进入故障管理模式, 将立即启动自动重试定时器。定时器延时 3.5s (典型值), 延时结束时, 定时器启动负载短路检测。如果检测正常, 它将启动正常的上电 GATE 周期。

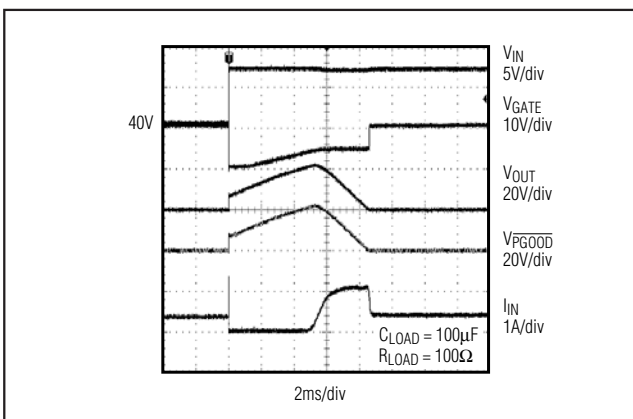


图 6. MAX5936 的阶跃输入响应 ($V_{OUT} < 0.74V_{CB}$)

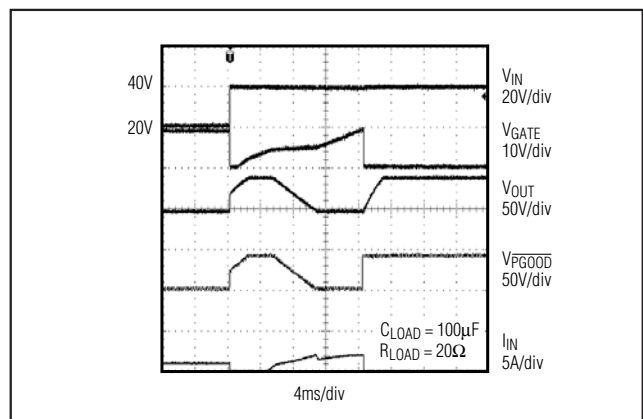


图 7. MAX5936 的阶跃输入响应 ($V_{OUT} > 0.74V_{CB}$)

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

闭锁故障管理 (MAX5936L_/MAX5937L_)

当 MAX5936L_/MAX5937L_ 进入故障管理模式时, 它们将一直保持在此状态, 直到重新上电或者 UVLO 被拉至 1.125V 以下达 1.5ms (典型值) (短路或电路断路器故障被清除后, 定时器启动负载短路检测)。如果负载短路检测正常, 它将启动一个正常的上电 GATE 周期。可用一个手动复位电路 (见图 8) 清除闭锁状态。

电路断路器故障门限

MAX5936/MAX5937 提供 100mV、200mV 和 400mV 的电路断路器门限。短路电压门限 (V_{SC}) 为电路断路器门限电压 (V_{CB}) 的两倍。在 MAX5936/MAX5937 中, V_{CB} 和 V_{SC} 具有温度补偿功能 (随温度升高而上升), 以跟踪典型功率 MOSFET 的归一化温度斜率。

具体应用中的电路断路器门限取决于外部功率 MOSFET 的 $R_{DS(ON)}$ 以及期望的最大负载电流。为避免错误的故障指示和负载失效, 设计者必须考虑到负载对背板电源的电压纹波和噪声的响应, 以及作为电路负载的后续 DC-DC 转换器的开关电流。电路断路器门限具有瞬态抑制功能, 可以忽略持续时间小于 1.2ms 的波动和噪声, 短路检测可对短路故障做出快速响应 (小于 330ns)。 V_{SC} 和 V_{CB} 必须在三个可选范围内进行选择, 且应具有足够的余量, 以适应所有可能的纹波、噪声和系统电流瞬变。

短路和电路断路器电压在 V_{OUT} 端进行检测, 这也是功率 MOSFET 的漏极。MOSFET 的 $R_{DS(ON)}$ 作为电流检测电阻, 所以流过负载和负载电容的总电流即是功率 MOSFET 的漏极电流。因此, V_{OUT} 电压是 MOSFET 漏极电流的函数:

$$V_{OUT} = I_{D,MOSFET} \times R_{DS(ON)}$$

MAX5936/MAX5937 的温度补偿设计用来跟踪典型功率 MOSFET 的 $R_{DS(ON)}$ 。图 9 给出了电路断路器门限的典型归一化温度系数, 以及两种典型功率 MOSFET 的 $R_{DS(ON)}$ 归一化温度系数。确定某应用中的电路断路器门限时, 需参考功率 MOSFET 的数据资料, 并得到制造商给出的在 V_{GS} 为 10V、温度为 +25°C 时的最大 $R_{DS(ON)}$, 然后找到表示归一化 $R_{DS(ON)}$ 温度系数或者导通电阻与温度关系的曲线。因为这一曲线采用归一化单位, +25°C 时的值为 1, 所以可以用 +25°C 时的漏极电压与曲线数值相乘, 从而将该曲线转换成漏极电压曲线。现在将这一曲线与 MAX5936/MAX5937 电路断路器门限的归一化温度系数曲线进行比较, 可以得到在整个工作温度范围内功率 MOSFET [$I_{D,MOSFET} \times R_{DS(ON)}$] 与 MAX5936/MAX5937 之间的跟踪误差, 单位为 mV。如果功率 MOSFET 的温度系数大于 MAX5936/MAX5937 的温度系数, 则应在比 +25°C 更高的温度下选择电路断路器和短路电压, 并需要留出更多的余量。当功率 MOSFET 的功率耗散导致本地温度高于环境温度时, MAX5936/MAX5937 就必须安装在尽可能靠近功率 MOSFET 的位置。因温度差别而对电路断路器和短路电压所带来的边缘效应可以根据图 9 所示的比较曲线进行估算。

MAX5936LN 和 MAX5937LN

MAX5936LN 和 MAX5937LN 没有电路断路器和短路门限, 将忽略这些故障。对于这两款器件来说, GATE 上升到完全导通电压的 90% 并持续 1.26ms 后, PGOOD (\overline{PGOOD}) 产生输出正常指示。MAX5936LN 和 MAX5937LN 的阶跃检测功能可以与 MAX5936_C 及 MAX5937_C 相同的电压门限对 V_{IN} 和 V_{OUT} 阶跃发出响应。

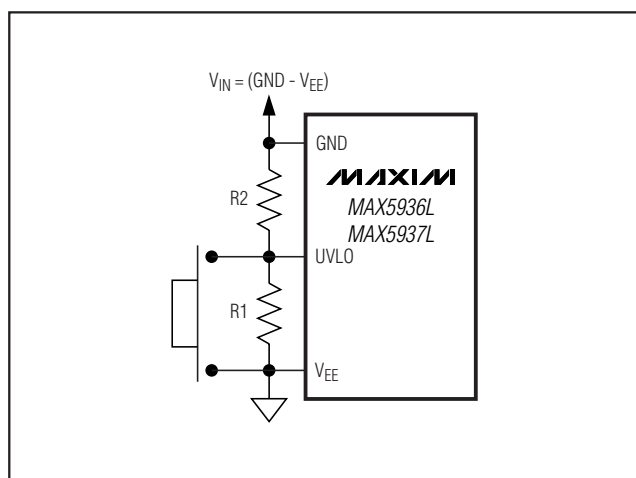


图 8. 发生故障之后使用按钮开关复位 MAX5936L/MAX5937L

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

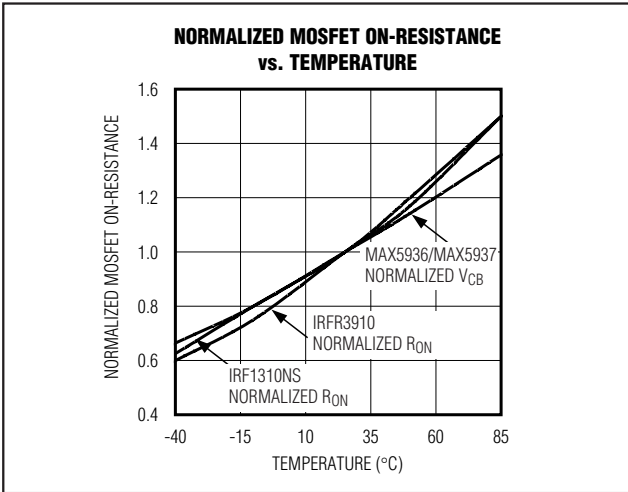


图 9. MAX5936/MAX5937 归一化电路断路器门限 (V_{CB})

\overline{PGOOD} (PGOOD) 开漏极输出

电源就绪输出， \overline{PGOOD} (PGOOD) 是开漏极输出，以 V_{OUT} 为参考。如果 V_{OUT} 下降至 V_{CB} 的 72% 以下，它们将被触发并锁定，由于具有内部延时，在外部 MOSFET 完全导通 1.26ms 之后执行这些操作。无论何时器件进入故障管理模式， \overline{PGOOD} (PGOOD) 都将解除输出正常的指示。 \overline{PGOOD} (PGOOD) 对 UVLO 具有延迟响应。UVLO 被拉至低于 1.125V 达 1.5ms 时 GATE 拉至 V_{EE} 。这将关断功率 MOSFET，并使 V_{OUT} 根据负载的 RC 时间常数上升。当 V_{OUT} 上升超过 V_{CB} 且持续时间大于 1.4ms 或者超过 V_{SC} 时，无论哪种情况先发生， \overline{PGOOD} (PGOOD) 都将解除输出正常的指示（见图 12b）。

由于采用开漏极驱动器， \overline{PGOOD} (PGOOD) 需要一个外部电阻上拉到 GND。这个外部上拉使 \overline{PGOOD} 不会跟随正 V_{IN} 阶跃，如同采用有源上拉一样。因此，当 \overline{PGOOD} (PGOOD) 输出为高时，正 V_{IN} 阶跃期间会在 \overline{PGOOD} (PGOOD) 上出现明显的负脉冲干扰。这个负脉冲干扰是滞后于 V_{IN} 阶跃的 RC 时间常数导致的，RC 时间常数为外部电阻和 \overline{PGOOD} (PGOOD) 引脚电容的时间常数。它不是由内部逻辑开关造成的。为了减小这一负脉冲干扰，需要增加上拉电流和/或在 \overline{PGOOD} (PGOOD) 与 GND 之间增加一个小电容来补偿引脚电容。

警告：对于 MAX5936_N/MAX5937_N，在功率 MOSFET 完全导通 1.26ms 后 \overline{PGOOD} (PGOOD) 输出被触发，无论 V_{OUT} 的值为多少。一旦 MOSFET 完全导通并且 UVLO 被拉至低于其相应门限值，GATE 会拉至 V_{EE} 以关断功率 MOSFET，并断开负载。当 UVLO 置为低电平时，即使 V_{OUT} 已经升至 GND 并且负载上没有电压， \overline{PGOOD} (PGOOD) 依然保持触发状态。总之，一旦 MOSFET 完全导通，MAX5936_N/MAX5937_N 将忽略 V_{OUT} ，并且只有在 MAX5936_N/MAX5937_N 重新上电时 \overline{PGOOD} (PGOOD) 才解除输出正常的指示。

欠压锁定 (UVLO)

UVLO 为设置 MAX5936/MAX5937 的开启电压提供了精确的方法。在 GND 与 V_{EE} 之间使用电阻分压网络来设置需要的开启电压（见图 11）。UVLO 带有滞回，上升门限为 1.25V，下降门限为 1.125V。220ms 的启动延时可使插拔和电压在启动时序开始之前稳定下来（见图 12a）。

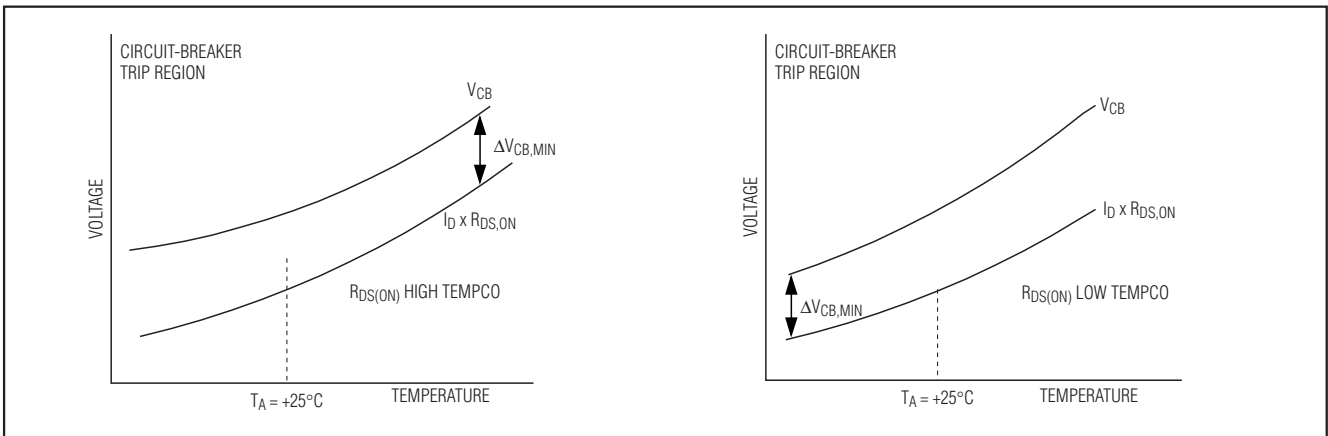


图 10. 对应高温度系数和低温度系数功率 MOSFET 的电路断路器电压余量

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

MAX5936/MAX5937

该启动延时来自有效的UVLO状态, 直到开始对负载短路进行检测。UVLO下降时具有瞬态抑制, 需要 V_{UVLO} 保持低于其下降门限达到 1.5ms 的时间后关闭器件 (图 12b)。用下面的公式计算 MAX5936/MAX5937 的开启电压:

$$R2 = \left(\frac{V_{ON}}{V_{UVLO_REF,R}} - 1 \right) \times R1$$

其中 V_{ON} 为需要的 MAX5936/MAX5937 开启电压, $V_{UVLO_REF,R}$ 是 1.25V 的 UVLO 上升门限。

输出电压 (V_{OUT})
摆率控制

V_{OUT} 摆率对浪涌电流进行控制, 该电流用来为负载电容充电。MAX5936/MAX5937 缺省的内部摆率设置为 9V/ms。建立这一摆率的内部电路可适应外部功率 MOSFET 上高达 1000pF 的反向转移电容 (米勒电容), 而不会影响缺省的摆率。使用缺省摆率, 对负载电容充电的浪涌电流为:

$$I_{INRUSH} (mA) = C_{LOAD} (\mu F) \times SR (V/ms)$$

其中 $SR = 9V/ms$ (缺省值, 典型情况)。

应用信息

为阶跃监视器选择
电阻和电容

当发生正 V_{IN} 阶跃或跃变时, V_{IN} 的升高导致了相对 V_{EE} 而言的 STEP_MON 和 V_{OUT} 电压升高。当 STEP_MON 电压超过 $STEP_{TH}$ 时, MAX5936/MAX5937 首先屏蔽短路和电路断路器故障。在高 STEP_MON 的情况下, 如果 V_{OUT} 上升并超过 V_{SC} , MAX5936/MAX5937 立即将 GATE 拉至 V_{EE} 。这将关断功率 MOSFET, 避免浪涌电流的冲击。GATE 保持为低并持续 350 μs 。GATE 开始下拉后大约 1ms, MAX5936/MAX5937 开始以受控的方式使 GATE 上升, 从而开启 MOSFET, 这将导致 V_{OUT} 下降至新的电源电压 (见附录 A 的 GATE 周期部分)。

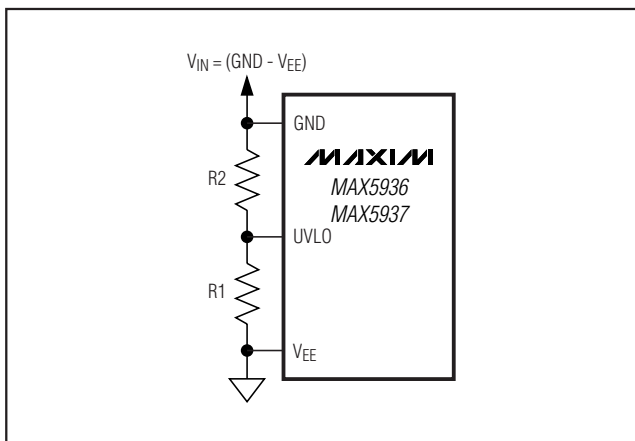


图 11. 设置 MAX5936/MAX5937 开启电压

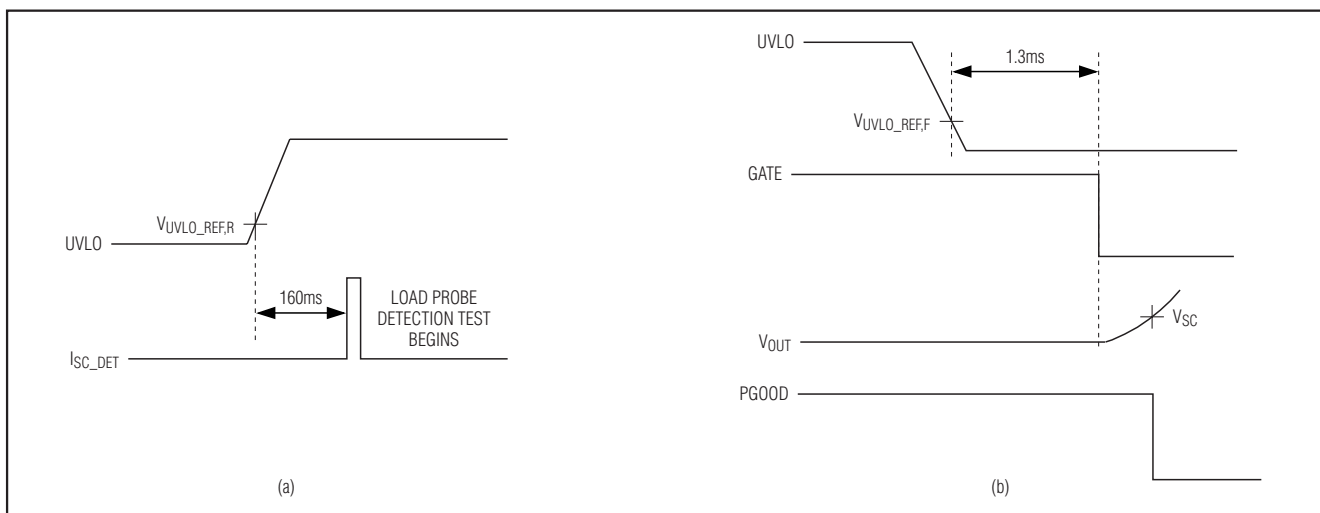


图 12. UVLO 时序图

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

根据负载电流和负载存储电容的不同, 在 MOSFET 短暂关闭的时间内负载上的电压会轻微下降, 但这对 V_{OUT} 下降的干扰极小。PGOOD 在整个 V_{IN} 阶跃过程中始终保持触发状态。

为阶跃监视功能选择电阻和电容时要确保所有预期斜率和幅度的 V_{IN} 阶跃都能正确检测到, 并对其进行抑制, 否则将开启电路断路器或产生短路故障。以下是关于电阻和电容选择的简单分析。更完整的分析参考附录 B。

图 13 所示的功能框图展示了阶跃抑制功能所用到的 MAX5936/MAX5937 部件。本框图显示了 V_{OUT} 和 V_{STEP_MON} 之间的并联关系。每一路都具有 $I \cdot R$, 从而在阶跃之前建立 DC 电平。这里所指的是 V_{IN} 阶跃, 我们关心的是对有限电压跃变的动态响应。

给定一个正的 V_{IN} 跃变, 其斜率为 dV/dt , V_{OUT} 对 V_{IN} 的响应大致为:

$$V_{OUT}(t) = (dV/dt) \times \tau_C \times (1 - e^{-t/\tau_{L,eqv}}) + R_{DS(ON)} \times I_{LOAD}$$

其中 $\tau_C = C_{LOAD} \times R_{DS(ON)}$, $\tau_{L,eqv}$ 是负载的等效时间常数, 须根据经验确定 (见附录 B)。

类似地, $STEP_MON$ 对 V_{IN} 跃变的响应为:

$$V_{STEP_MON}(t) = (dV/dt) \times \tau_{STEP} \times (1 - e^{-t/\tau_{STEP}}) + 10\mu A \times R_{STEP}$$

其中 $\tau_{STEP} = R_{STEP_MON} \times C_{STEP_MON}$ 。

要实现正确的阶跃检测, V_{STEP_MON} 必须在 V_{OUT} 达到 V_{SC} 之前或者在 V_{OUT} 达到 V_{CB} 后的 1.4ms 之内 (应用中能够预料的所有 V_{IN} 跃变速率) 超过 $STEP_{TH}$ 。 V_{STEP_MON} 必须设置为低于 $STEP_{TH}$, 且应留有足够的余量 ΔV_{STEP_MON} , 以适应 I_{STEP_OS} ($\pm 8\%$) 和 R_{STEP_MON} 的误差影响。 R_{STEP_MON} 典型情况下设置为 100k Ω , 这样在最差情况下 ΔV_{STEP_MON} 为 0.36V。

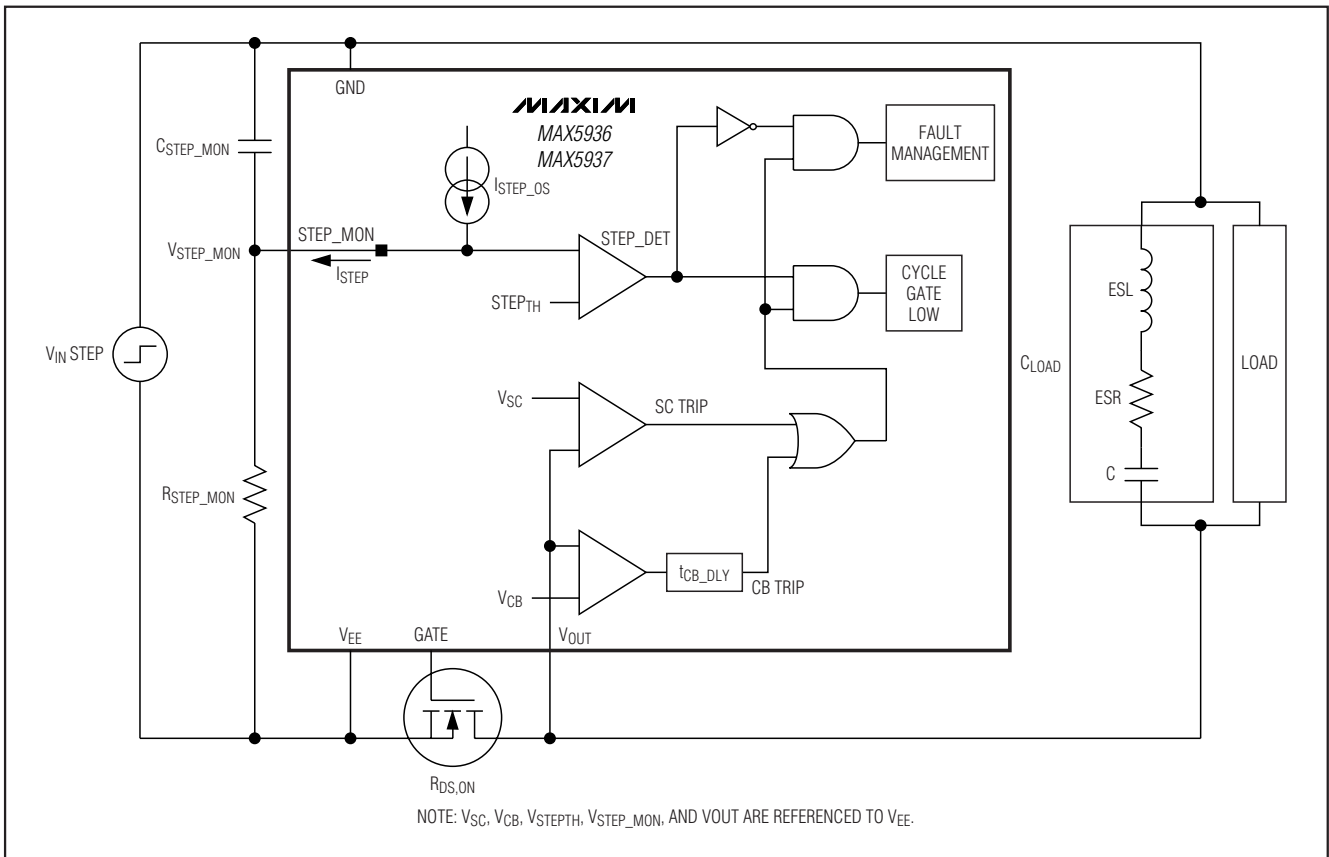


图 13. MAX5936/MAX5937 阶跃抑制功能框图

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

从三个可选范围中选择 V_{SC} 和 V_{CB} 后, 依据 V_{SC} 和 V_{CB} 设置 V_{OUT} 的余量。这个余量在某个温度极限值下可能过小, 如果是这样, 此值应该用在下面的讨论中。这些余量称做 ΔV_{CB} 和 ΔV_{SC} , 它们代表触发相应故障的最小 V_{OUT} 偏移。

需设置 τ_{STEP} , 从而在任意斜率下屏蔽所有的 V_{CB} 和 V_{SC} 故障, 找到 ΔV_{STEP_MON} 与 ΔV_{CB} 的比例并且选择 τ_{STEP} :

$$\tau_{STEP} = 1.2 \times \tau_C \times \Delta V_{STEP_MON} / \Delta V_{CB}$$

因为 $R_{STEP_MON} = 100k\Omega$ 。所以有 $C_{STEP_MON} = \tau_{STEP} / 100k\Omega$ 。

进行第一轮元件选择后, 如果存在足够的定时余量(见附录B), 可以把 R_{STEP_MON} 降低到 $100k\Omega$ 以下, 来降低 $STEP_MON$ 对 V_{IN} 噪声的灵敏度, 但这不是必须的。

附录B给出了对阶跃监视功能更完整的分析和讨论。提供了负载对 V_{IN} 跃变响应的描述方法和在一组设计参数下对阶跃监视时序余量的图形验证。

选择 \overline{PGOOD} 上拉电阻

因为是开漏极驱动器, \overline{PGOOD} 需要外部上拉电阻接至GND。这个电阻应慎重选择, 从而在 \overline{PGOOD} 为低时降低电流负载。 V_{OL} 的 \overline{PGOOD} 输出指标为0.4V、电流1mA。正如详细说明书中描述的那样, 外部上拉电阻影响 \overline{PGOOD} 跟随正 V_{IN} 阶跃的能力, 如同采用有源上拉驱动。当 \overline{PGOOD} 输出高电平时, 在正 V_{IN} 阶跃期间, \overline{PGOOD} 上出现明显的负脉冲干扰。为减小这一负脉冲干扰, 需要增加上拉电流和/或在 \overline{PGOOD} 和GND之间增加少量电容来补偿引脚电容。

设置负载短路检测的检测电流电平

负载短路检测对负载电流进行检测时, 无需打开功率MOSFET。MAX5936/MAX5937有一个内部开关(图14中的Q1)将电流引入负载和外部限流电阻 R_{LP} 。在测试期间, 这个开关打开220ms(典型值)。电流通过负载, 并对负载电容充电, 除非存在短路故障。如果负载两端的电压超过200mV, 测试结束并继续进行正常的上电过程。如果负载电压在电流流过的220ms周期内没有达到200mV, 则认为负载短路并关闭从LP引脚到负载的电

流。MAX5936A/MAX5937_A暂停 $16 \times t_{LP}$ 时间后重新进行负载短路检测。MAX5936L/MAX5937L_则持续锁定故障状态, 直到 $UVLO$ 低于1.125V达1.5ms时间或者重新上电为止。

应用电路中, 应对限流电阻进行选择, 确保电流能将预期最大的负载电容在80ms内充电到220mV的前提下, 降低流过负载的电流。这两个参数分别是最大负载短路检测电压和最小负载短路检测电流脉冲周期。可能的最大电流为1A, 这在典型的电信工作电压范围内足够测试高达170,000 μ F的负载电容。

$$I_{TEST} (A) = C_{LOAD,MAX} (F) \times 220mV / 80ms$$

因为应用中最小的 V_{IN} 将导致最低的 I_{TEST} , 所以在负载短路检测中, 应该用 $V_{IN,MIN}$ 来设置 R_{LP} 。此电压可能接近应用中的 $V_{ON,FALLING}$ 或 V_{OFF} 。

$$R_{TEST}(\Omega) = V_{IN,MIN} / I_{TEST} = V_{IN,MIN} \times 80ms / (C_{LOAD(MAX)} \times 220mV)$$

示例: V_{IN} 的工作范围 = 36V至72V。 $C_{LOAD} = 10,000\mu$ F。首先计算 R_{TEST} , 它能确保正确的负载短路检测。

$$R_{LP} = 36V \times 80ms / (10,000\mu F \times 220mV) = 1,309\Omega \Rightarrow 1.30k\Omega \pm 1\%$$

然后, 在最大工作电压下评估 R_{LP} , 以验证它不会超过负载短路检测的1A电流限制。

$$I_{TEST,MAX} = V_{IN,MAX} / R_{LP} = 72V / 1.30k\Omega = 55.4mA$$

如果 $C_{LOAD(MAX)}$ 增加到170,000 μ F, 检测电流将达到限制值。在这种情况下, R_{TEST} 将是一个非常低的值, 必须包含内部开关电阻。为了找出能确保在最低电源电压下进行正确检测的外部串联电阻值, 应保证负载短路检测开关导通电阻的最大值为11 Ω :

$$R_{LP,TOT} = 36V \times 80ms / (170,000\mu F \times 220mV) = 77\Omega = 11\Omega + R_{LP}$$

$$R_{LP} = 77\Omega - 11\Omega = 66\Omega \Rightarrow 66.5\Omega \pm 1\%$$

需要强调的是, 必须在最大工作电压下评估 R_{LP} , 以验证它不会超过负载短路检测的1A电流限制。此时, 应该使用负载短路检测开关, 导通电阻的最小值6 Ω :

$$I_{TEST,MAX} = V_{IN,MAX} / R_{LP,TOT} = 72V / (66.5\Omega + 6\Omega) = 993mA$$

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

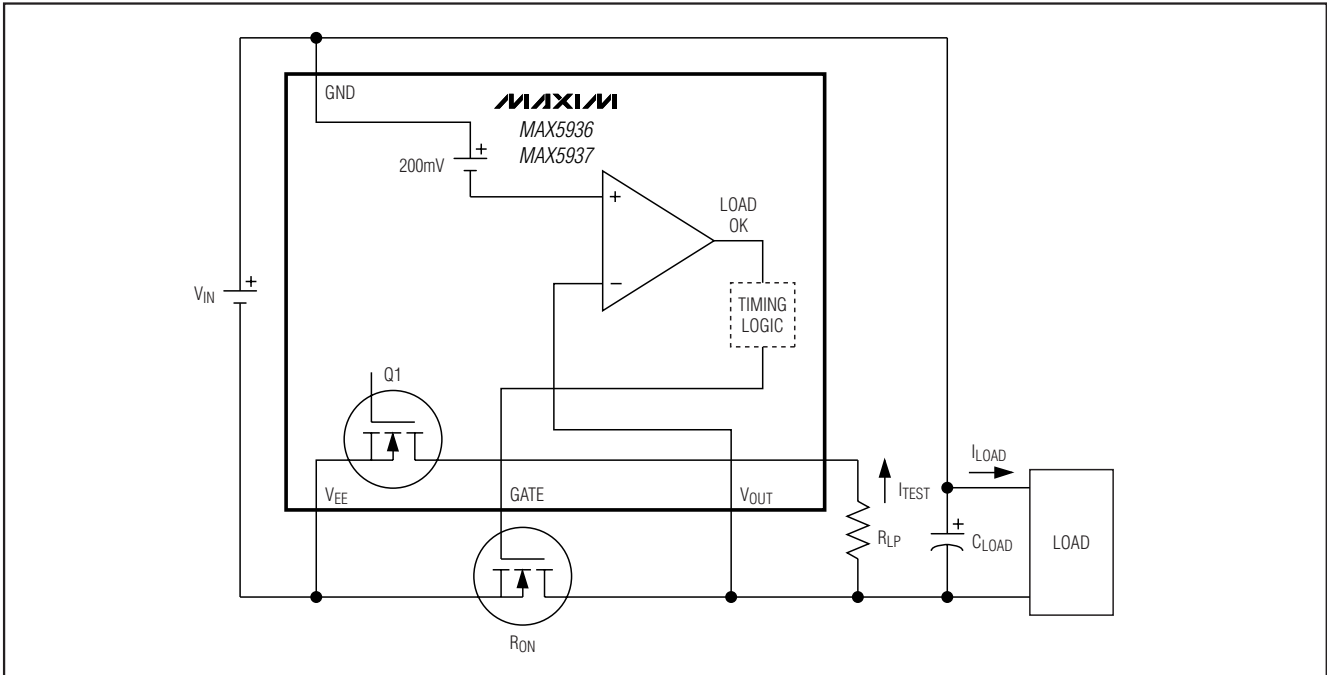


图 14. 负载短路检测功能框图

调节 V_{OUT} 摆率

摆率内部缺省设置为 $9V/ms$ 。通过在功率 MOSFET 的漏极和 MAX5936/MAX5937 的 GATE 输出之间放置一个外部电容可以降低摆率。图 15 给出了摆率与 C_{SLEW} 之间的关系曲线。此图表明, 当 $C_{SLEW} < 4700pF$ 时, 增加的外部摆率控制电容所产生的效果极小。如此设计, GATE 输出就能够在驱动具有大栅极电容的大功率 MOSFET 时, 仍能实现缺省的摆率。欲选择摆率控制电容, 可参照该曲线图, 由期望的摆率找到相应的米勒电容值。当 $C_{SLEW} > 4700pF$ 时, SR 和 C_{SLEW} 是反比关系。给定期望的摆率, 所需的 C_{SLEW} 由下式获得:

$$C_{SLEW}(nF) = 23 / SR (V/ms)$$

从功率 MOSFET 的数据资料中找到定义在 $10V$ 以上的反向转移电容 (栅漏电容)。如果外部功率 MOSFET 的反向转移电容为 C_{SLEW} 的 5% 或者更大, 则应该从上式计算出的 C_{SLEW} 中减去它。

图 16 给出了用于控制摆率的外部电路示例。与所选的功率 MOSFET 的寄生效应有关, 增加 C_{SLEW} 后, 当 MOSFET

和 GATE 控制处于线性范围时, 有可能导致振荡。如果有此问题, 推荐在 MOSFET 栅极串联一个外部电阻 R_{GATE} 来防止可能发生的振荡。此电阻应尽可能的小, 避免影响 MAX5936/MAX5937 的 MOSFET 关断性能, 例如 5Ω 至 10Ω 。

布局指导

为了利用 MAX5936/MAX5937 中设计的温度补偿功能, 器件应该放置在尽可能靠近它所控制的功率 MOSFET 的位置。MAX5936/MAX5937 的 V_{EE} 引脚应该靠近功率 MOSFET 的源极引脚, 并且共用一条宽的走线。一个公共顶层敷铜以满足散热和电气两方面的需要。必须考虑到负载短路检测电流。如果此电流较高, 布局走线和限流电阻必须采用合适的尺寸。热插拔控制器、功率 MOSFET 和负载电容的整体布局中走线的寄生电感必须降到最小。从电路板的接触点开始, 所有大电流走线应该保持短、宽并且直。MAX5936/MAX5937 潜在的大脉冲电流引脚有 GATE (当 GATE 拉低时)、负载短路检测 (LP) 和 V_{EE} 引脚。由于热插拔本身特性的需要, 不推荐对

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

输入瞬态保护

在热插拔和快速 V_{IN} 阶跃期间, 电源通道上的寄生电感可能导致电压振荡超过正常的输入 DC 值, 并有可能超过电源的极限参数。由雷电等引起的输入瞬态也可能在输入电源产生较大的瞬态峰值电压。推荐使用以下技术来降低瞬态影响:

- 1) 采用宽的走线以减小电源通路的寄生电感, 减小包括电源走线和地回路在内的环路面积。
- 2) 在背板上增加一个高频 (陶瓷) 旁路电容, 尽可能靠近插入连接器 (图 17)。
- 3) 增加一个 $1k\Omega$ 电阻与 MAX5936/MAX5937 的 GND 引脚串连, 以及一个 $0.1\mu F$ 电容接到 GND 和 V_{EE} 之间, 限制进入该引脚的瞬态电流。

附录 A

GATE 周期

上电 GATE 周期和阶跃 GATE 周期十分相似, 但又有明显的差别。理解这些差别可以澄清应用中的一些问题。

上电过程的 GATE 周期

上电 GATE 周期发生在 MAX5936/MAX5937 以及相应的功率 MOSFET 和负载的初始上电期间。上电 GATE 周期后可能进入完全导通或者进入故障状态 (所有的电压都是相对于 V_{EE})。

上电至完全导通:

- 1) 从上电时序开始到上电 GATE 周期开始, GATE 始终保持在 V_{EE} 。成功地进行了负载短路检测之后, GATE 继续保持在 V_{EE} 上 $350\mu s$, 然后允许浮动 $650\mu s$ 。此时, GATE 开始升高, 并以 $52\mu A$ 的电流对功率 MOSFET 的栅极充电。[GATE 开启]
- 2) 当 GATE 达到功率 MOSFET 的栅极门限电压时, V_{OUT} 开始向 V_{EE} 下降。[V_{OUT} 下降]
- 3) 当 V_{OUT} 下降至低于 V_{CB} 的 72% 时, GATE 迅速上拉至完全导通电压, 上电 GATE 周期完成。GATE 上拉至完全导通电压后 $1.26ms$, PGOOD 将触发。[完全导通]

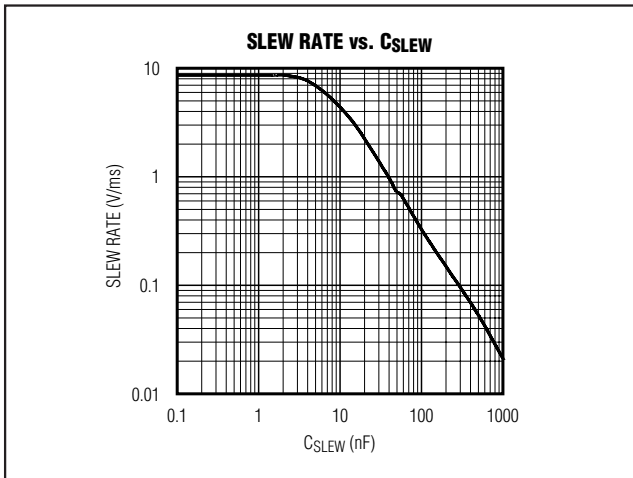


图 15. MAX5936/MAX5937 摆率与 C_{SLEW} 的关系

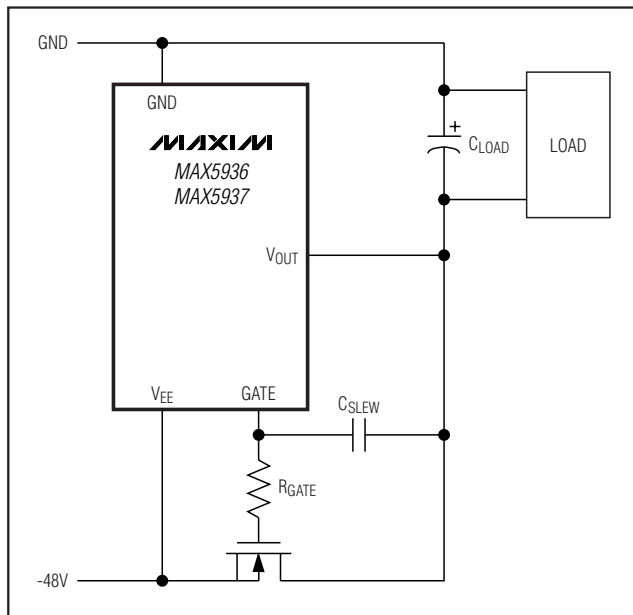


图 16. 调节 MAX5936/MAX5937 摆率

MAX5936/MAX5937 使用去耦电容。因为没有去耦电容, 寄生电感在上电或快速 V_{IN} 阶跃期间可能导致在 GND 引脚上出现过量的振荡。每个应用设计都应该检查这一项, 因为 GND 引脚上的振荡可能超过器件的电源极限参数。

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

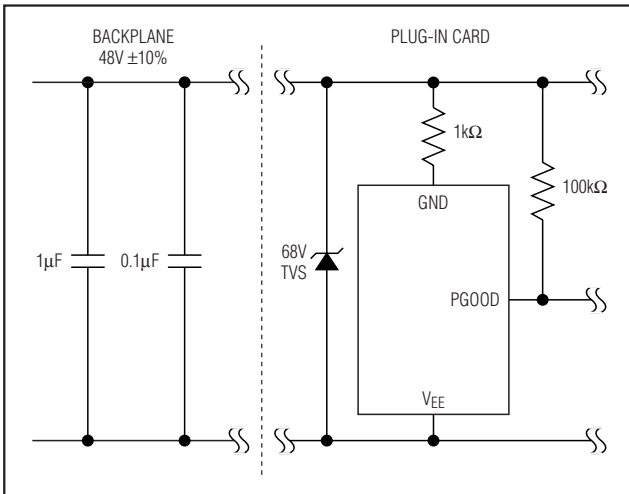


图 17. 保护 MAX5936/MAX5937 输入防止瞬态高压

上电至故障管理:

- 1) 与上面的步骤 1 相同。[GATE 开启]
- 2) 与上面的步骤 2 相同。[V_{OUT} 下降]
- 3) GATE 上升至完全导通电压的 90%，同时 V_{OUT} 保持在 V_{CB} 的 72% 以上，此时 GATE 迅速拉至 V_{EE} 并启动故障管理。[故障管理]

V_{IN} 阶跃期间的 GATE 周期

仅在上电 GATE 周期成功完成并进入完全导通后，作为正 V_{IN} 阶跃（所有电压都是相对于 V_{EE} ）的结果，才会发生阶跃 GATE 周期。

阶跃至完全导通:

- 1) V_{IN} 阶跃发生时导致在 V_{OUT} 上升超过 V_{SC} 之前 $STEP_MON$ 上升超过 $STEP_{TH}$ 。[阶跃检测]
- 2) 检测到阶跃后，由于阶跃作用， V_{OUT} 上升至 V_{SC} 以上。当 V_{OUT} 上升并超过 V_{SC} 时，GATE 被立即拉至 V_{EE} ，迅速关断功率 MOSFET。GATE 在 V_{EE} 保持 350 μ s 以阻止振荡。一旦 GATE 拉至 V_{EE} ，栅极周期就开始了，并且 $STEP_MON$ 可以安全地跌落至 $STEP_{TH}$ 以下，成功地完成一次阶跃 GATE 周期直至完全导通，并且不启动故障管理。[GATE 下拉]
- 3) GATE 下拉 350 μ s 之后，允许 GATE 浮动 650 μ s。此时，GATE 开始升高，并以 52 μ A 的电流对功率 MOSFET 的栅极充电。[GATE 开启]

- 4) 当 GATE 达到功率 MOSFET 的栅极门限电压时， V_{OUT} 开始向新的更低的 V_{EE} 下降。在 GATE 低于 MOSFET 门限期间，MOSFET 是关闭的， V_{OUT} 将按照负载的 RC 时间常数跌落。[V_{OUT} 下降]
- 5) 当 V_{OUT} 下降至低于 V_{CB} 的 72% 后，GATE 迅速拉至完全导通电压，阶跃 GATE 周期完成。当 GATE 上升到完全导通电压的 90% 并且 V_{OUT} 保持在 V_{CB} 的 72% 以上时，如果 $STEP_MON$ 仍然在 $STEP_{TH}$ 以上，GATE 将保持在完全导通电压的 90% 而不会拉至完全导通电压。在这种情况下，如果在 $STEP_MON$ 下降至低于 $STEP_{TH}$ 之前 V_{OUT} 先降到 V_{CB} 的 72% 以下，GATE 被迅速拉至完全导通电压，阶跃 GATE 周期完成。PGOOD 在整个阶跃 GATE 周期内保持输出正常状态。[完全导通]

阶跃至故障管理:

- 1) 与上面的步骤 1 相同。[阶跃检测]
- 2) 与上面的步骤 2 相同。[GATE 下拉]
- 3) 与上面的步骤 3 相同。[GATE 开启]
- 4) 与上面的步骤 4 相同。[V_{OUT} 下降]
- 5) 当 GATE 上升至完全导通电压的 90% 并且 V_{OUT} 保持在 V_{CB} 的 72% 以上时，如果 $STEP_MON$ 低于 $STEP_{TH}$ ，则 GATE 迅速拉至 V_{EE} 。启动故障管理，并且 PGOOD 解除。当 GATE 上升至完全导通电压的 90% 并且 V_{OUT} 保持在 V_{CB} 的 72% 以上时，如果 $STEP_MON$ 高于 $STEP_{TH}$ ，GATE 将保持在 90%，它既不会拉至完全导通电压也不会拉至 V_{EE} 。在这种情况下，如果在 $STEP_MON$ 下降至低于 $STEP_{TH}$ 之前 V_{OUT} 先下降到 V_{CB} 的 72% 以下，GATE 会迅速拉至完全导通电压并避免了故障。相反地，如果 $STEP_MON$ 先降到 $STEP_{TH}$ 以下，则 GATE 迅速拉至 V_{EE} ，启动故障管理，并且 PGOOD 解除输出正常指示。[故障管理]

需要强调的是当 $STEP_MON$ 保持在 $STEP_{TH}$ 以上时将抑制电流故障管理。此时，可能有多个事件发生，包含 V_{OUT} 上升至高于 V_{SC} 以及下降至低于 V_{CB} 的 75%。在每一个事件中，当 V_{OUT} 上升至 V_{SC} 以上时，将启动完整的 GATE 周期，即 GATE 先拉低然后升高。最后，当满足 V_{OUT} 条件时，将完全导通。

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

GATE 输出

GATE 具有复杂的输出结构, 它在任意时刻的输出状态都是依赖于响应多种输入的不同时序。接到 V_{EE} 上的二极管可以防止负偏移。正偏移的情况为:

- 1) 关闭时具有 2V 箝位。
- 2) 10Ω 下拉至 V_{EE} 。
 - a. 连续地启动延时和故障状态下。
 - b. 间断地检测到阶跃或 OV 条件。
- 3) 浮空时具有 15V 箝位。[在 GATE 上升之前]
- 4) $47\mu\text{A}$ 电流源, 具有 15V 箝位。[GATE 上升]
- 5) 上拉至内部 10V 电源, 具有 15V 箝位。[完全导通]

附录 B

阶跃监视元件选择分析

在前面的为阶跃监视选择电阻和电容部分提到过, V_{IN} 对 V_{OUT} 的 AC 响应依赖于负载的寄生效应。负载电容与功率 MOSFET 的 $R_{DS(ON)}$ 连接时更是如此。负载电容 (包括寄生 ESR 与 LSR) 和功率 MOSFET 的 $R_{DS(ON)}$ 可以看作一个大阻尼的二阶系统模型。这样一来, 这个系统就成为了从 V_{IN} 到 V_{OUT} 的带通滤波器, 从而限制了 V_{OUT} 跟随 V_{IN} 跃变的能力。STEP_MON 以一阶 RC 响应滞后于 V_{IN} 跃变, 而 V_{OUT} 是以过阻尼二阶响应滞后的。

给定一个正的 V_{IN} 跃变, 变化斜率为 dV/dt , V_{OUT} 对 V_{IN} 的响应大约为:

$$V_{OUT}(t) = \frac{(dV/dt) \times \tau_C \times (1 - e^{-t/\tau_{L,eqv}})}{R_{DS(ON)} \times I_{LOAD}} \quad (\text{公式 1})$$

其中 $\tau_C = C_{LOAD} \times R_{DS(ON)}$ 。

公式 1 是负载对跃变输入的过阻尼二阶响应的简化形式, $\tau_C = C_{LOAD} \times R_{DS(ON)}$, 对应于负载电容将 dV/dt 电流传输到完全导通功率 MOSFET 的 $R_{DS(ON)}$ 的能力。负载的等效时间常数 ($\tau_{L,eqv}$) 依赖于电容以及电路板互连的寄生串联电感和电阻。通过几次测试负载对 V_{IN} 跃变的动态响应, 可根据经验确定 $\tau_{L,eqv}$ 。

类似地, STEP_MON 对 V_{IN} 跃变的响应为:

$$V_{STEP_MON}(t) = (dV/dt) \times \tau_{STEP} \times (1 - e^{-t/\tau_{STEP}}) + 10\mu\text{A} \times R_{STEP_MON} \quad (\text{公式 2})$$

其中 $\tau_{STEP} = R_{STEP_MON} \times C_{STEP_MON}$ 。

对于正确的阶跃检测, V_{STEP_MON} 必须在 V_{OUT} 达到 V_{SC} 之前或在 V_{OUT} 达到 V_{CB} 后的 1.4ms 之内 (应用中预期的整体 V_{IN} 跃变速率) 先超过 $STEP_{TH}$ 。不可能给出一组固定的设计指导, 能够适用于各种不同的 MAX5936/MAX5937 应用。然而, 需要注意一些限制条件和建议。

必须要注意的一个限制条件是要确保 STEP_MON 时间常数 τ_{STEP} 不要太低, 以至于在最低的跃变速率下无法得到预期的 $STEP_{TH}$ 。如果 V_{IN} 跃变无限地持续下去, 乘积 $(dV/dt) \times \tau_{STEP} = \tau_{STEP_MON_MAX}$ 是 STEP_MON 上的最大差分电压。一种相关的条件是设置 STEP_MON 电压低于 $STEP_{TH}$ 并具有足够的余量, ΔV_{STEP_MON} , 以适应 I_{STEP_OS} ($\pm 8\%$) 和 R_{STEP_MON} 的误差影响。确定 τ_{STEP_MON} 时, 使用 $9.2\mu\text{A}$ 限制以确保在最差 I_{STEP_OS} 情况下仍有足够的余量。

当从三个范围内选择 V_{SC} 和 V_{CB} 时要设置 V_{OUT} 的余量 (相对于 V_{SC} 和 V_{CB})。此余量在某温度极限下可能较低, 如果是这样, 此值应该在下列讨论中用到。这些余量称作 ΔV_{CB} 和 ΔV_{SC} , 它们表示触发相应的故障所需要的最小 V_{OUT} 偏离。 R_{STEP_MON} 一般设置为 $100\text{k}\Omega \pm 1\%$ 。此时的 ΔV_{STEP_MON} 为 0.25V, 最差情况下低至 0.16V, 高至 0.37V。使用下面的公式计算 τ_{STEP} 时, 取 $\Delta V_{STEP_MON} = 0.37\text{V}$ 以确保在最差的 I_{STEP_OS} 情况下仍有足够的余量。

为设置 τ_{STEP} 在任意跃变速率下屏蔽所有的 V_{CB} 和 V_{SC} 故障, 先求出 ΔV_{STEP_MON} 与 ΔV_{CB} 之比并根据下式选择 τ_{STEP} :

$$\tau_{STEP} = 1.2 \times \tau_C \times \Delta V_{STEP_MON} / \Delta V_{CB}$$

因为 $R_{STEP_MON} = 100\text{k}\Omega$:

$$C_{STEP_MON} = \tau_{STEP} / R_{STEP_MON} = \tau_{STEP} / 100\text{k}\Omega$$

进行第一轮元件选择后, 如果具有足够的定时余量, 可以把 R_{STEP_MON} 降至 $100\text{k}\Omega$ 以下以减小 STEP_MON 对 V_{IN} 噪声的灵敏度, 但这不是必须的。

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

阶跃监视定时的验证

为了谨慎, 最后要验证电路断路器和短路故障在所有的跃变速率下都可以被屏蔽。推荐进行某些形式的图形分析, 但是首先要通过前边提到的一系列跃变测试得到负载的 $\tau_{L,eqv}$ 值。这些测试包括通过一系列斜率递增的 V_{IN} 跃变评估负载, 监视 V_{OUT} 在跃变期间的上升速率。每一个 V_{IN} 跃变应该具有恒定的斜率。 V_{OUT} 响应数据必须在正跃变期间获得。 V_{IN} 稳定在新的更高值以后得到的数据不能使用。

如图 18 所示, 负载与负载电容 C_{LOAD} 并联, 并联后与功率 MOSFET 串联, MOSFET 已经完全导通, $V_{GS} = 10V$ 。目的是根据 V_{OUT} 响应来确定 $\tau_{L,eqv}$ 。

图 19 所示为 V_{OUT} 对 V_{IN} 跃变在时间 t 内的一般响应。公式 1 给出了 V_{OUT} 对 dV/dt 跃变的响应。如果 V_{IN} 跃变无限制的持续下去, 乘积 $(dV/dt) \times \tau_C = \Delta V_{OUT} (max)$ 即最大的 V_{OUT} 电压差。我们关心的参数是跃变 dV/dt 产生的 ΔV_{OUT} , 因此必须从 V_{OUT} 中减去负载电阻引起的 DC 偏移。对于某些较独立于电源电压的负载, 这可能不重要。

$$V_{OUT}(t) = V_{OUT}(t) - R_{DS(ON)} \times I_{LOAD}$$

其中 I_{LOAD} 是 V_{OUT} 电压的函数, 应该通过 DC 测试单独确定。

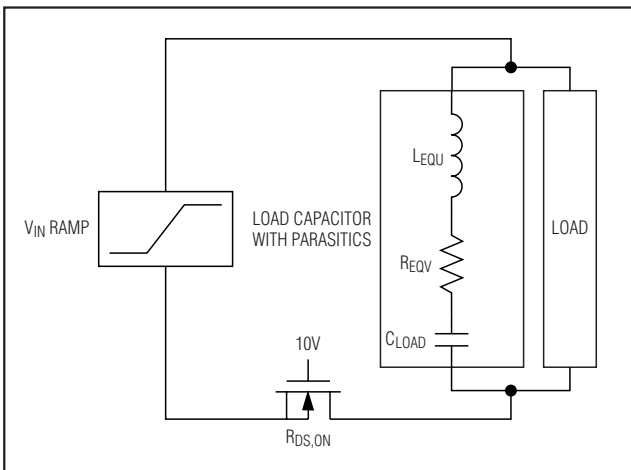


图 18. 负载的 V_{IN} 跃变测试

在任意时间 (t) , ΔV_{OUT} 占 $\Delta V_{OUT(max)}$ 的比例为:

$$\Delta V_{OUT}(t) / [(dV/dt) \times \tau_C] = (1 - e^{-t/\tau_{L,eqv}})$$

如果在时刻 t 测得 $V_{OUT}(t)$, 则负载的等效时间常数为:

$$\tau_{L,eqv} = -t / \ln(1 - \Delta V_{OUT} / [(dV/dt) \times \tau_C])$$

前面提到过, 跃变期间应该在时间 t_1 、 t_2 、 t_3 和 t_4 得到几个 ΔV_{OUT} 测量结果。每一个结果都可能产生具有轻微差别的 $\tau_{L,eqv}$, 应该对所有值取平均。进行测量时, V_{IN} 跃变的持续时间应该使 ΔV_{OUT} 达到所选择的 ΔV_{SC} 的 2 到 3 倍。跃变测试应该包括三种斜率: $\Delta V_{SC}/\tau_C$ 、 $2 \times \Delta V_{SC}/\tau_C$ 以及 $4 \times \Delta V_{SC}/\tau_C$ 。 $\tau_{L,eqv}$ 的值在不同摆率范围可能是变化的, 这是由于测量误差、负载的非线性动态或者因为公式 1 是由更高阶动态系统简化来的等。最终的 $\tau_{L,eqv}$ 值范围应该用来验证最终设计的性能。

利用公式 1 和公式 2 对数据 τ_C 、 $\tau_{L,eqv}$ 、 R_{STEP} 和 C_{STEP} 进行图形分析, 可以通过显示 t_{CB} 、 t_{STEP} 和 t_{SC} 的相对时序来验证阶跃监视功能, 它们分别是超过 V_{CB} 、 V_{STEP} 和 V_{SC} 电压门限的时间。Maxim 根据申请可以为您提供实现该功能的简单电子数据表。图 20、21 和 22 用图形方法验证了在三个数量级的 V_{IN} 斜率下的特解。除此之外, 图 22 还验证了即使是在造成 V_{OUT} 超过 V_{CB} 的最慢 V_{IN} 跃变下, 该方案也能够屏蔽所有电路断路器和短路故障。

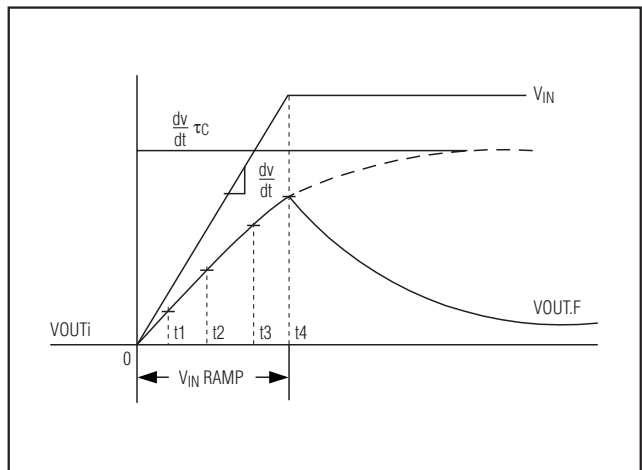


图 19. V_{OUT} 对 V_{IN} 跃变的一般响应

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

MAX5936/MAX5937

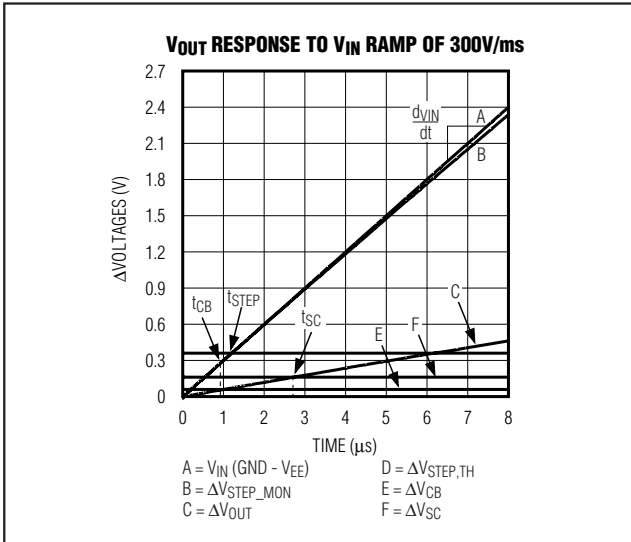


图 20. V_{OUT} 对 300V/ms V_{IN} 阶跃的响应

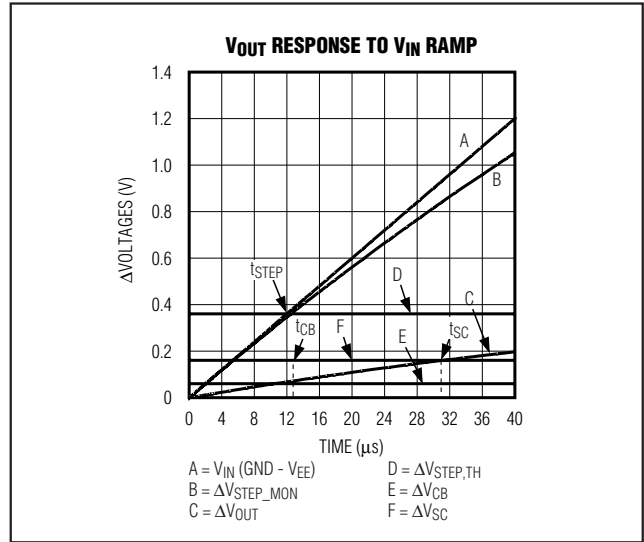


图 21. V_{OUT} 对 30V/ms V_{IN} 阶跃的响应

芯片信息

TRANSISTOR COUNT: 2320
PROCESS: BiCMOS

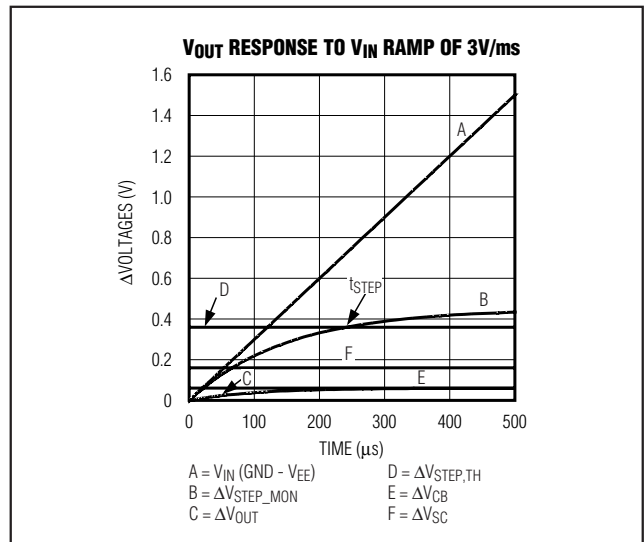


图 22. V_{OUT} 对 3V/ms V_{IN} 阶跃的响应

-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

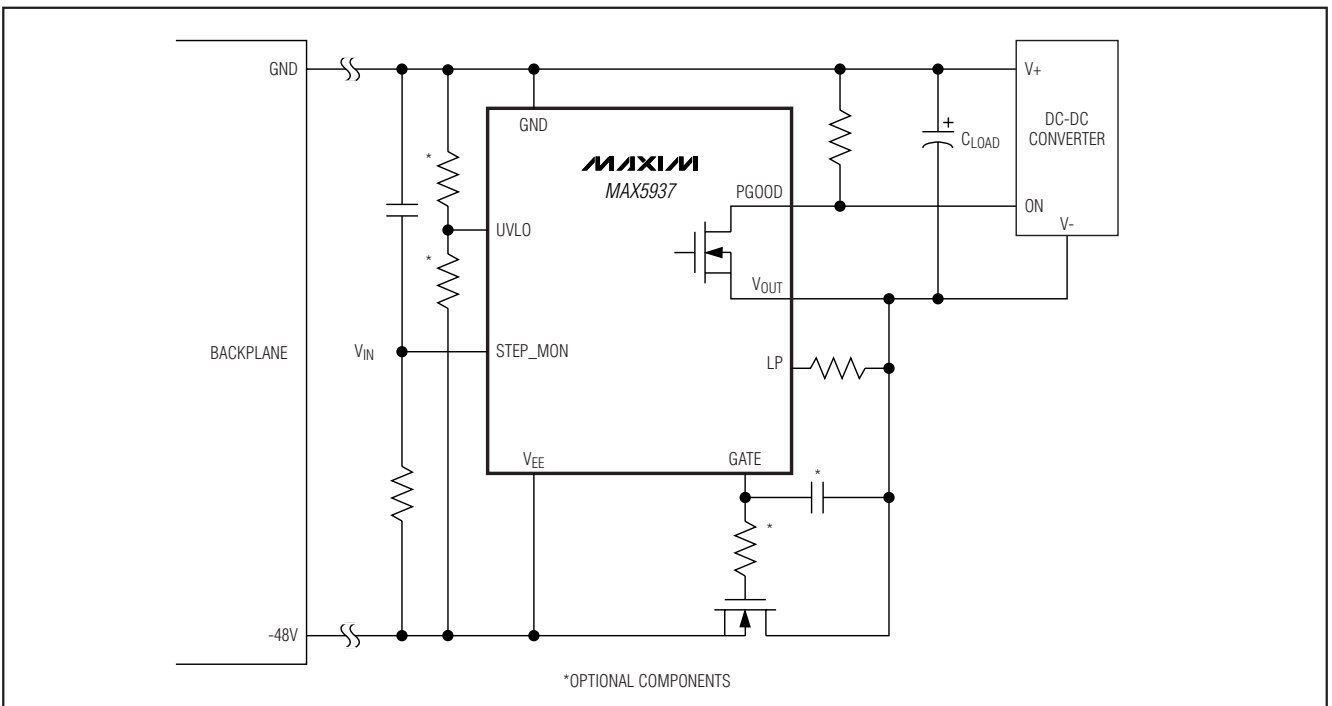
时序表

NAME	SYMBOL	TYPICAL TIME (s)
Power-Up Delay	t_{ONDLY}	220m
Load Probe Test Timeout	t_{LP}	220m
Load Probe Retry Time	t_{LP_OFF}	3.5
PGOOD (\overline{PGOOD}) Assertion Delay Time	t_{PGOOD}	1.26m
Autoretry Delay	t_{RETRY}	3.5
Circuit-Breaker Glitch Rejection	t_{CB_DLY}	1.4m
UVLO Glitch Rejection	t_{REJ}	1.5m
GATE Pulldown Pulse Following a V_{IN} step	—	350 μ
GATE Low After a V_{IN} Step, Prior to Ramp	—	1m

选择指南

PART	CIRCUIT-BREAKER THRESHOLD (mV)	FAULT MANAGEMENT	PGOOD ASSERTION
MAX5936LA	100	Latch	Low
MAX5936LB	200	Latch	Low
MAX5936LC	400	Latch	Low
MAX5936LN	No circuit breaker	Latch	Low
MAX5936AA	100	Autoretry	Low
MAX5936AB	200	Autoretry	Low
MAX5936AC	400	Autoretry	Low
MAX5937LA	100	Latch	High
MAX5937LB	200	Latch	High
MAX5937LC	400	Latch	High
MAX5937LN	No circuit breaker	Latch	High
MAX5937AA	100	Autoretry	High
MAX5937AB	200	Autoretry	High
MAX5937AC	400	Autoretry	High

典型工作电路

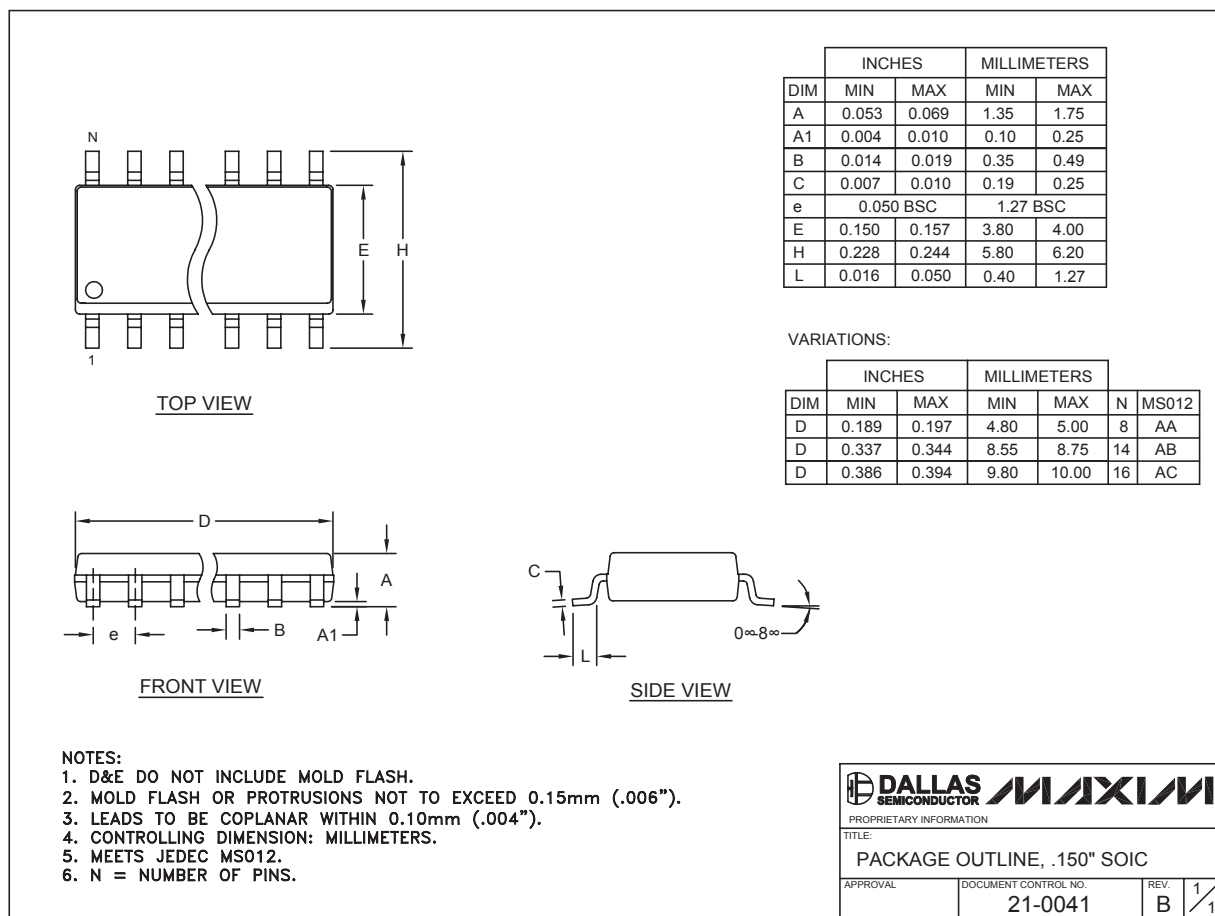


-48V热插拔控制器, 具有 V_{IN} 阶跃抑制, 无需 R_{SENSE}

封装信息

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com.cn/packages。)

MAX5936/MAX5937



MAXIM 北京办事处

北京 8328 信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6201 0598

传真: 010-6201 0298

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 23