



10 端口、SPI 接口 I/O 扩展器， 具有过压和热插入保护

MAX7317

概述

MAX7317 串行接口外设器件能够为微处理器提供 10 个 I/O 端口，额定电压为 7V。每个端口都可单独配置为漏极开路输出或带有过压保护的施密特输入。

MAX7317 支持热插入。所有端口引脚在关闭电源时 ($V_+ = 0V$) 具有高阻抗，并允许有 8V 电压。

MAX7317 采用 16 引脚、薄型 QFN 和 QSOP 封装，工作在 -40°C 至 $+125^{\circ}\text{C}$ 的温度范围。

如需具有恒定电流输出和 8 位 PWM 控制的类似器件，请参考 MAX6966/MAX6967 的数据资料。

应用

便携式设备

蜂窝电话

白色家电

工业控制器

汽车

系统监视

SPI 与 QSPI 是 Motorola, Inc. 的商标。

MICROWIRE 是 National Semiconductor Corp. 的商标。

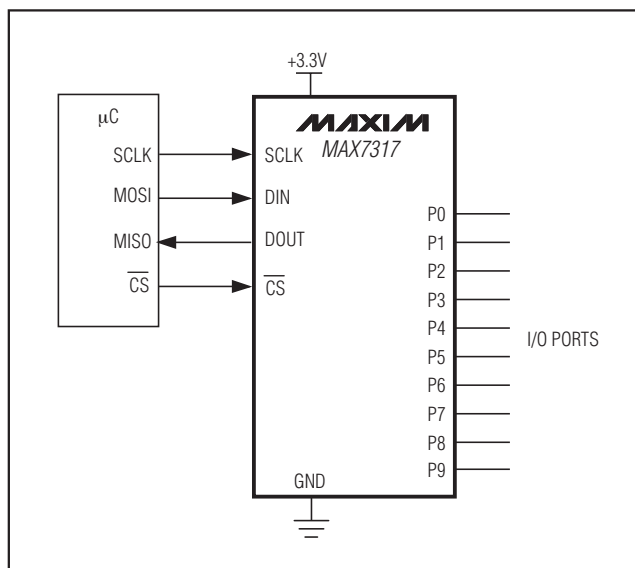
特性

- ◆ 高速、26MHz、SPI™/QSPI™/MICROWIRE™ 兼容的串行接口
- ◆ 2.25V 至 3.6V 工作电压
- ◆ I/O 端口输入过压保护至 7V
- ◆ I/O 端口为 7V 额定电压的开漏极输出
- ◆ I/O 端口支持热插入
- ◆ 0.7μA (典型值)，1.9μA (最大值) 的待机电流
- ◆ 微型 3mm x 3mm、高度为 0.8mm 的薄型 QFN 封装
- ◆ -40°C 至 $+125^{\circ}\text{C}$ 工作温度范围

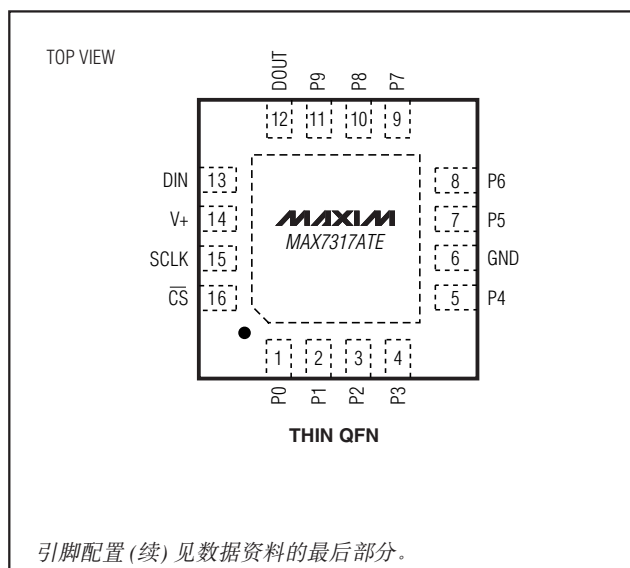
订购信息

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK	PKG CODE
MAX7317ATE	-40°C to $+125^{\circ}\text{C}$	16 Thin QFN 3mm x 3mm x 0.8mm	ACH	T1633-4
MAX7317AEE	-40°C to $+125^{\circ}\text{C}$	16 QSOP	—	—

典型应用电路



引脚配置



10 端口、SPI 接口 I/O 扩展器， 具有过压和热插入保护

ABSOLUTE MAXIMUM RATINGS

Voltage (with respect to GND)

V+	-0.3V to +4V
SCLK, DIN, CS, DOUT	-0.3V to (V+ + 0.3V)
P ₋	-0.3V to +8V
DC Current into P ₋	24mA
DC Current into DOUT	10mA
Total GND Current	200mA

Continuous Power Dissipation (T_A = +70°C)

16-Pin Thin QFN	1176mW
(derate 14.7mW/°C above +70°C)	
16-Pin QSOP (derate 8.3mW/°C above +70°C)	667mW
Operating Temperature Range	
(T _{MIN} to T _{MAX})	-40°C to +125°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(Typical Operating Circuit, V+ = 2.25V to 3.6V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V+ = 3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Operating Supply Voltage	V+			2.25		3.60	V
Output Load External Supply Voltage P0–P9	V _{EXT}					7	V
Standby Current (Interface Idle)	I _{STBY}	All digital inputs at V+ or GND	T _A = +25°C		0.70	1.5	μA
			T _A = T _{MIN} to +85°C			1.7	
			T _A = T _{MIN} to T _{MAX}			1.9	
Supply Current	I ₊	f _{SCLK} = 26MHz; other digital inputs at V+ or GND; DOUT unloaded	T _A = +25°C		385	620	μA
			T _A = T _{MIN} to +85°C			680	
			T _A = T _{MIN} to T _{MAX}			730	
Input High Voltage (P0–P9, DIN, SCLK, $\overline{CS}$)	V _{IH}	P0–P9 output register set to 0x01		0.7 x V+			V
Input Low Voltage (P0–P9, DIN, SCLK, $\overline{CS}$)	V _{IL}	P0–P9 output register set to 0x01		0.3 x V+			V
Input Leakage Current (P0–P9, DIN, SCLK, $\overline{CS}$)	I _{IH} , I _{IL}			-0.2		+0.2	μA
Input Capacitance (P0–P9, DIN, SCLK, $\overline{CS}$)		(Note 2)		10			pF
Output Low Voltage (P0–P9)	V _{OLP_}	I _{SINK} = 0.5mA, output register set to 0x00		0.4			V
Output Low Short-Circuit Current (P0–P9)		V _{OLPOUT} = 5V		10.8		20	mA
Output High Voltage (DOUT)	V _{OHDOUT}	I _{SOURCE} = -6mA		V+ - 0.3V			V
Output Low Voltage (DOUT)	V _{OLDOUT}	I _{SINK} = 6mA				0.3	V
Power-On Reset Voltage	V _{POR}			2			V

10 端口、SPI 接口 I/O 扩展器， 具有过压和热插入保护

TIMING CHARACTERISTICS

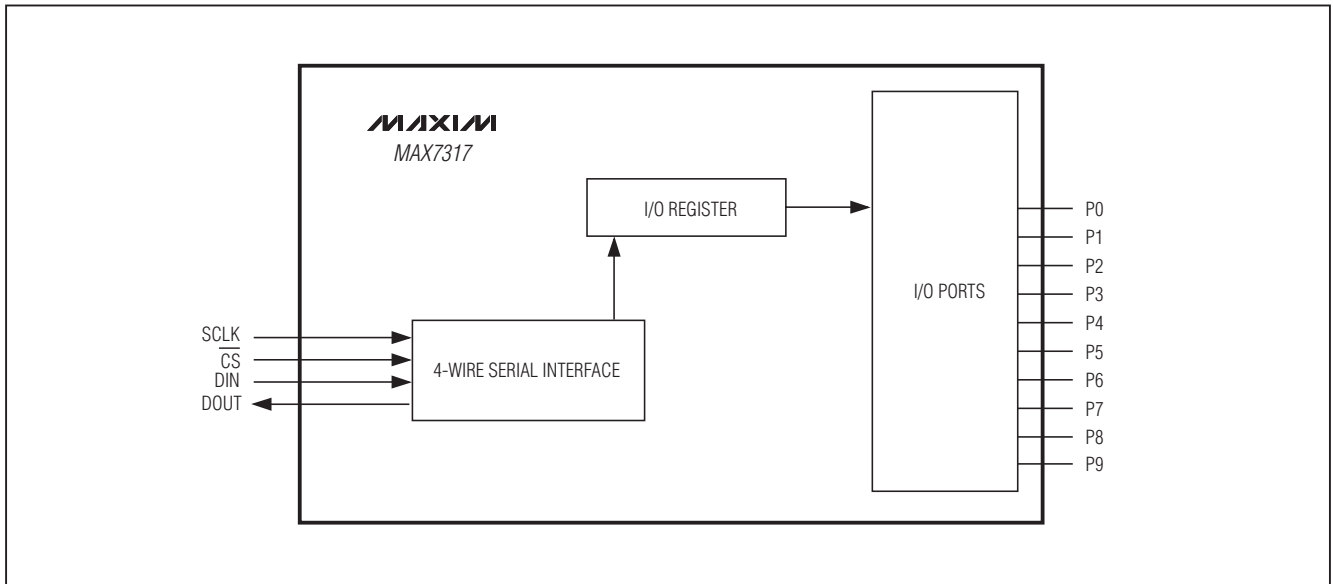
(Typical Operating Circuit, $V_+ = 2.25V$ to $3.6V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_+ = 3.3V$, $T_A = +25^\circ C$.)
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	t_{CP}		38.4			ns
SCLK Pulse-Width High	t_{CH}		19			ns
SCLK Pulse-Width Low	t_{CL}		19			ns
$\overline{CS}$ Fall to SCLK Rise Setup	t_{CSS}		9.5			ns
SCLK Rise to $\overline{CS}$ Rise Hold	t_{CSH}		2.5			ns
DIN Setup Time	t_{DS}		9.5			ns
DIN Hold Time	t_{DH}		2.5			ns
Output Data Propagation Delay	t_{DO}				19	ns
DOUT Output Rise and Fall Times	t_{FT}	$C_{LOAD} = 20pF$ (Note 2)			10	ns
Minimum $\overline{CS}$ Pulse High	t_{CSW}		38.4			ns

Note 1: All parameters are tested at $T_A = +25^\circ C$. Specifications over temperature are guaranteed by design.

Note 2: Guaranteed by design.

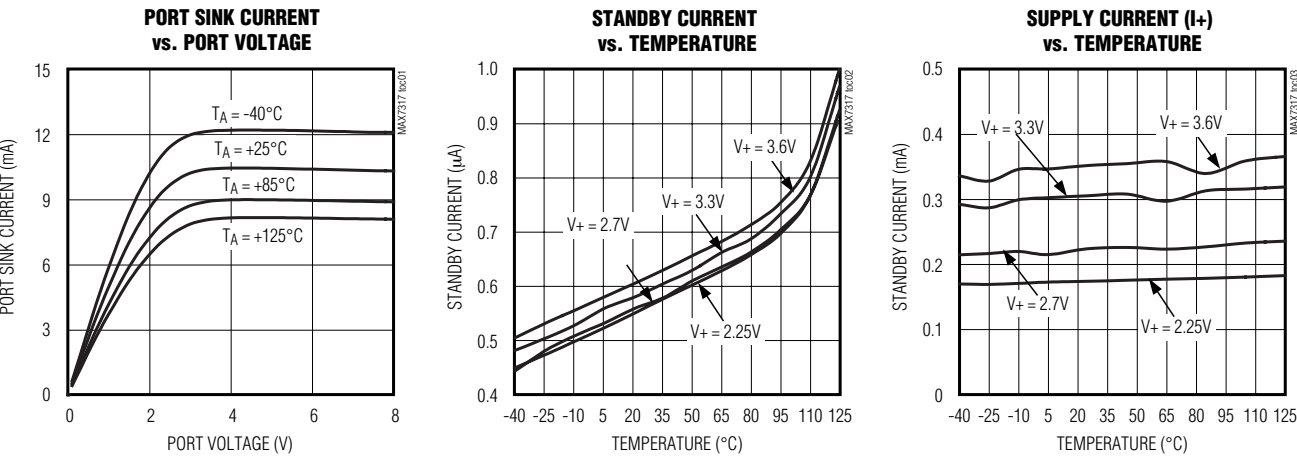
MAX7317 方框图



10 端口、SPI 接口 I/O 扩展器，
具有过压和热插入保护

典型工作特性

(T_A = +25°C, unless otherwise noted.)



引脚说明

引脚		名称	功能
QSOP	QFN		
1	15	SCLK	串行时钟输入。数据在 SCLK 信号的上升沿移入内部移位寄存器。数据在 SCLK 信号的下降沿由 DOUT 同步输出。只有在 $\overline{CS}$ 为低电平时 SCLK 才有效。
2	16	$\overline{CS}$	片选输入。当 $\overline{CS}$ 为低电平时，串行数据装入移位寄存器。最后的 16 位数据在 $\overline{CS}$ 信号的上升沿锁存。
3–7, 9–13	1–5, 7–11	P0–P9	I/O 端口。P0 至 P9 可以配置为开漏极输出，输出能吸收 20mA 的最大额定电流，或者配置为 CMOS 输入，或者开漏极输出。负载应接至不超过 7V 的电源电压上。
8	6	GND	地
14	12	DOUT	串行数据输出。进入 DIN 的数据经过 15.5 个时钟周期后在 DOUT 输出。使用该引脚可以以菊花链结构连接多个器件，或者允许数据回读。输出为推挽式结构。
15	13	DIN	串行数据输入。数据在 SCLK 信号的上升沿由 DIN 移入内部 16 位移位寄存器。
16	14	V+	正电源电压。用 0.047μF 陶瓷电容将 V+ 旁路至 GND。
—	PAD	裸露焊盘	封装底部的裸露焊盘。接 GND。

10 端口、SPI 接口 I/O 扩展器， 具有过压和热插入保护

详细说明

MAX7317 是一款通用的输入/输出 (GPIO) 外设器件，能提供 P0 至 P9 共 10 个 I/O 端口，并通过高速 SPI 兼容串行接口控制。10 个 I/O 端口可用作输入或者漏极开路输出，并能以任意形式组合。无论用作输入还是输出，端口都能耐受 7V 电压，且与 MAX7317 的电源电压无关。

图 1 给出了 MAX7317 的 I/O 端口结构。

寄存器结构

MAX7317 带有 10 个内部寄存器以控制外围设备 (表 2)，寄存器地址为 0x00 至 0x09。另外两个地址，0x0E 和 0x0F，不存储数据，而是在读取时返回端口的输入状态。四个虚拟地址，0x0A 至 0x0D，允许多个寄存器写入相同的数据，从而简化软件设计。RAM 寄存器提供 1 个字节的存储空间，供用户使用。空操作地址，0x20，读取或者写入时不产生任何操作。当从多个级联器件中访问一个 MAX7317 时，可用作空寄存器。

初始上电

上电时，所有的控制寄存器均复位 (表 2)。上电状态将 I/O 端口 P0 至 P9 设置为高阻态，并使器件进入关断模式。

RAM 寄存器

RAM 寄存器提供一个字节的存储空间，可以任意使用。

GPIO 端口方向配置

10 个 I/O 端口 P0 至 P9，可以配置为输入与输出的任意组合。无论用作输入还是输出，端口均能耐受 7V 电压，与 MAX7317 的电源电压无关。通过将端口的输出寄存器设置为 0x01，可把端口配置为输入，这同时将端口输出设为高阻态 (表 4)。

输入端口寄存器

读取输入端口寄存器将返回 I/O 端口引脚的逻辑电平。输入端口寄存器为只读。对输入端口寄存器的写操作将被忽略。

输出寄存器

MAX7317 使用一个 8 位寄存器来控制每个输出端口 (表 4)。每个端口都可配置为输入或者漏极开路输出。将 0x00 写入输出寄存器可将端口设置为逻辑低输出，写入 0x01 会将端口设置为逻辑高输出或者逻辑输入。

10 个寄存器，0x00 至 0x09，分别控制每个 I/O 端口 (表 4)。四个伪寄存器地址，0x0A 至 0x0D，通过将相同的数据写入多个输出寄存器，可使用单个命令将成组的输出设置为相同数值。

串行接口

MAX7317 通过 SPI 兼容的 4 线串行接口通信。接口具有三个输入：时钟 (SCLK)、片选 ($\overline{CS}$)、数据输入 (DIN) 和数据输出 (DOUT)。 $\overline{CS}$ 必须拉低以实现同步输入或输出数据。并且，在 SCLK 的上升沿进行采样时 DIN 必须稳定。在 SCLK 的上升沿 DOUT 是稳定的。

可用 SCLK 和 DIN 将数据传送至其它外设。除非 $\overline{CS}$ 为低电平，否则 MAX7317 将忽略 SCLK 与 DIN 上的所有信号变化。

注意，在不访问 MAX7317 时，SPI 协议要求 DOUT 保持高阻态；MAX7317 的 DOUT 并不是高阻态。如果需要，请访问 www.maxim-ic.com.cn/an1879，了解将 MAX7317 转换为三态的方法。

利用 4 线接口进行控制 and 操作

控制 MAX7317 需要发送 16 位字。第一个字节 D15 至 D8 为命令，第二个字节 D7 至 D0 为数据字节 (表 5)。

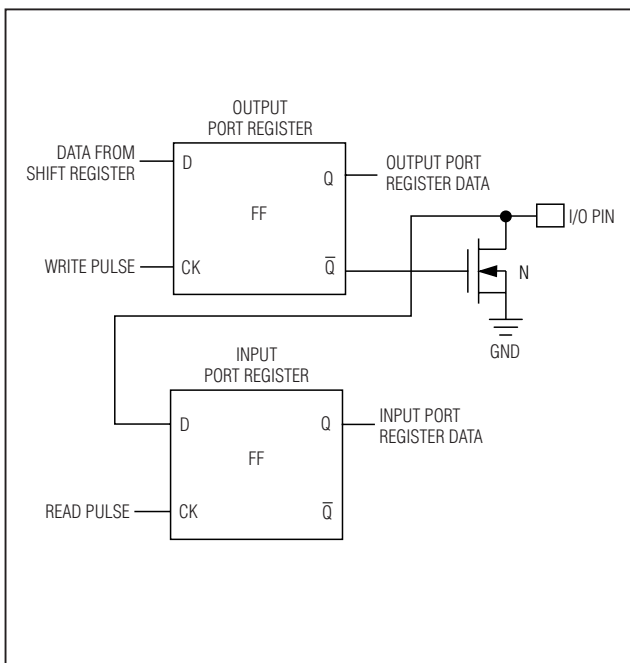


图 1. I/O 端口的简化原理图

10 端口、SPI 接口 I/O 扩展器， 具有过压和热插入保护

表 1. 寄存器地址分配图

REGISTER	COMMAND ADDRESS								CODE (hex)
	D15	D14	D13	D12	D11	D10	D9	D8	
Port P0 output level	R/ $\overline{W}$	0	0	0	0	0	0	0	0x00
Port P1 output level	R/ $\overline{W}$	0	0	0	0	0	0	1	0x01
Port P2 output level	R/ $\overline{W}$	0	0	0	0	0	1	0	0x02
Port P3 output level	R/ $\overline{W}$	0	0	0	0	0	1	1	0x03
Port P4 output level	R/ $\overline{W}$	0	0	0	0	1	0	0	0x04
Port P5 output level	R/ $\overline{W}$	0	0	0	0	1	0	1	0x05
Port P6 output level	R/ $\overline{W}$	0	0	0	0	1	1	0	0x06
Port P7 output level	R/ $\overline{W}$	0	0	0	0	1	1	1	0x07
Port P8 output level	R/ $\overline{W}$	0	0	0	1	0	0	0	0x08
Port P9 output level	R/ $\overline{W}$	0	0	0	1	0	0	1	0x09
Write ports P0 through P9 with same output level	0	0	0	0	1	0	1	0	0x0A
Read port P0 output level	1								
Write ports P0 through P3 with same output level	0	0	0	0	1	0	1	1	0x0B
Read port P0 output level	1								
Write ports P4 through P7 with same output level	0	0	0	0	1	1	0	0	0x0C
Read port P4 output level	1								
Write ports P8 or P9 with same output level	0	0	0	0	1	1	0	1	0x0D
Read port P8 output level	1								
Read ports P7 through P0 inputs	1	0	0	0	1	1	1	0	0x0E
Read ports P9 and P8 inputs	1	0	0	0	1	1	1	1	0x0F
RAM	R/ $\overline{W}$	0	0	1	0	0	1	1	0x13
No-op	R/ $\overline{W}$	0	1	0	0	0	0	0	0x20
Factory reserved; do not write to this register	R/ $\overline{W}$	1	1	1	1	1	0	1	0x7D

表 2. 初始上电的寄存器状态

REGISTER	POWER-UP CONDITION	ADDRESS CODE (hex)	REGISTER DATA							
			D7	D6	D5	D4	D3	D2	D1	D0
Port P0 output level	Port 0 high impedance	0x00	1	1	1	1	1	1	1	1
Port P1 output level	Port 1 high impedance	0x01	1	1	1	1	1	1	1	1
Port P2 output level	Port 2 high impedance	0x02	1	1	1	1	1	1	1	1
Port P3 output level	Port 3 high impedance	0x03	1	1	1	1	1	1	1	1
Port P4 output level	Port 4 high impedance	0x04	1	1	1	1	1	1	1	1
Port P5 output level	Port 5 high impedance	0x05	1	1	1	1	1	1	1	1
Port P6 output level	Port 6 high impedance	0x06	1	1	1	1	1	1	1	1
Port P7 output level	Port 7 high impedance	0x07	1	1	1	1	1	1	1	1
Port P8 output level	Port 8 high impedance	0x08	1	1	1	1	1	1	1	1
Port P9 output level	Port 9 high impedance	0x09	1	1	1	1	1	1	1	1
RAM	0x00	0x13	0	0	0	0	0	0	0	0

10 端口、SPI 接口 I/O 扩展器， 具有过压和热插入保护

MAX7317

4 线总线上挂接多个 MAX7317

可以将多个 MAX7317 挂接在同一 SPI 总线，这时，需将各 DIN 输入接到一起，各 SCLK 输入接到一起，并为每

个 MAX7317 器件提供独立的 $\overline{CS}$ 信号(图 2)。无论 DOUT/OSC 如何配置，这种连接都能工作，但是不允许读取 MAX7317。

表 3. 输入端口寄存器

REGISTER	R/ $\overline{W}$	ADDRESS CODE (hex)	REGISTER DATA							
			D7	D6	D5	D4	D3	D2	D1	D0
Read input ports P7–P0	1	0X0E	Port P7	Port P6	Port P5	Port P4	Port P3	Port P2	Port P1	Port P0
Read input ports P9, P8	1	0X0F	0	0	0	0	0	0	Port P9	Port P8

表 4. 输出寄存器格式

REGISTER	R/ $\overline{W}$	ADDRESS CODE (hex)	REGISTER DATA							
			BINARY							
			D7	D6	D5	D4	D3	D2	D1	D0
Port P0 level	—	0x00	MSB	Output P0 level and PWM						LSB
Port P0 is open-drain logic low	—		0	0	0	0	0	0	0	0
Port P0 is open-drain logic high (high impedance without external pullup) or logic input	—		0	0	0	0	0	0	0	1
Port P1 level	—	0x01	MSB	Port P1 level						LSB
Port P2 level	—	0x02	MSB	Port P2 level						LSB
Port P3 level	—	0x03	MSB	Port P3 level						LSB
Port P4 level	—	0x04	MSB	Port P4 level						LSB
Port P5 level	—	0x05	MSB	Port P5 level						LSB
Port P6 level	—	0x06	MSB	Port P6 level						LSB
Port P7 level	—	0x07	MSB	Port P7 level						LSB
Port P8 level	—	0x08	MSB	Port P8 level						LSB
Port P9 level	—	0x09	MSB	Port P9 level						LSB
Writes ports P0 through P9 with same level	0	0x0A	MSB	Ports P0 through P9 level						LSB
Reads port P0 level	1		MSB	Port P0 level						LSB
Writes ports P0 through P3 with same level	0	0x0B	MSB	Ports P0 through P3 level						LSB
Reads port P0 level	1		MSB	Port P0 level						LSB
Writes ports P4 through P7 with same level	0	0x0C	MSB	Ports P4 through P7 level						LSB
Reads port P4 level	1		MSB	Port P4 level						LSB
Write ports P8 and P9 with same level	0	0x0D	MSB	Ports P8, P9 level						LSB
Read port P8 level	1		MSB	Port P8 level						LSB

10 端口、SPI 接口 I/O 扩展器， 具有过压和热插入保护

还有一种选择方案，通过将一个器件的 DOUT 接至下一个器件的 DIN，且并行驱动 SCLK 与 $\overline{CS}$ (图 3)，可以实现 MAX7317 的菊花链连接。这种连接方式允许读取 MAX7317。DIN 上的数据通过内部移位寄存器传送，15.5 个时钟周期后数据出现在 DOUT 上，并在 SCLK 的下降沿同步输出。当发送命令至菊花链连接的 MAX7317 时，同时访问所有器件。一次访问需要 $(16 \times n)$ 个时钟周期，其中 n 为所连接的 MAX7317 数目。当多个器件采用菊花链连接时，由于 DOUT 的传输延迟和 DIN 建立时间的影响，串行接口的速度 (最大 SCLK) 限制为 10MHz。

采用以下时序写入 MAX7317 (图 5)：

- 1) 拉低 SCLK。
- 2) 拉低 $\overline{CS}$ 。这会使能内部 16 位移位寄存器。
- 3) 16 位数据同步输入到 DIN，最先发送 D15，最后发送 D0，注意建立和保持时间。D15 为低，表示写命令。
- 4) 拉高 $\overline{CS}$ (最后一个数据位同步输入后 SCLK 仍为高电平时，或者拉低 SCLK 之后)。
- 5) 拉低 SCLK (如果尚未拉低)。

如果在拉低 $\overline{CS}$ 与重新拉高 $\overline{CS}$ 之间，有少于或多于 16 位数据同步输入到 MAX7317，MAX7317 会存储最后接收

的 16 位数据，包括以前发送的数据。通常的情况是， n 位 (其中 $n > 16$) 数据传送到 MAX7317。包括 $\{n-15\}$ 至 $\{n\}$ 的最后数据位将会保留，且相应装入 16 位锁存器的 D15 至 D0 位 (图 6)。

读取器件寄存器

MAX7317 内的任何寄存器数据都可以通过发送逻辑高至 D15 位进行读取。其时序为：

- 1) 拉低 SCLK。
- 2) 拉低 $\overline{CS}$ 。这可使能内部 16 位移位寄存器。
- 3) 同步输入 16 位数据至 DIN，最先发送 D15，最后发送 D0。D15 位为高电平，表示读命令。D14 至 D8 包含所要读的寄存器地址。D7 至 D0 位为无效数据，将被丢弃。
- 4) 拉高 $\overline{CS}$ (最后的数据位同步输入后 SCLK 仍为高电平时，或者拉低 SCLK 之后)。此时，移位寄存器的 D7 至 D0 位装入 D15 至 D8 所寻址的寄存器数据。
- 5) 拉低 SCLK (如果尚未拉低)。
- 6) 发出另一个读或者写命令，检查 DOUT 比特流；第二个 8 位为步骤 3 中 D14 至 D8 位所寻址的寄存器的内容。

表 5. 串行数据格式

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R/W	MSB	ADDRESS						LSB	MSB	DATA					LSB

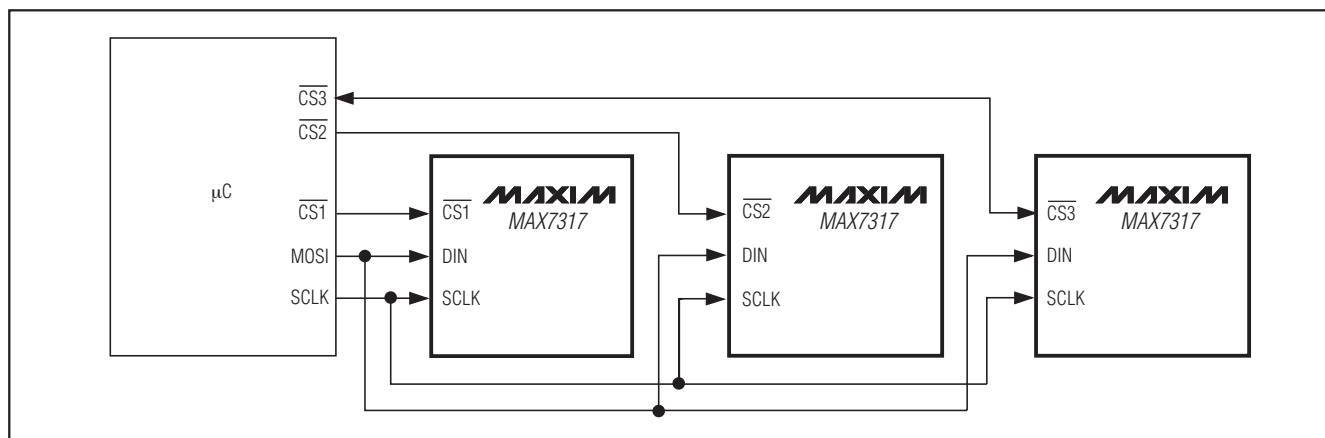


图 2. MAX7317 多 $\overline{CS}$ 线连接

10 端口、SPI 接口 I/O 扩展器， 具有过压和热插入保护

MAX7317

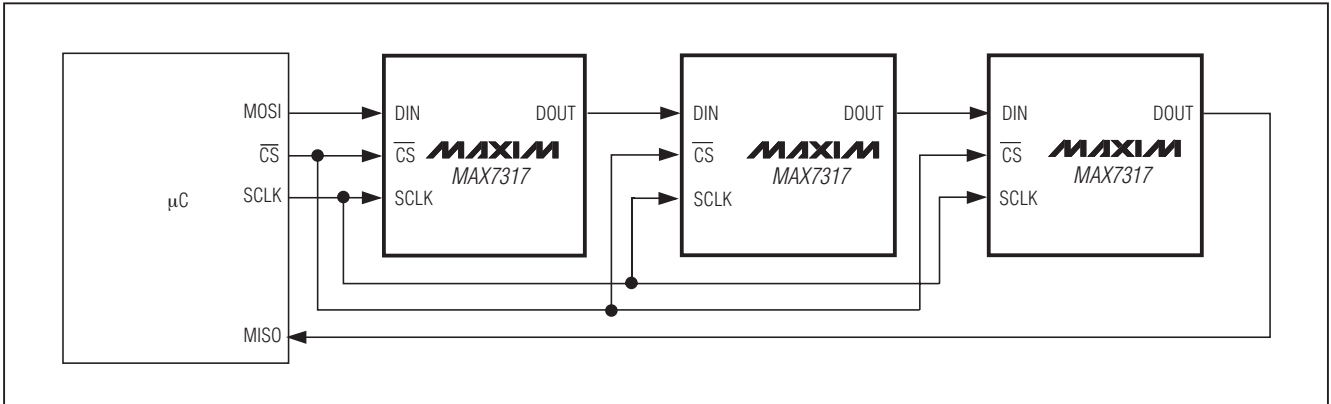


图 3. MAX7317 菊花链连接

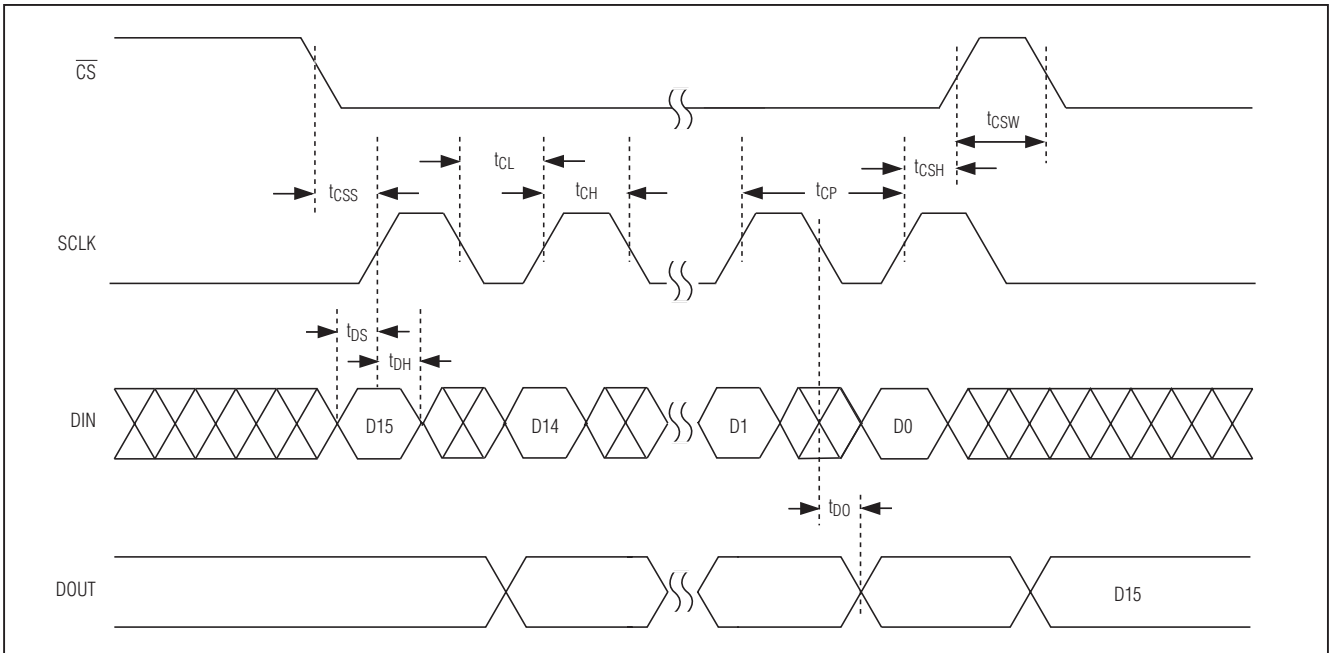


图 4. 时序图

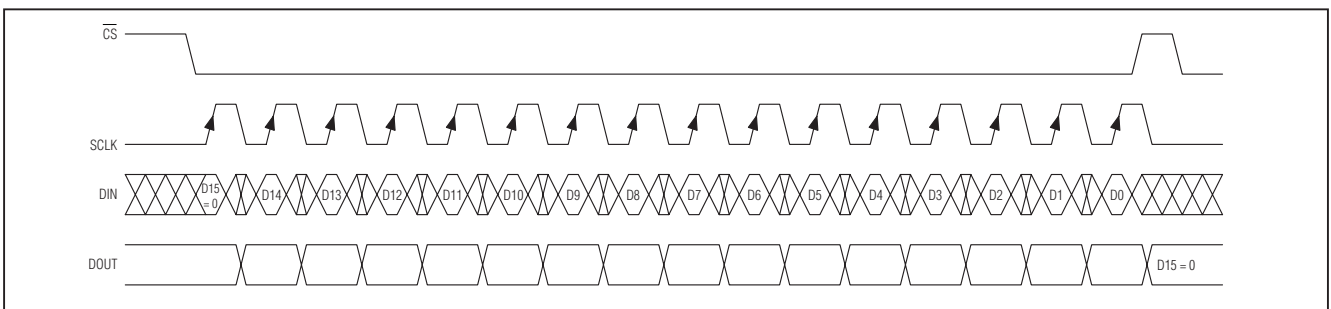


图 5. 16 位写操作发送至 MAX7317

10 端口、SPI 接口 I/O 扩展器， 具有过压和热插入保护

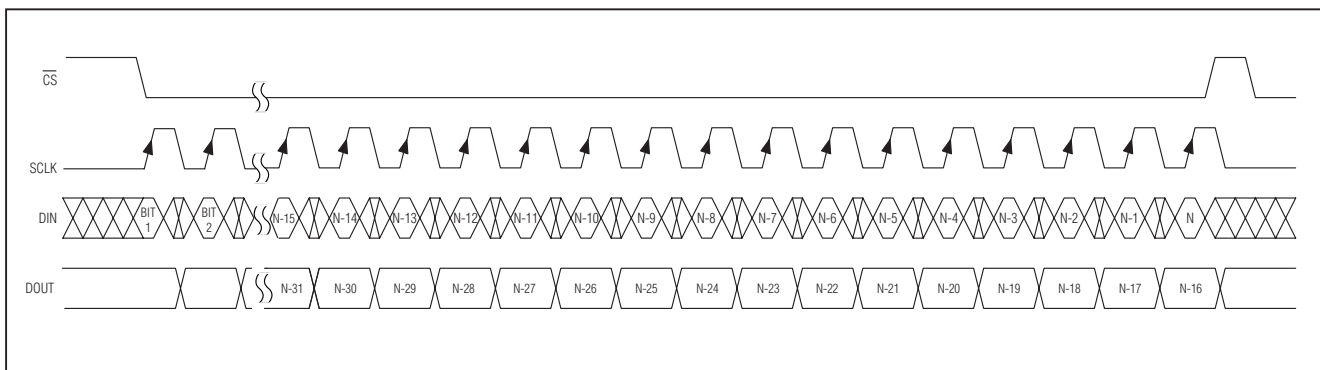


图 6. 向 MAX7317 发送超过 16 位数据

应用信息

热插入

当 MAX7317 断电 ($V_+ = 0V$) 时，I/O 端口 P0-P9 保持高阻态，最高能接受 8V 的电压。因此，MAX7317 可用于热插拔系统。

SPI 布线考虑

在 2.5V 电源下，MAX7317 的 SPI 接口能确保工作于 26Mbps，3.3V 供电时通常可工作于 35Mbps。这意味着，当接口连接超过 100mm 时，应该考虑传输线问题，尤其对于较高的电源电压更是如此。在没有 GND 引线隔离的情况下，应避免相邻的 SCLK、DIN 以及 $\overline{CS}$ 覆铜线的长距离走线；否则，信号会产生交叉耦合，从而导致错误的时钟或片选信号。振铃会引起间歇性的通讯问题，这通常是 SCLK 输入端振铃产生的双时钟造成的。在 DIN、SCLK 和 $\overline{CS}$ 输入端与 GND 或者 V_+ 之间接入 1k Ω 至 10k Ω 的终端电阻，以衰减较长的接口引线的振铃。板间互连时，采用传输线终端阻抗匹配。

输出电平转换

漏极开路输出结构允许将端口输出电平转换为比 MAX7317 电源更高或者更低的电平。外部上拉电阻可用于任何输出端口，将高阻抗的逻辑高电平转换为正电压电平。该电阻可以接至不高于 7V 的任意电压。当在恒定电流输出上使用上拉时，选择适当的电阻值以在逻辑低条件下吸收不超过几百 μA 的电流。这可以确保输出饱和且接近于 GND。连接 CMOS 输入时，220k Ω 的上拉电阻

值是一个合适的起始点。在功耗问题并不突出，或者对于给定的容性负载需要更快上升时间的应用中，使用较低的电阻可以改善噪声抑制。

电源考虑

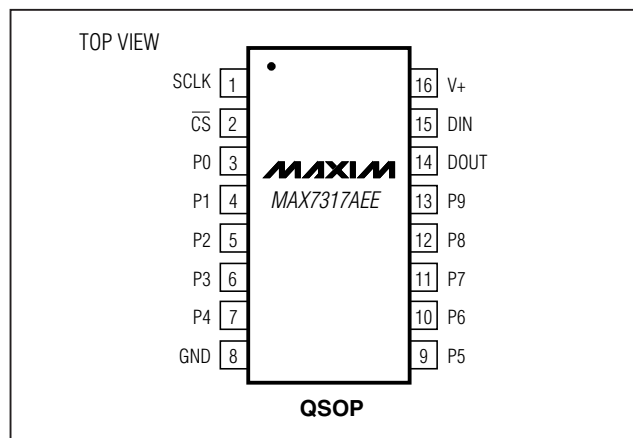
MAX7317 工作于 2.25V 至 3.6V 电源电压。用一个尽可能靠近器件的 0.047 μF 陶瓷电容将电源旁路至 GND。对于 QFN 封装，底部的裸露焊盘接至 GND。

芯片信息

TRANSISTOR COUNT: 14,865

PROCESS: BiCMOS

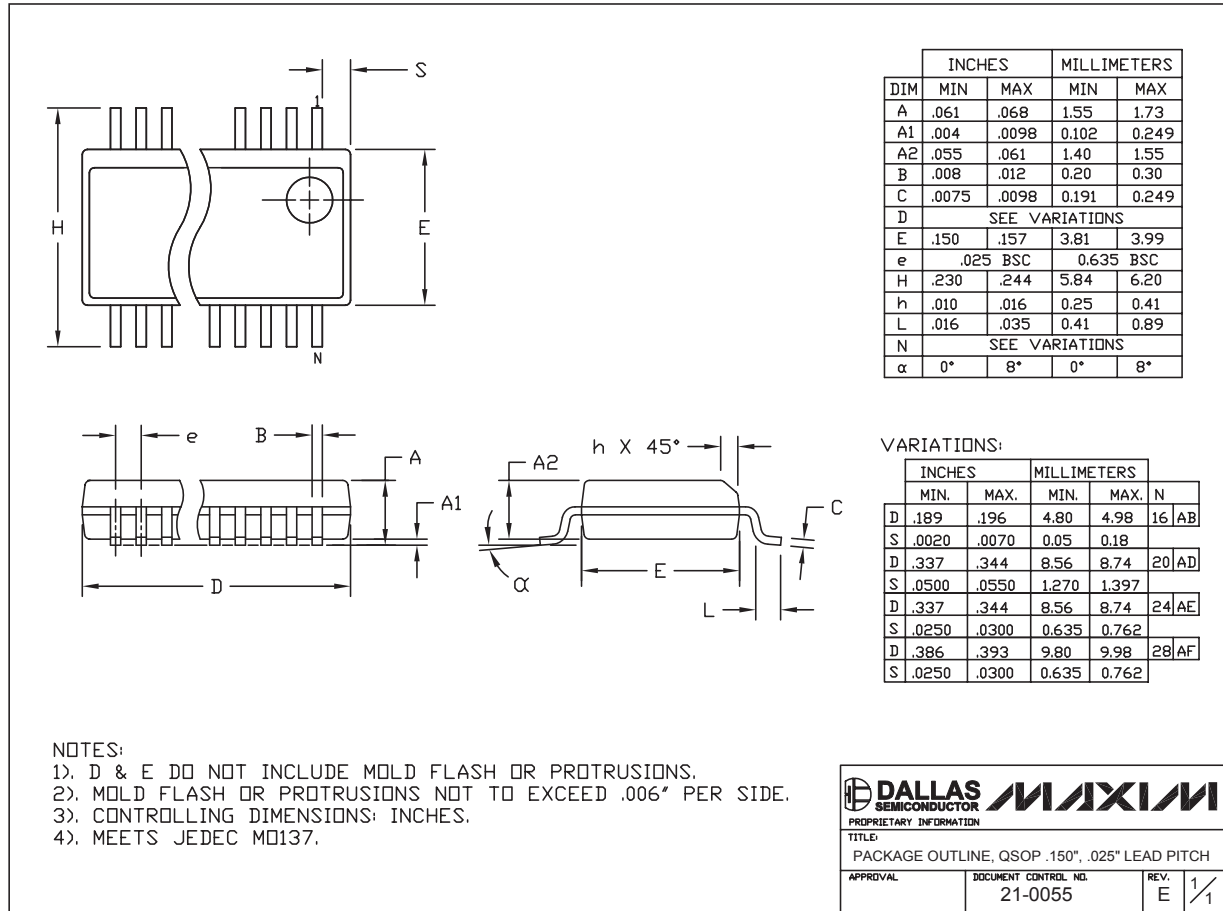
引脚配置(续)



10 端口、SPI 接口 I/O 扩展器， 具有过压和热插入保护

封装信息

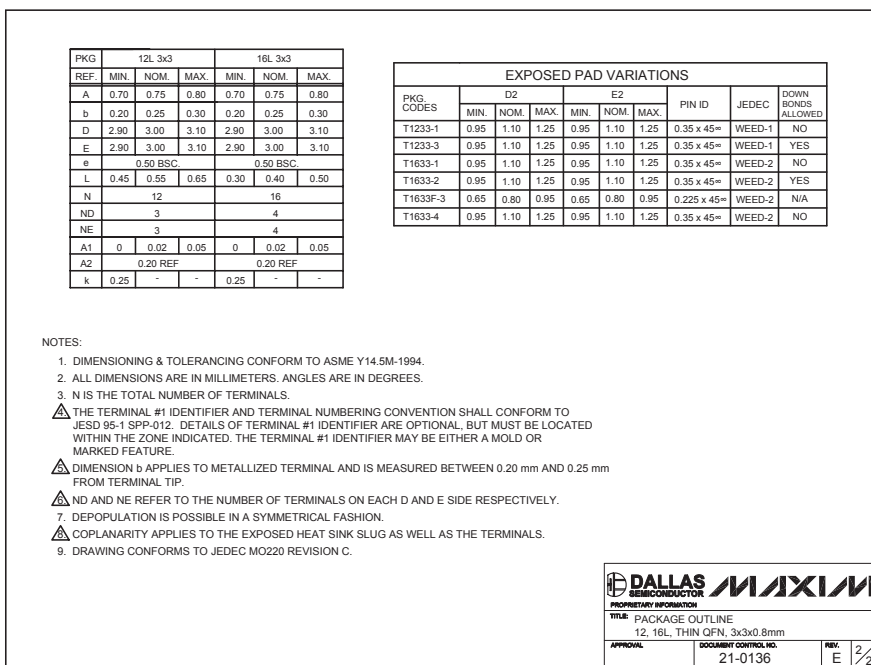
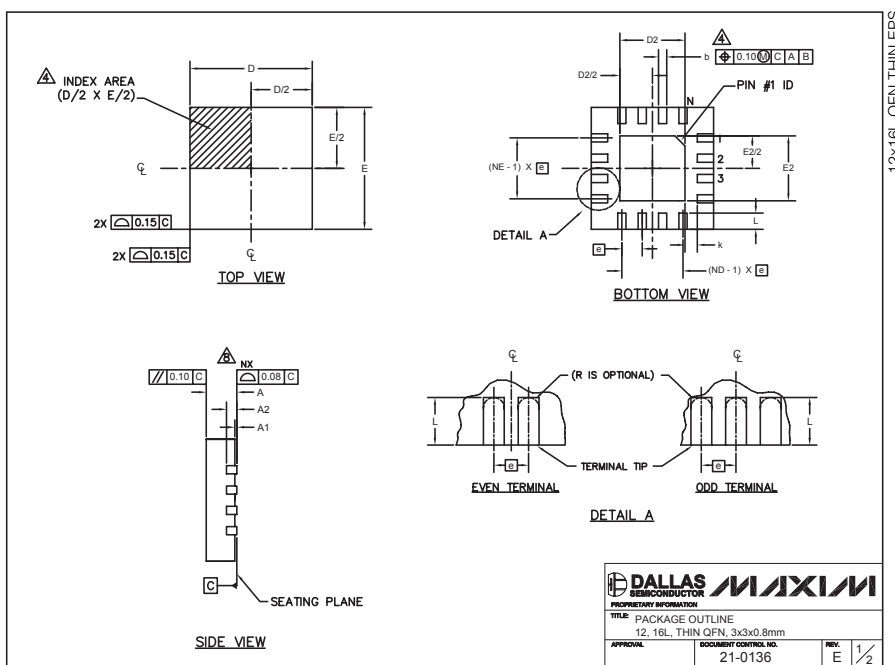
(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages。)



10 端口、SPI 接口 I/O 扩展器， 具有过压和热插入保护

封装信息 (续)

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-integrated.com.cn/packages。)



Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

12 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**