



多路输出网络时钟发生器

MAX9489

概述

MAX9489时钟发生器提供多路时钟输出，十分适用于网络路由器。MAX9489提供15路缓冲时钟输出，每一路都可以单独设置为10个频率中的任意一个：133MHz、125MHz、100MHz、83MHz、80MHz、66MHz、62.5MHz、50MHz、33MHz或25MHz。所有输出均为单端LVCMOS。MAX9489通过I²C™接口进行控制。

上电时，CLK1输出频率由三电平输入SEL设置为100MHz、125MHz或133MHz，其它所有输出均为逻辑低电平。随后，所有输出可通过I²C接口设为任一可用频率。此外，所有输出频率可通过I²C接口在5%或10%余量内上下调整。

MAX9489需要一个来自晶体或外部时钟信号的25MHz参考时钟。MAX9489为+3.0V至+3.6V电源供电，32引脚、薄型QFN封装，具有裸焊盘，有助于散热。

应用

网络路由器

电信/网络设备

存储局域网/网络附件

存储设备

特性

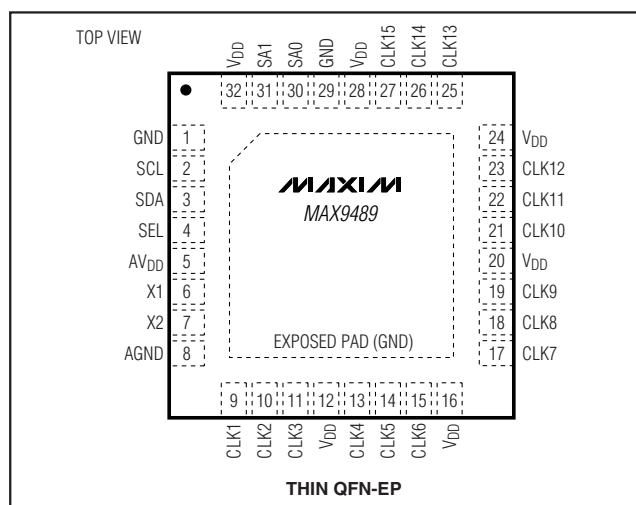
- ◆ 15路LVCMOS输出，10个可单独设置的频率：133MHz、125MHz、100MHz、83MHz、80MHz、66MHz、62.5MHz、50MHz、33MHz和25MHz
- ◆ 25MHz晶体或时钟输入参考
- ◆ 通过I²C接口控制
- ◆ ±5%或±10%输出频率调节余量
- ◆ 可通过引脚设置CLK1上电输出频率为：100MHz、125MHz、133MHz
- ◆ 低输出周期抖动：< 48ps_{RMS}
- ◆ 输出至输出斜移 < 200ps
- ◆ 32引脚、5mm x 5mm x 0.8mm、薄型QFN封装
- ◆ 工作在+3.0V至+3.6V电源下
- ◆ 功耗45mW (典型值)
- ◆ 扩展级温度范围：-40°C到+85°C

订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX9489ETJ	-40°C to +85°C	32 Thin QFN-EP* 5mm x 5mm x 0.8mm

*EP = 裸焊盘。

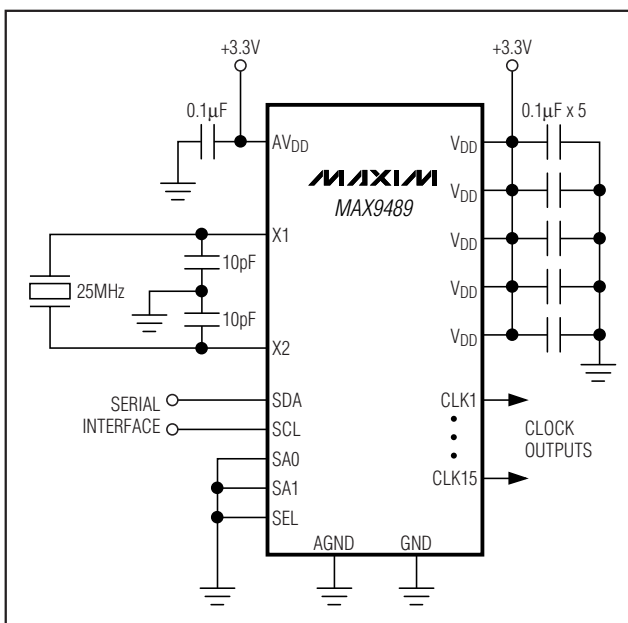
引脚配置



I²C是Philips Corp.的一个商标。

购买Maxim Integrated Products, Inc.或其从属授权关联公司的I²C产品，即得到了Philips I²C的专利许可，将这些产品用于符合Philips定义的I²C标准规范的系统。

典型工作电路



多路输出网络时钟发生器

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND-0.3V to +4.0V
 AGND to GND-0.3V to +0.3V
 All Other Pins to GND-0.3V to (V_{DD} + 0.3V)
 Short-Circuit Duration for all CLK_ OutputsContinuous
 Continuous Power Dissipation (T_A = +70°C)
 32-Pin Thin QFN (derate 21.3mW/°C above +70°C)1702mW

Storage Temperature Range-65°C to +150°C
 Maximum Junction Temperature+150°C
 Operating Temperature Range-40°C to +85°C
 ESD Rating (Human Body Model)±2kV
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{DD} = AV_{DD} = +3.0V to +3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{DD} = AV_{DD} = +3.3V, T_A = +25°C.)
 (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLOCK INPUT (X1)						
Input High Level	V _{IH1}		2.0			V
Input Low Level	V _{IL1}				0.8	V
Input Current	I _{IL1} , I _{IH1}	V _{X_} = 0 to V _{DD}	-5		+5	μA
CLOCK OUTPUTS (CLK_)						
Output High Level	V _{OH}	I _{OH} = -100μA	V _{DD} - 0.2		V	
		I _{OH} = -4mA	2.4			
		I _{OH} = -8mA	2.1			
Output Low Level	V _{OL}	I _{OL} = 100μA	0.2		V	
		I _{OL} = 4mA	0.4			
		I _{OL} = 8mA	0.75			
Output Short-Circuit Current	I _{OS}	CLK_ = V _{DD} or GND	45		mA	
Output Capacitance	C _O	(Note 2)	5		pF	
TRI-LEVEL INPUTS (SEL, SA0, SA1)						
Input High Level	V _{IH2}		2.5			V
Input Low Level	V _{IL2}				0.8	V
Input Open Level	V _{IO2}		1.35		1.90	V
Input Current	I _{IL2} , I _{IH2}	V _{IL2} = 0 or V _{IH2} = V _{DD}	-10		+10	μA
SERIAL INTERFACE (SCL, SDA) (Note 3)						
Input High Level	V _{IH}		0.7 x V _{DD}		V _{DD}	V
Input Low Level	V _{IL}		0		0.3 x V _{DD}	V
Input leakage Current	I _{IH} , I _{IL}		-1		+1	μA
Low-Level Output	V _{OL}	I _{SINK} = 4mA	0		0.4	V
Input Capacitance	C _i	(Note 2)	10			pF

多路输出网络时钟发生器

MAX9489

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = AV_{DD} = +3.0V$ to $+3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = AV_{DD} = +3.3V$, $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
Digital Power-Supply Voltage	V_{DD}		3.0		3.6	V
Analog Power-Supply Voltage	AV_{DD}		3.0		3.6	V
Total Supply Current		$C_L = 10pF$ (with all CLK_ outputs at 133MHz)		134	160	mA
Total Power-Down Current	I_{PD}	All clock registers = 0x00		38	47	mA

AC ELECTRICAL CHARACTERISTICS

($V_{DD} = AV_{DD} = +3.0V$ to $+3.6V$, $C_L = 10pF$, unless otherwise noted. Typical values are at $V_{DD} = AV_{DD} = +3.3V$, $T_A = +25^{\circ}C$, with all CLK_ outputs at 133MHz.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
OUTPUTS (CLK_)						
Crystal Frequency Tolerance	Δf_A		-50		+50	ppm
Output-to-Output Skew	t_{SKO}	Any two CLK_ outputs			200	ps
Rise Time	t_{R1}	20% V_{DD} to 80% V_{DD}		1.8	2.5	ns
Fall Time	t_{F1}	80% V_{DD} to 20% V_{DD}		1.8	2.5	ns
Duty Cycle			40		60	%
Output Period Jitter	J_P	RMS		53		ps
Power-Up Time	t_{PO}	$V_{DD} > 2.8V$ to PLL lock		2		ms
PLL Lockup Time	t_{Lock}	PLL dividing ratio set to PLL lock		20		μs
Margin Accuracy		Select $\pm 5\%$ or $\pm 10\%$ margin	-1		+1	%

多路输出网络时钟发生器

SERIAL INTERFACE TIMING

($V_{DD} = AV_{DD} = +3.3V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$.) (Note 1, Figure 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock	f_{SCL}				400	kHz
Bus Free Time Between STOP and START Conditions	t_{BUF}		1.3			μs
Hold Time, Repeated START Condition	$t_{HD,STA}$		0.6			μs
Repeated START Condition Setup Time	$t_{SU,STA}$		0.6			μs
STOP Condition Setup Time	$t_{SU,STO}$		0.6			μs
Data Hold Time Master	$t_{HD,DAT}$	(Note 4)	15		900	ns
Data Hold Time Slave	$t_{HD,DAT}$	(Note 4)	15		900	ns
Data Setup Time	$t_{SU,DAT}$		100			ns
SCL Clock Low Period	t_{LOW}		1.3			μs
SCL Clock High Period	t_{HIGH}		0.7			μs
Rise Time of SDA and SCL, Receiving	t_R	(Notes 2, 5)	20 + $0.1C_b$		300	ns
Fall Time of SDA and SCL, Receiving	t_F	(Notes 2, 5)	20 + $0.1C_b$		300	ns
Fall Time of SDA, Transmitting	$t_{F,TX}$	(Notes 2, 5)	20 + $0.1C_b$		250	ns
Pulse Width of Spike Suppressed	t_{SP}	(Notes 2, 6)	0		50	ns
Capacitive Load for Each Bus Line	C_b	(Note 2)			400	pF

Note 1: All DC parameters tested at $T_A = +25^{\circ}C$. Specifications over temperature are guaranteed by design.

Note 2: Guaranteed by design.

Note 3: No high output level is specified but only the output resistance to the bus. For I²C, the high-level voltage is provided by pullup resistors on the bus.

Note 4: A master device must provide a hold time of at least 300ns for the SDA signal (referred to V_{IL} of the SCL signal) to bridge the undefined region of SCL's falling edge.

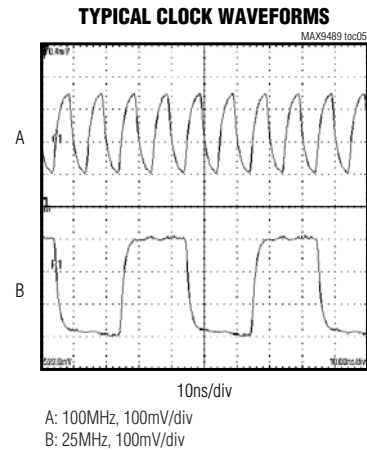
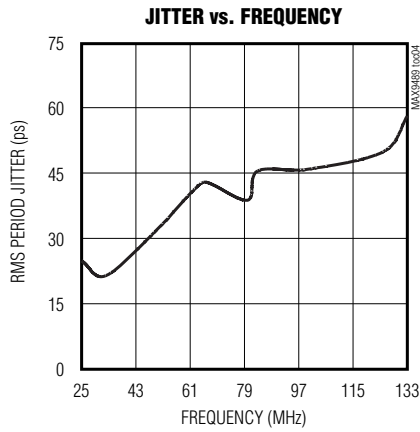
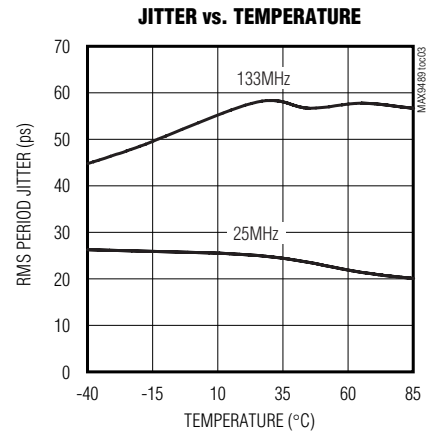
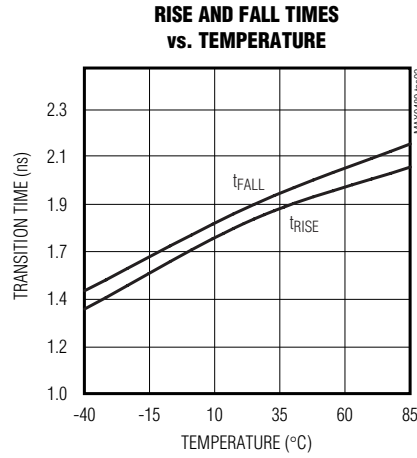
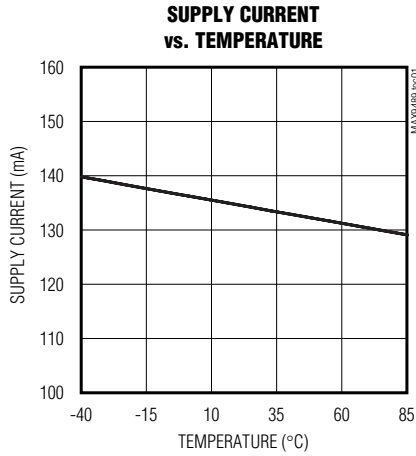
Note 5: C_b = total capacitance of one bus line in pF. t_R and t_F measured between $0.3(V_{DD})$ and $0.7(V_{DD})$.

Note 6: Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

多路输出网络时钟发生器

典型工作特性

($V_{DD} = 3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



多路输出网络时钟发生器

引脚说明

引脚	名称	功能
1, 29	GND	数字地
2	SCL	串行时钟输入。串行接口的时钟。
3	SDA	串行数据 I/O。串行接口的数据 I/O。
4	SEL	CLK1 频率选择。选择上电时 CLK1 的频率。SEL 为三电平输入。SEL 置高，则 CLK1 = 100MHz，SEL 开路，则 CLK1 = 125MHz，SEL 置低，则 CLK1 = 133MHz。
5	AVDD	模拟电源输入
6	X1	晶体或时钟输入。如果使用 25MHz 晶体，将其连接在 X1 和 X2 之间。如果使用参考时钟，将时钟信号连至 X1，X2 悬空。参见典型工作电路。
7	X2	
8	AGND	模拟地
9	CLK1	时钟 1 输出
10	CLK2	时钟 2 输出
11	CLK3	时钟 3 输出
12, 16, 20, 24, 28, 32	VDD	数字电路电源输入
13	CLK4	时钟 4 输出
14	CLK5	时钟 5 输出
15	CLK6	时钟 6 输出
17	CLK7	时钟 7 输出
18	CLK8	时钟 8 输出
19	CLK9	时钟 9 输出
21	CLK10	时钟 10 输出
22	CLK11	时钟 11 输出
23	CLK12	时钟 12 输出
25	CLK13	时钟 13 输出
26	CLK14	时钟 14 输出
27	CLK15	时钟 15 输出
30	SA0	串行接口地址选择输入。如表 1 所示，SA0 和 SA1 选择串行接口地址。SA0 和 SA1 为三电平输入，提供 9 种可能的地址组合。
31	SA1	
EP	—	裸焊盘。连至 GND。

多路输出网络时钟发生器

详细说明

MAX9489 时钟发生器产生 15 路时钟信号，CLK1 至 CLK15。每路输出可通过控制寄存器单独设置为 10 个频率中的任意一个：133MHz、125MHz、100MHz、83MHz、80MHz、66MHz、62.5MHz、50MHz、33MHz 或 25MHz。此外，所有的输出频率可由频率余量控制寄存器在 $\pm 5\%$ 或 $\pm 10\%$ 范围内进行调整。上电时，CLK1 输出频率通过引脚设置为 100MHz、125MHz 或 133MHz，其它所有 CLK 输出均为逻辑低电平。所需的 25MHz 输入参考频率来自晶体或外部时钟。图 1 为 MAX9489 的原理图。

MAX9489 通过 I²C 串行接口进行编程。I²C 地址由两个三电平输入选择，允许多达 9 个 MAX9489 器件共享同一个 I²C 总线。电源和逻辑接口信号为 +3.0V 至 +3.6V。通过写控制寄存器设置 MAX9489 的工作状态，通过读控制寄存器获取工作状态。

参考频率输入

MAX9489 需要一个参考频率。可来自 25MHz 晶体或外部时钟信号。如果采用 25MHz 晶体，将其连接在 X1 和 X2 之间，并在 X1、X2 和 GND 之间分别接 10pF 电容（参见典型工作电路）。如果使用外部时钟，将其连至 X1，而 X2 悬空。

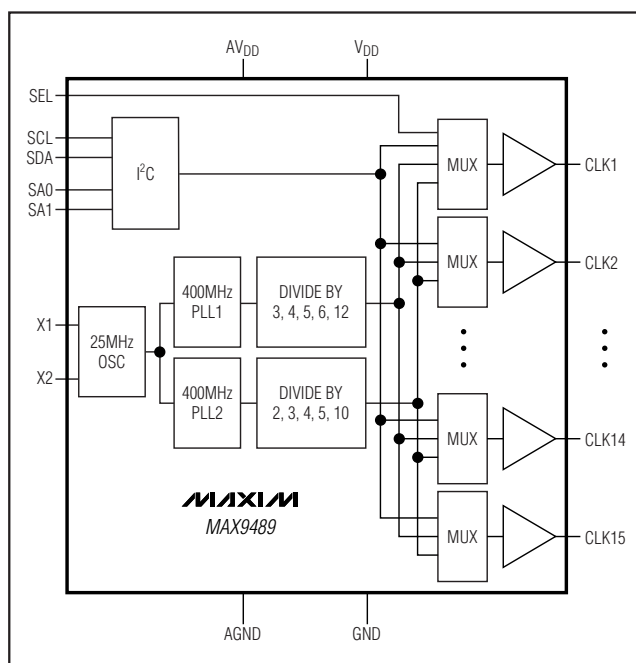


图 1. MAX9489 的原理图。

串行接口

MAX9489 通过其 I²C 串行接口进行编程。该接口具有时钟：SCL，和双向数据线：SDA。在 I²C 系统中，主机（一般为微控制器）初始化所有与从机之间的双向传输数据，并产生数据传输的同步时钟。

MAX9489 用作从机。图 2—串行接口时序图，详细描述了 SDA 和 SCL 信号时序。SDA 同时作为输入和漏极开路输出。SDA 需要一个典型值为 4.7k Ω 的上拉电阻。SCL 仅作为输入。如果两线总线上有多个主机，或者单主机系统中的主机 SCL 为漏级开路输出，则 SCL 需要一个典型值为 4.7k Ω 的上拉电阻。

位传输

每一个 SCL 时钟周期传输一个数据位。由于 SCL 为高电平时改变 SDA 电平为一个 START 或 STOP 控制信号，因此 SDA 在 SCL 为高电平期间必须保持稳定。SDA 和 SCL 空闲时均置为高电平。

START 和 STOP 条件

主机通过在 SCL 为高电平时将 SDA 由高置低产生一个 START 信号，表示一次数据传输开始（图 2）。通信完成后，主机通过在 SCL 为高电平时将 SDA 由低置高产生一个 STOP 信号。然后总线被释放，等待下一次传输。

应答位

每传输 8 位，接收方在第 9 个时钟脉冲时间内将 SDA 拉低产生一个应答信号。如果接收器件没有将 SDA 拉低，则没有应答（见图 3）。

器件地址

通过两个三电平地址输入引脚 SA1 和 SA0 对 MAX9489 的 7 位器件地址进行配置。如表 1 所示，连接 SA1 和 SA0 至 V_{DD}、GND 或开路实现对器件地址的选择。MAX9489 具有 9 个可用地址，即最多 9 个 MAX9489 可共用同一接口总线。

多路输出网络时钟发生器

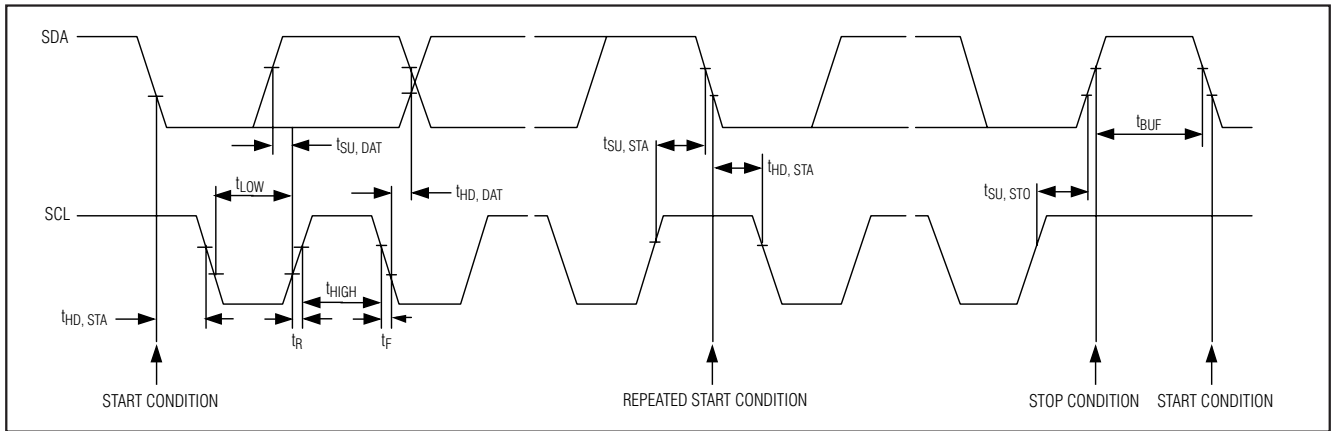


图 2. 串行接口时序图

表 1. 器件 I²C 地址选择

PIN		DEVICE ADDRESS
SA1	SA0	
Open	V _{DD}	110 0010
Open	GND	110 0100
Open	Open	110 1000
GND	V _{DD}	111 0000
GND	GND	110 1001
GND	Open	110 1100
V _{DD}	V _{DD}	111 0100
V _{DD}	GND	111 0010
V _{DD}	Open	111 0001

写入 MAX9489

对 MAX9489 的写入以 START 信号开始(图 3 和图 4)。START 信号后，每个 SCL 脉冲传输 1 位。前 7 位为器件地址(参见器件地址一节)。第 8 位被置低表示进行写操作。MAX9489 产生一个应答位，表示地址已被识别。后面 8 位为寄存器地址字节(表 2)，用来指定接收数据字节的控制寄存器。MAX9489 产生另一个应答位，之后数据字节被写入 MAX9489 指定的寄存器。MAX9489 的应答位和其后由主机产生的 STOP 信号用来结束一次通信。对器件再次写入时，重复整个写入过程即可；MAX9489 不支持 I²C 总线的突发模式写入。

读取 MAX9489 设置

对 MAX9489 寄存器的读取以 START 信号和器件地址开始，其后为置低的读/写位，然后是要读的寄存器地址，重复的 START 信号、器件地址、置高的读/写位，最后数据被移出(图 4)。START 信号之后的前 7 位为器件地址。第 8 位置低表示进行写操作(在随后的寄存器地址写入)。MAX9489 产生一个应答信号，表示地址已识别。后面 8 位为寄存器地址，指定要读出数据的位置，其后为 MAX9489 产生的另一个应答信号。然后主机产生一个重复的 START 信号，并再次发送器件地址，此次 R/W 位置高表示进行读操作(图 4)。MAX9489 产生一个应答位，表示地址已被识别。然后数据字节从 MAX9489 中被同步读出。最后，一个由主机产生的非应答位(不是必需)和同样由主机产生的 STOP 信号结束此次通信。再次读取器件时，重复整个读取过程即可。MAX9489 不支持 I²C 总线的突发模式读取。

器件控制寄存器

MAX9489 有 17 个控制寄存器。寄存器地址和功能如表 2 所示。前 16 个寄存器用来设置 15 路输出，其中寄存器 0x00 同时控制所有输出，其余寄存器控制相应输出。寄存器 0x10 为频率余量控制。其它所有地址保留，不能被使用。

多路输出网络时钟发生器

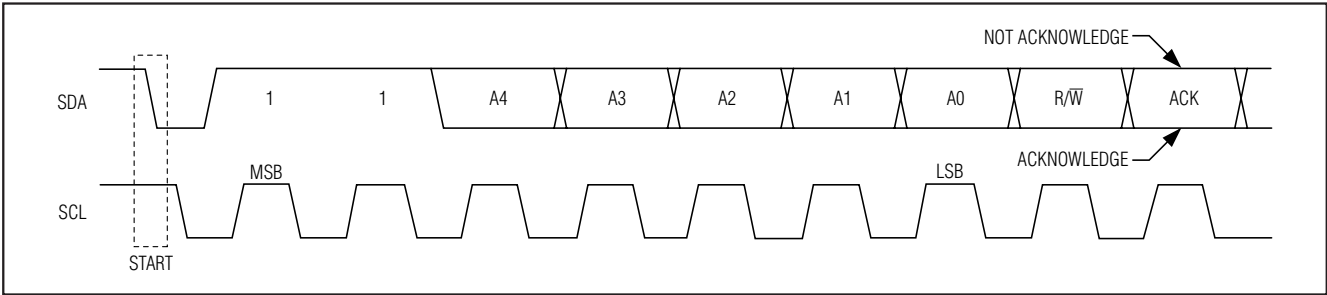


图 3. I²C 地址和应答

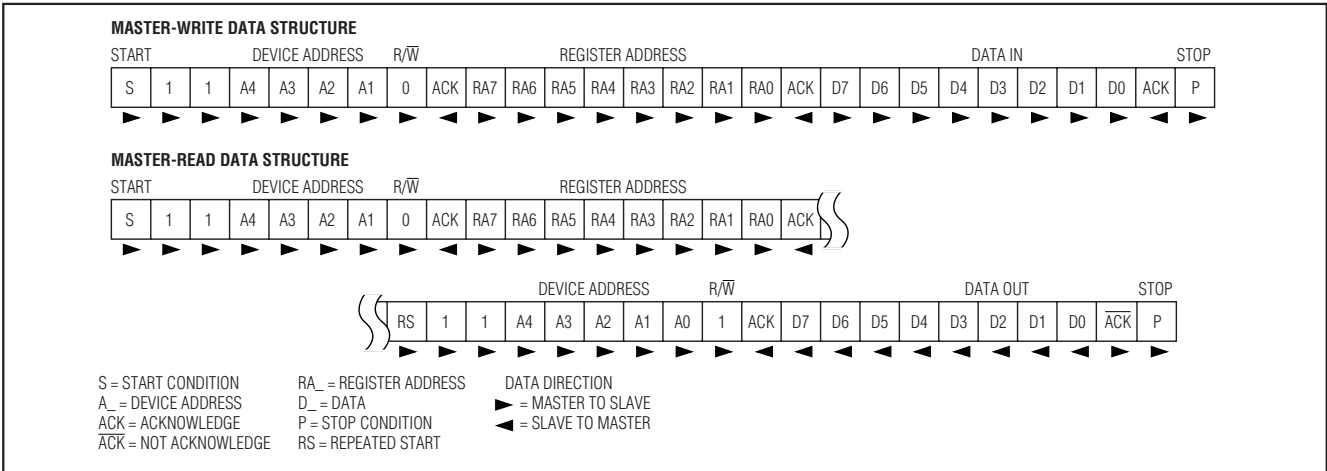


图 4. I²C 接口数据结构

设置时钟频率

每个 CLK_n 输出都对应一个控制寄存器，该寄存器内容决定输出频率。表 3 是寄存器频率映射。

例如：要设置 CLK₃ 为 80MHz，首先选中器件，R/W 置低，然后发送寄存器地址字节 0x03 和数据字节 0x05(图 5)。

频率余量控制

控制寄存器 0x10 对频率余量进行控制。表 4 是可用余量映射。所选余量可用于所有输出。

例如：要将所有时钟输出增加 5%，先将器件选中，然后发送寄存器地址字节 0x10，其后是数据字节 0x01。

电源

MAX9489 采用接 V_{DD} 的 3.0V 至 3.6V 电源和接 AV_{DD} 的 3.0V 至 3.6V 电源进行供电。器件每个 V_{DD} 都使用 0.1μF

电容旁路，同样 AV_{DD} 也用 0.1μF 电容旁路。另外，在电源接入电路板的地方用一个 10μF 大电容旁路。

电路板布线

对所有高频器件而言，电路板布线对正常工作都非常重要。晶体放置离 X1 和 X2 应尽可能近，尽量降低晶体引线寄生电容。保证裸焊盘同 GND 之间接触良好。

芯片信息

TRANSISTOR COUNT: 15,219
PROCESS: CMOS

多路输出网络时钟发生器

表 2. 寄存器地址映射

REGISTER ADDRESS BYTE	REGISTER FUNCTION
0x00	Broadcast to all CLK registers
0x01	CLK1
0x02	CLK2
0x03	CLK3
0x04	CLK4
0x05	CLK5
0x06	CLK6
0x07	CLK7
0x08	CLK8
0x09	CLK9
0x0A	CLK10
0x0B	CLK11
0x0C	CLK12
0x0D	CLK13
0x0E	CLK14
0x0F	CLK15
0x10	Frequency margin control
0x11 – 0xFF	Reserved, do not use

表 3. 输出频率控制

CLK_REGISTER DATA BYTE	OUTPUT FREQUENCY (MHz)
0x00	Logic low*
0x01	133.3
0x02	125
0x03	100
0x04	83.3
0x05	80
0x06	66.6
0x07	62.5
0x08	50
0x09	33
0x0A	25

*CLK2 至 CLK15 的上电默认值。

表 4. 输出频率余量控制

MARGIN REGISTER DATA BYTE	OUTPUT FREQUENCY (MHz)
0x00	0%
0x01	5%
0x02	10%
0x07	-5%
0x06	-10%

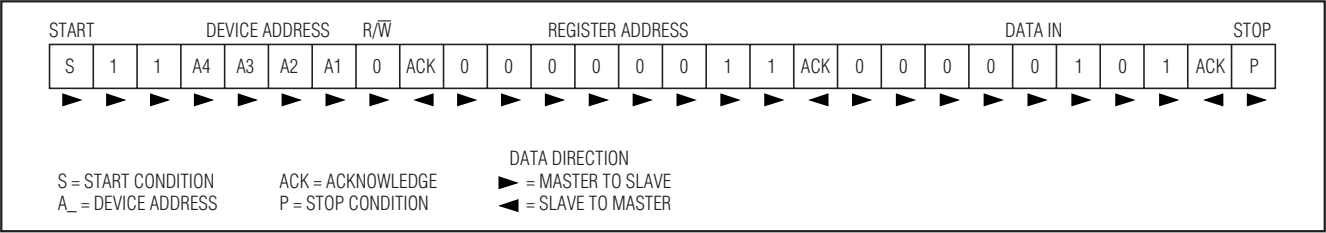
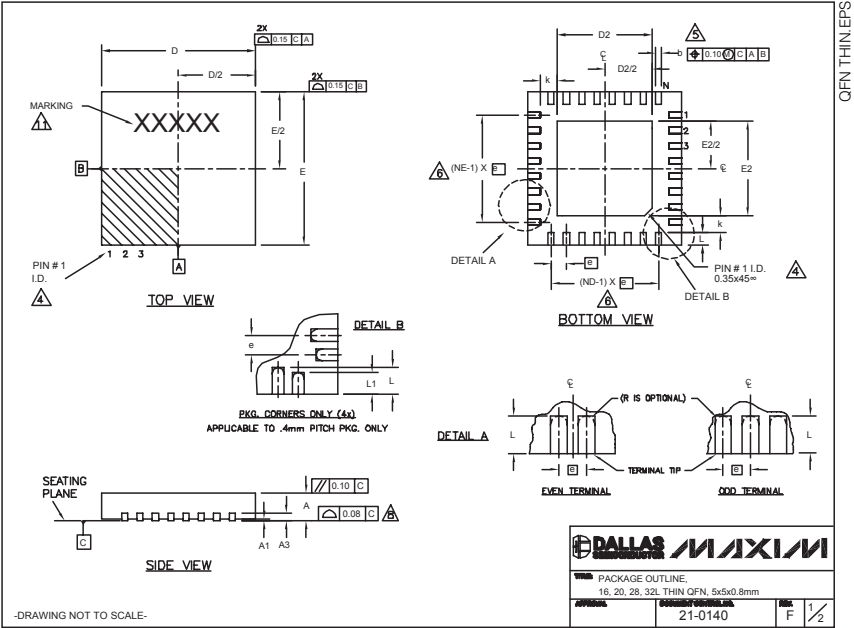


图 5. 实例——设置 CLK3 为 80MHz

多路输出网络时钟发生器

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages。)



COMMON DIMENSIONS												
PKG.	16L 5x5				20L 5x5				28L 5x5			
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A3	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30
D	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
E	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.30	0.40	0.50	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50
L1	-	-	-	-	-	-	-	-	-	-	-	-
N	16			20			28			32		
ND	4			5			7			8		
NE	4			5			7			8		
JEDEC	WHHB			WHHC			WHHD-1			WHHD-2		

EXPOSED PAD VARIATIONS												
PKG. CODES	D2			E2			L	DOWN BONDS ALLOWED				
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	±0.15					
T1655-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T1655-2	3.00	3.10	3.20	3.00	3.10	3.20	**	YES				
T1655N-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T2055-2	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T2055-3	3.00	3.10	3.20	3.00	3.10	3.20	**	YES				
T2055-4	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T2055-5	3.15	3.25	3.35	3.15	3.25	3.35	0.40	Y				
T2855-1	3.15	3.25	3.35	3.15	3.25	3.35	**	NO				
T2855-2	2.60	2.70	2.80	2.60	2.70	2.80	**	NO				
T2855-3	3.15	3.25	3.35	3.15	3.25	3.35	**	YES				
T2855-4	2.60	2.70	2.80	2.60	2.70	2.80	**	YES				
T2855-5	2.60	2.70	2.80	2.60	2.70	2.80	**	NO				
T2855-6	3.15	3.25	3.35	3.15	3.25	3.35	**	NO				
T2855-7	2.60	2.70	2.80	2.60	2.70	2.80	**	YES				
T2855-8	3.15	3.25	3.35	3.15	3.25	3.35	0.40	Y				
T2855N-1	3.15	3.25	3.35	3.15	3.25	3.35	**	N				
T3255-2	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T3255-3	3.00	3.10	3.20	3.00	3.10	3.20	**	YES				
T3255-4	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T3255N-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.

THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.

DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.

ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.

DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.

COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

DRAWING CONFORMS TO JEDEC MO220, EXCEPT EXPOSED PAD DIMENSION FOR T2855-1, T2855-3 AND T2855-6.

WARPAGE SHALL NOT EXCEED 0.10 mm.

MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.

NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600 11