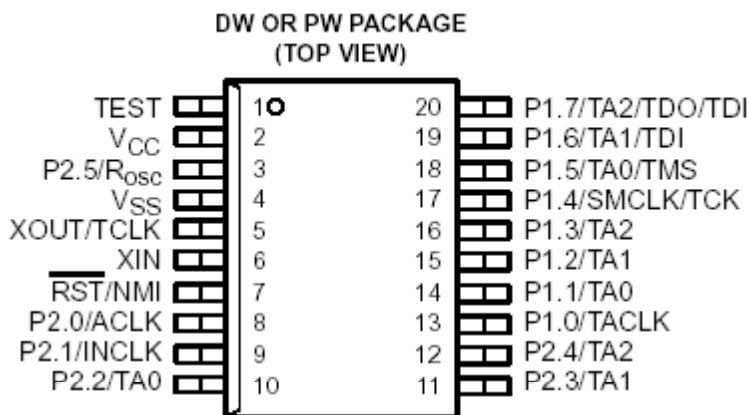




MSP430F11x 混合信号微控制器

- 低电源电压范围 1.8-3.6V
- 超低功耗，低工作电流，1.6uA@4KHz，200uA@1MHz，2.2V
- 5 种节电方式 (待机方式: 0.8uA，保持 RAM 的关闭方式: 0.1uA)
- 6us 内从待机方式唤醒
- 16 位 RISC 体系，125nS 指令周期
- 基本始终模块配置:
 - 多个内部电阻
 - 一个外部电阻
 - 32KHz 晶体
 - 高频晶体
 - 陶瓷滤波器
 - 外部时钟源
- 有三个捕获/比较寄存器的 16 位定时器
- 利用外部元件的斜率 A/D 转换器
- 串行在板编程
- 系列成员包括:
 - MSP430F110: 1KB+128B 闪速存储器 128B RAM
 - MSP430F112: 4KB+256B 闪速存储器 256B RAM
- 可用封装: 20 脚塑料小型宽体(SOWB)封装和 20 脚塑料超薄紧缩小型(TSSOP)封装



描述

德州仪器的 MSP430 系列是一种超低功耗微控制器系列，由针对各种应用，表现不同的模块组合特性的若干器件组成。微控制器设计成为电池工作有一个长期的应用寿命。具有 16 位的 RISC 结构，CPU 上集成的 16 个寄存器，以及常数发生器，使 MSP430 达到最大代码效率。数字控制振荡器提供从任何低功耗模式到激活模式小于 6uS 的快速唤醒时间。

典型应用包括传感器系统，捕获模拟信号，将模拟信号转换成数字值，然后处理并显示数据或者把它们传给主系统。独立的 RF 传感器前端是另一个领域的应用。I/O 口输入端提供在电阻传感器上进行单斜率 A/D 转换的能力。MSP430x11x 系列是一种具有内建 16 位定时器和 14 个 I/O 引脚的超低功耗混合信号微控制器。



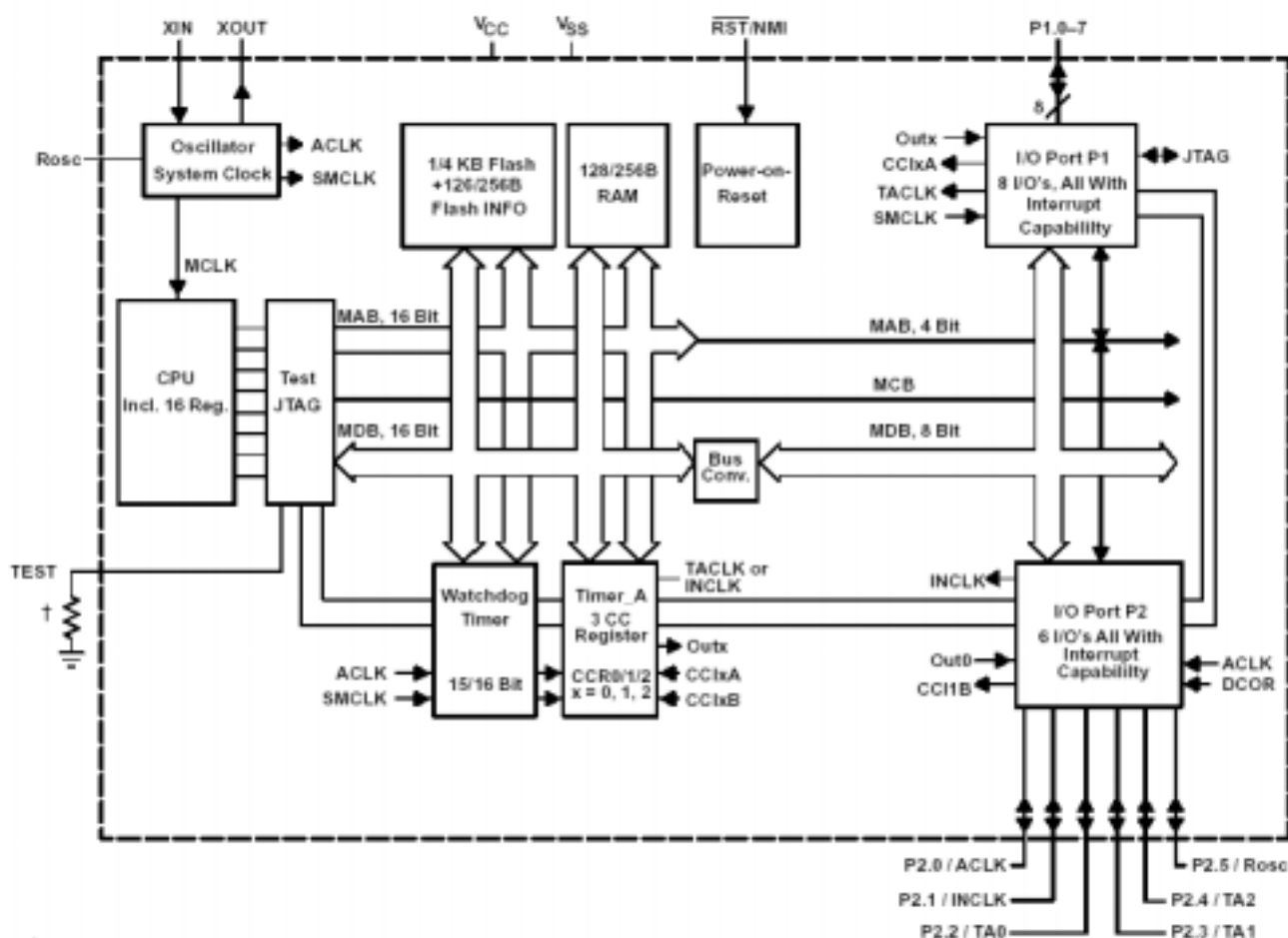
MSP430x11x1 系列增加一个通用模拟比较器。

在无须较大地增加器件电流消耗的情况下，闪速存储器提供在系统可编程和数据存储的额外灵活性。编程电压由片内产生，因此减少了外部电源的需要，甚至允许电池工作系统的重复编程。

可用选项

T _A	已封装器件	
	塑料 20 脚 SOWB (DW)	塑料 20 脚 TSSOP (PW)
-40°C~+85°C	MSP430F110IDW MSP430F112IDW	MSP430F110IPW MSP430F112IPW

功能框图



*F11x 器件需要一个 30kΩ 的下拉电阻



端子功能

端子		I/O	说 明
端子名称	编号		
P1.0/TACLK	13	I/O	通用数字 I/O 引脚 / Timer_A, TACLK 时钟信号输入
P1.1/TA0	14	I/O	通用数字 I/O 引脚 / Timer_A, 捕获: CCI0A 输入, 比较: OUT0 输出
P1.2/TA1	15	I/O	通用数字 I/O 引脚 / Timer_A, 捕获: CCI1A 输入, 比较: OUT1 输出
P1.3/TA2	16	I/O	通用数字 I/O 引脚 / Timer_A, 捕获: CCI2A 输入, 比较: OUT2 输出
P1.4/SMCLK/TCK	17	I/O	通用数字 I/O 引脚 / SMCLK 信号输出 / 测试时钟, 器件编程和测试的输入端子
P1.5/TA0/TMS	18	I/O	通用数字 I/O 引脚 / Timer_A, 比较: OUT0 输出 / 测试模式选择, 器件编程和测试的输入端子
P1.6/TA1/TDI	19	I/O	通用数字 I/O 引脚 / Timer_A, 比较: OUT1 输出 / 测试数据输入端子
P1.7/TA2/TDO/TDI ⁺	20	I/O	通用数字 I/O 引脚 / Timer_A, 比较: OUT2 输出 / 测试数据输出端子或编程期间数据输入
P2.0/ACLK	8	I/O	通用数字 I/O 引脚 / ACLK 输出
P2.1/INCLK	9	I/O	通用数字 I/O 引脚 / Timer_A, INCLK 时钟信号
P2.2/TA0	10	I/O	通用数字 I/O 引脚 / Timer_A, 捕获: CCI0B 输入, 比较: OUT0 输出
P2.3/TA1	11	I/O	通用数字 I/O 引脚 / Timer_A, 捕获: CCI1B 输入, 比较: OUT1 输出
P2.4/TA2	12	I/O	通用数字 I/O 引脚 / Timer_A, 比较: OUT2 输出
P2.5/Rosc	3	I/O	通用数字 I/O 引脚 / 定义 DCO 标称频率的外部电阻输入
RST /NMI	7	I	复位或不可屏蔽中断输入
TEST	1	I	用于端口 1 上 JTAG 引脚测试模式的选择, 必须用小于 30KΩ 的电阻拉低
VCC	2		电源
VSS	4		地参考
XIN	6	I	晶体振荡器输入端子
XOUT/TCLK	5	I/O	晶体振荡器输出端子或测试时钟输入

⁺由 JTAG 指令选择 TDO 或 TDI

简要说明

处理单元

处理单元基于一种一致的、正交设计的 CPU 和指令集。这种设计结构导致一种对应用开发高度透明, 并以编程简单著称的类 RISC 的体系结构。除了程序流指令以外的所有操作, 都是自然地作为寄存器操作, 结合 7 种源寻址方式和 4 种目的操作数寻址方式来执行的。

CPU

所有的 16 个寄存器都位于 CPU 内部以减少指令的执行时间。寄存器到寄存器的操作执行时间减少为一个处理器周期。

4 个寄存器保留, 专门用作程序计数器, 堆栈指针, 状态寄存器和常数发生器。剩余的 12 个寄存器用作通用寄存器。

利用数据、地址和控制总线, 外设连接到 CPU, 并且能容易用各种存储器处理指令来操纵。



程序计数器	PC/R0
堆栈指针	SP/R1
状态寄存器	SR/CG1/R2
常数发生器	CG2/R3
通用寄存器	R4
通用寄存器	R5
•	
•	
通用寄存器	R14
通用寄存器	R15

指令集

指令集为这种寄存器-寄存器结构提供了一种强大和易用的汇编语言。该指令集由三种格式、七种寻址方式的 51 条指令组成。表 1 给出了三类指令格式的总结和例子，寻址方式在表 2 中列出。

表 1 指令字格式

双操作数，源-目的，	例如 ADD R4, R5	$R4+R5 \rightarrow R5$
单操作数，仅目的，	例如 CALL R8	$PC \rightarrow (TOS), R8 \rightarrow PC$
相对跳转，无 / 有条件，	例如 JNE	不相等，跳转

大多数指令能够对字和字节数据操作，字节操作通过后缀 B 标识。

例子：

字操作指令

字节操作指令

MOV EDE, TONI

MOV.B EDE, TONI

ADD #235h, &MEM

ADD.B #35h, &MEM

PUSH R5

PUSH.B R5

SWPB R5

—

表2 寻址方式说明

寻址方式	s	d	语法	例子	操作
寄存器	✓	✓	MOV Rs, Rd	MOV R10, R11	$R10 \rightarrow R11$
索引	✓	✓	MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	$M(2+R5) \rightarrow M(6+R6)$
符号(PC相对)	✓	✓	MOV EDE, TONI		$M(EDE) \rightarrow M(TONI)$
绝对	✓	✓	MOV &MEM, TCDAT		$M(MEM) \rightarrow M(TCDAT)$
间接	✓		MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	$M(R10) \rightarrow M(Tab+R6)$
间接自动增量	✓		MOV @Rn+, RM	MOV @R10+, R11	$M(R10) \rightarrow R11, R10+2 \rightarrow R10$
直接	✓		MOV #X, TONI	MOV #45, TONI	$\#45 \rightarrow M(TONI)$



注意: s=源 d=目的 Rs/Rd=源寄存器/目的寄存器 Rn= 寄存器号

计算分支 (BR) 和子程序调用 (CALL) 指令使用与其它指令相同的寻址方式。这些寻址方式提供间接寻址, 理想地适合于计算分支和调用。编程能力的完全使用允许程序结构不同于传统的8位和16位控制器。例如, 许多程序可以很容易地设计成使用指针和堆栈处理, 以取代使用标志类型的程序用于流程控制。

工作方式和中断

MSP430的工作方式支持多种超低功率和超低能耗的高级需求。这是通过在不同的模块工作方式和CPU状态期间的智能工作管理实现的。在中断事件处理期间, 这些高级需求被完全支持。一个中断事件将系统从多种工作方式的一种方式中唤醒, 并使用RETI指令返回到中断事件以前选择的方式。CPU和模块的不同需求, 受系统价格和电流消耗目标驱使, 有必要使用不同的时钟信号:

- 辅助时钟ACLK (来自LFXTCLK/晶体的频率), 用于外围模块
- 主系统时钟MCLK, 用于CPU和系统
- 子系统时钟SMCLK, 用于外围模块

低功耗性能

各种工作方式通过软件, 经由内部时钟系统的工作来控制。这个时钟系统以最低功耗和最优系统成本, 提供许多组合的软硬件性能以运行应用:

- 使用内部时钟 (DCO) 发生器, 无任何外部元件。
- 选择一外部晶体或陶瓷滤波器以达到最低频率或最低成本。
- 选择和激活适当的时钟信号(LFXT1CLK和/或DCOCLK)和时钟预分频功能。
- 加上一个外部时钟源

影响时钟系统的工作、支持从低功耗工作方式快速启动的四个控制位, 位于状态寄存器SR中。控制CPU和系统时钟发生器的这四个的位是SCG1、SCG0和OscOff和CPUOff:

状态寄存器R2

15	9	8	7	6	5	4	3	2	1	0
未来增强保留	V	SCG1	SCG0	OscOff	CPUOFF	GIE	N	Z	C	
rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0	rw-0

当系统时钟发生器的基本功能建立以后, CPUOff、SCG1、SCG0和OscOff位是最重要的低功耗控制位。只要一个中断被认可, 它们就被压入堆栈, 并因此被保存, 于是在中断请求以后, 能够恢复先前的工作方式。在中断处理子程序执行期间, 通过间接访问堆栈数据, 可以操作这些位; 这样允许程序在中断返回 (RETI) 后, 以另一种功率工作方式继续运行。

SCG1: 当SCG1位复位时, 用于外设的时钟信号SMCLK, 使能SMCLK, 或如果这一位被置位即禁止SMCLK。

SCG0: 当它被复位时, 直流发生器被激活。只有当SCG0位被置位并且DCOCLK信号没有用于MCLK或SMCLK时, 直流发生器才能被抑制。直流发生器消耗的电流定义了DCOCLK的基本频率, 它是一个直流电流。

如果时钟信号DCOCLK不用于MCLK或SMCLK, 或者如果SCG0被置位, 时钟信号DCOCLK被抑制。有两种情况下SCG0位不能关闭:

1. DCOCLK频率用于MCLK(CPUOff=0和SELM.1=0)
2. DCOCLK频率用于SMCLK(SCG1=0和SELS=0)。

注意: 当电流关闭(SCG0=1)时, DCOCLK的启动有些延迟。延迟时间在uS级范围内(具体看器件参数)。



OscOff: 当OscOff位被复位时, LFXT晶体振荡器激活. 只有当OscOff位被置位和不用于MCLK或SMCLK时,

LFXT晶体振荡器才能被抑制. 当使用振荡器关闭选项OscOff时, 需要考虑晶体振荡器的启动设置时间. 掩膜可编程 (ROM) 器件可以禁止这一特性这样振荡器可以永远不被软件关断.

CPUOff: 当这一位复位时, 用于CPU的时钟信号MCLK被激活, 或者当它置位时, MCLK停止.

中断矢量地址

中断矢量地址和上电启动地址位于存储器中0FFFFh-0FFE0h的地址范围内. 这个矢量包含相应中断处理指令序列的16位地址.

中断源	中断标志	系统中断	字地址	优先级
上电, 外部复位 看门狗	WDTIFG(注1) KEYV(注1)	复位	0FFFEH	15, 最高
NMI 振荡器故障 闪速存储器访问违例	NMIIFG(注1到5) OFIFG(注1到5) ACCIVFG(注1到5)	(不)可屏蔽 (不)可屏蔽 (不)可屏蔽	0FFFC H	14
			0FFFAH	13
			0FFF8H	12
			0FFF6H	11
看门狗定时器	WDTIFG	可屏蔽	0FFF4H	10
定时器A	CCIFG0(注2)	可屏蔽	0FFF2H	9
定时器A	CCIFG1, CCIFG2, TAIFG(注1和2)	可屏蔽	0FFF0H	8
			0FFEEH	7
			0FFECH	6
			0FFEAH	5
			0FFE8H	4
I/O端口P2(8个标志, 见注3)	P2IFG0到P2IFG7(注1和注2)	可屏蔽	0FFE6H	3
I/O端口P1(8个标志)	P2IFG0到P2IFG7(注1和注2)	可屏蔽	0FFE4H	2
			0FFE2H	1
			0FFE0H	0, 最低

- 注: 1. 多源标志
2. 中断标志位于模块中
3. 有8个P2端口中断标志, 但11x器件上仅实现6个引脚.
4. 不可屏蔽: 单独的和普通中断允许位均不能禁止中断事件.
5. (不)可屏蔽: 单独的中断允许位能够禁止中断事件, 但是总中断允许位不能禁止.

特殊功能寄存器

大多数中断模块使能位都集中在低地址空间. 没有分配功能目的的特殊功能寄存器位, 在物理上并不存在于器件中.



中断使能1和2(IE1和IE2)

地址	7	6	5	4	3	2	1	0
0h				NMIIE			OFIE	WDTIE
	rw-0				rw-0			rw-0

WDTIE: 看门狗定时器使能信号

OFIE: 振荡器故障使能信号

ACCIE: 快速存储器访问违例

地址	7	6	5	4	3	2	1	0
1h								
	rw-0				rw-0			rw-0

中断标志寄存器1和2(IFG1和IFG2)

地址	7	6	5	4	3	2	1	0
2h				NMIIFG			OFIFG	WDTIFG
	rw-0				rw-0			rw-0

WDTIFG: 看门狗定时器溢出, 或安全匙违例, 或VCC上电复位, 或RST/NMI引脚处于复位状态时, 置位

OFIFG: 振荡器故障时标志置位

NMIIFG: 通过RST/NMI引脚置位

地址	7	6	5	4	3	2	1	0
3h								
	rw-0				rw-0			rw-0

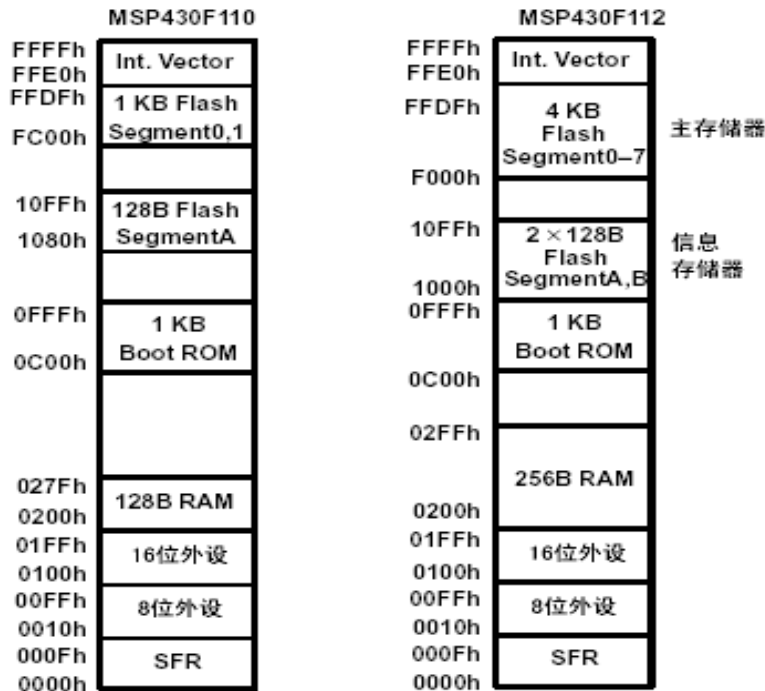
图例

rw: 位可读可写

rw-0: 位可读可写, 由PUC复位

■ SFR位在器件中不存在

存储器组织



含引导装载程序(bootstrap loader)的引导ROM

引导装载程序的目的是把数据下载到闪速存储器中。各种写，读，和擦除操作需要一个合适的下载环境。引导装载程序仅在F版本的器件上可用。

引导装载程序的功能：

读定义：把周边寄存器或存储器的数据施加和发送到引脚P1.1上(BSLTX)。

写定义：从引脚P2.2(BSLRX)读数据并把他们写进闪速存储器。

非保护的功能：块擦除，主存储器擦除(段0到段7)，通过bootstrap loader对MSP430的访问受到保护。任何受保护的功

能在能够执行以前必须被使能。位于0FFE0h到0FFFFh中的256位提供访问密匙。

保护功能：所有保护功能只有当访问使能时才能执行。

- 闪速存储器字节写/编程：传递的参数是启动地址和字节数(闪速存储器的段写特性对UART协议不支持也没用)。
- 主存储器中段0到段7的段擦除和信息存储器中的段A和段B的段擦除。
- 读主存储器和信息存储器中的所有数据
- 读写所有字节型周边模块和RAM。
- 修改PC和立即启动程序执行。

注意

通过用户在中断存储器区域定义数据，预防代码和数据非授权读出。

引导装载程序的特性：

- UART通信协议，固定9600波特率
- 端口引脚P1.1用于发送，P2.2用于接收。
- TI标准串行协议。
- 仅在闪速存储器版本的器件中实现。
- 由用户矢量0FFFEh或者引导程序装载器(启动矢量在0C00h)启动程序执行。

用于串行输入输出的硬件资源：

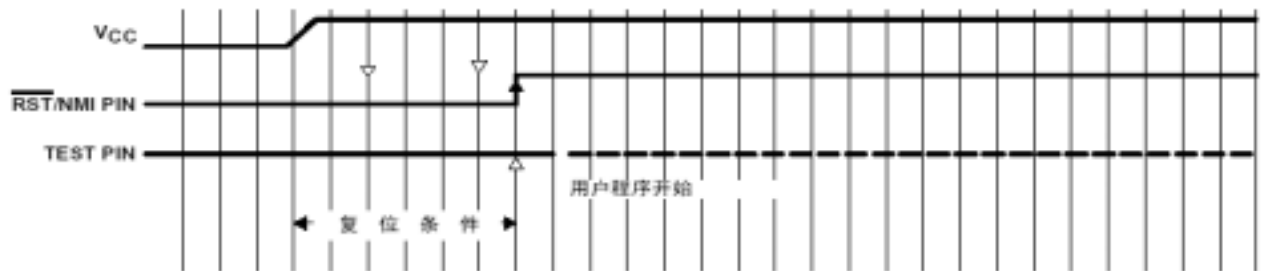
- 引脚P1.1和P2.2用于串行数据发送



- TEST和RST/NMI在复位矢量或者自动加载程序矢量处启动程序执行.
- 基本时钟模块: Rsel=5, DCO=4, MOD=0, DCOCLK用于产生MCLK和SMCLK, 时钟分频器产生MCLK和SMCLK, 缺省: 1(不)分频.
- Timer_A: Timer_A用MCLK时钟源工作于连续模式, 输入分频器设置为1, 使用CCR0和CCIFG0的轮询.
- WDT: 看门狗定时器停止.中断: GIE=0, NMIE=0, OFIFG=0, ACCVIFG=0
- 存储器分配和堆栈指针: 如果堆栈指针指向大于220H的RAM地址, 6字节的堆栈被分配再加上0200H到0219H的RAM地址. 否则堆栈指针设置到220H并从200H到21FH分配RAM.

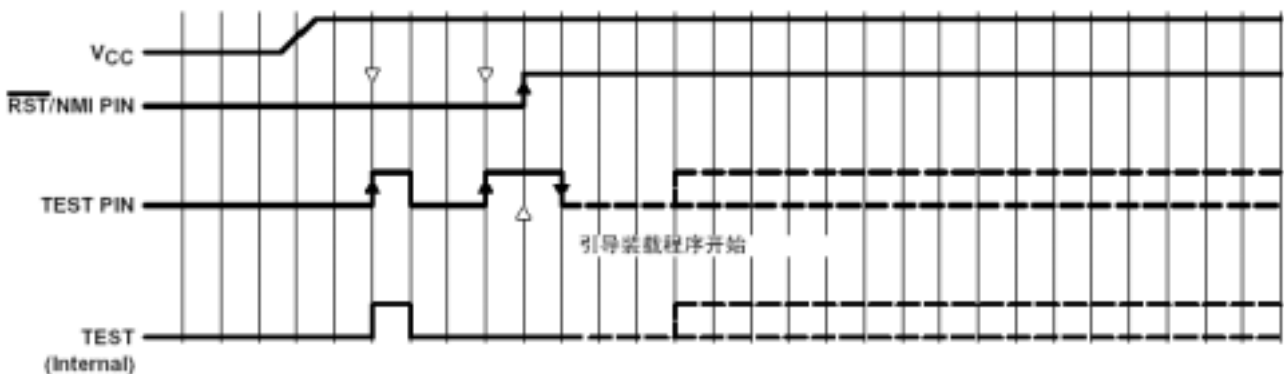
注意: 当通过自动加载程序写RAM时, 请确保堆栈在数据写入的地址范围之外.

如果在 $\overline{\text{RST}}/\text{NMI}$ 由低到高期间TEST保持为低, 程序从用户复位矢量FFFEH(标准方法)处开始执行.



若在 RST/NMI 为低期间, 有至少两个上升沿施加到 TEST 引脚, 并且当 RST/NMI 由低变高时 TEST 为高, 程序将从自动加载矢量 0C00H(引导 ROM)处开始执行. TEST 信号通常用于在内部切换 P1.4, P1.5, P1.6, P1.7 的应用功能和 JTAG 功能.

如果在 RST/NMI 保持低时在 TEST 引脚施加第二个上升沿, 则内部 TEST 信号保持低并且引脚 P1.4-P1.7 保持在应用模式:



在 TEST 被拉低然后返高之后, 能够再次进入 TEST 模式.

自动加载程序不会启动(通过地址 C000H 矢量), 如果:

- 当 RST/NMI 为低时正沿少于两个.
- 如果 RST/NMI 由低变高而 TEST 为低.
- JTAG 已经控制了 MSP430 的资源.
- 电源电压 VCC 跌落, 一次 POR 被执行.

警告: 仅当 RST/NMI 引脚为复位模式时, 自动加载程序才正确启动. 如果它被切换到 NMI 功能, 可能导致不可预知的程序执行. 然而, 利用软件和引导矢量, 例如指令 BR &0C00H, 一次引导加载可以启动.

闪速存储器

闪速存储器包括主存储器中 512 字节的段和信息存储器中 128 字节的段. 详细器件信息见器件存储器映像.



段 0 至段 7 可以单个分段擦除或者作为一组一起擦除。

段 A 和段 B 能单个擦除，或者与段 0-7 作为一组擦除。

段 A 和段 B 中的存储器也称为信息存储器。

VPP 由内部产生。编程期间 VCC 电流增加。

在编程/擦除周期，VCC 一定不能跌落到用于编程/擦除操作的指定最小值以下。

编程和擦除定时由闪速定时发生器控制，无须软件干涉。闪速定时发生器的输入频率应该在合适范围内并且必须一直施加，直到写/编程或擦除操作完成。

在编程和擦除期间，不能从闪速存储器执行任何代码，并且通过设置 GIE，NMIE，ACCVIE 位为 0，必须禁止所有中断。如果一个用户程序需要同一个闪速编程和擦除程序并发执行，该程序必须从闪速存储器以外的存储器执行(例如引导 ROM，RAM)。在程序计数器指向闪速存储器时，如果发生一个闪速存储器编程或擦除操作事件，CPU 将执行 JMP \$指令直到闪速编程或擦除操作完成为止。然后，先前运行的软件继续正常执行。

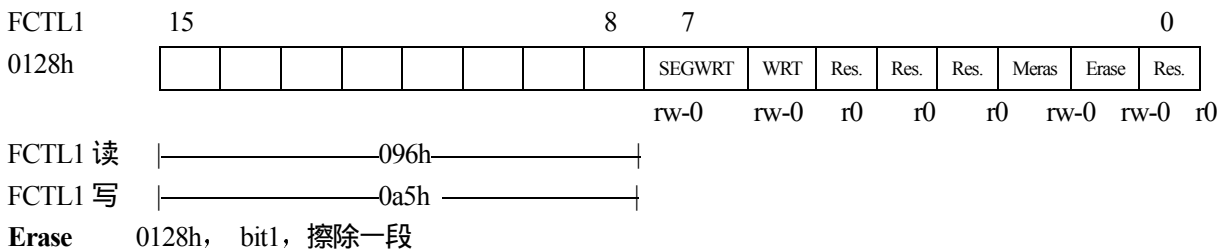
闪速存储器控制寄存器 FCTL1

在 PUC 期间，所有控制位复位。以下条件 PUC 被激活：VCC 加上；一个复位条件施加到 RST/NMI 引脚；看门狗定时器溢出，一个看门狗访问违例发生；执行了一个非法闪速存储器操作。关于控制位功能的更详细说明，可以在闪速存储器模块说明(参考 MSP430X1XX USER'S GUIDE，文献号 SLAU049)中找到。在擦除，块擦除或者

写(编程)期间，任何对控制寄存器 FCTL1 的写操作将以访问违例 ACCVIFG=1 为结果。段写方式要施加特殊条件。详情查阅 MSP430X1XX USER'S GUIDE，文献号 SLAU049)。

任何时间都可以进行读访问而不受限制。

控制寄存器 FCTL1 的控制位是：



0: 不启动任何段擦除

1: 使能擦除 1 段。要擦除的段通过一个哑元写入段内任何地址来定义。当擦除操作完成时擦除位自动复位。

MEras 0128h, bit2, 块擦除，主存储器的段被一起擦除。

0: 不启动任何段擦除

1: 使能主存储器段擦除。当一个哑元写入主存储器中的任何地址时启动执行。当擦除操作完成时 MEras 位自动复位。

WRT 0128h, bit6, 为执行成功地写操作，位 WRT 必须置位。如果 WRT 复位并且试图对闪速存储器进行写访问，则一个访问违例发生且 ACCVIFG 置位。

SEGWRT 0128h, bit7, 位 SEGWRT 可以用于减小总的编程时间。详情参考 MSP430x1xx User's Guide，文献号 SLAU049。

0: 没有选择段写加速。

1: 使用段写。在段边界，这一位需要被复位然后置位。

表 3 供闪速存储器访问用的允许位组合

字或字节写	SEGWRT	WRT	MEras	Erase	BUSY	WAIT	LOCK
-------	--------	-----	-------	-------	------	------	------



同一段内字或字节写，段写方式	0	1	0	0	0	0	0
通过向目标段内任意地址写，擦除一个段	1	1	0	0	0→1	0→1	0
擦除信息存储器(段 A 和段 B)以外的所有段(0-7)	0	0	1	0	0	0	0
通过对闪速存储器模块中的任意地址写，擦除所有的段(0-7 和 A 与 B)	0	0	1	1	0	0	0

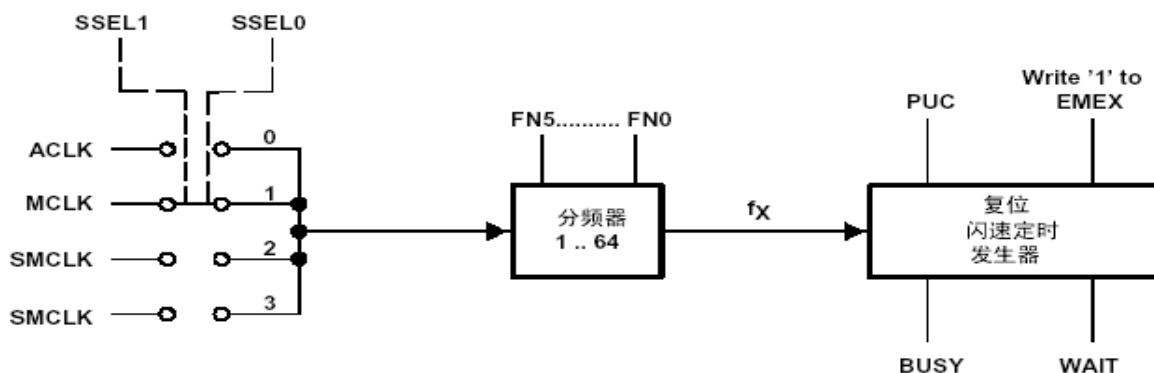


图 1 闪速存储器定时发生器图

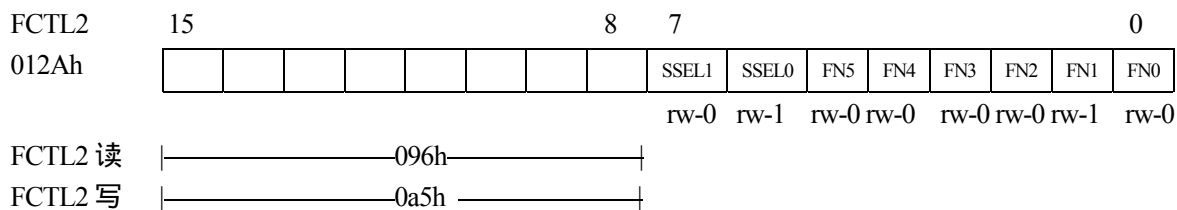
闪速存储器，定时发生器，控制寄存器 FCTL2

定时发生器(图 1)从选择的时钟源为写，擦除，和块擦除产生所有必须的定时信号。通过控制寄存器 FCTL2 中的控制位 SSEL0 和 SSEL1，可以选择三个时钟源中的一个。选择的时钟源应该被分频以满足在推荐工作条件中指定的频率要求。

闪速定时发生器由 PUC 复位。如果应急出口位 EMEX 置位，闪速定时发生器也被复位。

如果 BUSY 位置位，控制寄存器 FCTL2 不可写入;否则，将发生一次访问违例(ACCVIFG=1)。

任何时间不受限制地读访问是可能的。



这些控制位是:

FN0-FN5 012Ah, bit0-5 这 6 个位定义时钟信号的分频率。分频率为 1-64，对应于 FN0-FN5 的数字值加 1。

SSEL0, SSEL1, 012Ah, bit6, 7 时钟源选择

0: ACLK

1: MCLK

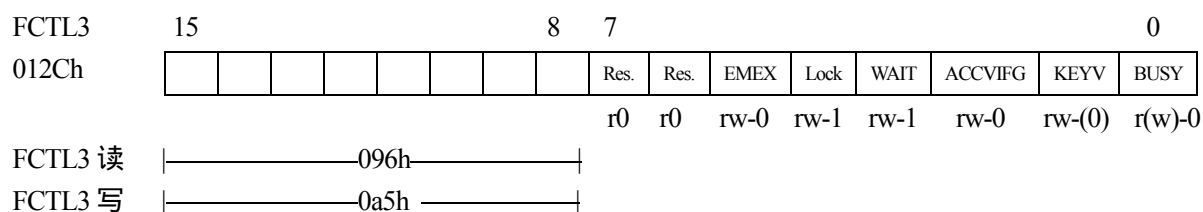
2: SMCLK

3: SMCLK

闪速定时发生器由 PUC 复位，如果 EMEX 位置位该位也复位。

闪速存储器控制寄存器 FCTL3

修改这个寄存器没有任何限制。



BUSY 012Ch, bit0 BUSY 位指示是否允许访问闪速存储器(BUSY=0), 或者是否发生了一次访问违例。BUSY 是只读的, 但是允许写操作。在每一个写和擦除周期前, 应该测试 BUSY 位。

在一次写, 段写, 擦除或者块擦除操作开始之后, 闪速定时发生器硬件立即置位 BUSY 位。如果定时发生器已完成操作, BUSY 位由硬件复位。

在整个编程和擦除周期期间, 不能从忙闪速存储器中执行任何代码。

0: 闪速存储器不忙

1: 闪速存储器忙, 并且如果段写功能处在等待方式, 忙态将保持。

KEYV, 012Ch, bit1 密钥违例

0: 密钥 0A5h(高字节)正确。

1: 密钥 0A5h(高字节)违例。

当执行对 FCTL1, FCTL2, 或 FCTL3 的一次写访问并且高字节不等于 0A5h 时, 违例发生。如果安全密钥违

例, 则位 KEYV 被置位, 且一次 PUC 被执行。

ACCVIFG 012Ch, bit2 访问违例中断标志

除了表 3 所示的控制位组合的任何其它组合, 或段写操作正在进行时提取了一条指令, 将使访问违例标志置位。读控制寄存器不会置位 ACCVIFG。

注意: 相应中断使能位 ACCVIE 位于特殊功能寄存器的中断使能寄存器 IE1 中。软件能够置位 ACCVIFG 位。如果由软件置位, 一个 NMI(非屏蔽中断)也会执行。

WAIT, 012CH, bit3 在段写模式, WAIT 位指出, 数据已经写过, 闪速存储器准备接收下一个编程数据。WAIT 位是只读的, 但是写 WAIT 位是允许的。

0: 段写操作已经开始, 编程正在进行。

1: 段写操作激活, 数据编程已完成。

LOCK 012Ch, bit4 在任何写, 段写, 或块擦除请求期间, LOCK 位可以置位。任何进行中的激活序列能正常完成。在段写模式, 模式结束后 SEGWRT 位被复位且 WAIT 位被置位。LOCK 位由软件或硬件控制。如果一次访问违例发生并且 ACCVIFG 置位, LOCK 位将自动置位。

0: 闪速存储器可以读, 编程擦除, 或块擦除。

1: 闪速存储器可以读但是不可以编程、擦除或块写。当前的编程, 擦除, 或块写会正常完成。LOCK 位置位期间, 当数据写入闪速存储器时, 访问违例中断标志 ACCVIFG 被置位。

EMEX 012Ch, bit5, 紧急出口。该紧急出口应该仅用于当闪速存储器的写或擦除操作失控时。

0: 无作用

1: 立即停止现行操作, 关闭闪速存储器的所有内部部件。电流消耗立即回落到运行模式的水平。控制寄存器 FCTL1 中的各位复位。由于 EMEX 位由硬件自动复位, 软件读 EMEX 总是为 0。

闪速存储器, 中断和安全密钥违例

一个 NMI 矢量用于三个 NMI 事件: RST/NMI(NMIIFG), 振荡故障(OFIFG), 和闪速存储器访问违例



利爾達

利尔达单片机技术有限公司

杭州市文二路 199 号文欣大厦 3 楼 A 座

www.lierda.com

(ACCVIFG). 由于这些标志位保持置位直到由软件复位, 软件能够确定中断请求源. 在中断返回 RETI 指令之前, 使能标志应该用一条指令同时置位. 这可确保堆栈保持受控. 一个挂起的 NMI 中断请求不会增加不必要的堆栈需求.

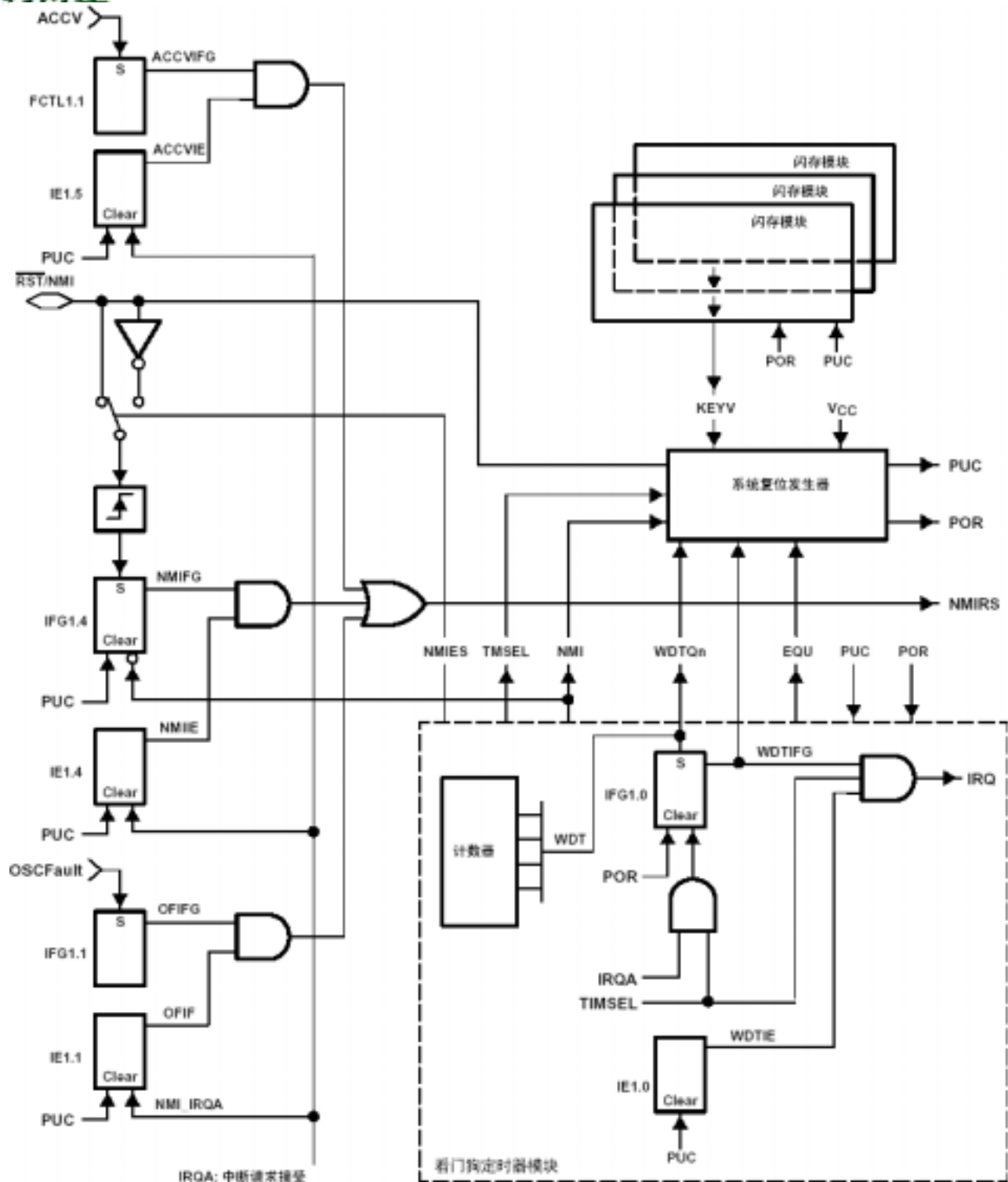


图2 NMI 中断源框图

外围设备

外设通过数据，地址，和控制总线连接到 CPU，并能容易地由内存操作指令处理。

振荡器和系统时钟



系统使用三个时钟—系统(主)时钟 MCLK, 子系统(主)时钟 SMCLK, 和辅助时钟 ACLK:

主系统时钟 MCLK, 由 CPU 和系统使用.

子系统时钟 SMCLK, 由外设模块使用.

辅助时钟 ACLK, 由 LFXT1CLK(晶体振荡器)产生并由外设模块使用.

一次 POR 之后, DCOCLK 被默认使用, DCOR 位被复位, DCO 位被置位, 达到标称初始频率. 另外, 如果 LFXT1CLK 产生 MCLK 失败, DCOCLK 自动选择 DCOCLK 以确保可靠工作. SMCLK 能够从 LFXT1CLK 或者 DCOCLK 产生. ACLK 常由 LFXT1CLK 产生. 晶体振荡器能够被定义成用手表晶体或高频的陶瓷滤波器或晶体工作. 晶体或陶瓷滤波器跨接到两个端子上. 用手表晶体工作时无需外部元件. 如果选择高频 XT1 模式, 需要在 XIN 端子到 VSS 和 XOUT 端子到 VSS 连接由晶体厂家指定的外部电容.

LFXT1 振荡器在 VCC 加上之后启动. 如果 OscOff 振荡器位设置为 1, 当它不用于 MCLK 时振荡器停止. 时钟信号 ACLK 和 SMCLK 可以通过端口引脚被外部使用. 不同的应用需求和系统条件规定不同的系统时钟需求, 包括:

高频用于对系统硬件需求或事件的快速反应.

低频用于最小化电流消耗和 EMI 等.

稳定的外设时钟用于定时器应用, 例如实时时钟(RTC).

赋予起/停工作最小延迟.

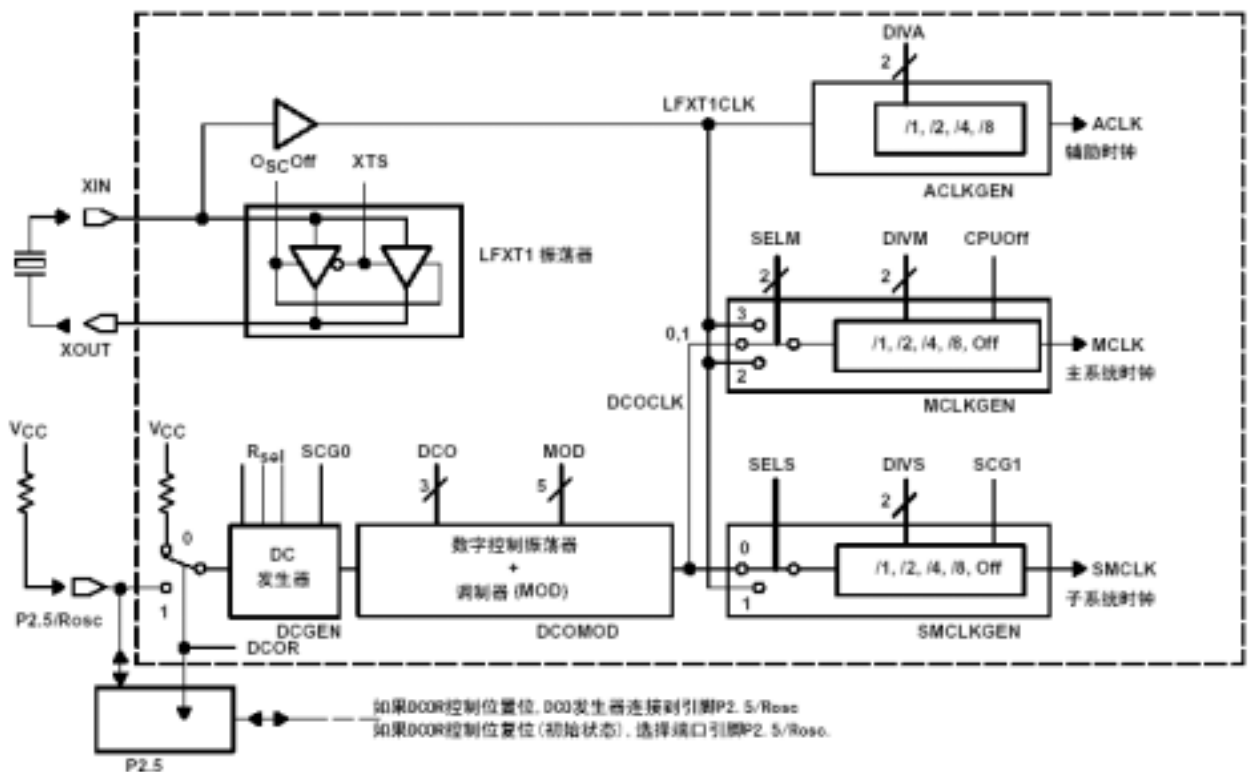


图3 时钟信号

两个时钟源, LFXT1CLK 和 DCOCLK, 能够用于驱动 MSP430 系统. LFXT1CLK 由 LFXT1 晶体振荡器产生. LFXT1 晶体振荡器能够工作于三种模式—低频(LF), 中频(XT1), 和外外部输入方式. 当 LFXT1 晶体振荡器不用时可以关闭.

DCOCLK 从 DCO 产生. 标称 DCO 频率由直流发生器定义并能通过一个外部电阻建立. 或者由集成电阻

置到 8 个值中的一个. 通过对 DCO 模块中寄存器的软件操作, DCOCLK 的辅助调节和调制是可能的. DCOCLK 不用于 CPU 或外设时自动停止. 当 DCOCLK 不用时, 直流发生器能够用 SCG0 位关闭以实现额外的功率节省.

注意: 系统时钟发生器总是由选用作 MCLK 的 DCOCLK 启动, 以确保程序正确启动执行. 通过控制位操作,



由软件最终确定系统时钟的产生。

数字 I/O

有两个 8 位 I/O 端口—端口 P1 和端口 P2 被实现(11x 器件仅有 6 个端口的 P2I/O 信号在外部引脚可用)。P1 和 P2 两个端口有 7 个控制寄存器，给应用提供数字 I/O 输入/输出的最大灵活性：

- 所有单个 I/O 位独立可编程。
- 任何输入，输出和中断条件的组合都是可能的。
- P1 端口的 8 个位和 P2 端口的 6 个位对外部事件的中断处理完全实现。
- 用所有指令对所有寄存器进行读/写访问。

这 7 个寄存器是：

- 输入寄存器 8 位 在端口 P1/P2 包含引脚信息
- 输出寄存器 8 位 在端口 P1/P2 包含输出信息
- 方向寄存器 8 位 在端口 P1/P2 控制方向
- 中断沿选择寄存器 8 位 在端口 P1/P2 中断必需的输入信号变化
- 中断标志寄存器 8 位 在端口 P1/P2 指示是否有中断挂起。
- 中断允许寄存器 8 位 在端口 P1/P2 包含中断使能位
- 选择(端口或模块)寄存器 8 位 在端口 P1/P2 决定引脚的端口或模块功能。

所有这些寄存器都包含 8 个位。提供两个中断矢量：一个由端口 P1. 0 到 P1. 7 上的所有中断事件共用，一个由端口 P2.0 到 P2.7 上的所有中断事件共用。

注意：端口 P2 的 6 个位，P2.0 到 P2.5 在外部引脚可用，但是 P2 所有控制和数据位都是已经实现的。

看门狗定时器

看门狗定时器(WDT)模块的主要功能是在软件发生问题之后执行一次受控系统重启。如果选定的时间间隔到达，产生一次系统复位。如果应用中不需要看门狗功能，模块能够作为一个间隔定时器工作，在选定的时间间隔之后，它产生一个中断。

看门狗定时器计数器(WDTCNT)是一个 16 位增计数器，它不能由软件直接访问。WDTCNT 通过看门狗定时器控制寄存器(WDCTL)控制，它是一个 16 位的读/写寄存器。在两种工作方式(看门狗或定时器)中，对 WDCTL 的写入，只有在高字节中使用正确的口令才可能。低字节存放写入 WDCTL 的数据。高字节必须是口令 05Ah。任何 05Ah 以外的数值写入 WDCTL 的高字节，将产生一次系统复位 PUC。读口令时，它的值是 069h。这使对 WDCTL 寄存器的意外写操作减至最少。除了看门狗定时器的控制位外，还有用于配置 NMI 引脚的两位也包含在 WDCTL 寄存器中。

定时器_A(带三个比较/捕获寄存器)

11x 器件上的定时器_A 模块提供一个十六位计数器和三个捕获/比较寄存器。定时器时钟源可以选择来自两个外部源 TACLK(SSEL=0)或 INCLK (SSEL=3)，或来自两个内部时钟源 ACLK(SSEL=1)或 SMCLK(SSEL=2)。时钟源可被一、二、四或八分频。定时器可以完全得到控制(用字方式)，因为它可以停止，读和写。它可以被停止，连续运行，增计数或增/减计数，使用一个比较块来确定周期。这三个捕获/比较块可通过应用程序配置以运行于捕获或比较方式。

捕获方式主要用于利用信号的正沿、负沿或正负沿的任一组合，测量外部或内部事件。捕获方式由软件启动和停止。三个不同的外部事件 TA0、TA1 和 TA2 可以选择。对于在捕获/比较寄存器 CCR2，如果 CCI2B 被选中，ACLK 就是俘获信号。如果 CCISx=2 或 CCISx=3(见图 4)，软件俘获被选中。

比较方式主要用于为软件或应用硬件产生定时，或为象 D/A 转换功能或马达控制等各种用途产生脉宽调制(PWM)输出信号。独立的输出模块被分配给三个俘获/比较寄存器的每一个。输出模块可独立运行于比较功能，或以各种方法触发。

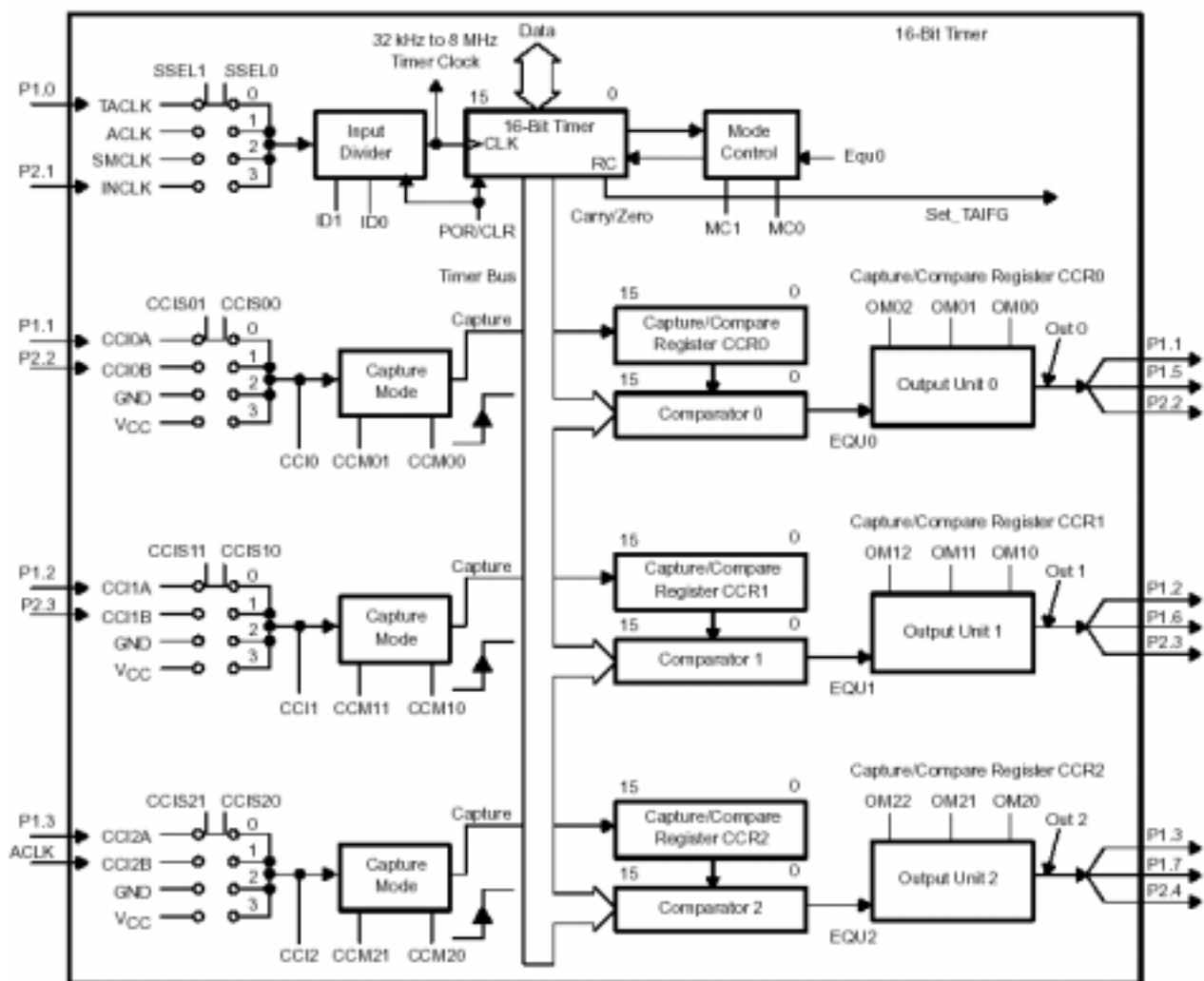


图 4 MSP430Fx11x Timer_A 配置

定时器_A 模块使用两个中断矢量。一个单独矢量分配给捕获/比较块 CCR0，一个共用中断矢量用于定时器和另外两个俘获/比较块。使用相同矢量三个中断事件，由各自的中断矢量字来识别。中断矢量字用于为程序计数器增加偏移，以使中断处理软件在在相应的程序位置继续运行。这样简化了中断处理程序，同时在中断处理程序中给每个中断事件引起相同的五个周期的经常开销。

UART

串行通信通过利用软件和一个捕获/比较块来实现。硬件支持串行数据流以比较/定时器决定的时序一位一位地输出。数据输入利用捕获性能。捕获标志发现字符的开头，期间由比较性能来锁存一位一位的输入数据流。软硬件接口把混合信号微控制器连接到外部器件，系统或网络。

外设存储器映射图



PERIPHERALS WITH WORD ACCESS			
Timer_A	Reserved		017Eh
	Reserved		017Ch
	Reserved		017Ah
	Reserved		0178h
	Capture/compare register	CCR2	0176h
	Capture/compare register	CCR1	0174h
	Capture/compare register	CCR0	0172h
	Timer_A register	TAR	0170h
	Reserved		016Eh
	Reserved		016Ch
	Reserved		016Ah
	Reserved		0168h
	Capture/compare control	CCTL2	0166h
	Capture/compare control	CCTL1	0164h
	Capture/compare control	CCTL0	0162h
	Timer_A control	TACTL	0160h
	Timer_A interrupt vector	TAIV	012Eh
Flash Memory	Flash control 3	FCTL3	012Ch
	Flash control 2	FCTL2	012Ah
	Flash control 1	FCTL1	0128h
Watchdog	Watchdog/timer control	WDTCTL	0120h
PERIPHERALS WITH BYTE ACCESS			
System Clock	Basic clock sys. control2	BCSCTL2	058h
	Basic clock sys. control1	BCSCTL1	057h
	DCO clock freq. control	DCOCTL	056h
Port P2	Port P2 selection	P2SEL	02Eh
	Port P2 interrupt enable	P2IE	02Dh
	Port P2 interrupt edge select	P2IES	02Ch
	Port P2 interrupt flag	P2IFG	02Bh
	Port P2 direction	P2DIR	02Ah
	Port P2 output	P2OUT	029h
	Port P2 input	P2IN	028h
Port P1	Port P1 selection	P1SEL	026h
	Port P1 interrupt enable	P1IE	025h
	Port P1 interrupt edge select	P1IES	024h
	Port P1 interrupt flag	P1IFG	023h
	Port P1 direction	P1DIR	022h
	Port P1 output	P1OUT	021h
	Port P1 input	P1IN	020h
Special Function	SFR interrupt flag2	IFG2	003h
	SFR interrupt flag1	IFG1	002h
	SFR interrupt enable2	IE2	001h
	SFR interrupt enable1	IE1	000h

极限参数⁺

VCC 到 VSS 施加电压.....-0.3 到 4.1V

任何引脚施加电压(参考对地).....-0.3 到 VCC+0.3V



任一器件端子的二极管电流.....+/-2mA
 存储温度 Tstg(未编程器件).....-55℃到 150℃
 存储温度 Tstg(已编程器件).....-40 到 85℃

†强度超出所列极限参数可能导致器件永久性损坏。这些仅仅是极限参数，并不意味着在极限条件下或超出推荐工作条件指出的任何其它条件下器件能有效工作。长期暴露在极限工作条件下可能影响器件的可靠性。

注：所有电压参考对地。

推荐工作条件

			最小	正常	最大	单位
程序执行时的电源电压, VCC(见注 6)			1.8		3.6	V
编程/擦除闪速存储器时的电源电压, VCC			2.7		3.6	V
电源电压, VSS			0			V
工作自由空气温度范围, T _A			-40		85	℃
LFXT1 晶体频率 (LFXT1)(见注 7)	选择 LF 模式, XTS=0	手表晶体	32768			Hz
	选择 XT1 模式	陶瓷滤波器	450		8000	kHz
		晶体	1000		8000	
处理器频率(系统), MCLK 信号		VCC=1.8V	DC		2	MHz
		VCC=2.2V	DC		5	MHz
		VCC=3.6V	DC		8	MHz
闪速定时发生器频率, f _{FTG}			257		476	KHz
累计编程时间, 段写, t _{CPT} (见注 8)			3			Ms
低电平输入电压(TCK, TMS, TDI, RST)(XIN, XOUT 除外)			VSS		VSS+0.6	V
高电平输入电压 (TCK, TMS, TDI, RST)(XIN, XOUT 除外)			0.8VCC		VCC	V
XIN, XOUT 输入电平	V _{IL} (XIN, XOUT)		VSS		0.2VCC	V
	V _{IL} (XIN, XOUT)		0.8VCC		VCC	

- 注： 6. 当 VCC<2.5V 时, LFXT1 振荡器在 LF 模式需要一个 4.1MΩ 的电阻从 XOUT 连接到地。
 VCC>=2.2V 时, LFXT1 振荡器在 XT1 模式可以连接 4MHZ 频率的陶瓷滤波器或者晶体。
 VCC>=2.8V 时, LFXT1 振荡器在 XT1 模式可以连接 8MHZ 频率的陶瓷滤波器或者晶体。
7. LFXT1 振荡器在 LF 模式需要一个手表晶体。
 LFXT1 振荡器在 XT1 模式可以连接一个陶瓷滤波器或一个晶体。
8. 一个段写操作期间累计编程时间务必不能超过。

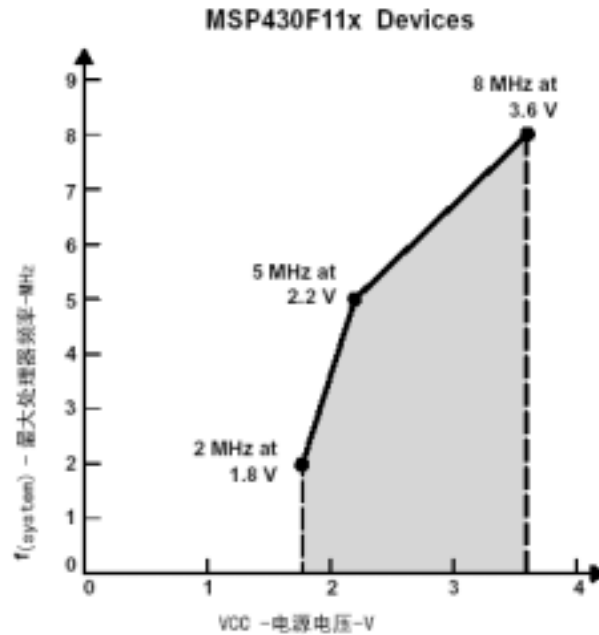


图 5 频率与电源电压的关系

推荐电源电压和自由空气温度范围内的电参数(除非另外注明)

不包括外部电流的电源电流(流进 VCC, $f_{\text{SYSTEM}}=1\text{MHz}$)

参数	测试条件		最小	典型	最大	单位	
I _(AM) 运行模式	TA = -40°C +85°C, f _(MCLK) = f _(SMCLK) = 1 MHz MHz, f _(ACLK) = 32, 768 Hz		VCC=2.2V	200	250	uA	
			VCC=3V	300	350		
	TA = -40°C +85°C, f _(MCLK) =f _(SMCLK) =f _(ACLK) =4096 Hz		VCC=2.2V	1.6	3	uA	
			VCC=3V	3	4.3		
I _(CPUOff) Low power mode (LPM0)	TA = -40°C +85°C, f _(MCLK) = 0 f _(SMCLK) = 1 MHz, f _(ACLK) = 32, 768 Hz		VCC=2.2V	32	45	uA	
			VCC=3V	52	70	uA	
I _(LPM2) Low power mode (LPM2)	TA = -40°C +85°C, f _(MCLK) = f _(SMCLK) = 0 MHz, f _(ACLK) =32, 768Hz, SCG0=0		VCC=2.2V	11	14	uA	
			VCC=3V	17	22	uA	
I _(LPM3) Low power mode (LPM3)	TA=40°C		VCC=2.2V	0.8	1.2	uA	
				TA=25°C	0.7		1
				TA=85°C	1.6		2.3
	TA=-40°C		VCC=3V	1.8	2.2		
				TA=25°C	1.6		1.9
				TA=85°C	2.3		3.4
I _(LPM4) Low power mode (LPM4)	TA=-40°C	f _{MCLK} =0MHz f _{SMCLK} =0MHz f _{ACLK} =0MHz, SCG0=1	VCC=2.2/3V	0.1	0.5	uA	
	TA=25°C			0.1	0.5		
	TA=85°C			0.8	1.9		



注：所有输入端连接到 0 或 VCC，输出不拉出、不吸收任何电流

运行模式电流消耗相对于系统频率，F 版本：

$$I_{AM} = I_{AM}[1\text{ MHz}] \times f_{\text{system}} [\text{MHz}]$$

运行模式电流消耗相对于电源电压，F 版本：

$$I_{AM} = I_{AM}[3V] + 120\mu A/V \times (VCC-3V)$$

施密特触发器输入端口 P1 和 P2;P1.0 到 P1.7, P2.0 到 P2.5

参数	测试条件	最小	典型	最大	单位
V_{IT+} 正向输入门限电压	VCC=2.2V	1.1		1.3	V
	VCC=3V	1.5		1.8	
V_{IT-} 负向输入门限电压	VCC=2.2V	0.4		0.9	V
	VCC=3V	0.9		1.2	
V_{hys} 输入电压迟滞($V_{IT+}-V_{IT-}$)	VCC=2.2V	0.3		1	V
	VCC=3V	0.5		1.4	

输出端口 P1 和 P2;P1.0 到 P1.7, P2.0 到 P2.5

参数	测试条件			最小	最大	单位
V_{OH} 高电平输出电压, P1	$I_{OHMAX}=-1.5\text{mA}$	VCC=2.2V	见注 9	VCC-0.25	VCC	V
	$I_{OHMAX}=-6\text{mA}$		见注 10	VCC-0.6	VCC	
	$I_{OHMAX}=-1.5\text{mA}$	VCC=3V	见注 9	VCC-0.25	VCC	
	$I_{OHMAX}=-6\text{mA}$		见注 10	VCC-0.6	VCC	
V_{OH} 高电平输出电压, P2	$I_{OHMAX}=-1.5\text{mA}$	VCC=2.2V	见注 11	VCC-0.25	VCC	V
	$I_{OHMAX}=-6\text{mA}$		见注 11	VCC-0.6	VCC	
	$I_{OHMAX}=-1.5\text{mA}$	VCC=3V	见注 11	VCC-0.25	VCC	
	$I_{OHMAX}=-6\text{mA}$		见注 11	VCC-0.6	VCC	
V_{OL} 低电平输出电压, P1 和 P2	$I_{OHMAX}=1.5\text{mA}$	VCC=2.2V	见注 9	VSS	VSS+0.25	V
	$I_{OHMAX}=6\text{mA}$		见注 10	VSS	VSS+0.6	
	$I_{OHMAX}=1.5\text{mA}$	VCC=3V	见注 9	VSS	VSS+0.25	
	$I_{OHMAX}=6\text{mA}$		见注 10	VSS	VSS+0.6	

注： 9. 最大总电流 I_{OHMAX} 和 I_{OLMAX} ，乃所有输出的总和，不应超过 $\pm 12\text{mA}$ ，以保持规定的最大压降。

10. 最大总电流 I_{OHMAX} 和 I_{OLMAX} ，乃所有输出的总和，不应超过 $\pm 48\text{mA}$ ，以保持规定的最大压降。

11. 每次一个有载输出。

漏电流

参数	测试条件		最小	典型	最大	单位
$I_{IKG}(P_{X.X})$	端口 P1.x, $0 < x < 7$ (见注 12 和 13)	VCC=2.2V/3V			± 50	nA
高阻抗漏电流	端口 P2.x, $0 < x < 5$ (见注 12 和 13)	VCC=2.2V/3V			± 50	nA

注： 12. 漏电流是在相应的引脚上施加 VSS 或 VCC 测得的(除非另外注明)。

13. 数字端口引脚的漏电流是独立测得的，端口引脚必须选择为输入，而且必须没有可选的上拉或下拉电阻。

输入 P_x.x, TAx

参数	测试条件	VCC	最小	典型	最大	单位
$t_{(int)}$ 外部中断定时	端口 P1, P2, P1.x 到 P2.x, 外部信号触发产生中断标志.(见注 14)	2.2/3V	1.5			周期
		2.2V	62			ns
		3V	50			
$t_{(cap)}$ Timer_A, 捕获定时	TA0, TA1, TA2.(见注 15)	2.2/3V	1.5			周期
		2.2V	62			ns
		3V	50			

注: 14. 每当符合最小 $t_{(int)}$ 周期或时间参数时, 外部信号置位中断标志. 中断标志甚至能被小于 $t_{(int)}$ 的触发信号所置位. 周期和定时参数必须同时符合, 以确保标志置位. T_{int} 用 MCLK 周期度量.

15. 每当符合最小 $t_{(cap)}$ 周期或时间参数时, 外部捕获信号触发捕获事件. 一次捕获甚至能够被小于 $t_{(cap)}$ 的捕获信号所触发. 周期和定时参数必须同时符合以确保 16 位定时器值的正确捕获并确保标志置位.

内部信号 TAx, Timer_A 的 SMCLK

参数	测试条件	VCC	最小	典型	最大	单位
$f_{(in)}$ 输入频率	内部 TA0, TA1, TA2, $t_H=t_L$	2.2V		8		MHz
		3V		10		
$F_{(TAint)}$ Timer_A 时钟频率	内部, 加 SMCLK 信号	2.2V/3V	DC	$f(\text{system})$		

输出 P1.x, P2.x, TAx

参数	测试条件	VCC	最小	典型	最大	单位
$f_{(P20)}$	P2.0/ACLK, $C_L=20\text{pF}$	2.2V/3V		F_{system}		MHz
$f_{(TAx)}$	TA0, TA1, TA2, $C_L=20\text{pF}$ 内部时钟源, 加 SMCLK 信号 (见注 16)	2.2V/3V	DC	f_{system}		
$t_{(Xdc)}$	P1.4/SMCLK, $C_L=20\text{pF}$	2.2V/3V	$f_{\text{SMCLK}}=f_{\text{LFXTI}}=f_{\text{XTI}}$		40%	60%
			$f_{\text{SMCLK}}=f_{\text{LFXTI}}=f_{\text{LF}}$		35%	65%
			$f_{\text{SMCLK}}=f_{\text{LFXTI}}/n$		50%	50% 50%
					-15ns	-15ns
	P2.0/ACLK, $C_L=20\text{pF}$	2.2V/3V	$f_{\text{SMCLK}}=f_{\text{DCOCLK}}$		50%	50% 50%
					-15ns	-15ns
			$f_{\text{FP20}}=f_{\text{LFXTI}}=f_{\text{XTI}}$		40%	%60
			$f_{\text{FP20}}=f_{\text{LFXTI}}=f_{\text{LF}}$		30%	%70
$t_{(TAdc)}$	TA0, TA1, TA2, $C_L=20\text{pF}$, 占空比 =50%	2.2V/3V	$f_{\text{FP20}}=f_{\text{LFXTI}}/n$		50%	
					0	± 50
						ns

注16. 必须符合对时钟 MCLK 的限制, MCLK 和 SMCLK 可以有不同的频率.



PUC/POR

参数		测试条件		最小	典型	最大	单位
t _(POR_delay)	POR		VCC=2.2V/3V	150	250		us
V _(POR)		TA=-40℃		1.4	1.8	V	
		TA=25℃		1.1	1.5	V	
		TA=85℃		0.8	1.2	V	
V(min)			0	0.4	V		
t(reset)	PUC/POR	内部接受复位		2			us

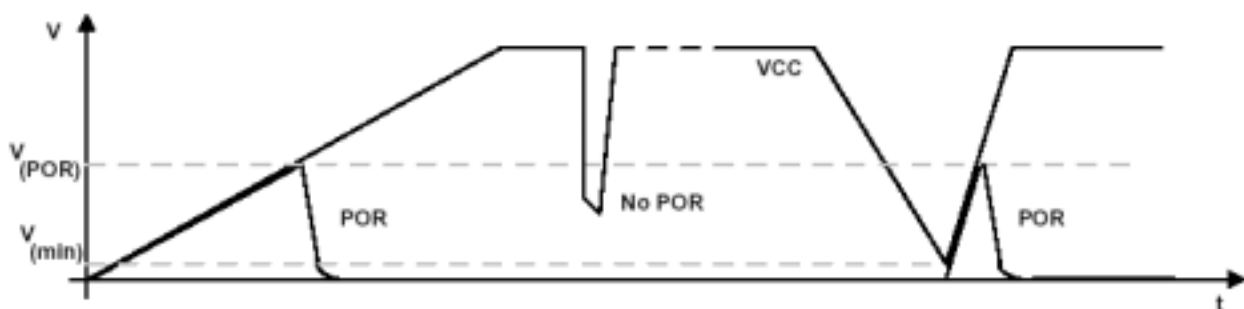
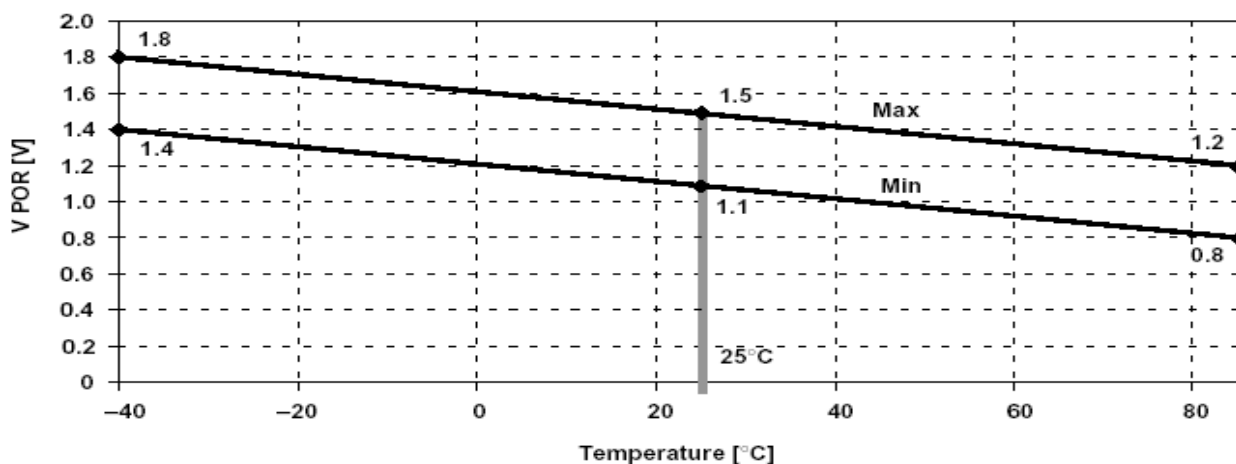


图 6 上电复位与电源电压的关系

图 7 $V_{(POR)}$ 与温度的关系

晶体振荡器, LFXT1

参数	测试条件	最小	典型	最大	单位
$C_{(XIN)}$ 输入电容	$XTS=0$, 选择 LF 模式, $V_{CC}=2.2V/3V$	12			pF
	$XTS=1$, 选择 XT1 模式, $V_{CC}=2.2V/3V$ (注 17)	2			
$C_{(XOUT)}$ 输出电容	$XTS=0$, 选择 LF 模式, $V_{CC}=2.2V/3V$	12			
	$XTS=1$, 选择 XT1 模式, $V_{CC}=2.2V/3V$ (注 17)	2			

注 17. 两个端子都需要外部电容, 数值由晶体厂家指定.

**RAM**

参数	最小	典型	最大	单位
$V_{(RAMh)}$ CPU 中止(见注 18)	1.6			V

注 18. 这个参数规定了数据在程序存储器 RAM 中保持不变的最小电源电压, 这一条件下不会发生程序执行.

DCO

参数	测试条件		最小	典型	最大	单位
f _(DC003)	Rsel=0, DCO=3, MOD=0, DCOR=0, T _A =25℃	VCC=2.2V	0.08	0.12	0.15	MHz
		VCC=3V	0.08	0.13	0.16	
f _(DC013)	Rsel=1, DCO=3, MOD=0, DCOR=0, T _A =25℃	VCC=2.2V	0.14	0.19	0.23	MHz
		VCC=3V	0.14	0.18	0.22	
f _(DC023)	Rsel=2, DCO=3, MOD=0, DCOR=0, T _A =25℃	VCC=2.2V	0.22	0.30	0.36	MHz
		VCC=3V	0.22	0.28	0.34	
f _(DC033)	Rsel=3, DCO=3, MOD=0, DCOR=0, T _A =25℃	VCC=2.2V	0.37	0.49	0.59	MHz
		VCC=3V	0.37	0.47	0.56	
f _(DC043)	Rsel=4, DCO=3, MOD=0, DCOR=0, T _A =25℃	VCC=2.2V	0.61	0.77	0.93	MHz
		VCC=3V	0.61	0.75	0.9	
f _(DC053)	Rsel=5, DCO=3, MOD=0, DCOR=0, T _A =25℃	VCC=2.2V	1	1.2	1.5	MHz
		VCC=3V	1	1.3	1.5	
f _(DC063)	Rsel=6, DCO=3, MOD=0, DCOR=0, T _A =25℃	VCC=2.2V	1.6	1.9	2.2	MHz
		VCC=3V	1.69	2.0	2.29	
f _(DC073)	Rsel=7, DCO=3, MOD=0, DCOR=0, T _A =25℃	VCC=2.2V	2.4	2.9	3.4	MHz
		VCC=3V	2.7	3.2	3.65	
f _(DC077)	Rsel=7, DCO=7, MOD=0, DCOR=0, T _A =25℃	VCC=2.2V	4	4.5	4.9	MHz
		VCC=3V	4.4	4.9	5.4	
f _(DC047)	Rsel=4, DCO=7, MOD=0, DCOR=0, T _A =25℃	VCC=2.2/3V	F _{DC040} x1.7	F _{DC040} x2.1	F _{DC040} x2.5	MHz
S _(Rsel)	S _R =f _(Rsel+1) /f _{Rsel}	VCC=2.2/3V	1.35	1.65	2	ratio
S _(DCO)	SDCO=f _(DCO+1) /f _{DCO}	VCC=2.2/3V	1.07	1.12	1.16	
Dt	温度漂移, Rsel=4, DCO=3, MOD=0(见注 19)	VCC=2.2V	-0.31	-0.36	-0.40	%/℃
		VCC=3V	-0.33	-0.38	-0.43	
Dv	随 VCC 变化的漂移, Rsel=7, DCO=7, MOD=0(见注 19)	VCC=2.2/3V	0	5	10	%/V

注 19. 这些参数未经生产测试

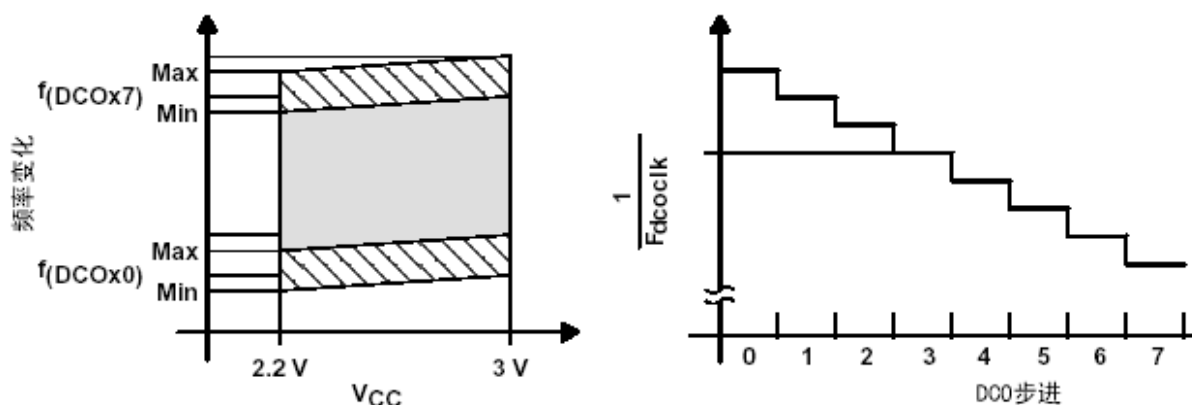


图8 DCO 特性

DCO 基本特性

- 每个器件有一个最小和最大工作频率，规定的参数 $f_{DCO \times 0}$ 到 $f_{DCO \times 7}$ 对所有器件有效。
- DCO 控制位 DCO0, DCO1, DCO2 有一个步长，定义为参数 S_{DCO} 。
- 调制控制位 MOD0 到 MOD4 用来选择 f_{DCO+1} 插入 32 个 DCOCLK 周期的频度。 f_{DCO} 用于其余的周期。频率是一个平均值 $= f_{DCO} \times 2^{MOD/32}$ 。
- 由 Rsel4 到 Rsel5, Rsel5 到 Rsel6, Rsel6 到 Rsel7 选择的范围是重叠的。

低功耗模式 (LPMx) 唤醒

参数		测试条件	最小	典型	最大	单位
t _{LPM0}	延迟时间 (见注 20)	VCC=2.2V/3V	100		ns	
t _{LPM2}		VCC=2.2V/3V	100			
t _{LPM3}		f _{MCLK} =1MHz, VCC=2.2V/3V	6		us	
		f _{MCLK} =2MHz , VCC=2.2V/3V	6			
		f _{MCLK} =3MHz , VCC=2.2V/3V	6			
t _{LPM4}		f _{MCLK} =1MHz , VCC=2.2V/3V	6		us	
		f _{MCLK} =2MHz , VCC=2.2V/3V	6			
		f _{MCLK} =3MHz , VCC=2.2V/3V	6			

注 20: 参数仅可应用于 DCOCLK 用于 MCLK 时。

JTAG/Programming

参数	测试条件		最小	典型	最大	单位
f _{TCK}	TC 频率, JTAG/treset (见注 21)	VCC=2.2V	DC		5	MHz
		VCC=3V	DC		10	
I _(DD-PGM)	编程期间的电流 (见注 22)	VCC=2.7V/3.6V		3	5	mA
I _(DD-ERASE)	擦除期间的电流 (见注 22)	VCC=2.7V/3.6V		3	5	mA
t _(retention)	写/擦次数		10 ⁴	10 ⁵		年
	数据保持时间		100			

注: 21. f_{TCK} 可能会受限于要符合已选择模块的定时需要。

22. 编程/擦除周期的持续时间决定于加到闪速定时控制器上 f_{FTG} 。 f_{FTG} 可以计算如下:

$$t_{(word\ write)} = 35 \times 1/f_{(FTG)}$$



$$t_{(\text{segment write, byte 0})} = 30 \times 1/f_{(\text{FTG})}$$

$$t_{(\text{segment write, byte 1-63})} = 20 \times 1/f_{(\text{FTG})}$$

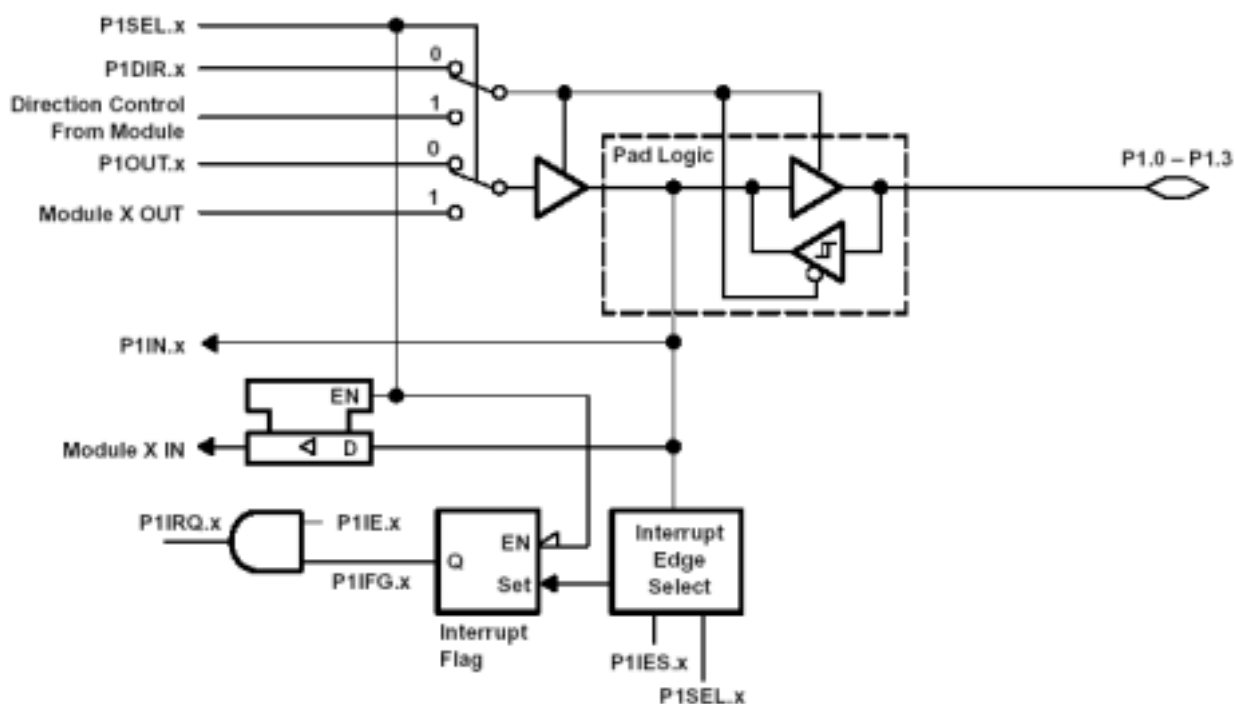
$$t_{(\text{page erase})} = 4819 \times 1/f_{(\text{FTG})}$$

$$t_{(\text{mass erase})} = 5297 \times 1/f_{(\text{FTG})}$$

应用信息

输入输出示意图

端口 P1, P1.0 到 P1.3, 带施密特触发器的输入/输出



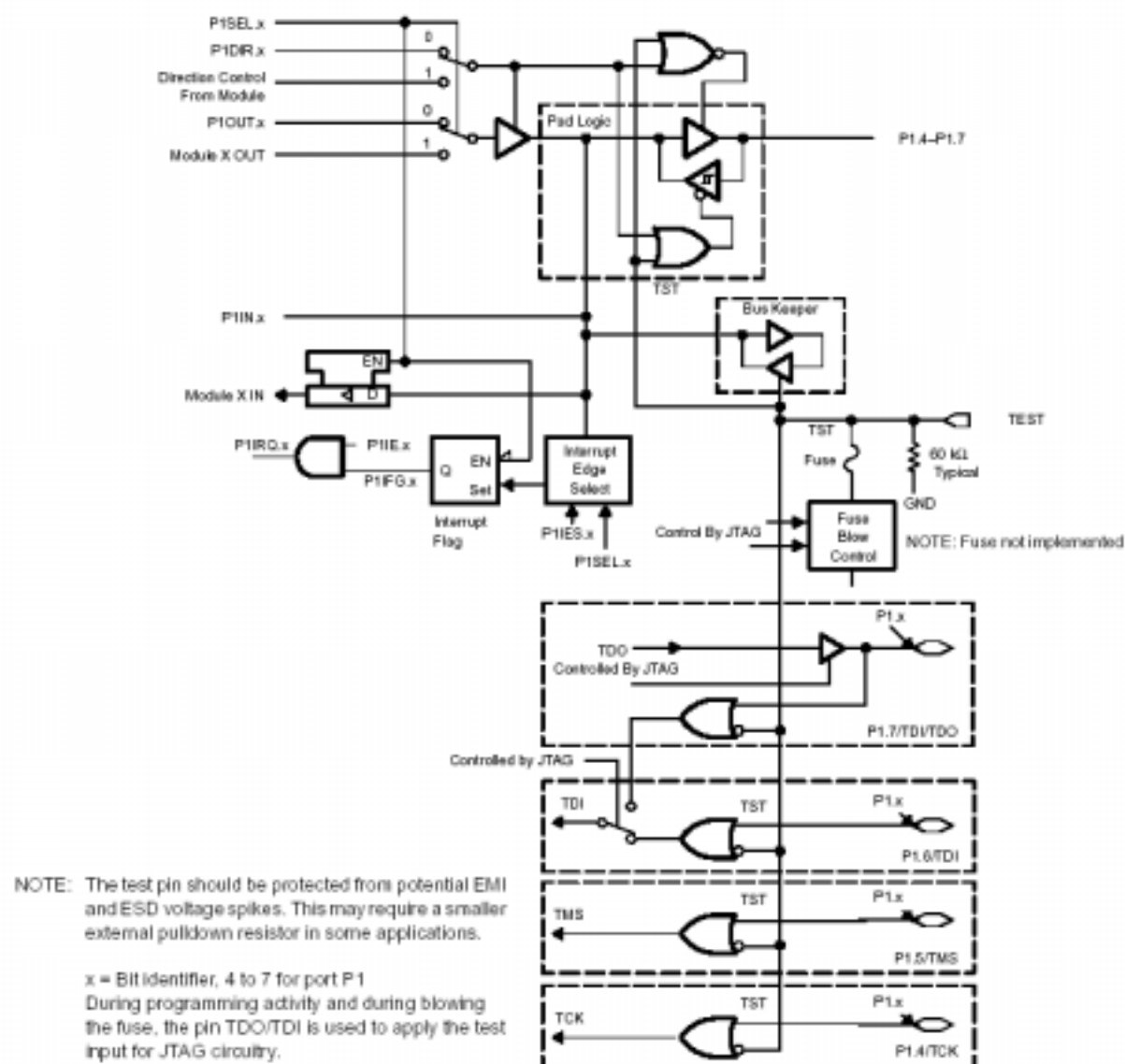
注意: x=位标示符, 端口 P1 的 0 到 3.

PnSel.x	PnDir.x	Direction control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P1Sel.0	P1Dir.0	P1Dir.0	P1OUT.0	VSS	P1IN.0	TACLK $\uparrow$	P1IE.0	P1IFG.0	P1IES.0
P1Sel.1	P1Dir.1	P1Dir.1	P1OUT.1	Out0 signal $\uparrow$	P1IN.1	CC0A $\uparrow$	P1IE.1	P1IFG.1	P1IES.1
P1Sel.2	P1Dir.2	P1Dir.2	P1OUT.2	Out1 signal $\uparrow$	P1IN.2	CC1A $\uparrow$	P1IE.2	P1IFG.2	P1IES.2
P1Sel.3	P1Dir.3	P1Dir.3	P1OUT.3	Out2 signal $\uparrow$	P1IN.3	CC2A $\uparrow$	P1IE.3	P1IFG.3	P1IES.3

$\uparrow$ 退出Timer_A的信号



端口 P1, P1.4 到 P1.7, 带施密特触发器和在系统访问特性的输入/输出

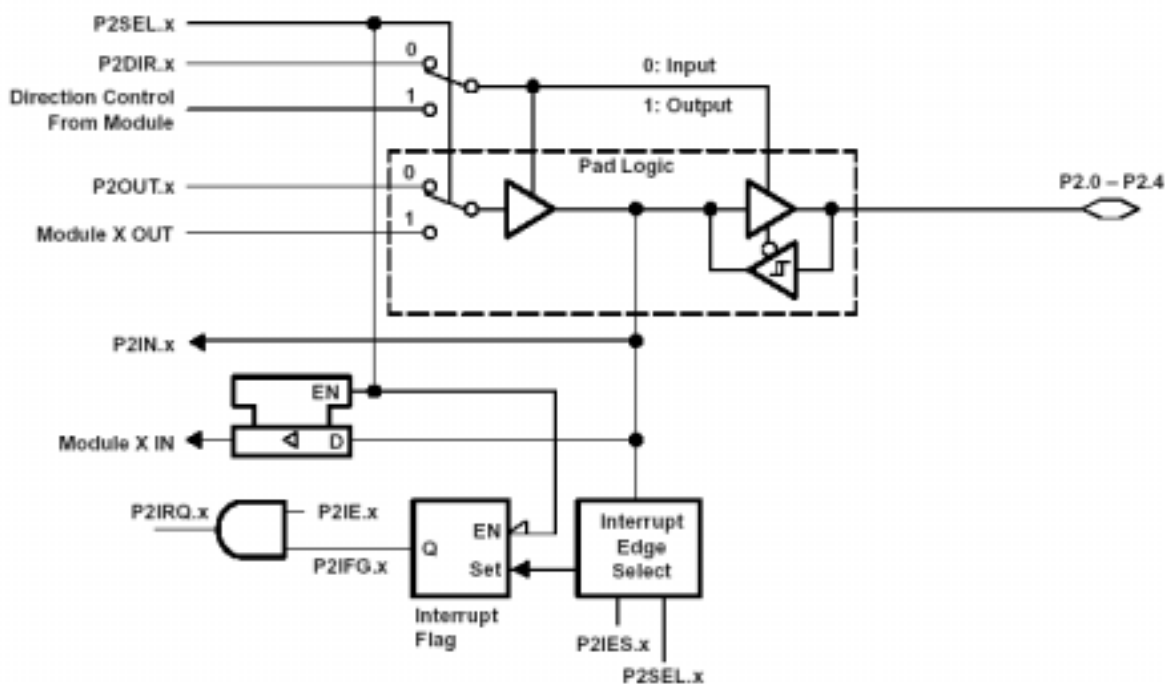


PnSel.x	PnDir.x	Direction control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P1Sel.4	P1Dir.4	P1Dir.4	P1OUT.4	SMCLK	P1IN.4	unused	P1IE.4	P1IFG.4	P1IES.4
P1Sel.5	P1Dir.5	P1Dir.5	P1OUT.5	Out0 signal†	P1IN.5	unused	P1IE.5	P1IFG.5	P1IES.5
P1Sel.6	P1Dir.6	P1Dir.6	P1OUT.6	Out1 signal†	P1IN.6	unused	P1IE.6	P1IFG.6	P1IES.6
P1Sel.7	P1Dir.7	P1Dir.7	P1OUT.7	Out2 signal†	P1IN.7	unused	P1IE.7	P1IFG.7	P1IES.7

† Signal from or to Timer_A



端口 P2, P2.0 到 P2.4, 带施密特触发器的输入/输出



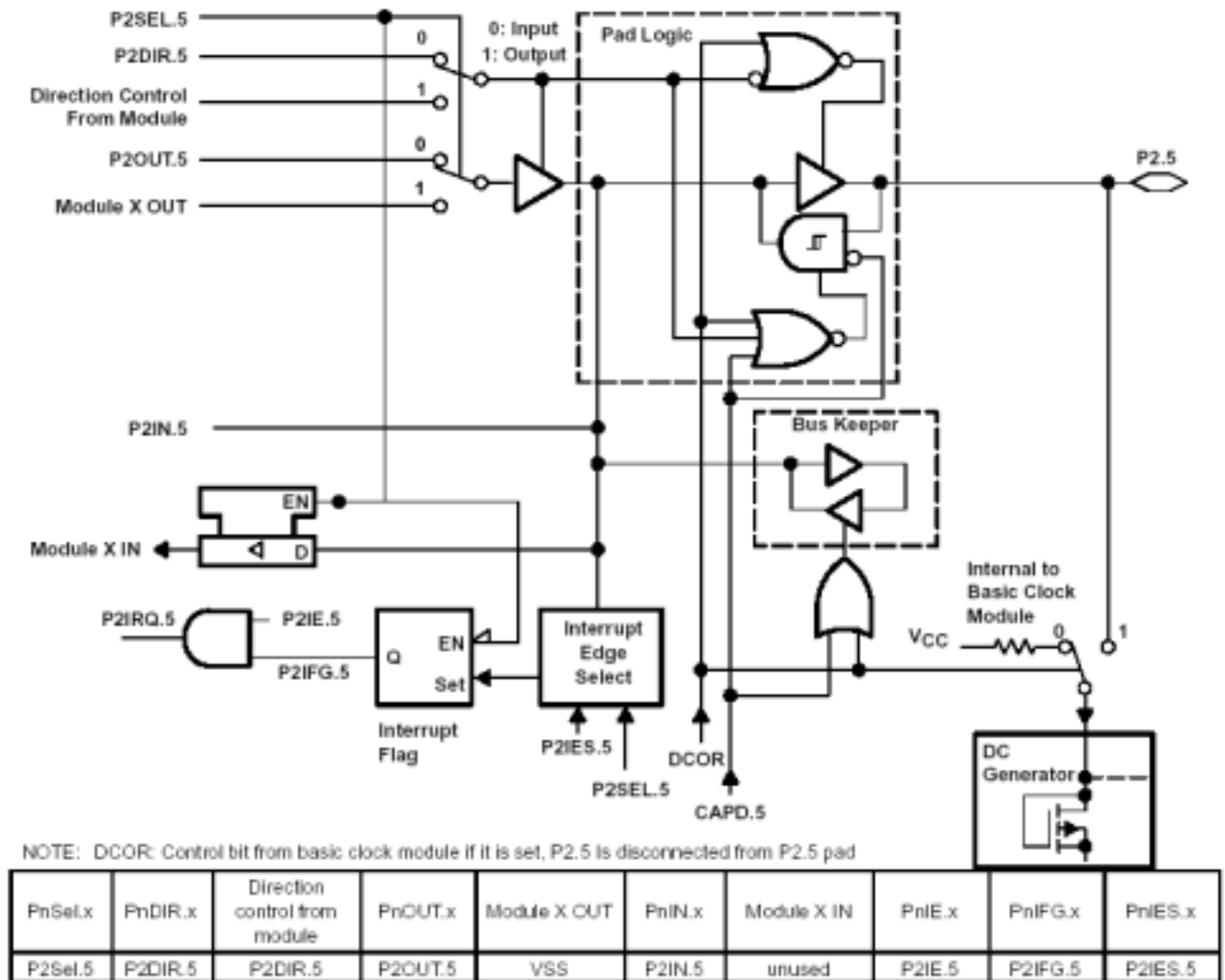
NOTE: x = Bit Identifier, 0 to 4 For Port P2

PnSelx	PnDir.x	Direction control from module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.0	P2Dir.0	P2Dir.0	P2OUT.0	ACLK	P2IN.0	unused	P2IE.0	P2IFG.0	P1IES.0
P2Sel.1	P2Dir.1	P2Dir.1	P2OUT.1	VSS	P2IN.1	INCLK [†]	P2IE.1	P2IFG.1	P1IES.1
P2Sel.2	P2Dir.2	P2Dir.2	P2OUT.2	Out0 signal [†]	P2IN.2	CCI0B [†]	P2IE.2	P2IFG.2	P1IES.2
P2Sel.3	P2Dir.3	P2Dir.3	P2OUT.3	Out1 signal [†]	P2IN.3	CCI1B [†]	P2IE.3	P2IFG.3	P1IES.3
P2Sel.4	P2Dir.4	P2Dir.4	P2OUT.4	Out2 signal [†]	P2IN.4	unused	P2IE.4	P2IFG.4	P1IES.4

[†] Signal from or to Timer_A

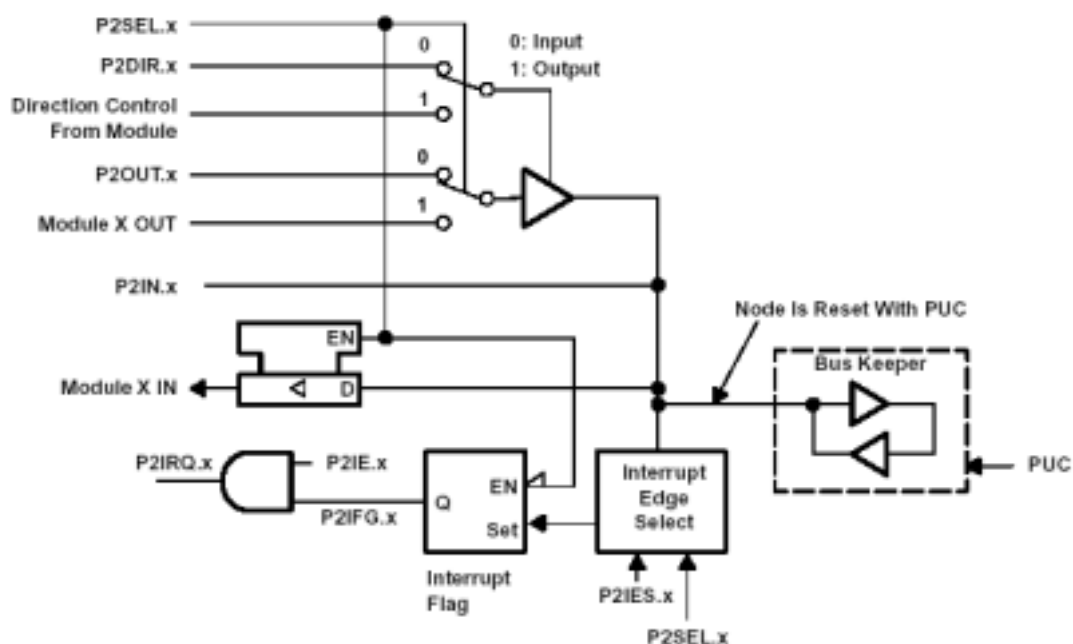


端口 P2, P2.5, 带施密特触发器和用于基本时钟模块的 Rosc 功能的输入/输出





端口 P2，未引出的位 P2.6 和 P2.7



NOTE: x = BitIdentifier, 6 to 7 for port P2 without external pins

P2Sel.x	P2Dir.x	Direction control from module	P2OUT.x	Module X OUT	P2IN.x	Module X IN	P2IE.x	P2IFG.x	P2ES.x
P2Sel.6	P2Dir.6	P2Dir.6	P2OUT.6	VSS	P2IN.6	unused	P2IE.6	P2IFG.6	P2ES.6
P2Sel.7	P2Dir.7	P2Dir.7	P2OUT.7	VSS	P2IN.7	unused	P2IE.7	P2IFG.7	P2ES.7

NOTE: A good use of the unbonded bits 6 and 7 of port P2 is to use the interrupt flags. The interrupt flags can not be influenced from any signal other than from software. They work then as a soft interrupt.

JTAG 熔丝检查模式

在 TEST 端子有熔丝的 MSP430 器件有一个熔丝检查模式，在上电复位之后第一次访问 JTAG 端口时，测试熔丝的连通性。检查激活时，如果熔丝没有烧断，将有一个熔丝检查电流从 TEST 引脚流向地。务必防止意外地激活熔丝检查模式并增加整个系统功耗。在测试或编程周期之后，若 TEST 引脚返回低电平，熔丝检查模式和检测电流终止。

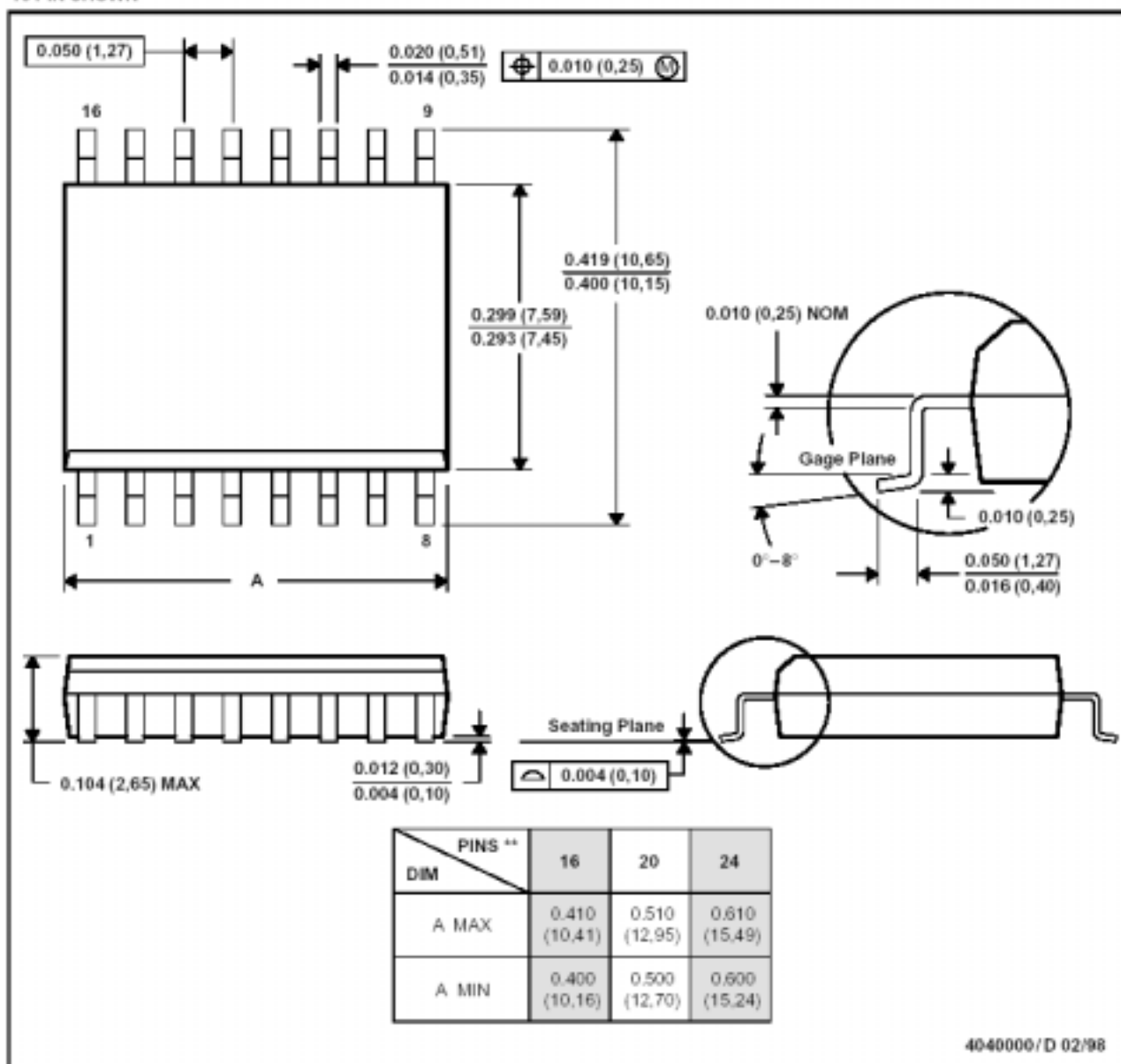


机械数据

DW (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

16 PIN SHOWN



NOTES: A. All linear dimensions are in inches (millimeters).

B. This drawing is subject to change without notice.

C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15).

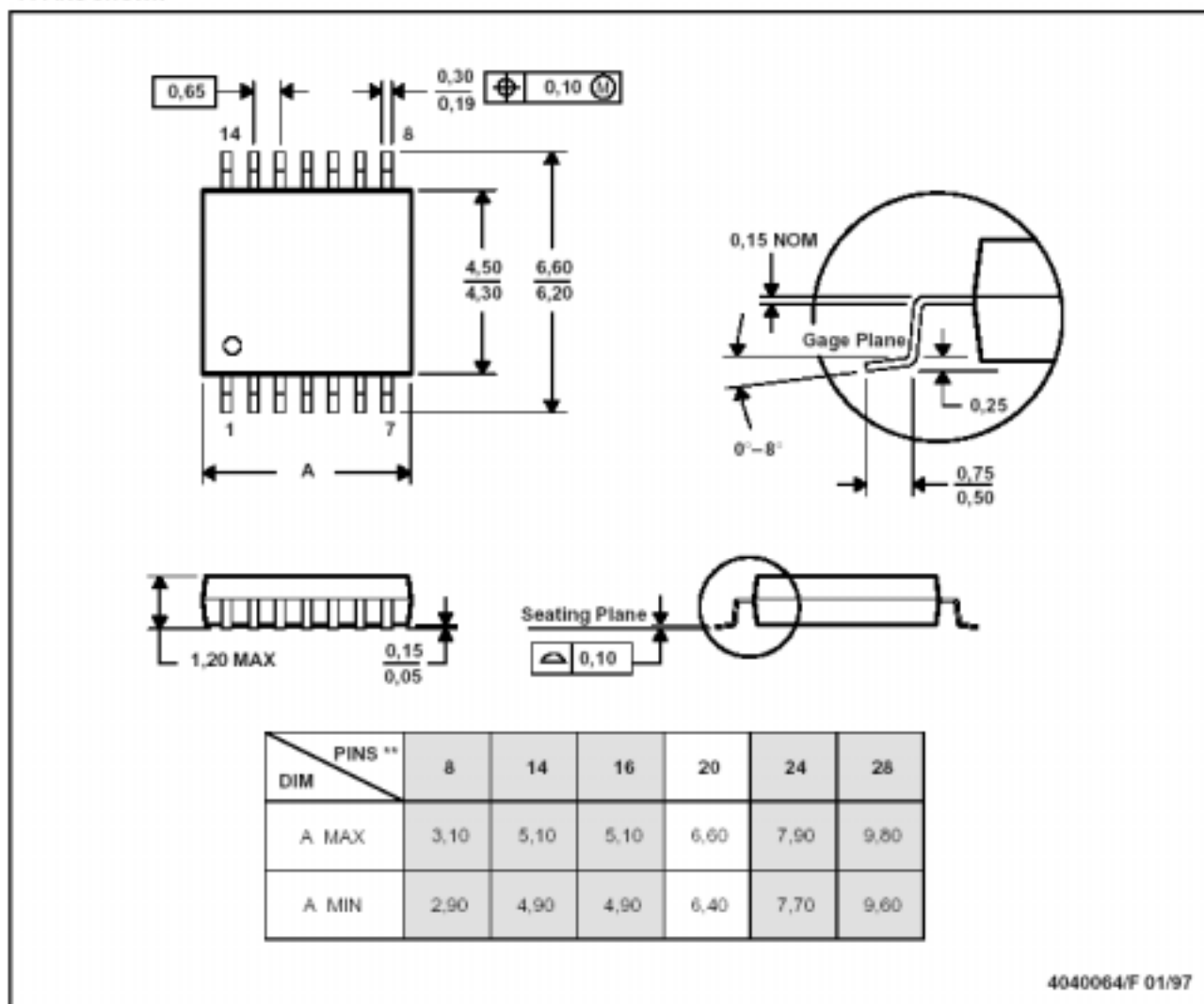
D. Falls within JEDEC MS-013



PW (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
D. Falls within JEDEC MO-153