

- 低电压范围: 1.8 V... 3.6 V。
- 超低功耗:
 - 活动模式: 225 μ A at 1 MHz, 2.2 V
 - 待机模式: 0.8 μ A
 - 掉电模式: (RAM数据保持): 0.1 μ A
- 五种省电模式。
- 从待机到唤醒模式响应时间不超过6 μ S
- 频率锁相环, FLL+。
- 16位精简指令系统, 指令周期125-ns。
- 带有三个捕获/比较寄存器的16位定时器 (Timer_A)。
- 集成96段LCD驱动器。
- 片内比较器。
- 串行在线可编程, 无需提供外部编程电压。
- 采用保险熔丝的可编程代码保护措施。
- 闪烁存储器, 器件具有bootstrap程序装载器。
- 该系列产品包括:
 - MSP430C412: 4KB ROM, 256B RAM ;
 - MSP430C413: 8KB ROM, 256B RAM ;
 - MSP430F412: 4KB + 256B Flash Memory,256B RAM;
 - MSP430F413: 8KB + 256B Flash Memory,256B RAM
- 64脚QFP封装形式。

产品描述:

TI公司的MSP430系列是一个特别强调超低功耗的单片品种, 很适合应用于采用电池供电的长时间工作场合。在这个系列中有很多个型号, 它们是由一些基本功能模块按不同的应用目标组合而成。MSP430系列的CPU采用16位精简指令系统,集成有16位寄存器和常数发生器, 发挥了最高的代码效率。它采用数字控制振荡器(DCO), 使得从低功耗模式到唤醒模式的转换时间小于6 μ s。其中MSP430x41x 系列微控制器设计有一个16位定时器,一个比较器,96段LCD驱动器和48个通用I/O引脚。

典型应用: 捕获传感器的模拟信号转换为数据加以处理后发送到主机。其中芯片中的比较器和定时器是工业仪表、计数装置和手持式仪表等产品设计中的理想选择。

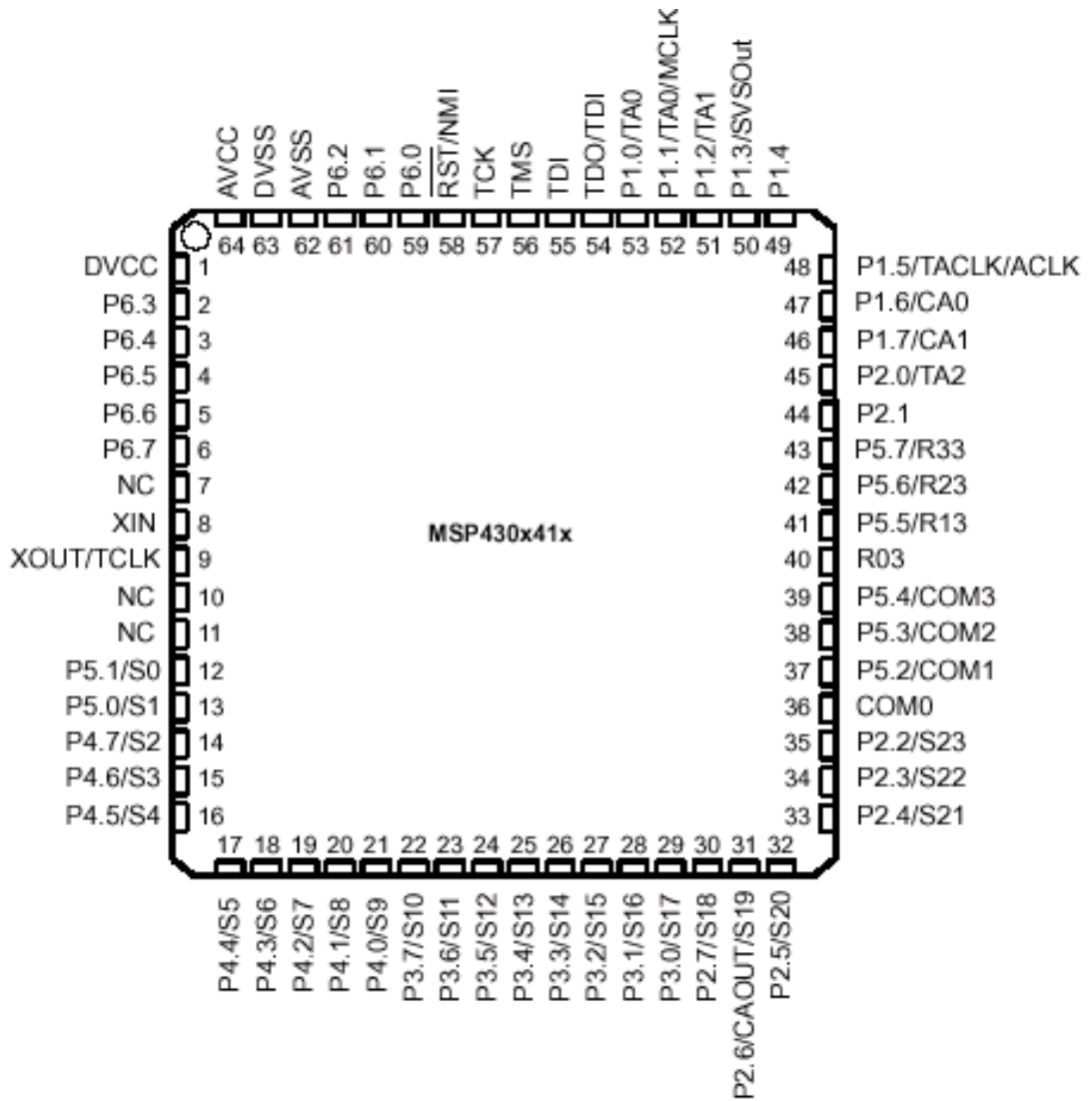
可用选型

TA	封装形式 PLASTIC 64-PIN QFP (PM)
-40°C—85°C	MSP430C412IPM MSP430C413IPM MSP430F412IPM MSP430F413IPM



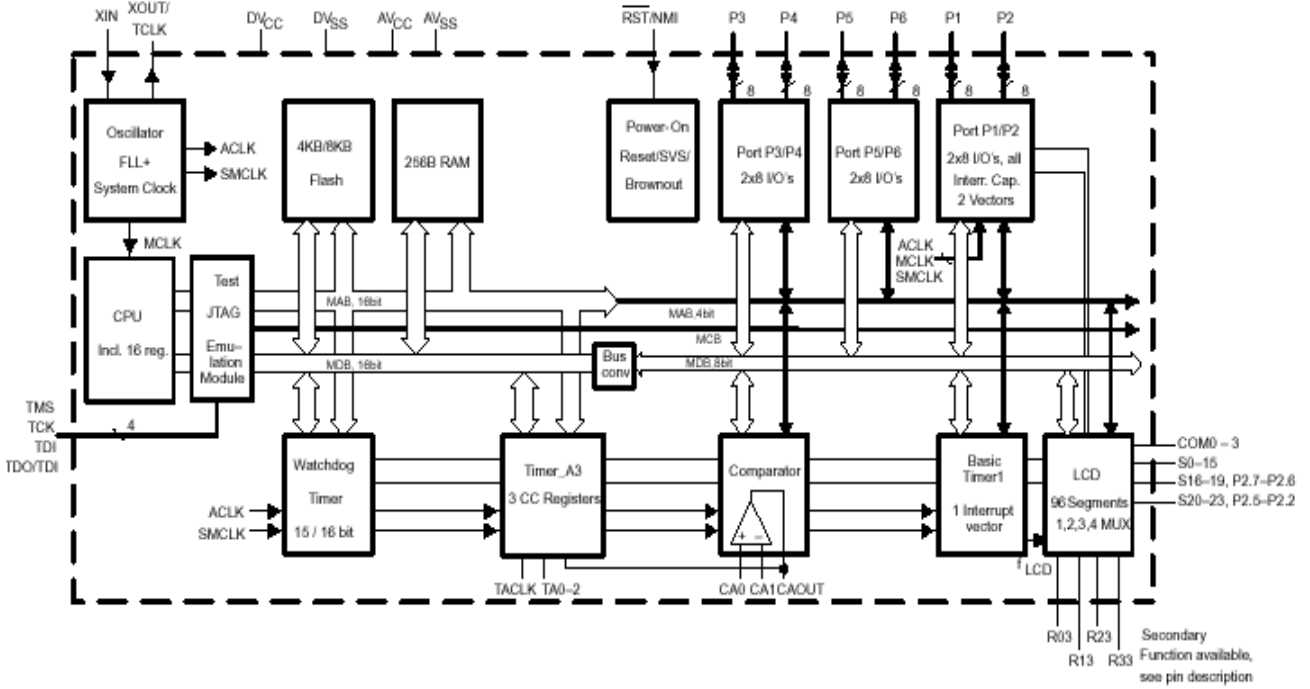
请了解与TI半导体产品相关的注意事项,包括有效性、标准产品保证和典型应用以及附在数据表后面的未承诺的事项。

MSP430x41x引脚定义：



NC: 未用空脚

功能模块图



Terminal Functions

MSP430x41x`

引脚名称	编号.	I/O	描述
AVCC	64		模拟正电源端, 向 SVS, brownout, oscillator, FLL+, comparator_A, port 1, and LCD resistive divider 电路供电, 上电不必早于DVCC.
AVSS	62		内部连接于 DVSS
DVCC	1		数字正电源端, 提供所有部件电源 (由 AVCC供电的除外)
DVSS	63		数字地, 所有部件的接地 (通过AVCC/AVSS.供电的除外)
NC	7, 10, 11		空脚
P1.0/TA0	53	I/O	通用数字 I/O/定时器_A. 捕获方式: CCI0A 输入, 比较方式: Out0 输出
P1.1/TA0/MCLK	52	I/O	通用数字 I/O/定时器_A. 捕获方式: CCI0B 输入/MCLK输出, 注意: 在这个引脚上, TA0只能输入,
P1.2/TA1	51	I/O	, 捕获方式: CCI1A 输入, 比较方式: Out1 输出
P1.3/SVSSOut	50	I/O	通用数字 I/O /SVS: SVS 比较器的输出端
P1.4	49	I/O	通用数字 I/O
P1.5/TACLK/ ACLK	48	I/O	通用数字 I/O /定时器A输入时钟/ ACLK输出
P1.6/CA0	47	I/O	通用数字 I/O/比较器A输入脚
P1.7/CA1	46	I/O	通用数字 I/O/比较器A输入脚
P2.0/TA2	45	I/O	通用数字 I/O/定时器_A. 捕获方式: CCI2A 输入, 比较方式: Out2 输出
P2.1	44	I/O	通用数字 I/O
P2.2/S23	35	I/O	通用数字 I/O/LCD 段23输出脚 (见注1)
P2.3/S22	34	I/O	通用数字 I/O/LCD 段22输出脚 (见注1)
P2.4/S21	33	I/O	通用数字 I/O/LCD 段21输出脚 (见注1)
P2.5/S20	32	I/O	通用数字 I/O/LCD 段20输出脚 (见注1)
P2.6/CAOUT/S19	31	I/O	通用数字 I/O/比较器A输出/LCD 段19输出脚 (见注1)
P2.7/S18	30	I/O	通用数字 I/O/LCD 段18输出脚 (见注1)
P3.0/S17	29	I/O	通用数字 I/O/LCD 段17输出脚 (见注1)
P3.1/S16	28	I/O	通用数字 I/O/LCD 段16输出脚 (见注1)
P3.2/S15	27	I/O	通用数字 I/O/LCD 段15输出脚 (见注1)
P3.3/S14	26	I/O	通用数字 I/O/LCD 段14输出脚 (见注1)
P3.4/S13	25	I/O	通用数字 I/O/LCD 段13输出脚 (见注1)
P3.5/S12	24	I/O	通用数字 I/O/LCD 段12输出脚 (见注1)
P3.6/S11	23	I/O	通用数字 I/O/LCD 段11输出脚 (见注1)
P3.7/S10	22	I/O	通用数字 I/O/LCD 段10输出脚 (见注1)

注1: 当LCD模块控制位置位, 不需要 PxSEL位设置, LCD 功能将自动被选择。

MSP430x41x

引脚名称	编号	I/O	描述
P4.0/S9	21	I/O	通用数字I/O/LCD 段9出脚 (见注1)
P4.1/S8	20	I/O	通用数字I/O/LCD 段8脚 (见注1)
P4.2/S7	19	I/O	通用数字I/O/LCD 段7出脚 (见注1)
P4.3/S6	18	I/O	通用数字I/O/LCD 段6出脚 (见注1)
P4.4/S5	17	I/O	通用数字I/O/LCD 段5出脚 (见注1)
P4.5/S4	16	I/O	通用数字I/O/LCD 段4出脚 (见注1)
P4.6/S3	15	I/O	通用数字I/O/LCD 段3输出脚 (见注1)
P4.7/S2	14	I/O	通用数字I/O/LCD 段2输出脚 (见注1)
P5.0/S1	13	I/O	通用数字I/O/LCD 段1输出脚 (见注1)
P5.1/S0	12	I/O	通用数字I/O/LCD 段0输出脚 (见注1)
COM0	36	O	LCD公共输出端COM0.
P5.2/COM1	37	I/O	通用数字I/O/ LCD公共输出端COM1
P5.3/COM2	38	I/O	通用数字I/O/ LCD公共输出端COM2
P5.4/COM3	39	I/O	通用数字I/O/ LCD公共输出端COM3
R03	40	I	LCD 模拟电平第四极输入脚(最低电平V5)
P5.5/R13	41	I/O	通用数字I/O/ LCD 模拟电平第三极输入脚(最低电平V3或V4)
P5.6/R23	42	I/O	通用数字I/O/ LCD 模拟电平第二极输入脚(最低电平V2)
P5.7/R33	43	I/O	通用数字I/O/ LCD 模拟电平第一极输入脚(最低电平V1)
P6.0	59	I/O	通用数字I/O脚
P6.1	60	I/O	通用数字I/O脚
P6.2	61	I/O	通用数字I/O脚
P6.3	2	I/O	通用数字I/O脚
P6.4	3	I/O	通用数字I/O脚
P6.5	4	I/O	通用数字I/O脚
P6.6	5	I/O	通用数字I/O脚
P6.7	6	I/O	通用数字I/O脚
RST/NMI	58	I	复位输入脚或非屏蔽终端输入端
TCK	57	I	测试时钟. TCK 是芯片编程和测试的时钟输入脚
TDI	55	I	测试数据输入. TDI用作数据输入. 芯片的保护熔丝与TDI相连.
TDO/TDI	54	I/O	测试数据输出. TDO/TDI做为数据输出或编程数据输入端
TMS	56	I	测试模式选择. TMS在芯片编程和测试时是输入脚
XIN	8	I	晶体振荡器XT1输入脚. 可以连接标准晶体或晶体振荡器.
XOUT/TCLK	9	I/O	晶体振荡器XT1输入脚.或测试时钟输入脚

注1:当LCD模块控制位置位, 不需要 PxSEL位设置, LCD 功能将自动被选择。

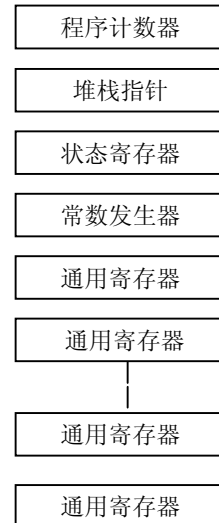
简介:

1、处理单元

处理单元基于相容的正交设计的cpu和指令集, 这种设计结构源于类似的精简指令体系, 具有高度的应用开发透明性并且易于设计。除了流程控制指令, 所有的操作和寄存器操作相类似, 其中源操作数有七种寻址方式, 目标操作数有四种寻址方式。

2、中央处理器

cpu中包含的16个寄存器用于缩短指令执行时间, 可以在一个时钟周期内完成寄存器与寄存器间的操作。其中4个寄存器用作特殊用途: 一个是程序计数器, 一个堆栈指针, 一个状态寄存器和一个常数发生器。其余寄存器都可以用作通用寄存器。外围模块通过数据、地址和控制总线与Cpu相连。通过所有存储器操作指令可以很容易的对它们进行控制。



3、指令集

采用寄存器—寄存器结构的指令体系, 提供一种非常强大易用的汇编语言。整个指令集由51条指令构成, 具有三种格式和七种寻址方式

表 1总结了三种指令格式并举例, 寻址方式见表2

表1 指令字格式

双操作数: 源—目的	Eg ADD R4 .R5	R4+R5→R5
单操作数: 目的	Eg CALL R8	PC→(TOS), R8→PC
相对转移 (条件/无条件)	Eg JNE	当位为0时跳转

每一条指令是字操作指令还是字节操作指令由后缀“B”决定

例: 字操作

```
MOV EDE, TONI
ADD #235h, &MEM
PUSH R5
SWPB R5
```

字节操作

```
MOV.B EDE, TONI
ADD.B #35h, &MEM
PUSH.B R5
—
```

表2: 寻址方式描述

寻址方式	S	D	语 法	例 子	操 作
寄存器寻址	√	√	MOV RS , RD	MOV R10,R11	R10→R11
相对寻址	√	√	MOV X(Rn),Y(Rm)	MOV2(R5),6(R6)	M(2+R5)→M(6+R6)
符号(PC相对)寻址	√	√	MOV EDE ,TONI		M(EDE) →M(TONI)
绝对寻址	√	√	MOV &MEM,&TCDAT		M(MEM) →M(TCDAT)
间接寻址	√		MOV @Rn,Y(Rm)	MOV@R10,Tab(R6)	M(R10) →M(TAB+R6)
间接变址寻址	√		MOV @Rn+Rm	MOV @R10+,R11	M(R10) →R11 R10+2→R10
立即寻址	√		MOV #X,TONI	MOV #45,TONI	#45→M(TON1)

通过计算进行转移(BR)和子程序调用(CALL)指令采用和其他指令相同的寻址方式。由于这些寻址方式提供了间接寻址方法,非常适合通过计算地址来实现分支跳转和子程序调用。这种编程能力实现了一种不同于传统8位或16位控制器的程序结构。例如,可以很容易地解决多程序调用中的指针和堆栈问题,而不必通过设置大量程序标志来进行流程控制。

工作方式:

通过对不同模块操作模式和CPU状态的智能化管理,MSP430芯片的工作方式可以适应多种超低电压和超低功耗的需求,即便在中断处理期间也一样。一个中断事件可以把系统从各种低功耗方式唤醒并且通过RETI指令返回到中断以前的工作状态。系统适用的时钟信号有ACLK和MCLK。ACLK就是晶振的频率信号,MCLK和SMCLK是ACLK的倍频信号,作为系统和子系统时钟。

下面是芯片支持的六种工作方式:

- 1、活动方式(AM): CPU和不同组合的外围模块被激活,处于活动状态。
- 2、低功耗方式0 (LPM0): CPU停止工作,外围模块继续工作,ACLK和SMCLK有效,MCLK的环路控制有效。
- 3、低功耗方式1 (LPM1): CPU停止工作,外围模块继续工作,ACLK和SMCLK有效,MCLK的环路控制无效。
- 4、低功耗方式2 (LPM2): CPU停止工作,外围模块继续工作,ACLK有效,SMCLK和MCLK环路控制无效。
- 5、低功耗方式3 (LPM3): CPU停止工作,外围模块继续工作,ACLK有效,SMCLK和MCLK环路控制无效,并且数字控制振荡器(DCO)的DC发生器被关闭。
- 6、低功耗方式4 (LPM4): CPU停止工作,外围模块继续工作(如果提供外部时钟),ACLK信号被禁止(晶体振荡器停止工作),SMCLK/MCLK环路控制无效,并且数字控制振荡器(DCO)的DC发生器被关闭。

工作方式 (续)

通过软件对内部时钟系统的不同设置,可以控制芯片处于不同工作方式。整个时钟系统提供丰富的软硬件组合形式,以达到最低的功耗并发挥最优的系统性能。具体有:

- 1、使用内部时钟发生器(DCO)无需外接任何元件;
- 2、选择外接晶体或陶瓷谐振器,可以获得最低频率和功耗;
- 3、采用外部时钟信号源。

状态寄存器SR中共有四个用于控制CPU和系统时钟发生器的控制位,可以影响时钟系统的操作方式,控制各种低功耗方式快速转换。它们是: SCG1, SCG0, OscOff, 和 CPUOff.

15									0
保留	V	SCG1	SCG0	OSCOff	CUPOff	GIE	N	Z	C
Rw-0	Rw-0	Rw-0	Rw-0	Rw-0	Rw-0	Rw-0	Rw-0	Rw-0	Rw-0

当系统时钟发生器基本功能确定后, CPUOff, SCG1, SCG0和 OscOff 是最重要的低功耗控制位。在中断响应前,它们总是被压入堆栈保存起来,以便返回时恢复原态。在中断处理期间,它们可以通过间接存取堆栈中的数据来改变,以便程序在中断返回后可以进入另外一种工作方式。

CPUOff: CPUOff位如果置1, CPU停止工作;

SCG0: SCG0位如果置1,将禁止FLL+工作;

SCG1: SCG1位如果置1, 将禁止MCLK 和SMCLK 信号;

OscOff: OscOff位如果置1, LFXT1 晶体振荡器停止工作;

DC 发生器: 当SCG0和SCG1 都为1时, DCO的dc发生器工作停止。

中断向量地址：

中断向量和上电起始地址位于ROM中的0FFFFh – 0FFE0h范围内。向量中包含各种中断处理程序的16位入口地址。

中断源	中断标志	系统中断	字地址	优先级
上电 外部复位 看门狗 闪烁存储器	WDTIFG KEYV (注释2)	RESET	0FFFEh	15,最高
NMI 振荡器错误 非法访问Flash ROM 存储器	NMIIFG (注释2&4) OFIFG (注释2&4) ACCVIFG (注释2&4)	(非)可屏蔽 (非)可屏蔽 (非)可屏蔽	0FFFCh	14
			0FFFAh	13
			0FFF8h	12
比较器 A	CMPAIFG	可屏蔽	0FFF6h	11
看门狗定时器	WDTIFG		0FFF4h	10
			0FFF2h	9
			0FFF0h	8
			0FFEEh	7
TIMER_A3	CCIFG0 (注释3)	可屏蔽	0FFECCh	6
TIMER_A3	CCIFG1,CCIFG2 TAIFG (注释2&3)	可屏蔽	0FFEAh	5
I/O口 P1 (8位标志:)	P1IFG.0 (注释2&3) P1IFG.7 (注释2&3)	可屏蔽	0FFE8h	4
			0FFE6h	3
			0FFE4h	2
I/O口 P2 (8位标志:)	P21FG.0 (注释2&3) P21FG.7 (注释2&3)	可屏蔽	0FFE2h	1
BASIC TIMER 1	BTIFG	可屏蔽	0FFE0h	0,最低

注释2：多源标志；

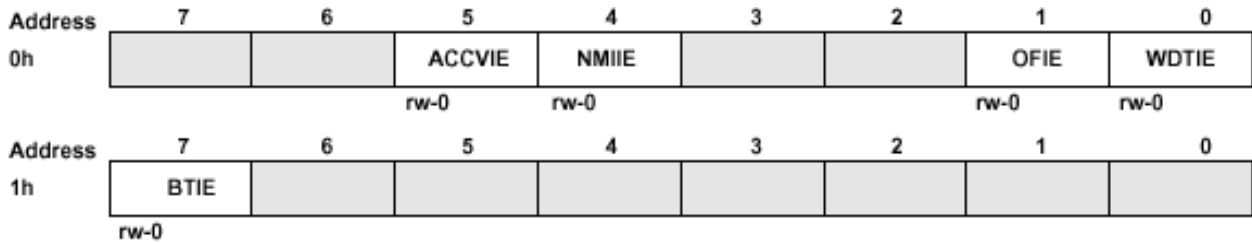
注释3：中断标志位于模块内部；

注释4：(非)可屏蔽中断：单独的中断允许位可以禁止单一中断，但总中断允许位不行。

特殊功能寄存器：

特殊功能寄存器(SFR)包括模块允许位，可以用于启动或停止某个外围模块。无论操作是允许还是停止，所有外围模块的寄存器都可以进行存取。然而，一些模块的节电功能是通过本地寄存器的位状态来控制的，例如：LCD模块的模拟电压发生器启动和关闭是通过一个寄存器位来控制的。多数中断和模块的允许位集中在低地址空间。未分配功能的那些特殊功能寄存器位在器件中实际上并未提供，这样安排可以简化软件存取。

中断使能寄存器1 和2



WDTIE: 看门狗定时器中断允许信号;

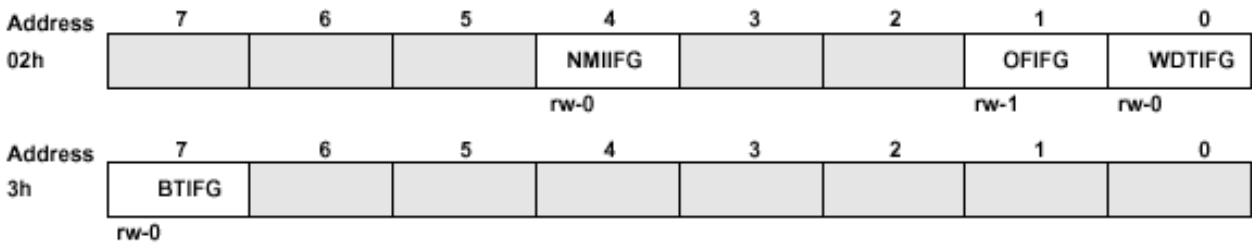
OFIE: 振荡器错误中断允许信号;

NMIIE: 非可屏蔽中断允许信号;

ACCVIE: (非) 可屏蔽中断允许信号, 如果在flash存储器或模块忙时进行错误读写;

BTIE: 基本定时器1中断允许信号。

中断标志寄存器1和2:



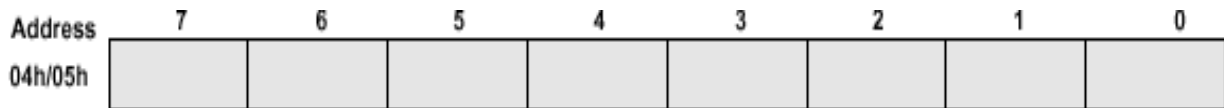
WDTIFG:当溢出、保密密码非法、VCC上电复位或RST/NMI引脚引起复位时置1;

OFIFG: 振荡器错误时置1;

NMIIFG: 通过RST/NMI 引脚置1;

BTIFG: 基本定时器1 中断标志。

模块使能寄存器1和2



Legend: rw:

rw-0:



位可读可写

位可读可写, 可由PUC复位

器件中没有设置SFR位

存储器组织：

		MSP430F412	MSP430C412	MSP430F413	MSP430C413
存储器	大小	4KB	4KB	8KB	
中断向量	ROM	0FFFFh-0FFE0h	0FFFFh-0FFE0h	0FFFFh-0FFE0h	0FFFFh-0FFE0h
代码存储器	ROM	0FFFFh-0F000h	0FFFFh-0F000h	0FFFFh-0E000h	0FFFFh-0E000h
信息存储器	大小	256Byte 010FFh-01000h	无 无	256Byte 010FFh-01000h	无 无
引导存储器	大小	1KB 0FFFh-0C00h	无 无	1KB 0FFFh-0C00h	无 无
RAM	大小	256Byte 02FFh-0200h	256Byte 02FFh-0200h	256Byte 02FFh-0200h	256Byte 02FFh-0200h
外围模块	16-bit	01FFh-0100h	01FFh-0100h	01FFh-0100h	01FFh-0100h
	8-bit	0FFh-010h	0FFh-010h	0FFh-010h	0FFh-010h
	8-bit SFR	0Fh-00h	0Fh-00h	0Fh-00h	0Fh-00h

含有bootstrap装载器的引导ROM

不同bootstrap装载器的目的是用来将数据下载到FLASH存储器模块中。在正常的下载环境，需要进行大量的数据读、写和删除操作。

bootstrap装载器的功能：

读定义：芯片接到P1.0/TA0 (BSLTX)引脚数据，并传送模块寄存器或存储器数据到P1.0/TA0引脚。

写定义：芯片从P1.1/TA0/MCLK (BSLRX)脚读数据并写到flash存储器中。

未保护的功能：

块删除、主存储器删除（段0到段n）

通过bootstrap装载器对MSP430进行存取是受保护的。它必须在任何保护功能实施前被允许。在0FFE0h至 0FFFFh的256个位保存存取密码。

保护功能：

只有存取允许时，所有的保护功能才能执行。具体如下：

- 向FLASH存储器写入/编程数据字节。传递的参数是起始地址和字节数（在UART协议中并不支持和使用FLASH存储器的段写特性）；
- 主存储器中段0到段N的段删除，信息存储器段A至段B的段删除；
- 主存储器和信息存储器的所有数据读操作。
- 所有模块和RAM的读与写操作；
- 改变PC寄存器并且立即开始执行程序。

注：

用户通过定义中断存储器中的内容，可以禁止非法读取代码和数据。

bootstrap 装载器特点是：

- 支持UART通信协议，波特率固定为9600 baud；
- 采用P1.0/TA0引脚发送，P1.1/TA0/MCLK 用于接收；
- TI标准串行协议定义；
- 只有具有FLASH存储器的版本才有装载器；
- 程序可以从用户中断向量地址0FFFEh地址开始执行或取决于bootstrap装载器(地址0C00h)

含有bootstrap装载器的导引ROM (续)

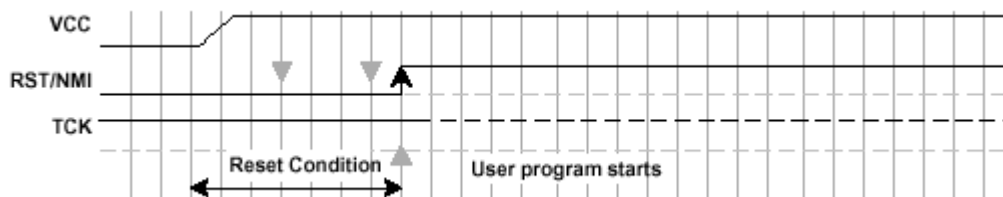
用于串行输入/输出的硬件资源:

- 用于串行数据传送的引脚P1.0/TA0 和P1.1/TA0/MCLK ;
- 可以在复位时通过引脚TCK和RST/NMI; 或bootstrap装载器向量开始执行程序
- FLL+ 模块: SCF10=0, SCF11=098h, SCG0=1;
- 定时器Timer_A: Timer_A 以选定的SMCLK时钟源工作于连续方式, 输入分频器设为1并且使用CCR0, 查询CCIFG0。
- WDT: 看门狗定时器停止;
- 中断: GIE=0, NMIIE=0, OFIFG=0, ACCVIFG=0
- 按照起始条件使用堆栈;
通过RST/NMI 和TCK引脚开始执行程序: 占用6字节, 堆栈指针初始化为220h;
通过软件(例如 BR &0C02h)开始执行: 占用6字节, 堆栈指针指向实际堆栈顶部;
- RAM: 使用20字节, 从地址0200h开始至0219h结束。

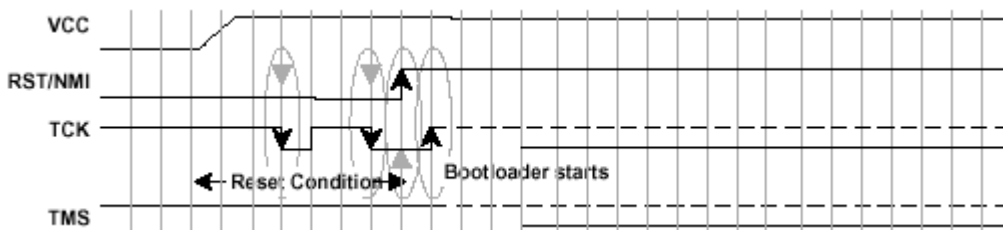
注意

当通过bootstrap装载器向RAM写数据时, 应确保堆栈位于写入的数据之外。

当RST/NMI引脚电平由低到高并且TCK保持高电平, 程序从复位向量地址FFFEh开始执行 (标准模式):



在信号/引脚TCK至少加了两个负跳变后如果TCK保持低电平并且RST/NMI由低到高, 程序从bootstrap向量地址0C00h (引导ROM)开始执行。



注意5: TCK默认为高电平。必须施加一个有效的低电平才能启动bootstrap装载器。

其他的默认引脚功能为低电平的MSP430芯片可以定义使用相反的信号。

6: 当在TCK施加时钟信号时TMS信号必须为高。这样可以确保JTAG控制器功能保持默认模式。

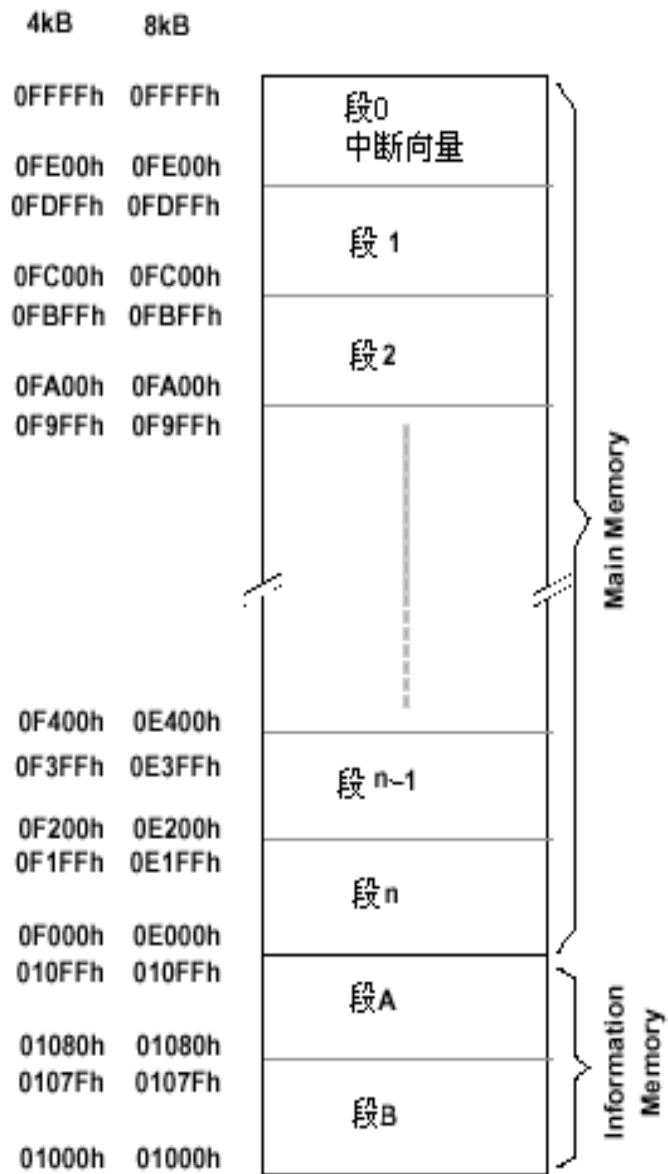
下列情况不能启动bootstrap装载器(通过向量地址0C00h):

- 当RST/NMI 为低时, TCK负跳变小于两次;
- 当RST/NMI由低到高, TCK保持高电平;
- 由JTAG控制MSP430资源;
- VCCV掉电, 上电复位电路POR执行;
- RST/NMI引脚被设计用作NMI功能(NMI位置1)

Flash存储器：

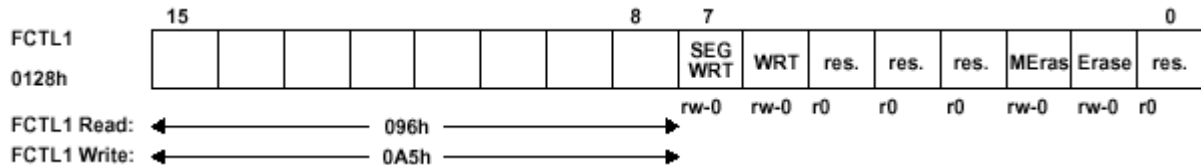
- Flash存储器包括n段主存储器（每个段512字节）和2段信息存储器(A和B，每个段128字节）。
- 段0到n可以一次性删除，也可以每个段单独删除；
- 段A 和 段B 可以单独删除，或者和段0–n一起删除，段A 和 段B也叫做信息存储器；
- 保护熔丝烧断后不可恢复，不能再对JTAG进行任何访问；
- 产生编程/删除电压内部电压发生器：不需要外部提供编程电压但需要V_{CC}提供足够的电流；
- 编程/删除时间由FLASH存储器中的硬件控制，无需任何软件干涉；
- 控制硬件称作闪烁-定时发生器。发生器的输入频率应该在正常范围之内并且应该维持到编程/删除操作完成。在编程/删除模式不能在FLASH存储器中执行任何代码/程序；
- 在编程/删除期间，不能在FLASH存储器中执行任何代码，必须通过将GIE, NMIIE, ACCVIE和 OFIE等位清0，关闭所有中断。如果用户需要在FLASH存储器编程/删除操作的同时执行程序，程序必须从flash存储器以外的存储器执行(如boot ROM, RAM等).在flash存储器编程/删除操作开始时，如果程序计数器正指向flash存储器，CPU将执行JMP \$指令直到flash存储器编程/删除操作完成，然后恢复这以前的软件正常运行。
- 未经编程的新器件可能在信息存储器中存有若干字节数据(厂家生产测试所需)，建议用户在第一次使用前对信息存储器进行一次删除。

FLASH存储器（续）



flash 存储器控制寄存器FCTL1, FCTL2 和 FCTL3

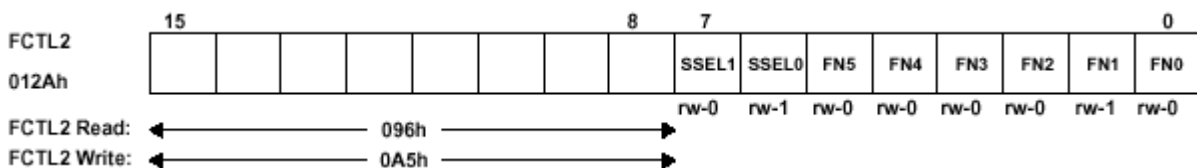
在PUC期间，所有控制位被复位。当VCC加电，RST/NMI引脚满足复位条件、看门狗定时器溢出、看门狗定时器非法存取或者执行一个错误的flash存储器操作时，将引起PUC。在删除、块删除或者写（编程）期间，任何对控制寄存器FCTL1的写操作都将引起非法存取并置标志ACCVIFG=1。在一个活动段处于写模式时，如果等待模式有效(WAIT=1)，可以对控制寄存器进行写操作。读操作没有限制，任何时候都是允许的。控制寄存器的控制位FCTL1 用于控制所有写（编程）或者删除模式的有效位。向控制寄存器写需要将高字节置为关键字0A5H。任何其他的数值都将引起上电清零(PUC)，使控制器复位。



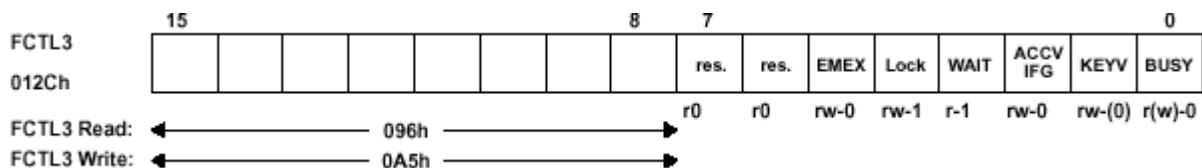
这些位用于控制FLASH存储器删除或块删除、写(WRT)、编程或者段写(SEGWRT)。控制寄存器FCTL2 用于控制定时发生器的操作。定时发生器利用选定的时钟源可以产生用于写、删除和块删除的所有定时信号。有三种不同的时钟源，可选择其一。所选择的时钟源必须经过分频以符合工作条件中建议的频率要求。

注意:

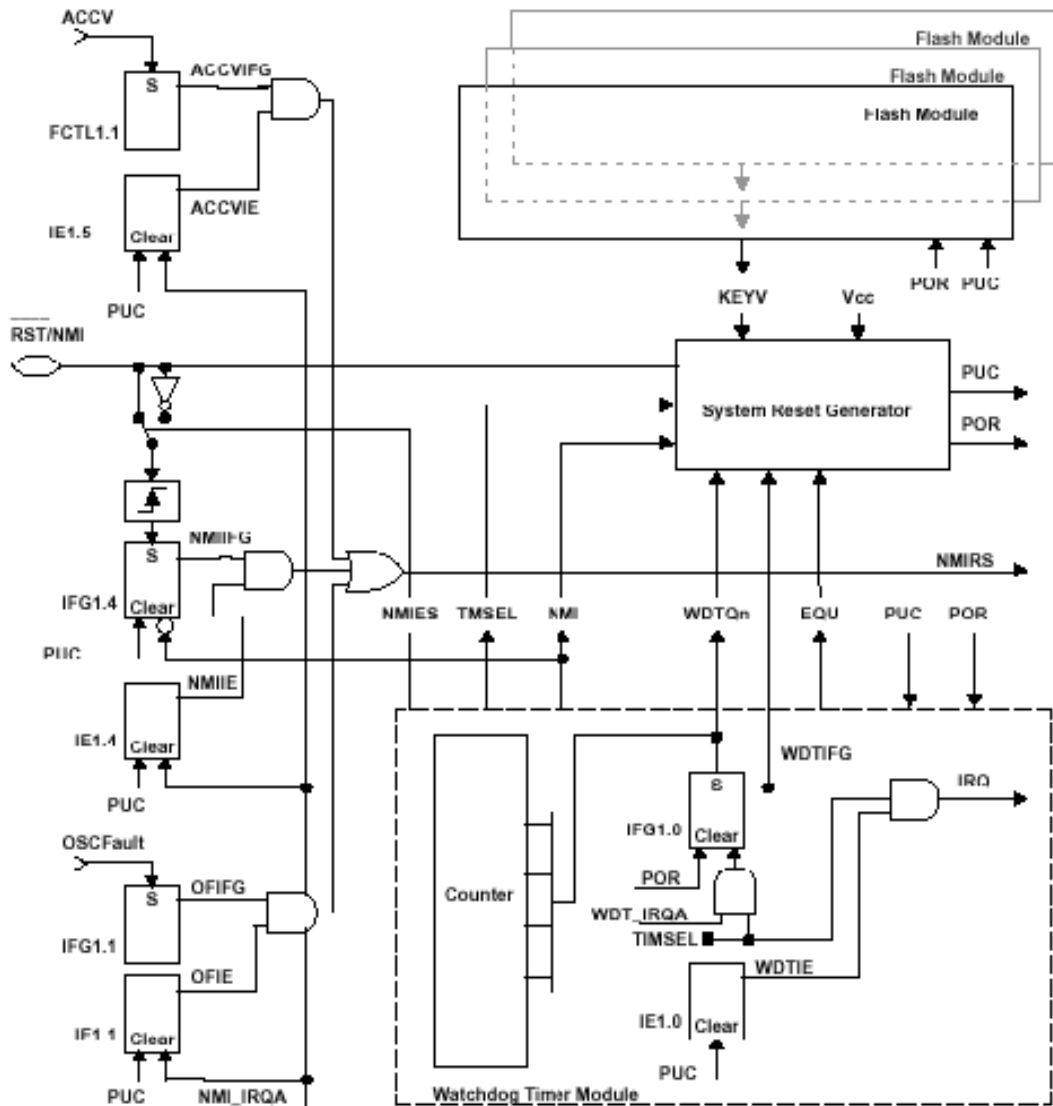
由FLASH定时发生器产生的块删除持续时间至少11.1 ms，而累计块删除时间需要200 ms。可以通过重复执行块删除操作来达到累计删除时间(大约需要19个周期以上)



控制寄存器FCTL3用于控制FLASH存储器操作，保存相应的状态标志和错误条件。对于该控制寄存器的改变，没有什么条件限制。在PUC期间，它的控制位复位或置位(WAIT)，但是在POR期间关键字错误标志位KEYV被复位。



flash 存储器, 中断和保密字非法



IRQA: 中断请求响应信号

图 1、 NMI中断源框图

三种NMI事件使用一个NMI中断向量, 分别是: RST/NMI (NMIIFG), 振荡器错误(OFIFG) 和flash存储器非法存取 (ACCVIFG)。因为所有的中断请求标志将保持为1, 直到被软件清0, 所以可以通过软件的方法来判别是哪一个中断源。在中断返回指令RET1前, 必须直接通过一条指令将中断允许位置1。这样可以确保对堆栈进行控制, 一个未处理的NMI只能中断请求不会自行增加堆栈开销。

外围模块：

通过数据总线、地址总线和控制总线和cpu相连的外围模块，可以通过所有内存操作指令进行控制。

振荡器和系统时钟：

本系统可以使用三种时钟：

- 主系统时钟信号 MCLK, 供CPU和系统使用；
- 子系统(控制) 时钟SMCLK, 供外围模块使用；
- 辅助时钟ACLK, 由LFXT1CLK (晶振频率)产生，供供外围模块使用；

ACLK 源自低功耗，低频率，或高频率晶体构成的振荡器，或者来自外部时钟源 (XTS_FLL必须置1)。当前的操作模式不使用ACLK时，可以关闭晶体振荡器。

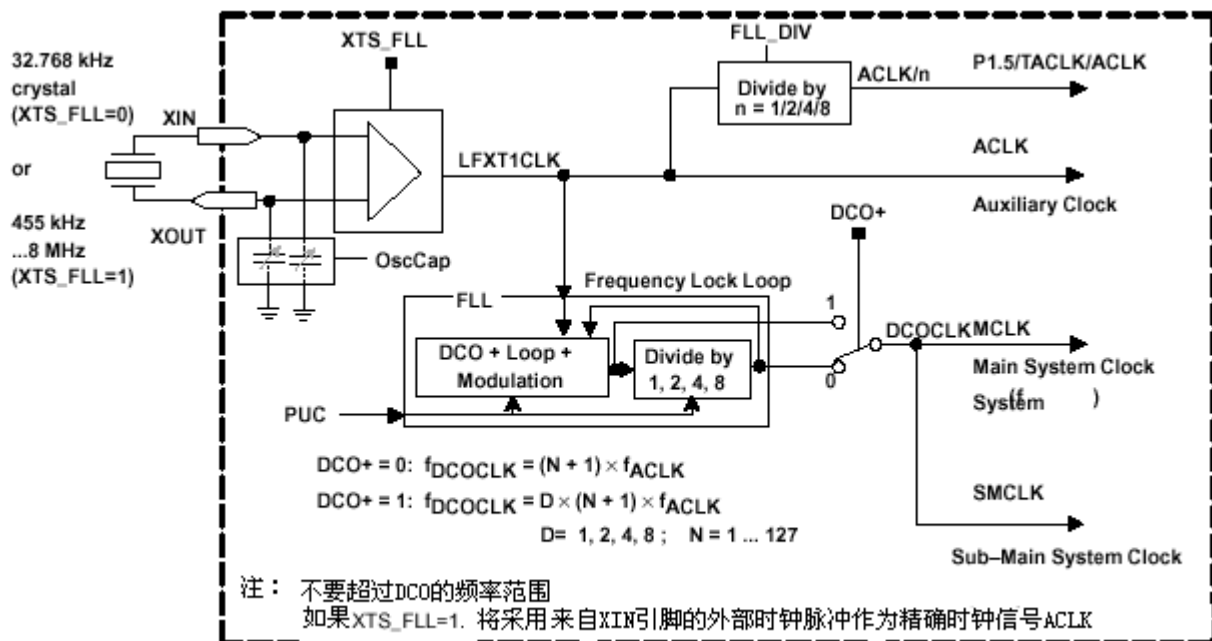


图2、FLL+振荡器和时钟电路原理图

DCOCLK的频率由软件来确定。如果SCG1复位，DCOCLK有效，如果SCG1置位，DCOCLK停止。当SCG0 和SCG1复位时，能够停止dc发生器。决定基本DCO频率的dc发生器，可以通过控制位FN_2, FN_3, FN_4, 和FN_8按五个步骤进行调整。如果依据目标频率需要对FN_x 位进行改变，增加 D 或者设置DCO+，下面几个步骤可以确保不会它超出系统所允许的最高频率。

1. 保存FLL锁定位(SCG0 在状态寄存器中) 并把它置位; 关闭环控制。
2. 把新数值装入调制控制寄存器SCFQCTL (调制位M, 乘数 N)。
3. 将DCO控制位置1, 调制器高位置1: SCF11 = 0Fh , 使得芯片以尽可能低的频率工作;
4. 选择 DCO+控制位为1或0.
5. 将控制寄存器SCF10装入新的数值
6. 还原或设置FLL控制位。

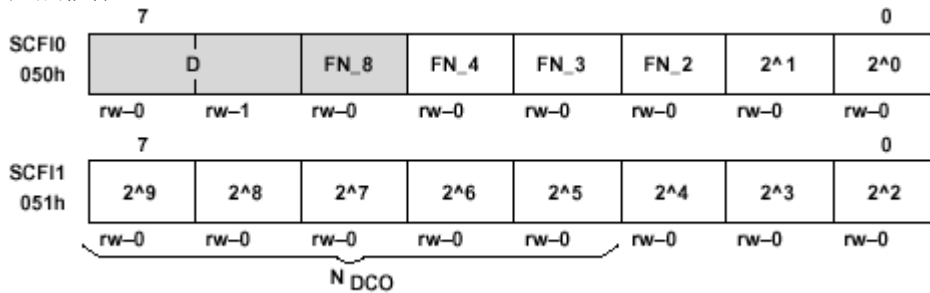
振荡器和系统时钟（续）

注意

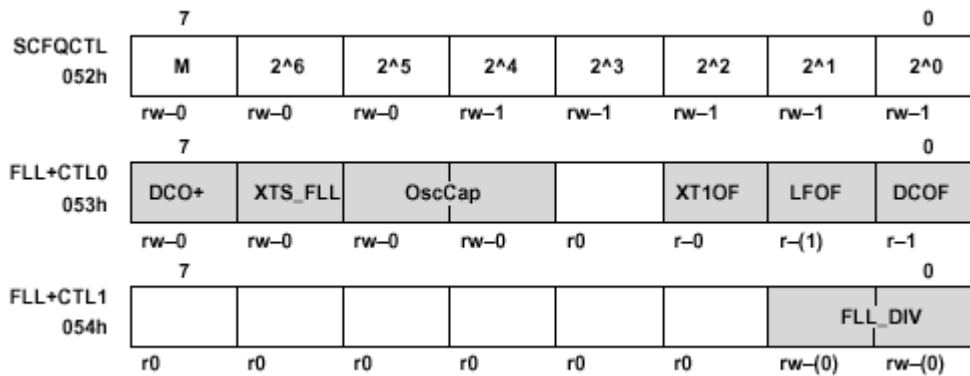
系统时钟发生器开始工作,产生MCLK(CPU 时钟),同时程序也快速开始执行。软件通过操作控制位来定义ACLK时钟发生器

MCLK启动条件以及SMCLK的频率定义方法和MSP430x3xx 的FLL相同。

通过端口线P1.5 ,ACLK可经过1、2、4、8分频,供外部电路使用。这保证了与MSP430x3xx 和 MSP430x1xx 系列的时钟系统相兼容。



注意： DCOF 表明DCO频率的上限($N_{DCO} \geq 28$)和下限($N_{DCO} = 0$)的范围。



有三个振荡器错误标志位：DCOF, XT1OF和LFOF, 分别用于表示DCO, LFXT1 振荡器高频模式和LFXT1低频模式是否操作正确。只有当XTS_FLL=1时, 振荡器错误标志XT1OF 才可用, 而XTS_FLL=0 时 LFOF可用。如果出现这三种振荡器错误之一, OFIFG 标志置1。如果中断使能位OFIE=1, 一个NMI 请求可以被响应。

警告： 如果振荡器停止, 振荡器错误标志置1。停振的原因不仅是诸如晶振损坏、断路等系统故障引起的, 也可能是在振荡器开启时或由未选定到选定状态转换时候引起。

振荡器和系统时钟（续）

可以通过端口引脚在外部使用时钟信号ACLK, MCLK和SMCLK。不同的应用要求和系统条件需要不同的系统时钟。芯片FLL+时钟系统支持下面情况：

- 为了快速响应系统硬件请求或外部事件请求，设为高频率(DCO/FLL+XT1)；
- 为了降低电流消耗，应设为低频率. (LF)
- 对于诸如实时时钟(RTC)等定时应用采用稳定的外部时钟源；
- 允许以最短延时时间启动-停止操作(DCO)

电压检测器，供电管理器

阈值检测器探测VCC引脚是否加电或掉电。供电管理器可以检测到供电电压是否降到最低允许工作电压。上电后，供电管理器停止工作以便把电流消耗降至最小。如果需要，用户可以在软件中将供电管理器打开。用户也可以通过软件设定是否允许上电复位（POR）或者是否通过设定控制寄存器的某个位来锁定某种低功耗状态。

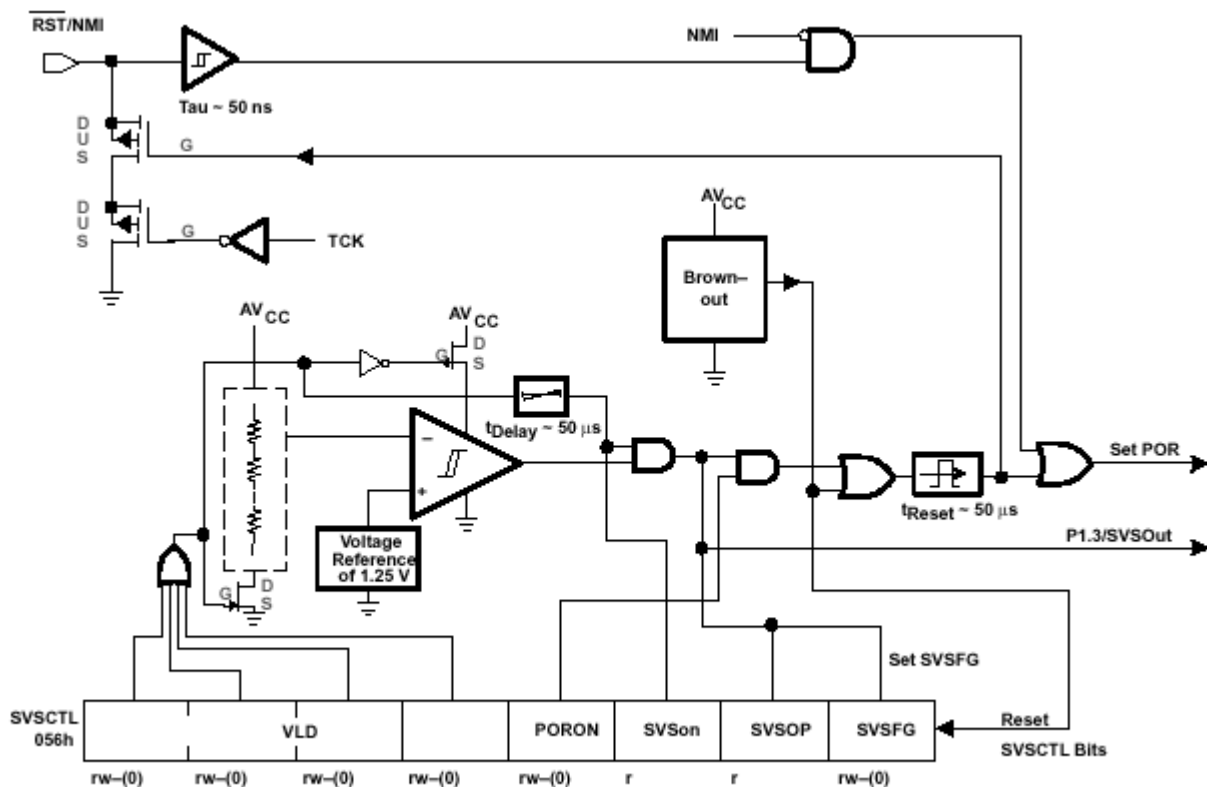


图4、电压检测器和供电管理器原理图

VLD位用于控制供电管理器（SVS）电路的开关状态，VLD=0关闭，VLD=1开启。PORON位用于控制电压过低条件下允许或禁止MSP430自动复位。如果PORON=1，电压将低可以产生一个POR信号并引起MSP430复位。

位SVSon表示SVS电路已经开启并工作，位SVSOP用于观察实际SVS的比较器输出。如果检测到电压降低，位SVSFG置位并且保持直到软件将它复位。尽管SVSOP已经表示了实际比较器的输出，SVSFG可以锁定这个事件。

数字I/O

共有6个8位I/O口——P1口到P6口——互补输出。P1和P2口使用7个控制寄存器,而P3、P4、P5和P6口只用其中4个控制寄存器,最大限度提供了输入/输出的灵活性:

- 所有单独的I/O位都可以单独编程;
- 允许任意组合输入、输出和中断条件;
- P1和P2口的所有8个位全部可以做外中断处理;
- 可以使用所有指令和所有寄存器进行读写;

七个控制寄存器是:

- 8位输入寄存器@ 端口 P1到P6
- 8位输出寄存器@ 端口 P1到P6
- 8位方向寄存器@ 端口 P1到P6
- 8位中断边沿选择寄存器@ 端口 P1和P2
- 8位中断标志寄存器@ 端口 P1和P2
- 8位中断允许寄存器@ 端口 P1和P2
- 8位功能选择(用于端口或模块)寄存器 @ 端口 P1 到 P6

每个寄存器包含8位,有两个中断向量可供使用:一个通常用于P1.0到P1.7引脚中断事件,另一个通常用于P2.0到P2.7的中断事件。P3、P4、P5和P6没有中断能力。

LCD 驱动器:

可以直接驱动静态、2-MUX、3-MUX 和4-MUX的液晶显示器。LCD的控制逻辑可以通过软件以内存位操作形式来定义。LCD显示内存,是LCD模块的一部分,而不是数据存储器。有8种模式和控制位用来定义LCD驱动器的操作和电流消耗。可以很容易地通过查表方法得到单个数字的驱动信息。字段信息可以通过存储器操作指令存到LCD显示内存。

驱动器采用外接分压电阻提供用于2-、3-、和4-MUX操作的模拟电压。I/O-LCD 双功能引脚可以通过指令选择是做I/O还是LCD功能使用。在POR和PUC后,默认的功能是I/O。MSP430x41x 系列芯片有4个公共引线,24个字段引线和4个模拟电平调整引脚。

LCD方式控制寄存器7, 6, 5 位按二进制组合,定义如下:

000 : P5.1/S0到P2.2/S23引脚用作I/O, 不作字段引线;

001 : P5.1/S0 到P3.2/S15 引脚用作字段引脚, P3.1/S16到P2.2/S23用作数字I/O;

010 : P5.1/S0到P2.6CAOUT//S19引脚用作段引脚, P2.5/S20到P2.2/S23用作数字I/O;

011..111 :P5.1/S0 到 P2.2/S23 用作段引脚。

基本定时器 Timer1

基本定时器Timer1 (BT1) 可以通过SSEL位选择,对SMCLK或是ACLK进行分频,提供低频控制信号。这是通过一个中央分频器来完成的。在低功耗应用中常常用到Timer1。BTCTL控制寄存器含有控制和选择不同操作功能的标志位。当芯片上电、复位(RST/NMI引脚)、看门狗溢出或看门狗密钥非法出现时,该寄存器所有位保持原状态。

在程序中,通常在BT初始化期间来设定操作条件。Timer1 含有两个8位的定时器,它们可以组成一个16位的定时器。两个定时器都可以通过软件进行读写。根据基本定时器Timer1中要实现的功能,在SFR地址范围内有两个位起控制作用。这两个位分别是基本定时器Timer1的中断标志位(BTIFG)和中断允许位(BTIE)。

看门狗定时器

看门狗定时器(WDT)模块的基本功能是当软件执行出现混乱时可以控制系统自动复位。如果设定的溢出时间到了,系统将产生复位。如果应用程序不需要看门狗功能,这个模块可以作为一个内部定时起来使用,当选择的定时时间到了以后,它可以产生一个定时中断。

看门狗定时器(WDT)的计数器(WDTCNT)是一个15/16位加法计数器并且不能直接通过软件存取。WDTCNT通过看门狗定时器的控制寄存器(WDTCTL)来控制, WDTCTL 是一个 8位可读写的寄存器。在两种操作模式(看门狗或定时器)下,只有当高字节使用正确的密码(05AH)时,才能对WDTCTL进行写操作。如果WDTCTL高字节写入任何其他非05Ah值,将引起系统复位。该密码读取时为069h,以防意外写WDTCTL操作。低字节是写入WDTCTL的参数。另外,除了看门狗定时器的控制位外, WDTCTL中还有两个位用于设置NMI引脚功能。

Timer_A (三个捕获/比较寄存器)

这个定时器模块包括一个16位计数器和三个捕获/比较寄存器。它的时钟源可以选择为外部时钟TACLK (SSEL=0时,同相; SSEL=3时反相),或者来自两个内部源—ACLK (SSEL=1)或SMCLK (SSEL=2)。这些时钟源可以被1、2、4和8分频。对该定时器可以进行所有控制(字方式)—可以停止、读和写。在工作期间,可以暂时停止和继续,或者通过一个比较器改变,进行加法或加/减法计数。捕获模式多用来作为单独测量内部或外部事件的正、负或者正负边沿是使用。它也可以通过软件来停止。可以选择3个不同的外部事件(TA0, TA1, and TA2)。在捕获/比较寄存器CCR2中,如果CCI2B有效, ACLK就作为捕获信号。如果CCISx=2 或CCISx=3,则选择软件捕获方式。比较器模式多用于软件或硬件的定时,或者用于产生脉宽调制输出信号,可以用在诸如D/A变换或者电机控制等很多场合。

每个捕获/比较寄存器都有独立的输出模块。它可以单独进行比较或分别单独被触发。

Timer_A (三个捕获/比较寄存器) (续)

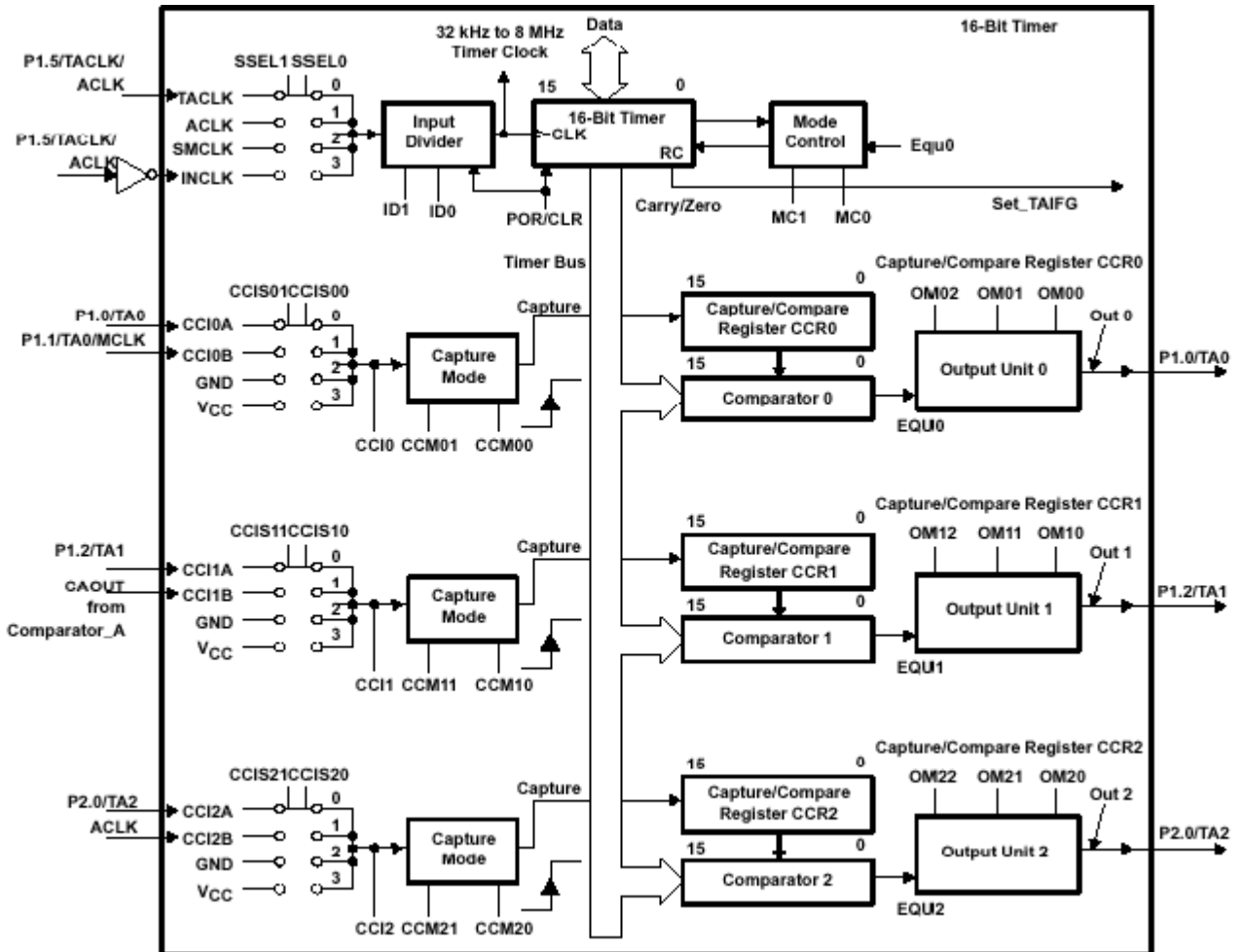


图5、带有三个捕获/比较寄存器(CCRs) Timer_A的结构图

这个模块使用两个中断向量。一个单独分配给捕获/比较器CCR0使用，另一个通用中断向量供定时器和
其他两个捕获/比较器使用。使用同一中断向量的这三个中断事件可以通过单独的中断向量字进行识别。
中断向量字作用是在程序计数器上加上一个偏移量，是程序转移到中断服务程序执行。这样可以简化中
断管理并且保证每个中断事件有相同的不超过5个周期的响应时间。

比较器_A

比较器模块的基本功能是：支持精确的斜边式A/D转换、电池电压监测和产生外部模拟信号。比较器连接的引脚有P1.6/CA0 (同相端)和P1.7/CA1 (反相端)。它通过CACTL寄存器的8个控制位控制。

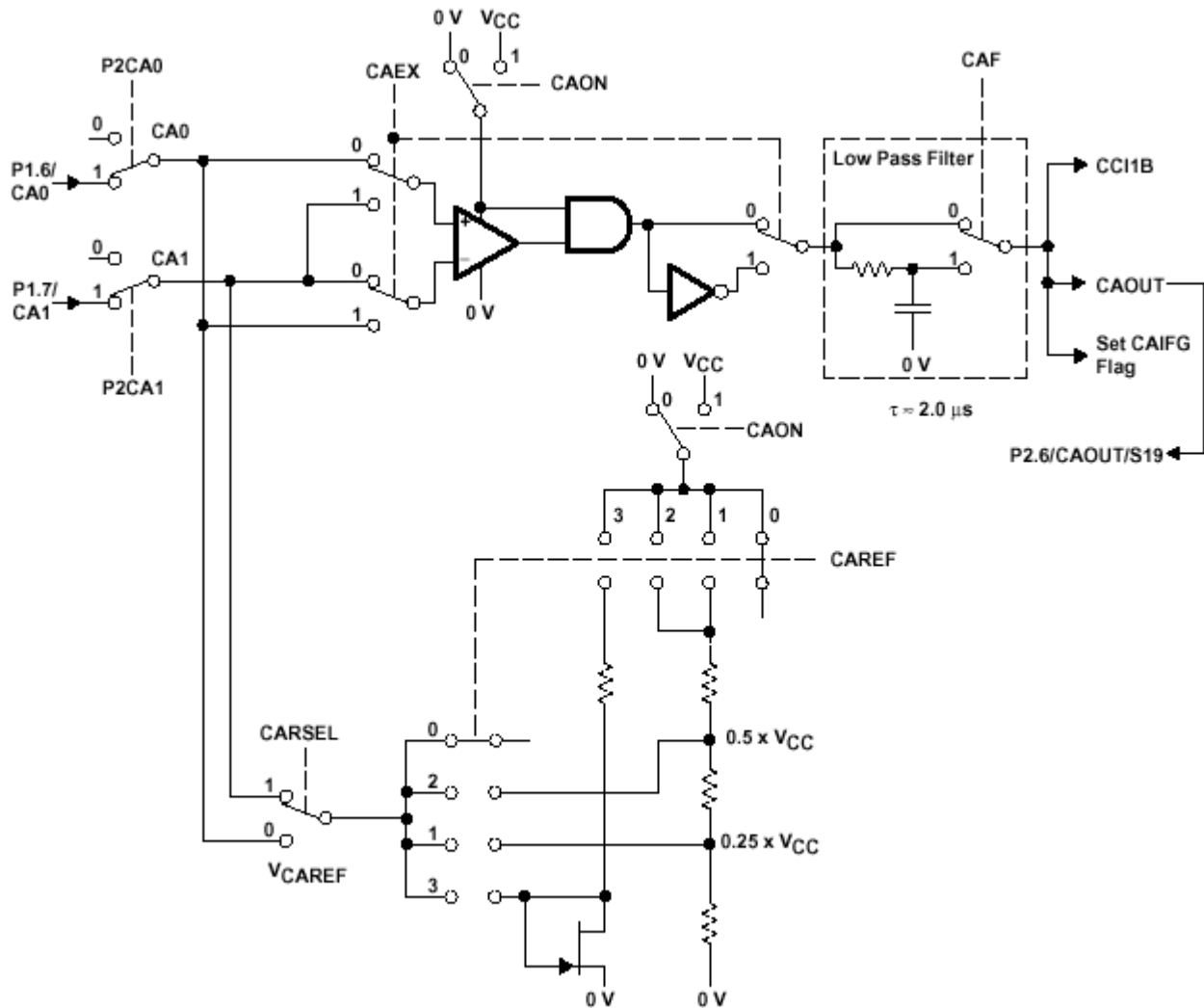


图6、比较器_A的原理图

8个控制位分别对应于供电电压、施加外部或内部信号到同相和反相端、选择比较器输出以及连接小滤波器。

在寄存器CAPD中有另外8个位用于比较器_A模块，它们可以控制P1口输入缓冲器的通断开关。当输入电压不接近VSS或VCC时，CMOS型的输入缓冲器可以起到分流作用。控制位CAPI0到CAPI7初始化为0，则端口输入缓冲器有效。当响应控制位置1时，端口输入缓冲器无效。

外围模块表

字存取的外围模块			
Watchdog	Watchdog 定时器控制	WDTCTL	0120h
Timer_A3	Timer_A 中断向量	TAIV	012Eh
	Timer_A 控制	TACTL	0160h
	捕获/比较控制 0	CCTL0	0162h
	捕获/比较控制 1	CCTL1	0164h
	捕获/比较控制 2	CCTL2	0166h
	保留		0168h
	保留		016Ah
	保留		016Ch
	保留		016Eh
	Timer_A 寄存器	TAR	0170h
	捕获/比较控制 寄存器 0	CCR0	0172h
	捕获/比较控制 寄存器 1	CCR1	0174h
	捕获/比较控制 寄存器 2	CCR2	0176h
	保留		0178h
	保留		017Ah
	保留		017Ch
	保留		017Eh
Flash	Flash 控制 3	FCTL3	012Ch
	Flash 控制 2	FCTL2	012Ah
	Flash 控制 1	FCTL1	0128h
PERIPHERALS WITH BYTE ACCESS			
LCD	LCD 存储器 20	LCDM20	0A4h
	:	:	:
	LCD 存储器 16	LCDM16	0A0h
	LCD 存储器 15	LCDM15	09Fh
	:	:	:
	LCD 存储器 1	LCDM1	091h
	LCD 控制和模式	LCDCTL	090h
Comparator_A	Comp._A 口禁止	CAPD	05Bh
	Comp._A 控制 2	CACTL2	05Ah
	Comp._A 控制 1	CACTL1	059h
BrownOUT, SVS	SVS 控制寄存器	SVSCTL	056h
System Clock FLL+	FLL+ 控制1	FLL+CTL1	054h
	FLL+ 控制0	FLL+CTL0	053h
	系统时钟频率控制	SCFQCTL	052h
	系统时钟频率综合 1	SCF11	051h
	系统时钟频率综合 0	SCF10	050h
Basic Timer1	BT 计数器2	BTCNT2	047h
	BT 计数器1	BTCNT1	046h
	BT 控制	BTCTL	040h

外围模块表 (续)

字节存取的外围模块			
Port P6	Port P6 选择	P6SEL	037h
	Port P6 方向	P6DIR	036h
	Port P6 输出	P6OUT	035h
	Port P6 输入	P6IN	034h
Port P5	Port P5 选择	P5SEL	033h
	Port P5 方向	P5DIR	032h
	Port P5 输出	P5OUT	031h
	Port P5 输入	P5IN	030h
Port P4	Port P4 选择	P4SEL	01Fh
	Port P4 方向	P4DIR	01Eh
	Port P4 输出	P4OUT	01Dh
	Port P4 输入	P4IN	01Ch
Port P3	Port P3 选择	P3SEL	01Bh
	Port P3 方向	P3DIR	01Ah
	Port P3 输出	P3OUT	019h
	Port P3 输入	P3IN	018h
Port P2	Port P2 选择	P2SEL	02Eh
	Port P2 中断允许	P2IE	02Dh
	Port P2 中断边沿选择	P2IES	02Ch
	Port P2 中断标志	P2IFG	02Bh
	Port P2 方向	P2DIR	02Ah
	Port P2 输出	P2OUT	029h
	Port P2 输入	P2IN	028h
Port P1	Port P1 选择	P1SEL	026h
	Port P1 中断允许	P1IE	025h
	Port P1 中断边沿选择	P1IES	024h
	Port P1 中断标志	P1IFG	023h
	Port P1 方向	P1DIR	022h
	Port P1 输出	P1OUT	021h
	Port P1 输入	P1IN	020h
Special Functions	SFR 模块允许2	ME2	005h
	SFR 模块允许1	ME1	004h
	SFR 中断标志2	IFG2	003h
	SFR 中断标志1	IFG1	002h
	SFR 中断允许2	IE2	001h
	SFR 中断允许1	IE1	000h

绝对最大额定范围:

$V_{CC} - V_{SS}$ 电压 (见注释 7) $-0.3\text{ V to } + 4.1\text{ V}$

任一引脚外加电压(相对于 V_{SS}) (见注释 7) $-0.3\text{ V to } V_{CC} + 0.3\text{ V}$

任一端点二极管电流: $\pm 2\text{ mA}$

保存温度(未编程芯片) $-55\text{ C to } 150\text{ C}$

保存温度 (已编程芯片) $-40\text{ C to } 85\text{ C}$

特别强调的是超过“最大额定范围”，将引起芯片永久性损坏。在最大额定条件下工作，会影响芯片的可靠性。

注释7: 所有电压以 V_{SS} 为参照。

推荐的工作条件：

PARAMETER		MIN	NOM	MAX	UNITS
程序执行时供电电压, SVS禁止 V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)		MSP430x41x	1.8	3.6	V
程序执行时供电电压, SVS允许 (see Note 8), V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)		MSP430x41x	2	3.6	V
FLASH存储器编程时供电电压 V_{CC} ($AV_{CC} = DV_{CC} = V_{CC}$)		MSP430F413	2.7	3.6	V
供电电压 V_{SS}			0.0	0.0	V
工作温度范围 T_A		MSP430x41x	-40	85	°C
LFXT1 晶振频率 $f_{(LFXT1)}$ (see Note 9)	LF selected, XTS_FLL=0 Watch crystal		32768		Hz
	XT1 selected, XTS_FLL=1 Ceramic resonator		450	8000	kHz
	XT1 selected, XTS_FLL=1 Crystal		450	8000	kHz
处理器频率 (signal MCLK), $f_{(System)}$		$V_{CC} = 1.8 V$	DC	4.15	MHz
		$V_{CC} = 3.6 V$	DC	8	
FLASH定时发生器频率 $f_{(FTG)}$		MSP430F413	257	476	kHz
累计编程时间, $t_{(CPT)}$ (see Note 10)		$V_{CC} = 2.7 V/3.6 V$ MSP430F413		3	ms
累计块时间, $t_{(CMEras)}$ (see Note 11)		$V_{CC} = 2.7 V/3.6 V$ MSP430F413	200		ms
X_{in} 和 X_{out} 输入电平	$V_{IL}(X_{in}, X_{out})$	$V_{CC} = 2.2 V/3 V$	V_{SS}	$0.2 \times V_{SS}$	V
	$V_{IH}(X_{in}, X_{out})$	XTS_FLL=1	$0.8 \times V_{CC}$	V_{CC}	

注释8：最小的操作供电电压是通过降低供电电压直到引起POR动作的触发点电压来确定的。当供电电压上升到最小供电电压加SVS的滞后电压之和时，POR停止。

9：处于LF模式的LFXT1振荡器要求采用一个手表用的晶体。

10：在一个段写操作期间，不能超过累计编程时间。

11：FLASH时钟发生器产生的块删除时间至少11.1 ms。累计块删除时间需要200 ms。这可以通过重复块删除操作来实现(最少19个周期)。

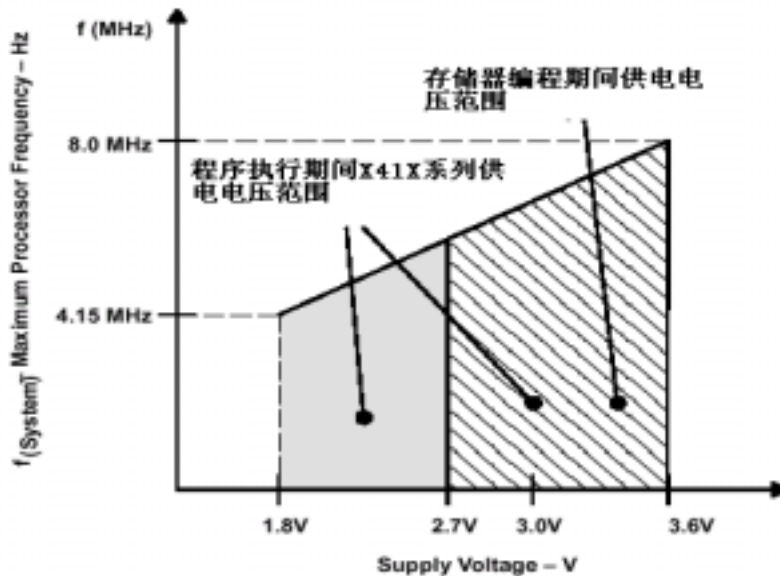


图7、频率——供电电压图

推荐工作温度下电气特性(除非另外说明)

除外部电流外进入AV CC+ DV CC绝对外部电流， $f(\text{system}) = 1 \text{ MHz}$ (注释12)

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
$I(\text{AM})$ Active mode, $f(\text{MCLK}) = f(\text{SMCLK}) = 1 \text{ MHz}$, $f(\text{ACLK}) = 32,768 \text{ Hz}$, XTS_FLL=0	$T_A = -40^\circ\text{C}$ to 85°C	$V_{\text{CC}} = 2.2 \text{ V}$	225	TBD	μA
		$V_{\text{CC}} = 3 \text{ V}$	340	TBD	
$I(\text{LPM0})$ Low-power mode, (LPM0) FN_B=FN_4=FN_3=FN_2=0	$T_A = -40^\circ\text{C}$ to 85°C	$V_{\text{CC}} = 2.2 \text{ V}$	32	TBD	μA
		$V_{\text{CC}} = 3 \text{ V}$	55	TBD	
$I(\text{LPM2})$ Low-power mode, (LPM2).	$T_A = -40^\circ\text{C}$ to 85°C	$V_{\text{CC}} = 2.2 \text{ V}$	13	TBD	μA
		$V_{\text{CC}} = 3 \text{ V}$	20	TBD	
$I(\text{LPM3})$ Low-power mode, (LPM3)	$T_A = -40^\circ\text{C}$	$V_{\text{CC}} = 2.2 \text{ V}$	0.9	1.8	μA
	$T_A = 25^\circ\text{C}$		0.8	1.5	
	$T_A = 85^\circ\text{C}$		1.5	2.8	
	$T_A = -40^\circ\text{C}$	$V_{\text{CC}} = 3 \text{ V}$	0.9	1.8	μA
	$T_A = 25^\circ\text{C}$		0.8	1.5	
	$T_A = 85^\circ\text{C}$		1.5	3.9	
$I(\text{LPM4})$ Low-power mode, (LPM4)	$T_A = -40^\circ\text{C}$	$V_{\text{CC}} = 2.2 \text{ V}/3 \text{ V}$	0.1	0.5	μA
	$T_A = 25^\circ\text{C}$		0.1	0.5	
	$T_A = 85^\circ\text{C}$		0.8	2.5	

注释 12: 所有输入连接到0 V或 V_{CC} 。输出悬空。LPM2, LPM3和LPM4 下的电流消耗是在基本定时器 Timer1和LCD (选择ACLK)工作时测量的。比较器A和SVS模块的消耗电流单独说明。

与系统频率相对应的活动模式下的电流消耗: (flash 型)

$$I(\text{AM}) = I(\text{AM}) [1 \text{ MHz}] \cdot f(\text{System}) [\text{MHz}]$$

与供电电压相对应的活动模式下的电流消耗: (flash 型)

$$I(\text{AM}) = I(\text{AM}) [3 \text{ V}] + \text{xxx} [A/V] \cdot (V_{\text{CC}} - 3 \text{ V})$$

推荐工作温度下电气特性(除非另外说明) (续)

施密特触发式输入– P1, P2, P3, P4, P5和P6口; RST/NMI; JTAG: TCK, TMS, TDI, TDO

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{IT+}	Positive-going input threshold voltage	V _{CC} = 2.2 V	1.1		1.5	V
		V _{CC} = 3 V	1.5		1.9	
V _{IT-}	Negative-going input threshold voltage	V _{CC} = 2.2 V	0.4		0.9	V
		V _{CC} = 3 V	0.9		1.3	
V _{hys}	Input voltage hysteresis (V _{IT+} – V _{IT-})	V _{CC} = 2.2 V	0.3		1.1	V
		V _{CC} = 3 V	0.5		1	

输出–P1, P2, P3, P4, P5和P6口

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{OH}	High-level output voltage	I _{OH(max)} = –1.5 mA, V _{CC} = 2.2 V, See Note 13	V _{CC} –0.25		V _{CC}	V
		I _{OH(max)} = –6 mA, V _{CC} = 2.2 V, See Note 14	V _{CC} –0.6		V _{CC}	
		I _{OH(max)} = –1.5 mA, V _{CC} = 3 V, See Note 13	V _{CC} –0.25		V _{CC}	
		I _{OH(max)} = –6 mA, V _{CC} = 3 V, See Note 14	V _{CC} –0.6		V _{CC}	
V _{OL}	Low-level output voltage	I _{OL(max)} = 1.5 mA, V _{CC} = 2.2 V, See Note 13	V _{SS}		V _{SS} +0.25	V
		I _{OL(max)} = 6 mA, V _{CC} = 2.2 V, See Note 14	V _{SS}		V _{SS} +0.6	
		I _{OL(max)} = 1.5 mA, V _{CC} = 3 V, See Note 13	V _{SS}		V _{SS} +0.25	
		I _{OL(max)} = 6 mA, V _{CC} = 3 V, See Note 14	V _{SS}		V _{SS} +0.6	

注释13: 对于所有输出组合, 最大总电流I_{OH(max)}和I_{OL(max)}不能超过±12 mA, 以便输出电压满足输出电压下降标准。

14: 对于所有输出组合, 最大总电流I_{OH(max)}和I_{OL(max)}不能超过±48 mA, 以便输出电压满足输出电压下降标准。

输入频率–P1, P2, P3, P4, P5和P6口

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
f _(IN)		t _(h) = t _(L)	V _{CC} = 2.2 V		8	MHz
			V _{CC} = 3 V		10	

捕获时间_ Timer_A3: TA0, TA1, TA2

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _(int)	TA0 to TA4: External trigger signal for capture flag (see Note 15)	V _{CC} = 2.2 V/3 V	1.5			Cycle
		V _{CC} = 2.2 V	62			ns
		V _{CC} = 3 V	50			

注释15: 当满足最小的t_{cap}时间和参数时, 外部信号将触发捕获事件。即便捕获信号小于t_{cap}也可能触发捕获事件。为了确保正确获得16位定时器值和时标志位置位, 周期和时间必须满足这些规范。

推荐工作温度下电气特性(除非另外说明) (续)

输出频率

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
f _{Px,y} (1 ≤ x ≤ 6, 0 ≤ y ≤ 7)		C _L = 20 pF, I _L = ± 1.5mA	V _{CC} = 2.2 V	DC		10	MHz
			V _{CC} = 3 V	DC		TBD	
f _{ACLK} , f _{MCLK} , f _{SMCLK}	P1.1/TA0/MCLK, P1.5/TACLK/ ACLK	C _L = 20 pF		f _{System}			MHz
t _{xdc}	Duty cycle of output frequency	P1.5/TACLK/ACLK, C _L = 20 pF V _{CC} = 2.2 V / 3 V	f _{ACLK} = f _{LFXT1} = f _{XT1}	40%		60%	
			f _{ACLK} = f _{LFXT1} = f _{LF}	30%		70%	
			f _{ACLK} = f _{LFXT1} /n	50%			
		P1.1/TA0/MCLK, C _L = 20 pF, V _{CC} = 2.2 V / 3 V	f _{MCLK} = f _{LFXT1} /n	50%– 15 ns	50%	50%+ 15 ns	
			f _{MCLK} = f _{DCOCLK}	50%– 15 ns	50%	50%+ 15 ns	

外部中断响应时间

PARAMETER		TEST CONDITIONS	MIN	NOM	MAX	UNIT
t _(int)	Ports P1, P2: External trigger signal for the interrupt flag (see Note 16)	V _{CC} = 2.2 V/3 V		1.5		ns
		V _{CC} = 2.2 V		62		
		V _{CC} = 3 V		50		

注释16: 外部信号每次将中断标志置位, t_{int}周期和时间参数必须满足条件。即使触发信号比t_{int}短, 也可能使标志位置位。为了确保标志可靠置位, 信号周期和时间都应满足条件。

wake-up LPM3 (see Note 17)

PARAMETER		TEST CONDITIONS	MIN	NOM	MAX	UNIT
t _(LPM3)	Delay time	V _{CC} = 2.2 V/3 V			6	μs

NOTE 17: 延时时间(LPM3)不受系统频率和V_{CC}影响

leakage current (see Note 18)

PARAMETER		TEST CONDITIONS		MIN	NOM	MAX	UNIT
I _{kg} (P1.x)	Leakage current	Port P1	Port 1: V _(P1.x) (see Note 19)			±50	nA
I _{kg} (P6.x)		Port P6	Port 6: V _(P6.x) (see Note 19)	V _{CC} = 2.2 V/3 V		±50	

NOTES: 18. 除非另外说明, 测量时对应引脚所加的电平为V_{SS}或V_{CC}。

19. 端口引脚必须选择为输入并且没有选择上拉或下拉电阻。

RAM (see Note 20)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{RAMh}		CPU halted (see Note 20)	1.6			V

NOTE 20: 这个参数是保持程序存储器(RAM)中数据不丢失所需的最小电压, 在这个电压下, 程序不能执行。

推荐工作温度下电气特性(除非另外说明) (续)

LCD

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
$V_{(33)}$	Analog voltage	Voltage at P5.7/R33	$V_{CC} = 3\text{ V}$	2.5		$V_{CC} + 0.2$	V
$V_{(23)}$		Voltage at P5.6/R23		$(V_{(33)} - V_{(03)}) \times 2/3 + V_{(03)}$			
$V_{(13)}$		Voltage at P5.5/R13		$(V_{(33)} - V_{(03)}) \times 1/3 + V_{(03)}$			
$V_{(03)}$		Voltage at R03		$V_{(33)} - 2.5$		$V_{CC} + 0.2$	
$V_{O(HLCD)}$	Output 1	$I_{(HLCD)} \leq 10\text{ nA}$	$V_{CC} = 3\text{ V}$	$V_{(RSS)} + 0.125$		V_{CC}	V
$V_{O(LLCD)}$	Output 0	$I_{(LLCD)} \leq 10\text{ nA}$		V_{SS}		$V_{SS} + 0.125$	
$I_{(R03)}$	Input leakage	R03 = V_{SS}	No load at all segment and common lines, $V_{CC} = 3\text{ V}$			± 20	nA
$I_{(R13)}$		P5.5/R13 = $V_{CC}/3$				± 20	
$I_{(R23)}$		P5.6/R23 = $2 \times V_{CC}/3$				± 20	
$V_{(Sxx0)}$	Segment line voltage	$I_{(Sxx)} = -3\text{ }\mu\text{A}$, $V_{CC} = 3\text{ V}$		$V_{(03)}$		$V_{(03)} - 0.1$	V
$V_{(Sxx1)}$				$V_{(13)}$		$V_{(13)} - 0.1$	
$V_{(Sxx2)}$				$V_{(23)}$		$V_{(23)} - 0.1$	
$V_{(Sxx3)}$				$V_{(33)}$		$V_{(33)} + 0.1$	

Comparator_A (see Note 21)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT	
$I_{(CC)}$		CAON=1, CARSEL=0, CAREF=0	$V_{CC} = 2.2\text{ V}$		25	40	μA	
			$V_{CC} = 3\text{ V}$		45	60		
$I_{(RefLadder/RefDiode)}$		CAON=0, CARSEL=0, CAREF=1/2/3, No load at P2.3/CA0/TA1 and P2.4/CA1/TA2	$V_{CC} = 2.2\text{ V}$		30	50	μA	
			$V_{CC} = 3\text{ V}$		45	71		
$V_{(Ref025)}$		PCA0=1, CARSEL=1, CAREF=1, No load at P2.3/CA0 and P2.4/CA1	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	0.23	0.24	0.25	V	
$V_{(Ref050)}$		PCA0=1, CARSEL=1, CAREF=2, No load at P2.3/CA0 and P2.4/CA1	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	0.47	0.48	0.50	V	
$V_{(RefVT)}$		PCA0=1, CARSEL=1, CAREF=3, No load at P2.3/CA0 and P2.4/CA1; $T_A = 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	390	480	540	mV	
			$V_{CC} = 3.0\text{ V}$	400	490	550		
$V_{(IC)}$	Common-mode input voltage range	CAON=1	$V_{CC} = 2.2\text{ V}/3\text{ V}$	0		$V_{CC} - 1.0$	V	
$V_{(offset)}$	Offset voltage	See Note 22	$V_{CC} = 2.2\text{ V}/3\text{ V}$	-30		+30	mV	
V_{hys}	Input hysteresis	CAON = 1	$V_{CC} = 2.2\text{ V} / 3\text{ V}$	0	0.7	1.4	mV	
$t_{(response LH)}$		$T_A = 25^\circ\text{C}$, Overdrive 10 mV, without filter: CAF = 0	$V_{CC} = 2.2\text{ V}$	160	185	210	ns	
			$V_{CC} = 3\text{ V}$	90	110	130		
			$T_A = 25^\circ\text{C}$, Overdrive 10 mV, with filter: CAF = 1	$V_{CC} = 2.2\text{ V}$	1.8	2.6	3.4	μs
				$V_{CC} = 3\text{ V}$	1.3	1.8	2.6	
$t_{(response HL)}$		$T_A = 25^\circ\text{C}$, Overdrive 10 mV, without filter: CAF = 0	$V_{CC} = 2.2\text{ V}$	130	210	300	ns	
			$V_{CC} = 3\text{ V}$	80	150	240		
			$T_A = 25^\circ\text{C}$, Overdrive 10 mV, with filter: CAF = 1	$V_{CC} = 2.2\text{ V}$	1.4	1.9	3.4	μs
				$V_{CC} = 3.0\text{ V}$	0.9	1.5	2.6	

注释 21: $I_{(kg)}(Px.x)$ 表示比较器端点的漏电流。

22: 通过使用CAEX位,使比较器—A反相,在连续测量中可以消除输入偏移电压。然后把两个连续的测量值加在一起。

推荐工作温度下电气特性(除非另外说明) (续)

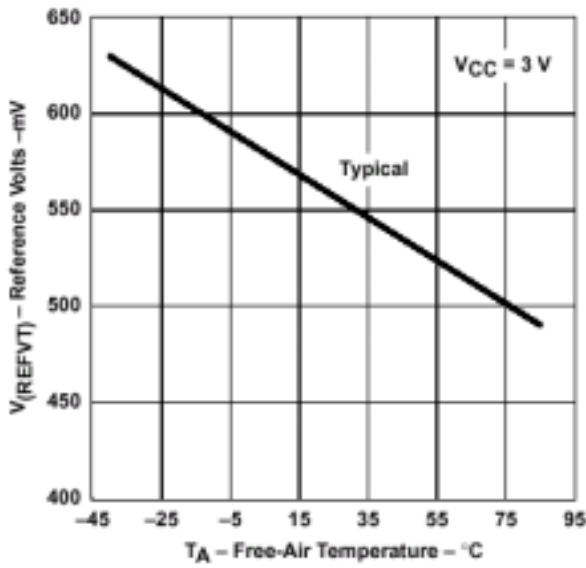


图8、 $V_{(REFVT)}$ 和温度关系, $V_{CC} = 3V$

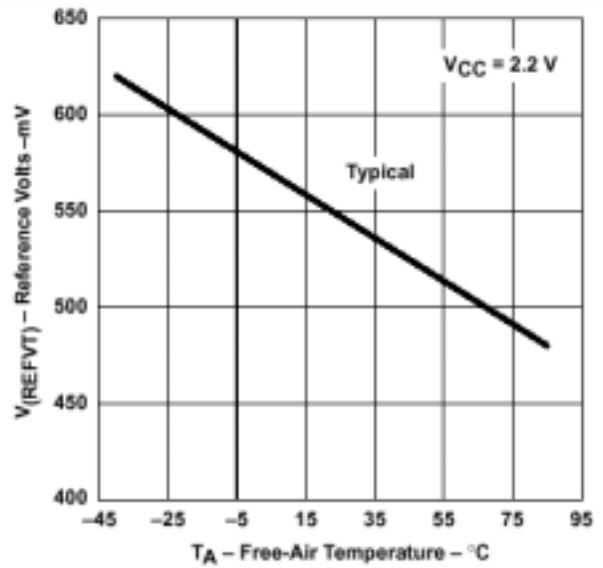


图9、 $V_{(REFVT)}$ 和温度关系 $V_{CC} = 2.2V$

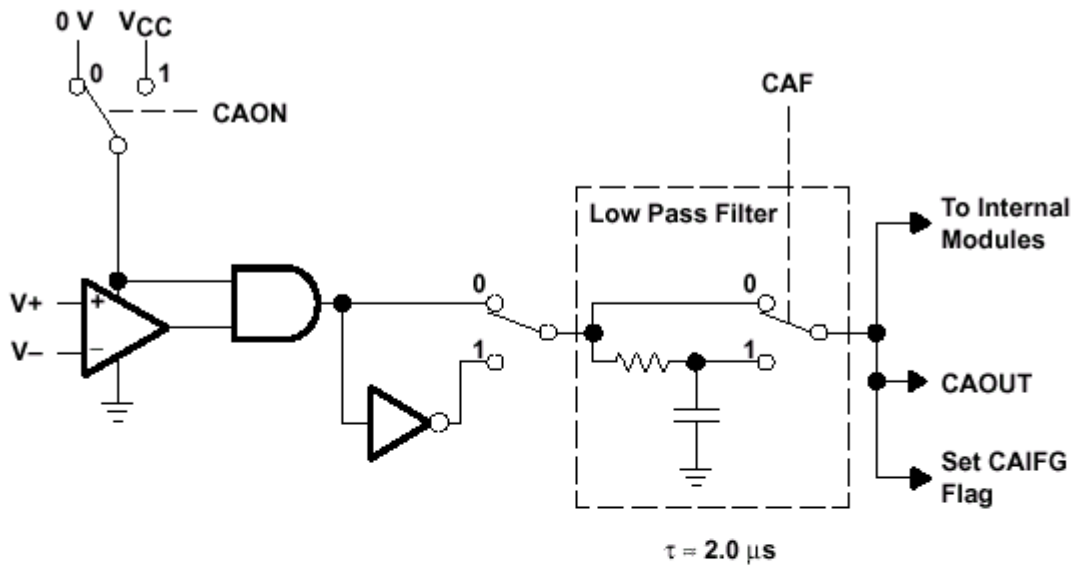


图10、比较器A模块原理图

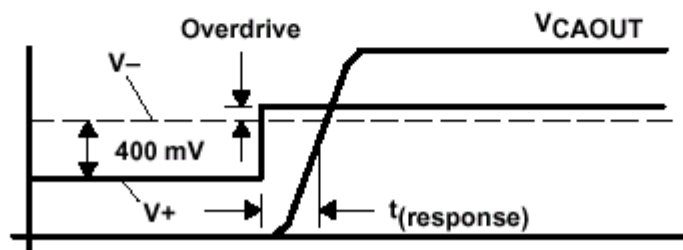


图11、OVERDRIVE定义

推荐工作温度下电气特性(除非另外说明) (续)

POR 探测器, 复位 (见注释 23)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{BOR}(\text{delay})$	$dV_{CC}/dt \geq 30 \text{ V/ms}$	5		150	μs
	$dV_{CC}/dt \leq 30 \text{ V/ms}$			2000	
$V_{CC}(\text{start})$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 12)	$0.7 \times V_{B_IT-}$			V
$V_{(B,IT-)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 12, 13, 14)	0.9	1.35	1.71	V
$V_{\text{hys}(B,IT-)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$ (see Figure 12)	70	100	110	mV
t_{reset}	Pulse length needed at RST/NMI pin to accepted reset internally, $V_{CC} = 2.2 \text{ V}/3 \text{ V}$	2			μs

注释 23: I_{CC} 中包含brown-out模块的电流消耗

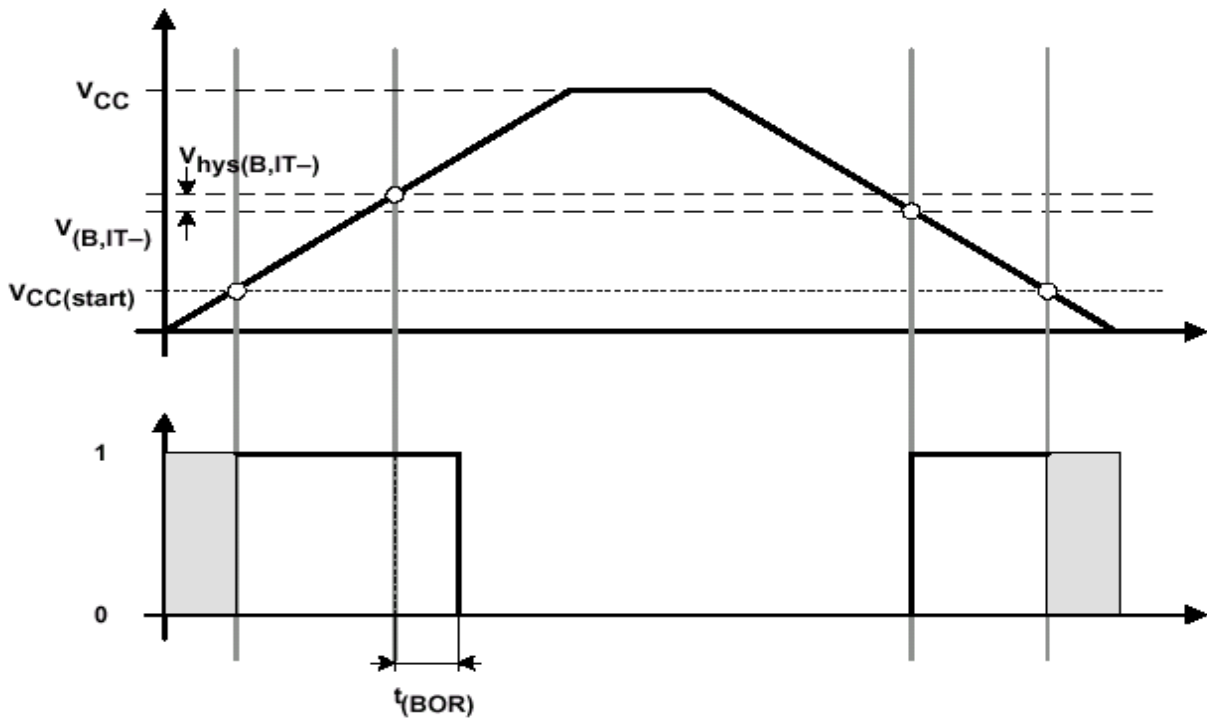


图12、POR/Brownout复位 (BOR)和 供电电压

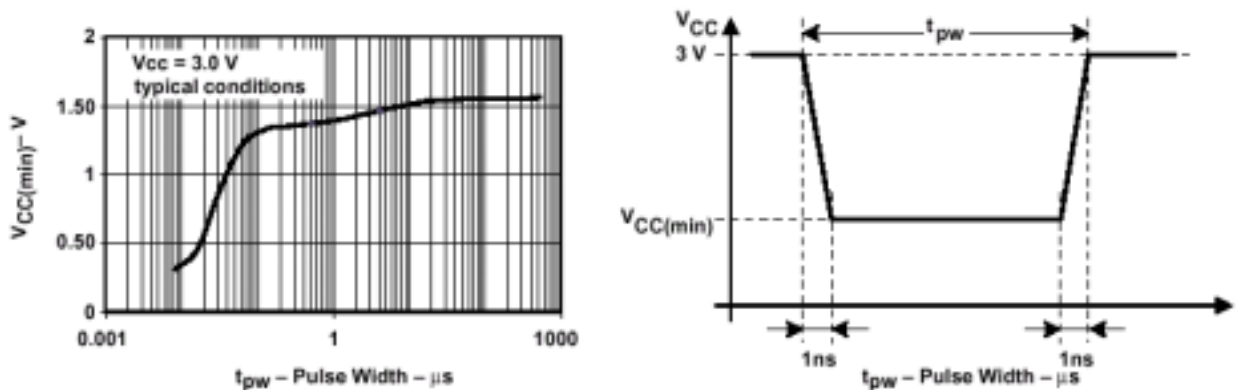


图13、产生一个POR/Brownout信号方波 $V_{(CC)\text{min}}$ 电平

推荐工作温度下电气特性(除非另外说明)(续)

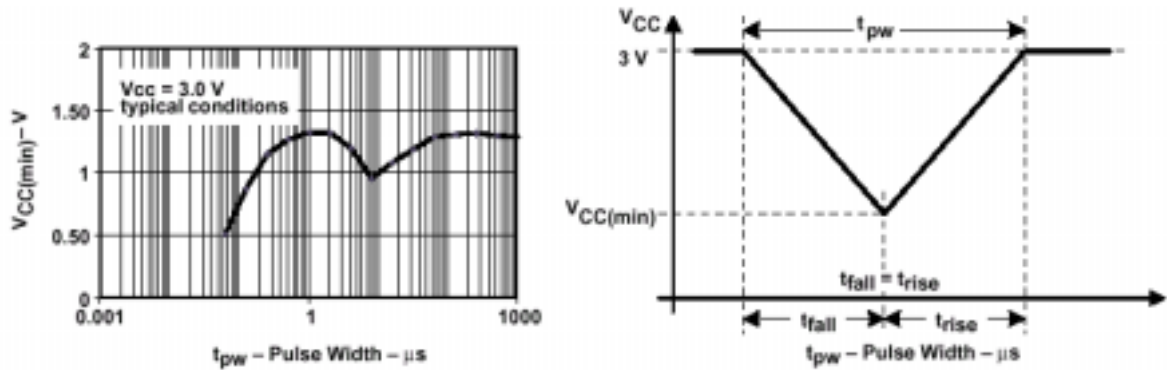


图14、产生一个POR/Brownout信号三角波V_{(CC)min}电平

SVS (供电检测器), 复位

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{SVSR} (delay)	dV _{CC} /dt ≥ 30V/ms	5		150	μs
	dV _{CC} /dt ≤ 30V/ms			2000	μs
t _{SVSon} (delay)	SVSon, switch from 0 to 1, V _{CC} = 3 V	20		150	μs
V _{SVS(start)}	dV _{CC} /dt ≤ 3 V/s (see Figure 15)		1.55	1.7	V
V _(SVS,IT-)	dV _{CC} /dt ≤ 3 V/s (see Figure 15)	1.8	1.85	1.9	V
V _{hys(B,IT-)}	dV _{CC} /dt ≤ 3 V/s (see Figure 15)	70	100	150	mV
I _{CC(SVS)} (see Note 24)	VLD ≠ 0 (VLD bits are in SVSCTL register), V _{CC} = 2.2V/ 3V		10	15	μA

NOTE 24: I_{CC}数据中不包含SVS模块的电流消耗

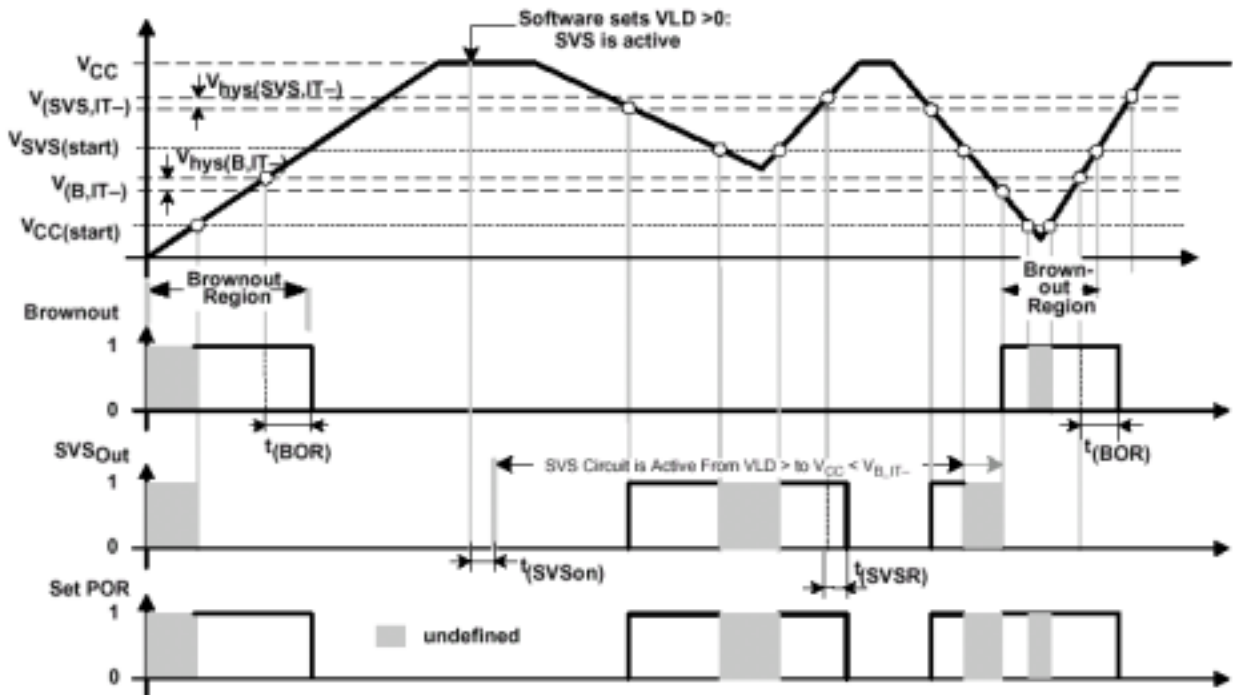


图15、SVS复位(SVSR)和供电电压关系

推荐工作温度下电气特性(除非另外说明) (续)

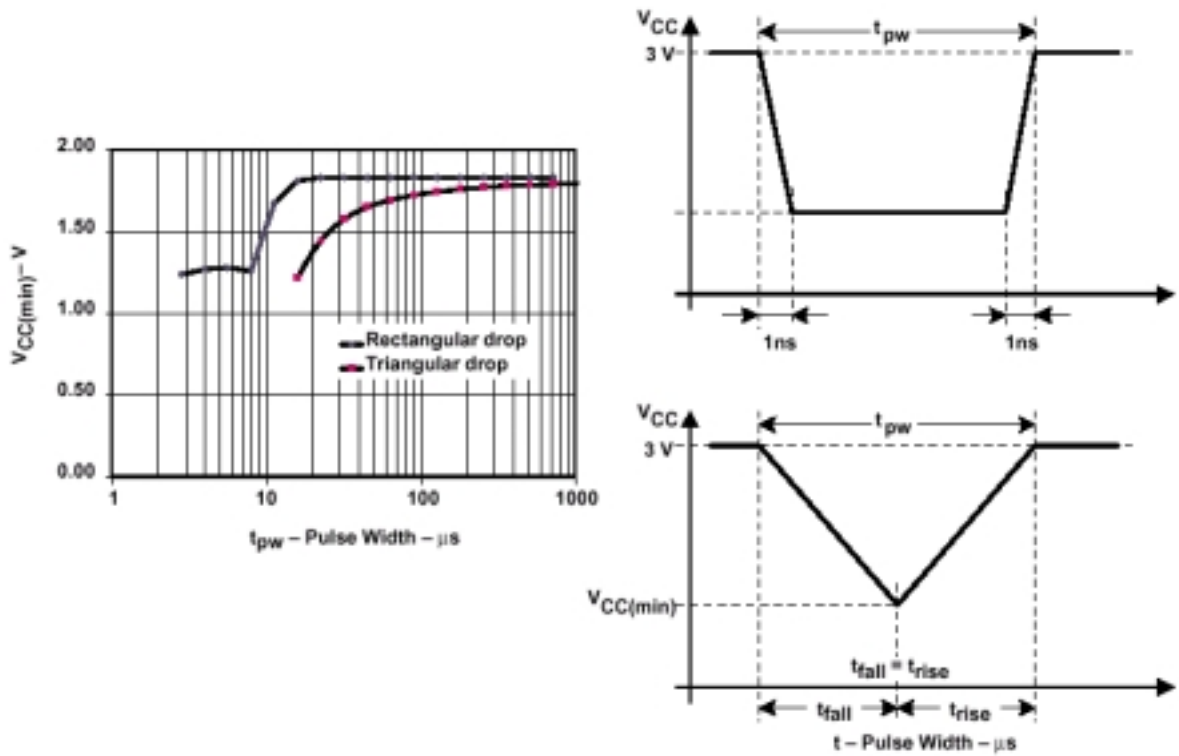


图16、产生SVS信号的方波或三角波下降的VCC (min) 电平

推荐工作温度下电气特性(除非另外说明) (续)

DCO

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
$f_{(DCOCLK)}$	$N_{(DCO)}=01E0h, FN_8=FN_4=FN_3=FN_2=0, D = 2, DCO+= 0$	$V_{CC} = 2.2 V/3 V$			1	MHz
$f_{(DCO2)}$	$FN_8=FN_4=FN_3=FN_2=0, DCO+= 1$	$V_{CC} = 2.2 V$			0.23 0.41 0.82	MHz
		$V_{CC} = 3 V$			0.30 0.57 1.20	
$f_{(DCO27)}$	$FN_8=FN_4=FN_3=FN_2=0, DCO+= 1$	$V_{CC} = 2.2 V$			2.25 4.0 8.0	MHz
		$V_{CC} = 3 V$			3.0 5.6 11.2	
$f_{(DCO2)}$	$FN_8=FN_4=FN_3=0, FN_2=1; DCO+= 1$	$V_{CC} = 2.2 V$			0.45 0.85 1.75	MHz
		$V_{CC} = 3 V$			0.60 1.2 2.4	
$f_{(DCO27)}$	$FN_8=FN_4=FN_3=0, FN_2=1; DCO+= 1$	$V_{CC} = 2.2 V$			4.4 8.0 16.5	MHz
		$V_{CC} = 3 V$			6.0 11.0 22.5	
$f_{(DCO2)}$	$FN_8=FN_4=0, FN_3= 1, FN_2=x; DCO+= 1$	$V_{CC} = 2.2 V$			0.73 1.3 2.7	MHz
		$V_{CC} = 3 V$			1.0 1.85 3.9	
$f_{(DCO27)}$	$FN_8=FN_4=0, FN_3= 1, FN_2=x; DCO+= 1$	$V_{CC} = 2.2 V$			6.5 12.0 24.0	MHz
		$V_{CC} = 3 V$			9.0 16.5 34.0	
$f_{(DCO2)}$	$FN_8=0, FN_4= 1, FN_3= FN_2=x; DCO+= 1$	$V_{CC} = 2.2 V$			1.1 2.1 4.3	MHz
		$V_{CC} = 3 V$			1.6 2.9 6.0	
$f_{(DCO27)}$	$FN_8=0, FN_4=1, FN_3= FN_2=x; DCO+= 1$	$V_{CC} = 2.2 V$			9.5 18.0 38.0	MHz
		$V_{CC} = 3 V$			13.0 25.0 52.0	
$f_{(DCO2)}$	$FN_8=1, FN_4=FN_3=FN_2=x; DCO+= 1$	$V_{CC} = 2.2 V$			2.2 4.0 8.2	MHz
		$V_{CC} = 3 V$			3.0 5.6 12.0	
$f_{(DCO27)}$	$FN_8=1, FN_4=FN_3=FN_2=x, DCO+= 1$	$V_{CC} = 2.2 V$			17.5 32.0 65.0	MHz
		$V_{CC} = 3 V$			24.0 45.0 94.0	
S	$f_{(NDCO)}+1 = f_{(NDCO)}$				1.07 1.13	
D_t	Temperature drift, $N_{(DCO)} = 01E0h, FN_8=FN_4=FN_3=FN_2=0$ $D = 2, DCO+= 0$, (see Note 25)	$V_{CC} = 2.2 V$			-0.31 -0.36 -0.40	%/-C
		$V_{CC} = 3 V$			-0.33 -0.38 -0.43	
D_V	Drift with V_{CC} variation, $N_{(DCO)} = 01E0h,$ $FN_8=FN_4=FN_3=FN_2=0$ $D = 2, DCO+= 0$ (see Note 25)				0 5 10	%V

NOTE 25: 这个参数没有经产品测试

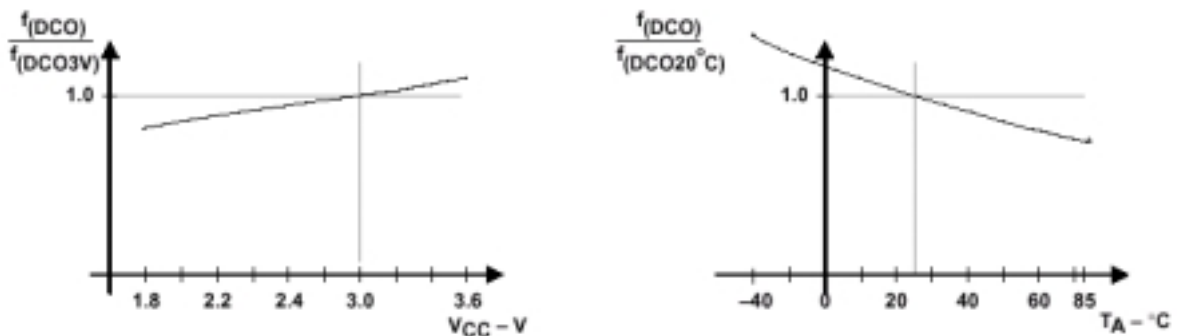


图17. DCO频率和供电电压VCC以及和环境温度关系

推荐工作温度下电气特性(除非另外说明) (续)

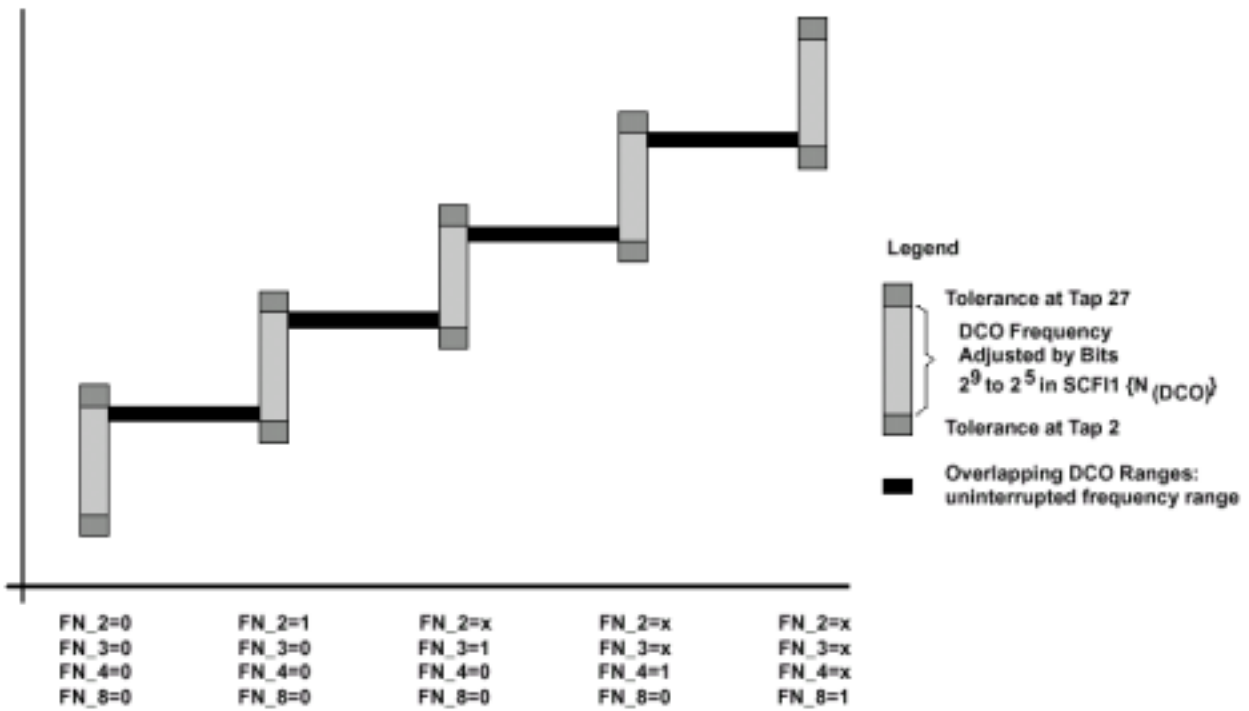


图18. 由FN_x位控制的五个交迭的DCO范围

crystal oscillator, LFXT1 oscillator (see Note 26)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
C _(XIN) Integrated input capacitance	OscCap = 0, V _{CC} = 2.2 V / 3.0		0		pF
	OscCap = 1, V _{CC} = 2.2 V / 3.0		10		
	OscCap = 2, V _{CC} = 2.2 V / 3.0		14		
	OscCap = 3, V _{CC} = 2.2 V / 3.0		18		
C _(XOUT) Integrated output capacitance	OscCap = 0, V _{CC} = 2.2 V / 3.0		0		pF
	OscCap = 1, V _{CC} = 2.2 V / 3.0		10		
	OscCap = 2, V _{CC} = 2.2 V / 3.0		14		
	OscCap = 3, V _{CC} = 2.2 V / 3.0		18		

NOTE 26: The parasitic capacitance from the package and board may be estimated to be 2pF. The effective load capacitor for the crystal is $(X_{CIN} \times X_{COUT}) / (X_{CIN} + X_{COUT})$. It is independent of XST_FLL.

推荐工作温度下电气特性(除非另外说明)(续)

JTAG, program memory and fuse

PARAMETER		CONDITIONS	VCC	MIN	TYP	MAX	UNIT
f(TCK)	JTAG/Test	TCK frequency	2.2V	DC		5	MHz
			3.0V	DC		10	
		Pullup resistors on TMS, TCK, TDI (see Note 27)	2.2V/ 3.0V	25	60	90	kΩ
VFB	JTAG/Fuse See Note 27	Fuse blow voltage, C versions (see Note 28)	2.2 V/3.0 V	3.5		3.9	V
		Fuse blow voltage, F versions (see Note 29)	2.2 V/3.0 V	6.0		7.0	V
I _{FB}		Supply current on TDI during fuse is blown				100	mA
t _{FB}		Time to blow the fuse				1	ms
I _(DD-PGM)	F-versions only	Current from programming voltage source (see Note 30)	2.7V/3.6V		3	5	mA
I _(DD-Erase)	F-versions only	Programming time, single pulse (see Note 30)	2.7V/3.6V		3	5	mA
I _(retention)	F-versions only	Write/Erase cycles		10 ⁴	10 ⁵		cycles
		Data retention T _J = 25...C				100	years

注释 27: 在所有C-和F-类的芯片, 都集成有TMS, TDI和TCK 上拉电阻。

28: 一旦熔丝烧断, 不能再对MSP430 JTAG/test进行任何操作。JTAG模块切换到旁路模式。

29: 熔丝熔断电流从TDI引脚加入;

30: 为满足模块选择的时间要求, f(TCK) 是有限制的。编程/删除持续周期取决于加在flash时间控制器上的f(FTG)信号。可以计算如下:

$$t(\text{字写}) = 33 \times 1/f(\text{FTG})$$

$$t(\text{段写, byte 0}) = 29 \times 1/f(\text{FTG})$$

$$t(\text{段写, byte 1 - 63}) = 21 \times 1/f(\text{FTG})$$

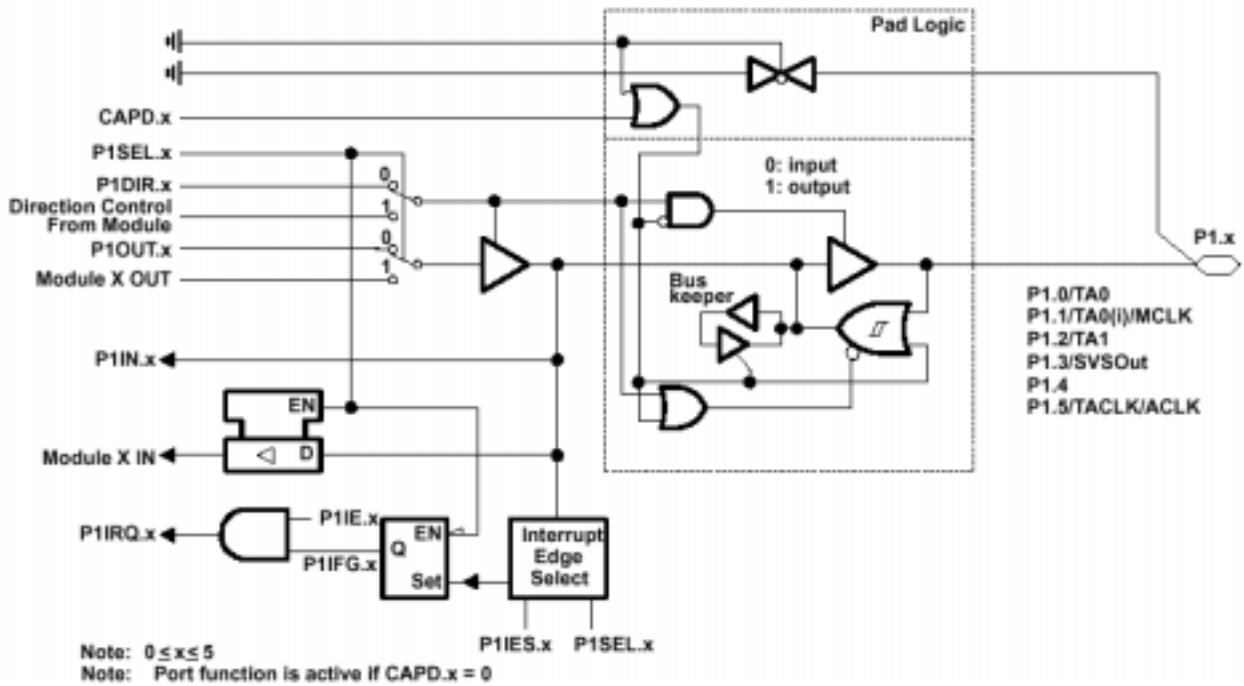
$$t(\text{块删除}) = 5296 \times 1/f(\text{FTG})$$

$$t(\text{页删除}) = 4817 \times 1/f(\text{FTG})$$

块删除周期需要通过软件重复N次以确保达到最少200 ms块删除时间。

输入/输出电路

带有施密特触发器的输入输出P1, P1.0到P1.5

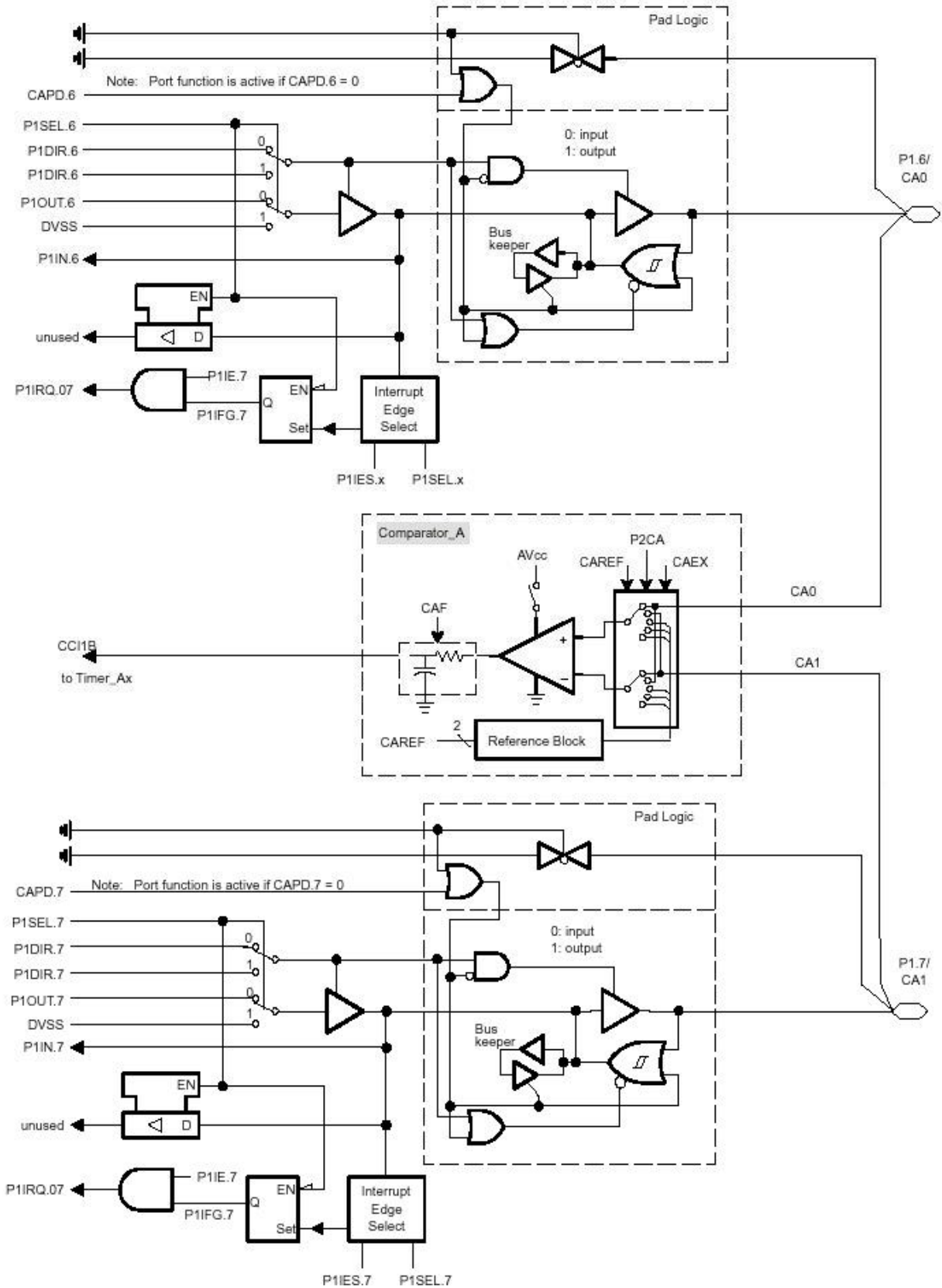


PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P1Sel.0	P1DIR.0	P1DIR.0	P1OUT.0	Out0 sig. [†]	P1IN.0	CCI0A [†]	P1IE.0	P1IFG.0	P1IES.0
P1Sel.1	P1DIR.1	P1DIR.1	P1OUT.1	MCLK	P1IN.1	CCI0B [†]	P1IE.1	P1IFG.1	P1IES.1
P1Sel.2	P1DIR.2	P1DIR.2	P1OUT.2	Out1 sig. [†]	P1IN.2	CCI1A [†]	P1IE.2	P1IFG.2	P1IES.2
P1Sel.3	P1DIR.3	P1DIR.3	P1OUT.3	SVSSOut	P1IN.3	unused	P1IE.3	P1IFG.3	P1IES.3
P1Sel.4	P1DIR.4	P1DIR.4	P1OUT.4	DVSS	P1IN.4	unused	P1IE.4	P1IFG.4	P1IES.4
P1Sel.5	P1DIR.5	P1DIR.5	P1OUT.5	ACLK	P1IN.5	TACLK [†]	P1IE.5	P1IFG.5	P1IES.5

[†] Timer_A

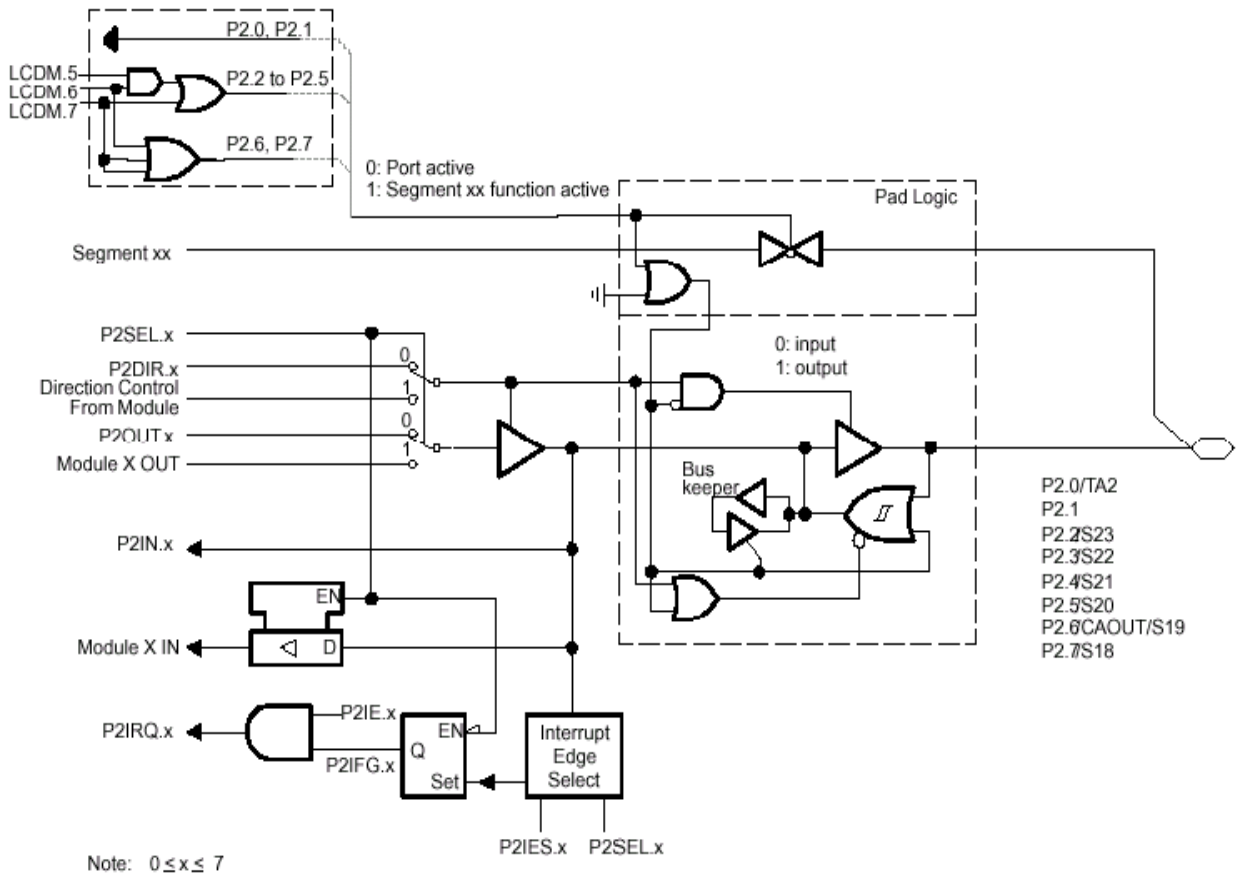
输入/输出电路(续)

输入输出带有施密特触发器的P1口, P1.6, P1.7



输入/输出电路图（续）

输入输出带有施密特触发器的P2口,P2.0到P2.7

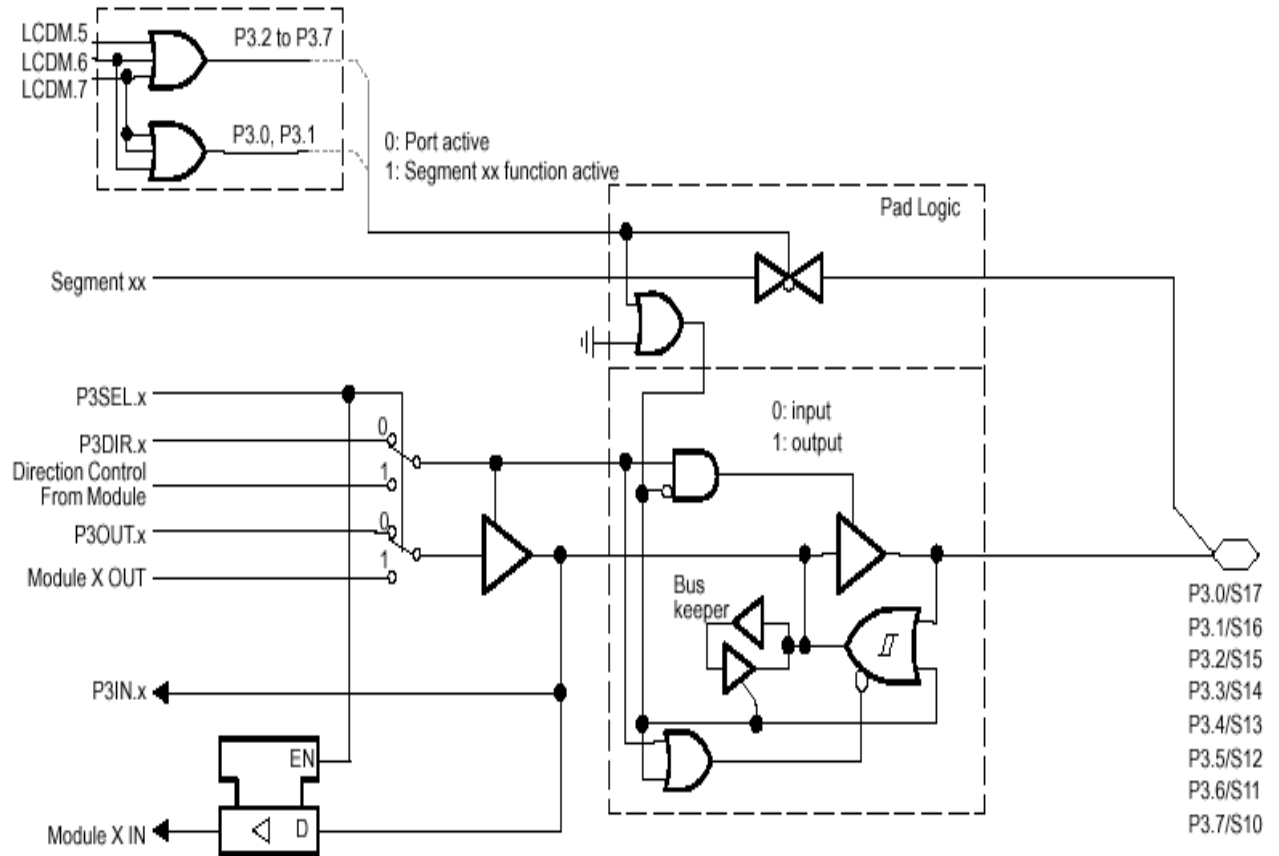


PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.0	P2DIR.0	P2DIR.0	P2OUT.0	Out2 sig. [†]	P2IN.0	CCI2A [†]	P2IE.0	P2IFG.0	P2IES.0
P2Sel.1	P2DIR.1	P2DIR.1	P2OUT.1	DVSS	P2IN.1	unused	P2IE.1	P2IFG.1	P2IES.1
P2Sel.2	P2DIR.2	P2DIR.2	P2OUT.2	DVSS	P2IN.2	unused	P2IE.2	P2IFG.2	P2IES.2
P2Sel.3	P2DIR.3	P2DIR.3	P2OUT.3	DVSS	P2IN.3	unused	P2IE.3	P2IFG.3	P2IES.3
P2Sel.4	P2DIR.4	P2DIR.4	P2OUT.4	DVSS	P2IN.4	unused	P2IE.4	P2IFG.4	P2IES.4
P2Sel.5	P2DIR.5	P2DIR.5	P2OUT.5	DVSS	P2IN.5	unused	P2IE.5	P2IFG.5	P2IES.5
P2Sel.6	P2DIR.4	P2DIR.6	P2OUT.6	CAOUT	P2IN.6	unused	P2IE.6	P2IFG.6	P2IES.6
P2Sel.7	P2DIR.5	P2DIR.7	P2OUT.7	DVSS	P2IN.7	unused	P2IE.7	P2IFG.7	P2IES.7

[†] Timer_A

输入/输出电路图（续）

输入输出带有施密特触发器的P3口, P3.0到P3.7

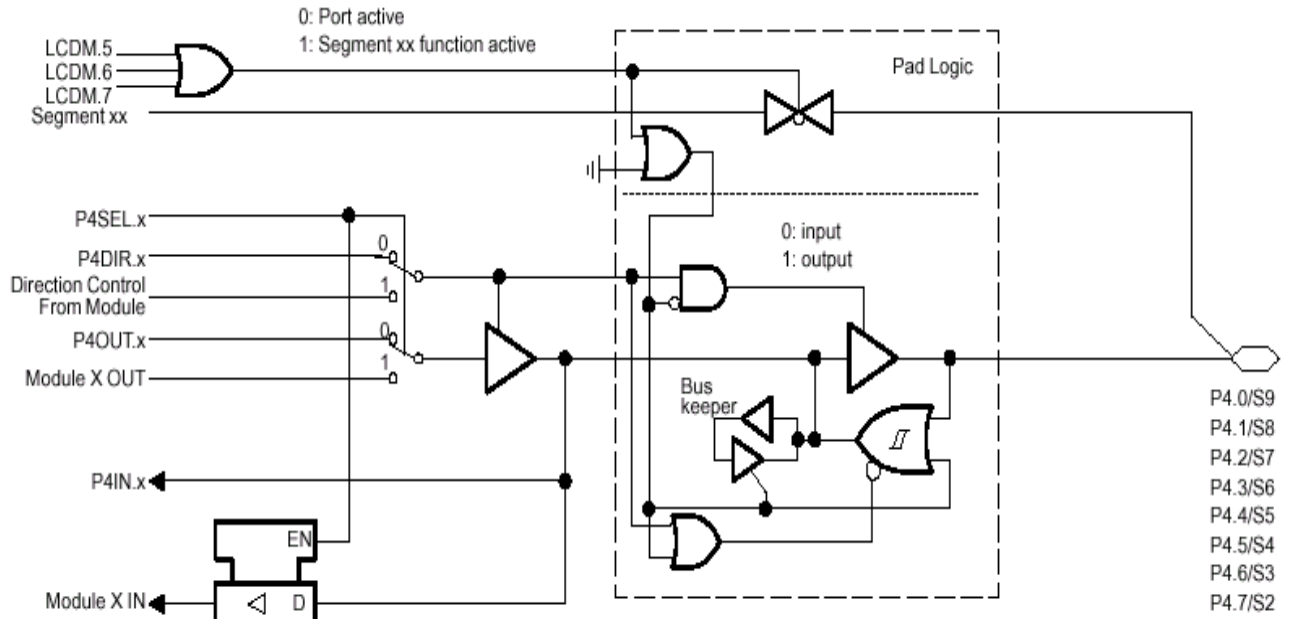


Note: 0 ≤ x ≤ 7

PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P3Sel.0	P3DIR.0	P3DIR.0	P3OUT.0	DVSS	P3IN.0	unused
P3Sel.1	P3DIR.1	P3DIR.1	P3OUT.1	DVSS	P3IN.1	unused
P3Sel.2	P3DIR.2	P3DIR.2	P3OUT.2	DVSS	P3IN.2	unused
P3Sel.3	P3DIR.3	P3DIR.3	P3OUT.3	DVSS	P3IN.3	unused
P3Sel.4	P3DIR.4	P3DIR.4	P3OUT.4	DVSS	P3IN.4	unused
P3Sel.5	P3DIR.5	P3DIR.5	P3OUT.5	DVSS	P3IN.5	unused
P3Sel.6	P3DIR.4	P3DIR.6	P3OUT.6	DVSS	P3IN.6	unused
P3Sel.7	P3DIR.5	P3DIR.7	P3OUT.7	DVSS	P3IN.7	unused

输入/输出电路图 (续)

输入输出带有施密特触发器的P4口,P4.0到P4.7

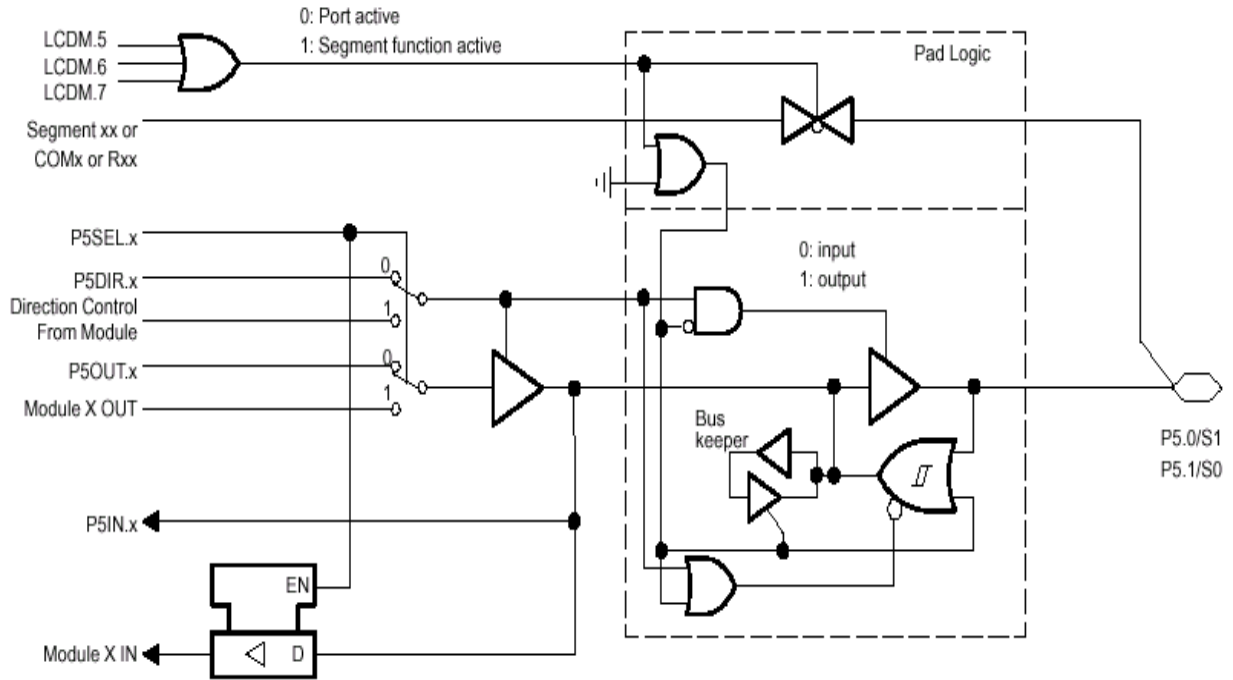


Note: 0 ≤ x ≤ 7

PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P4Sel.0	P4DIR.0	P4DIR.0	P4OUT.0	DVSS	P4IN.0	unused
P4Sel.1	P4DIR.1	P4DIR.1	P4OUT.1	DVSS	P4IN.1	unused
P4Sel.2	P4DIR.2	P4DIR.2	P4OUT.2	DVSS	P4IN.2	unused
P4Sel.3	P4DIR.3	P4DIR.3	P4OUT.3	DVSS	P4IN.3	unused
P4Sel.4	P4DIR.4	P4DIR.4	P4OUT.4	DVSS	P4IN.4	unused
P4Sel.5	P4DIR.5	P4DIR.5	P4OUT.5	DVSS	P4IN.5	unused
P4Sel.6	P4DIR.4	P4DIR.6	P4OUT.6	DVSS	P4IN.6	unused
P4Sel.7	P4DIR.5	P4DIR.7	P4OUT.7	DVSS	P4IN.7	unused

输入/输出电路图（续）

输入输出带有施密特触发器的P5口,P5.0, P5.1

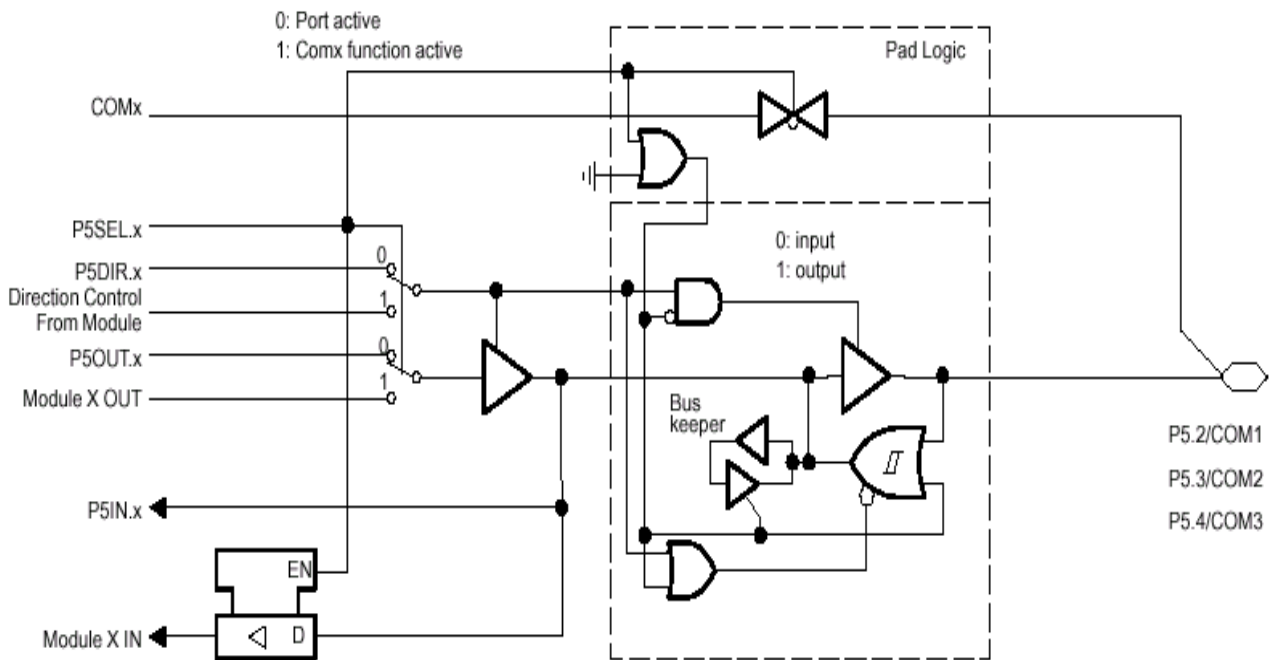


Note: $0 \leq x \leq 1$

PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	Segment
P5Sel.0	P5DIR.0	P5DIR.0	P5OUT.0	DVSS	P5IN.0	unused	S1
P5Sel.1	P5DIR.1	P5DIR.1	P5OUT.1	DVSS	P5IN.1	unused	S0

输入/输出电路图 (续)

输入输出带有施密特触发器的P5口,P5.2, P5.4



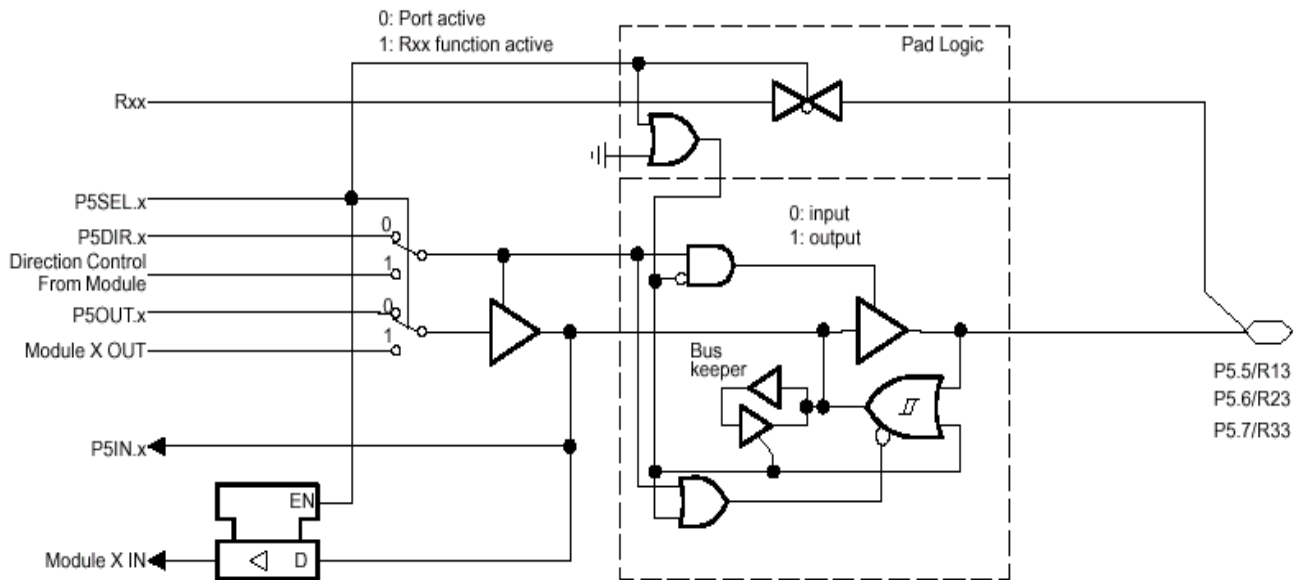
Note: $2 \leq x \leq 4$

注 意:

方向控制位P5SEL.2, P5SEL.3和P5SEL.4用于区分是端口还是LCD公共端。注意在驱动4MUX LCD 时要使用所有COM端 (COM3到COM0), 3MUX LCD 使用COM2 到COM0, 2MUX LCD使用COM1和COM0, 静态LCD只使用COM0。

输入/输出电路图（续）

输入输出带有施密特触发器的P5口,P5.5到P2.7



Note: $5 \leq x \leq 7$

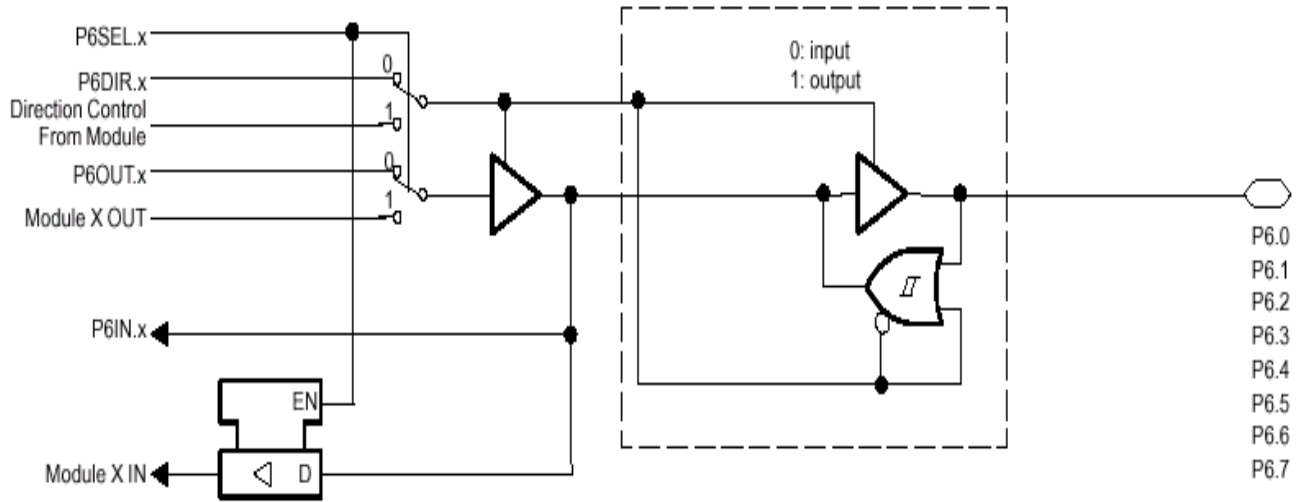
PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN	Rxx
P5Sel.5	P5DIR.5	P5DIR.5	P5OUT.5	DVSS	P5IN.5	unused	R13
P5Sel.6	P5DIR.4	P5DIR.6	P5OUT.6	DVSS	P5IN.6	unused	R23
P5Sel.7	P5DIR.5	P5DIR.7	P5OUT.7	DVSS	P5IN.7	unused	R33

注意:

方向控制位P5SEL.5, P5SEL.6和P5SEL.7用于区分是端口还是LCD模拟电压功能。注意在驱动4MUX和3MUX LCD时需要所有得电阻Rxx分压电压，从R33到R03。 2MUX LCD需要接R33, R13和R03，静态LCD 要求外接R33和R03。

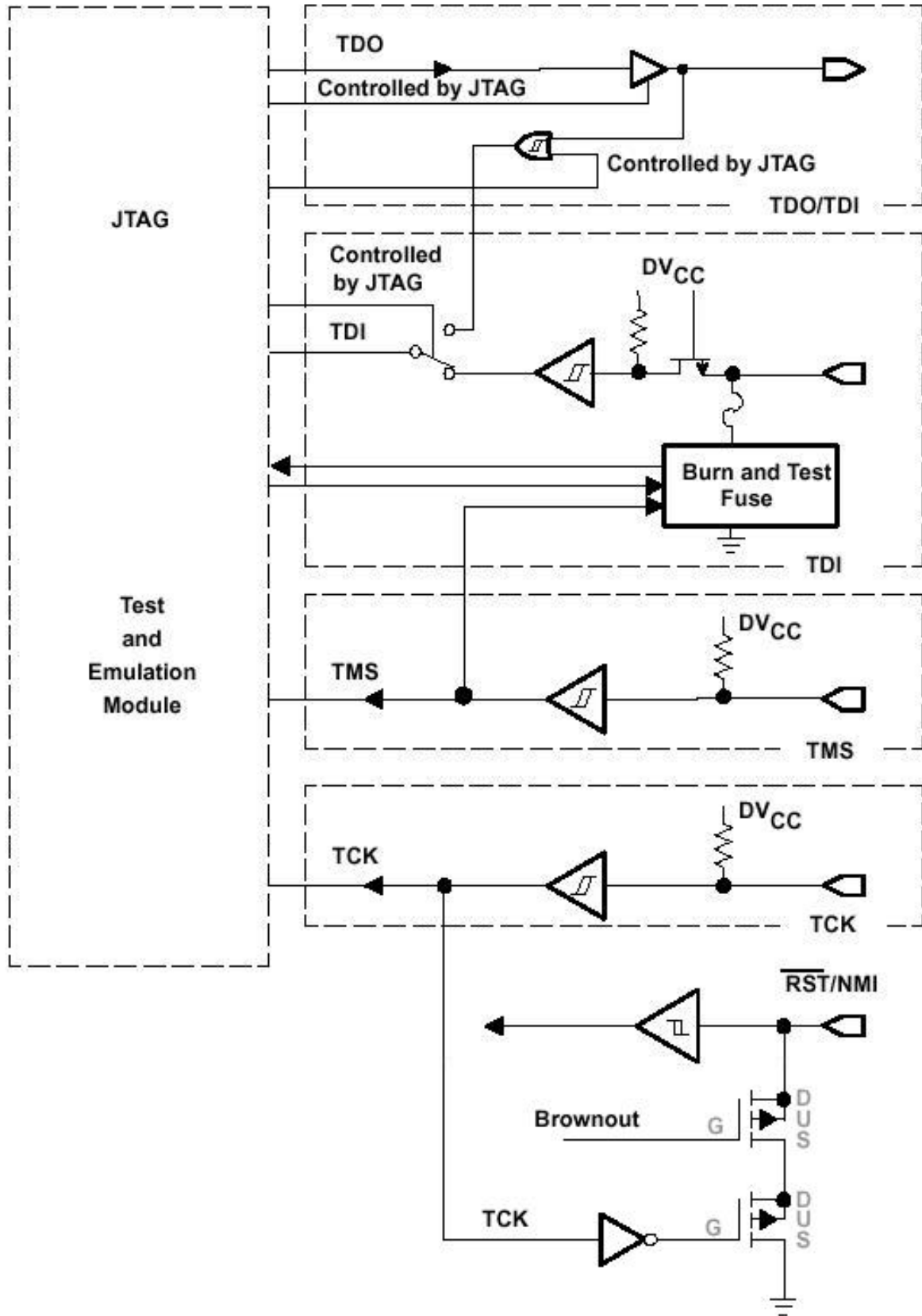
输入/输出电路图（续）

输入输出带有施密特触发器的P6口,P6.0到P6.7



PnSel.x	PnDIR.x	Direction Control From Module	PnOUT.x	Module X OUT	PnIN.x	Module X IN
P6Sel.0	P6DIR.0	P6DIR.0	P6OUT.0	DVSS	P6IN.0	unused
P6Sel.1	P6DIR.1	P6DIR.1	P6OUT.1	DVSS	P6IN.1	unused
P6Sel.2	P6DIR.2	P6DIR.2	P6OUT.2	DVSS	P6IN.2	unused
P6Sel.3	P6DIR.3	P6DIR.3	P6OUT.3	DVSS	P6IN.3	unused
P6Sel.4	P6DIR.4	P6DIR.4	P6OUT.4	DVSS	P6IN.4	unused
P6Sel.5	P6DIR.5	P6DIR.5	P6OUT.5	DVSS	P6IN.5	unused
P6Sel.6	P6DIR.4	P6DIR.6	P6OUT.6	DVSS	P6IN.6	unused
P6Sel.7	P6DIR.5	P6DIR.7	P6OUT.7	DVSS	P6IN.7	unused

JTAG引脚TMS, TCK, TDI, TDO/TDI, 施密特式输入/输出或输出



JTAG fuse check mode

在上电复位（POR）后，第一次使用MSP430器件的JTAG口，在TDI端有一个熔丝检查模式，可以检测熔丝的通断。该模式有效时，如果熔丝没烧断，将有一个熔丝检查电流 I_{TF} （电压3V时1 mA）从TDI引脚流到地。必须注意防止意外激活熔丝检查模式，以免增加系统功耗。上电后，TMS引脚的第一个下降沿将激活熔丝检查模式，或者如果在上电期间TMS保持低电平，该模式也会激活。TMS引脚的第二个上升沿将关闭熔丝检查模式。该模式关闭后，熔丝检查模式保持无效直到另一个POR出现。在每一次POR，熔丝检查模式，都有机会激活。

只有当熔丝检查模式激活时，才会出现熔丝检查电流并且TMS引脚保持低电平(见图19)。这样可以通过保持TMS引脚为高电平(缺省条件)，防止额外的电流消耗。

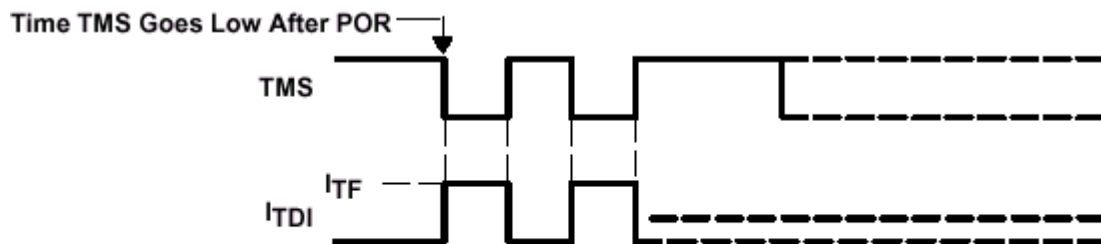
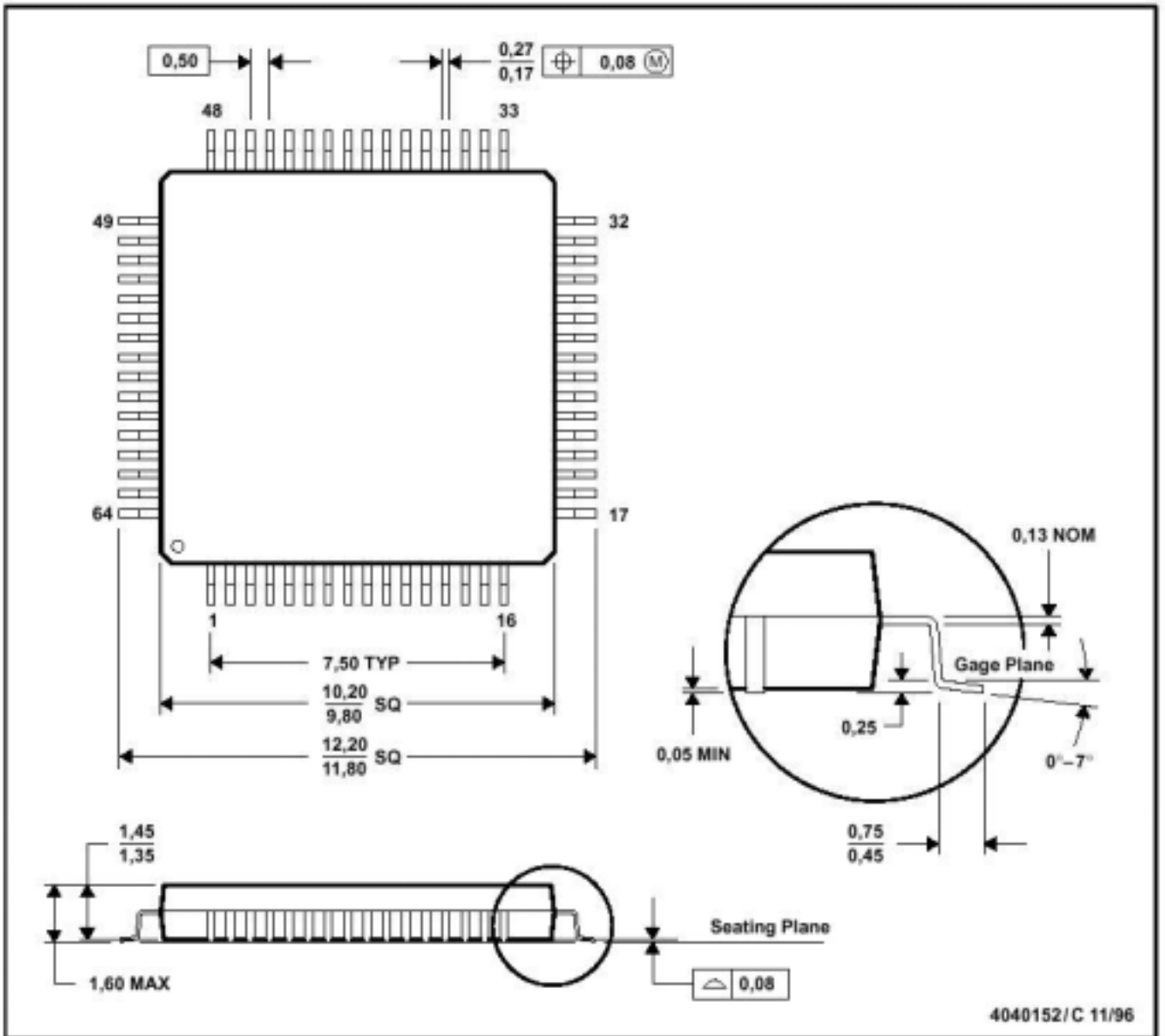


图19、MSP430C41X和MSP430F41X系列芯片熔丝检查模式的电流波形

机械性能数据

PM (S-PQFP-G64)

方形塑料封装



- 注释 A: 所有度量单位为毫米。
- 注释 B: 此图仅供参考, 如有变化不需另行通知。
- 注释 C: 在JEDEC MS-026范围内变化。
- 注释 D: 通过使用硬模, 也可能增强塑料强度。

IMPORTANT NOTICE

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgment, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

Customers are responsible for their applications using TI components.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, license, warranty or endorsement thereof.

Reproduction of information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations and notices. Representation or reproduction of this information with alteration voids all warranties provided for an associated TI product or service, is an unfair and deceptive business practice, and TI is not responsible nor liable for any such use.

Resale of TI's products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service, is an unfair and deceptive business practice, and TI is not responsible nor liable for any such use.

Also see: Standard Terms and Conditions of Sale for Semiconductor Products. www.ti.com/sc/docs/stdterms.htm

Mailing Address:

Texas Instruments

Post Office Box 655303

Dallas, Texas 75265

Copyright . 2001, Texas Instruments Incorporated