

电压输出可编程传感器调节器

特点

- 完整的桥式传感器调节器
- 电压输出
——按比例或绝对标度
- 数字校准
——单线和双线数字接口
- 传感器误差补偿
——测量范围
——偏移
——测量范围和失调的温漂
- 无需电位器
- 避免传感器微调
- 误差低、时间稳定, 可全面调节
- 传感器线性化电路
- 温度传感选择
——内部/外部
- 校准参照表查询逻辑
——包括线性内插演算法
- 非易失性的校准常量
——外部 1K EEPROM (SOT23-5)
- 小型 TSSOP-16 封装
- 工作温度范围: -40°C 至 $+125^{\circ}\text{C}$

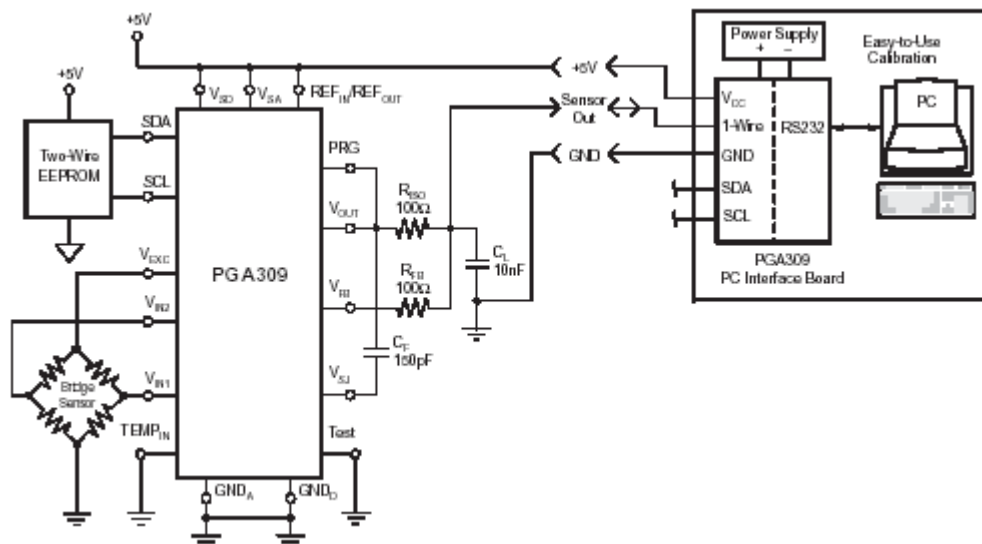
- 工作电压范围: $+2.7\text{V}$ 至 $+5.5\text{V}$

应用

- 压力桥式调节器
——数字化校准
- 传感器
- 远程 4~20mA 信号发送器
- 称重桥式发送器
- 数据采集系统的远程数据获取
- 工业过程控制
- 自动化传感器

评估工具

- 硬件设计套件 (PGA309DK)
——对 PGA309 和传感器进行评估
——在整个温度范围内评估
- 软件控制设计套件
——对 PGA309 编程以进行评估
——对 PGA309 编程以进行首次生产试行
——传感器计算分析工具



封装/订购信息 (1)

PRODUCT	PACKAGE-LEAD	PACKAGE DRAWING	SPECIFIED TEMPERATURE RANGE	PACKAGE MARKING	ORDERING NUMBER	TRANSPORT MEDIA, QUANTITY
PGA309	TSSOP-16	PW	-40°C to +125°C	PGA309	PGA309AIPWR	Tape and Reel, 2500
					PGA309AIPWT	Tape and Reel, 250

(1) 最新折封装和订购信息请参考以下网址：www.ti.com。

极限参数 (1)

在自然通风工作温度范围内，除非另有说明。

电源电压, V_{SD}, V_{SD}	+7.0V
输入电压, V_{IN1}, V_{IN2} (2)	-0.3V~ $V_{SA}+0.3V$
输入电流, V_{FB}, V_{OUT}	$\pm 150mA$
输入电流	$\pm 10mA$
输出电流极限	50mA
存储温度范围	-60°C~+150°C
工作温度范围	-55°C~+150°C
结点温度范围	+150°C
引线温度（焊接，10 秒）	+300°C
静电放电保护（人体模型）	4kV

- (1) 强度超过所列参数可能导致器件永久性损坏。延长在极限条件下的工作时间会影响器件的可靠性。这些仅仅是权限参数，并不意味着在极限条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效工作。
- (2) 输入端是与电源箝位的二极管。如果输入信号的振幅超出电源电压的 0.5V 以上，则要将该输入信号的电流限制在 10mA 以内或更小。

注意：静电放电会对该集成电路造成损害。TI 公司建议用户对所有集成电路都预先采取适当的保护措施。不正确的使用和安装都可能造成损坏。静电放电造成的损坏会引起性能有微小的降低，也会导致器件完全毁坏。精密的集成电路可能更容易受这些损坏的影响，因为在它们内部，即使参数发生很小的变化都会导致器件与有的规格特性不符。

描述

PGA309是专为压力桥接传感器设计的可编程模拟信号调节器。模拟信号通道扩大传感器的信号并且为零点、测量范围、零点漂移、测量范围漂移和线性误差提供数字校准。这种校准通过一个单线串行数字接口或双线可兼容的连接器进行。校准参数存储在外部非易失性的存储器中以避免手动微调并确保长时间的稳定性。

全模拟式的信号通道包含一个2X2结构的输入多路复用器，一个自动归零、增益可编程的仪表放大器，线性电路，参考电压，内部振荡器，控制逻辑和一个输出放大器。可编程的电平偏移为传感器的直流偏置提供补偿。在电源失效时，自动复位被激活。

PGA309 的内核是一个精密的低漂移、低噪声、前端可编程的增益放大器（PGA）。该 PGA 加上输出放大器的总增益可以在+2.7V/V 至 +1152V/V 的范围内进行调整。输入端的极性可以通过输入多路复用器进行转换以适应输出端极性未知的传感器。故障监控电路对传感器过温、超负载和系统故障等情况进行监测并且在这些情况发生时将发出信号提示。

电气特性

粗体字部分的限制条件适用特定的温度范围: $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$

$T_A = +25^{\circ}\text{C}$, $V_{SA} = V_{SD} = +5\text{V}$ ($V_{SA} = V_{\text{SUPPLY ANALOG}}$, $V_{SD} = V_{\text{SUPPLY DIGITAL}}$; V_{SA} 必须与 V_{SD} 相等), $\text{GND}_D = \text{GND}_A = 0$, 并且 $V_{\text{REF}} = \text{REF}_{\text{IN}}/\text{REF}_{\text{OUT}} = +5\text{V}$, 除非另有说明。

PARAMETER	CONDITIONS	PGA309			UNITS
		MIN	TYP	MAX	
FRONT-END PGA + OUTPUT AMPLIFIER $V_{\text{OUT}}/V_{\text{IN}}$ Differential Signal Gain Range ⁽¹⁾	Fine Gain Adjust = 1 Front-End PGA Gains: 4, 8, 16, 23, 27, 32, 42.67, 64, 128 Output Amplifier Gains: 2, 2.4, 3, 3.6, 4.5, 6, 9		8 to 1152		V/V
V_{OUT} Slew Rate			0.5		V/ μs
V_{OUT} Settling Time (0.01%)			6		μs
V_{OUT} Settling Time (0.01%)	$V_{\text{OUT}}/V_{\text{IN}}$ Differential Gain = 8, $R_L = 5\text{k}\Omega \parallel 200\text{pF}$		4.1		μs
V_{OUT} Nonlinearity	$V_{\text{OUT}}/V_{\text{IN}}$ Differential Gain = 191, $R_L = 5\text{k}\Omega \parallel 200\text{pF}$		0.002		%FSR
External Sensor Output Sensitivity	$V_{SA} = V_{SD} = V_{\text{EXC}} = +5\text{V}$		1 to 245		mV/V
FRONT-END PGA					
Auto-Zero Internal Frequency			7		kHz
Offset Voltage (RTI) ⁽²⁾	Coarse Offset Adjust Disabled		± 3	± 50	μV
vs Temperature			± 0.2		$\mu\text{V}/^{\circ}\text{C}$
vs Supply Voltage, V_{SA}			± 2		$\mu\text{V}/\text{V}$
vs Common-Mode Voltage			1500/ G_F	6000/ G_F	$\mu\text{V}/\text{V}$
Linear Input Voltage Range ⁽³⁾	$G_F = \text{Front-End PGA Gain}$	0.2		$V_{SA} - 1.5$	V
Input Bias Current			0.1	1.5	nA
Input Impedance: Differential			30 $\parallel$ 6		G $\Omega \parallel$ pF
Input Impedance: Common-Mode			50 $\parallel$ 20		G $\Omega \parallel$ pF
Input Voltage Noise	0.1Hz to 10Hz, $G_F = 128$		4		μVpp
PGA Gain ⁽¹⁾					
Gain Range Steps	4, 8, 16, 23.27, 32, 42.67, 64, 128		4 to 128		V/V
Initial Gain Error	$G_F = 4$ to 42		0.2	± 1	%
	$G_F = 64$		0.25	± 1.2	%
	$G_F = 128$		0.3	± 1.6	%
vs Temperature			10		ppm/ $^{\circ}\text{C}$
Output Voltage Range			0.05 to $V_{SA} - 0.1$		V
Bandwidth	Gain = 4		400		kHz
	Gain = 128		15.5		kHz
COARSE OFFSET ADJUST (RTI OF FRONT-END PGA)					
Range	$\pm(15)(V_{\text{REF}}/1250)$	± 56	± 59.5	± 64	mV
vs Temperature			0.004		%/ $^{\circ}\text{C}$
Resolution	± 15 steps, 4-Bit + Sign		4		mV
FINE OFFSET ADJUST (ZERO DAC) (RTO of the Front-End PGA) ⁽²⁾					
Programming Range		0		V_{REF}	V
Output Range		0.1		$V_{SA} - 0.1$	V
Resolution	65,536 steps, 16-Bit DAC		73		μV
Integral Nonlinearity			20		LSB
Differential Nonlinearity			0.5		LSB
Gain Error			0.1		%
Gain Error Drift			10		ppm/ $^{\circ}\text{C}$
Offset			5		mV
Offset Drift			10		$\mu\text{V}/^{\circ}\text{C}$
OUTPUT FINE GAIN ADJUST (GAIN DAC)					
Range			0.33 to 1		V/V
Resolution	65,536 steps, 16-Bit DAC		10		$\mu\text{V}/\text{V}$
Integral NonLinearity			20		LSB
Differential NonLinearity			0.5		LSB

(续表)

PARAMETER	CONDITIONS	PGA309			UNITS
		MIN	TYP	MAX	
OUTPUT AMPLIFIER					
Offset Voltage (RTI of Output Amplifier)(2)			3		mV
vs Temperature			5		$\mu\text{V}/^{\circ}\text{C}$
vs Supply Voltage, V_{SA}			30		$\mu\text{V}/\text{V}$
Common-Mode Input Range		0		$V_{SA}-1.5$	V
Input Bias Current			100		pA
Amplifier Internal Gain					
Gain Range Steps	2, 2.4, 3, 3.6, 4.5, 6, 9		2 to 9		V/V
Initial Gain Error	2, 2.4, 3.6		0.25	± 1	%
	4.5		0.3	± 1.2	%
	6		0.4	± 1.5	%
	9		0.6	± 2.0	%
vs Temperature	2, 2.4, 3.6		5		$\text{ppm}/^{\circ}\text{C}$
	4.5		5		$\text{ppm}/^{\circ}\text{C}$
	6		15		$\text{ppm}/^{\circ}\text{C}$
	9		30		$\text{ppm}/^{\circ}\text{C}$
Output Voltage Range(4)	$R_L = 10\text{k}\Omega$	0.1		4.9	V
OpenLoop Gain			115		dB
Gain-Bandwidth Product			2		MHz
Phase Margin	Gain = 1		45		Degrees
Output Resistance	AC Small-Signal, Open-Loop, $f = 1\text{MHz}$		675		Ω
OVER- AND UNDER-SCALE LIMITS					
(VREF = 4.096)					
Over-Scale Thresholds					
	Ratio of VREF, Register 5—Bits D5, D4, D3 = '000'		0.9708		
	Ratio of VREF, Register 5—Bits D5, D4, D3 = '001'		0.9610		
	Ratio of VREF, Register 5—Bits D5, D4, D3 = '010'		0.9394		
	Ratio of VREF, Register 5—Bits D5, D4, D3 = '011'		0.9160		
	Ratio of VREF, Register 5—Bits D5, D4, D3 = '100'		0.9102		
	Ratio of VREF, Register 5—Bits D5, D4, D3 = '101'		0.7324		
	Ratio of VREF, Register 5—Bits D5, D4, D3 = '110'		0.5528		
Over-Scale Comparator Offset		+6	+60	+114	mV
Over-Scale Comparator Offset Drift			+0.37		$\text{mV}/^{\circ}\text{C}$
Under-Scale Thresholds					
	Ratio of VREF, Register 5—Bits D2, D1, D0 = '111'		0.0606		
	Ratio of VREF, Register 5—Bits D2, D1, D0 = '110'		0.0547		
	Ratio of VREF, Register 5—Bits D2, D1, D0 = '101'		0.0507		
	Ratio of VREF, Register 5—Bits D2, D1, D0 = '100'		0.0449		
	Ratio of VREF, Register 5—Bits D2, D1, D0 = '011'		0.0391		
	Ratio of VREF, Register 5—Bits D2, D1, D0 = '010'		0.0352		
	Ratio of VREF, Register 5—Bits D2, D1, D0 = '001'		0.0293		
	Ratio of VREF, Register 5—Bits D2, D1, D0 = '000'		0.0254		
Under-Scale Comparator Offset		-7	-50	+93	mV
Under-Scale Comparator Offset Drift			-0.15		$\text{mV}/^{\circ}\text{C}$
FAULT MONITOR CIRCUIT					
INP_HI, INN_HI Comparator Threshold	See Note 5		$V_{SA}-1.2$ or $V_{EXC}-100$		V
INP_LO, INN_LO Comparator Threshold		40	100		mV
A1SAT_HI, A2SAT_HI Comparator Threshold			$V_{SA}-0.12$		V
A1SAT_LO, A2SAT_LO Comparator Threshold			$V_{SA}-0.12$		V
A3_VCM Comparator Threshold			$V_{SA}-1.2$		V
Comparator Hysteresis			20		mV

(续表)

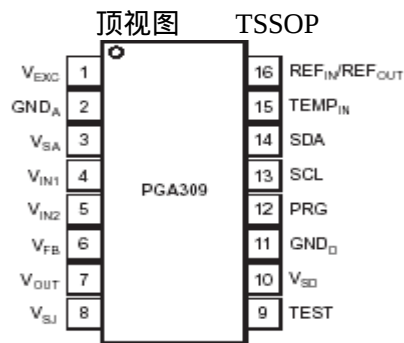
PARAMETER	CONDITIONS	PGA309			UNITS
		MIN	TYP	MAX	
INTERNAL VOLTAGE REFERENCE					
V _{REF1}	Register 3, Bit D9 = 1	2.46	2.5	2.53	V
V _{REF1} Drift vs Temperature			+10		ppm/°C
V _{REF2}	Register 3, Bit D9 = 0	4.0	4.096	4.14	V
V _{REF2} Drift vs Temperature			+10		ppm/°C
Input Current REF _{IN} /REF _{OUT}	Internal V _{REF} Disabled		100		μA
Output Current REF _{IN} /REF _{OUT}	V _{SA} > 2.7V for V _{REF} = 2.5V		1		mA
	V _{SA} > 4.3V for V _{REF} = 4.096V		1		mA
TEMPERATURE SENSE CIRCUITRY (ADC)					
Internal Temperature Measurement	Register 6, Bit D9 = 1		±2		°C
Accuracy	12-Bit + Sign, Two's Complement Data Format		±0.0625		°C
Resolution					°C
Temperature Measurement Range		-55		+150	°C
Conversion Rate	R ₁ , R ₀ = '11', 12-Bit + Sign Resolution		24		ms
TEMPERATURE ADC					
External Temperature Mode	Temp PGA + Temp ADC				
Gain Range Steps	G _{PGA} = 1, 2, 4, 8		1 to 8		V/V
Analog Input Voltage Range		GND-0.2		V _{SA} +0.2	V
Temperature ADC Internal REF (2.048V)	Register 6, Bit D8 = 1				
Full-Scale Input Voltage	(+Input) - (-Input)		±2.048/G _{PGA}		V
Differential Input Impedance			2.8/G _{PGA}		MΩ
Common-Mode Input Impedance	G _{PGA} = 1		3.5		MΩ
	G _{PGA} = 2		3.5		MΩ
	G _{PGA} = 4		1.8		MΩ
	G _{PGA} = 8		0.9		MΩ
Resolution	R ₁ , R ₀ = '00', ADC2X = '0', Conversion Time = 8ms		11		Bits + Sign
	R ₁ , R ₀ = '01', ADC2X = '0', Conversion Time = 32ms		13		Bits + Sign
	R ₁ , R ₀ = '10', ADC2X = '0', Conversion Time = 64ms		14		Bits + Sign
	R ₁ , R ₀ = '11', ADC2X = '0', Conversion Time = 128ms		15		Bits + Sign
Integral Nonlinearity			0.004		%
Offset Error	G _{PGA} = 1		1.2		mV
	G _{PGA} = 2		0.7		mV
	G _{PGA} = 4		0.5		mV
	G _{PGA} = 8		0.4		mV
Offset Drift	G _{PGA} = 1		1.2		μV/°C
	G _{PGA} = 2		0.6		μV/°C
	G _{PGA} = 4		0.3		μV/°C
	G _{PGA} = 8		0.3		μV/°C
Offset vs V _{SA}	G _{PGA} = 1		800		μV/V
	G _{PGA} = 2		400		μV/V
	G _{PGA} = 4		200		μV/V
	G _{PGA} = 8		150		μV/V
Gain Error			0.05	0.50	%
Gain Error Drift			5	50	ppm/°C
Gain vs V _{SA}			80		ppm/V
Common-Mode Rejection	At DC and G _{PGA} = 8		105		dB
	At DC and G _{PGA} = 1		100		dB

(续表)

PARAMETER	CONDITIONS	PGA309			UNITS
		MIN	TYP	MAX	
TEMPERATURE ADC (CONTINUED)					
Temp ADC Ext. REF ($V_{REFT} = V_{REF}, V_{EXC}$, or V_{SA})	Register 6, Bit D8 = 0 (+Input) – (–Input)		$\pm V_{REFT}/G_{PGA}$		V
Full-Scale Input Voltage			$2.4/G_{PGA}$		mV
Differential Input Impedance	$G_{PGA} = 1$		8		MΩ
Common-Mode Input Impedance	$G_{PGA} = 2$		8		MΩ
	$G_{PGA} = 4$		8		MΩ
	$G_{PGA} = 8$		8		MΩ
Resolution	R1, R0 = '00', ADC2X = '0', Conversion Time = 6ms		11		Bits + Sign
	R1, R0 = '01', ADC2X = '0', Conversion Time = 24ms		13		Bits + Sign
	R1, R0 = '10', ADC2X = '0', Conversion Time = 50ms		14		Bits + Sign
	R1, R0 = '11', ADC2X = '0', Conversion Time = 100ms		15		Bits + Sign
Integral Nonlinearity			0.01		%
Offset Error	$G_{PGA} = 1$		2.5		mV
	$G_{PGA} = 2$		1.25		mV
	$G_{PGA} = 4$		0.7		mV
	$G_{PGA} = 8$		0.3		mV
Offset Drift	$G_{PGA} = 1$		1.5		μV/°C
	$G_{PGA} = 2$		1.0		μV/°C
	$G_{PGA} = 4$		0.7		μV/°C
	$G_{PGA} = 8$		0.6		μV/°C
Gain Error			–0.2		%
Gain Error Drift			2		ppm/°C
Gain vs V_{SA}			80		ppm/V
Common-Mode Rejection	At DC and $G_{PGA} = 8$		100		dB
	At DC and $G_{PGA} = 1$		85		dB
External Temperature Current Excitation	I _{TEMP}				
Current Excitation		5.8	7	8	μA
Temperature Drift			5		nA/°C
Voltage Compliance			$V_{SA}-1.2$		V
LINEARIZATION ADJUST AND EXCITATION VOLTAGE (V_{EXC})					
Range 1	Register 3, Bit D11 = 0				
Linearization DAC Range	With Respect to V_{FB}		–0.166 to +0.166		V/V
Linearization DAC Resolution	±128 Steps, 7-Bit + Sign		1.3		mV/V
V_{EXC} Gain	With Respect to V_{REF}		0.83		V/V
Gain Error Drift			25		ppm/°C
Range 2	Register 3, Bit D11 = 1				
Linearization DAC Range	With Respect to V_{FB}		–0.124 to +0.124		V/V
Linearization DAC Resolution	±128 Steps, 7-Bit + Sign		0.969		mV/V
V_{EXC} Gain	With Respect to V_{REF}		0.52		V/V
Gain Error Drift			25		ppm/°C
V_{EXC} Range Upper Limit	I _{EXC} = 5mA		$V_{SA} - 0.5$		V
I _{EXC} SHORT	Short-Circuit V_{EXC} Output Current		50		mA
DIGITAL INTERFACE					
Two-Wire Compatible	Bus Speed	1		400	kHz
One-Wire	Serial Speed Baud Rate	4.8K		38.4K	Bits/s
Maximum Lookup Table Size ⁽⁶⁾			17 x 3 x 16		Bits
Two-Wire Data Rate	Communication Between PGA309 and EEPROM		65		kHz
LOGIC LEVELS					
Input Levels (SDA, SCL, PRG)	Low	0.7 • V_{SD}		0.2 • V_{SD}	V
	High				V
	Hysteresis		0.1 • V_{SD}		V
Output LOW Level (SDA, SCL)	Open Drain w/90μA Internal Pull-Up to V_{SD} , I _{SINK} = 5mA			0.4	V
Output LOW Level (PRG)	Open Drain, I _{SINK} = 5mA			0.4	V
POWER SUPPLY					
V_{SA}, V_{SD}		2.7		5.5	V
I _{SA} + I _{SD} , Quiescent Current	$V_{SA} = V_{SD} = +5V$, without Bridge Load		1.2	1.6	mA
POWER-ON RESET					
Power-Up Threshold	V_{SA} Rising		2.2	2.7	V
Power-Down Threshold	V_{SA} Falling		1.7		V
TEMPERATURE RANGE					
Specified Performance		–40		+125	°C
Operational – Degraded Performance		–55		+150	°C

- (1) PGA309 的从输入端 (V_{IN1} — V_{IN2}) 到输出端 (V_{OUT}) 的总差分增益。 $V_{OUT}/(V_{IN1}-V_{IN2}) = (\text{PGA 前端增益})(\text{输出放大器增益})(\text{精细增益调整})$ 。
- (2) RTI=参照输入端 (referred to input)。RTO=参照输出端 (referred to output)。
- (3) 为使输入 PGA 在线性区域能继续工作，线性输入的范围是 V_{IN1} 和 V_{IN2} 引脚上允许的最小/最大电压。允许的共模和差分电压取决于增益和偏置的设置值。详情见“增益定标”一节。
- (4) 除非受上限/下限比例 (over /under-scale) 设置限制。
- (5) 当 V_{EXC} 被激活时，最小参考选择器电路成为比较器门限电压基准。最小参考选择器电路采用 V_{EXC} —100mV 和 V_{SA} —1.2V 的电压，并且将 V_{INX} 引脚与两个参考电压中较低的一个进行比较。这在 V_{EXC} 比 PGA 输入放大器的输入 CMR (相对于 V_{SA}) 高或低时，可以确保故障监控的精确性。
- (6) 查询表允许过温时的多斜率补偿。查询表可使用 17 个校准点，其中包括存储在 16 位数据格式中的 3 个调整值 (T_X ，温度， XM_X ，零点 DAC(Zero DAC)， GM_X ，增益) ($17 \times 3 \times 16 = \text{查询表的大小}$)。

引脚配置



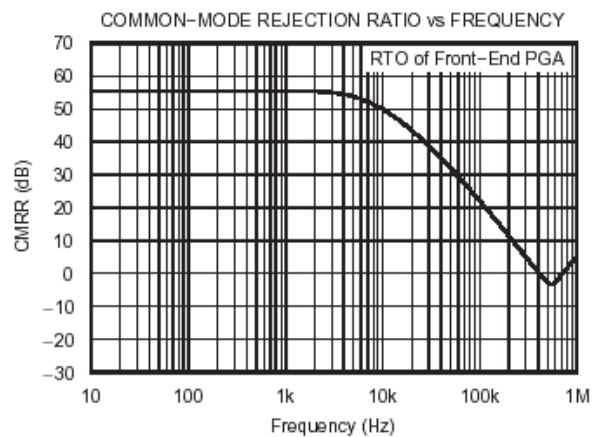
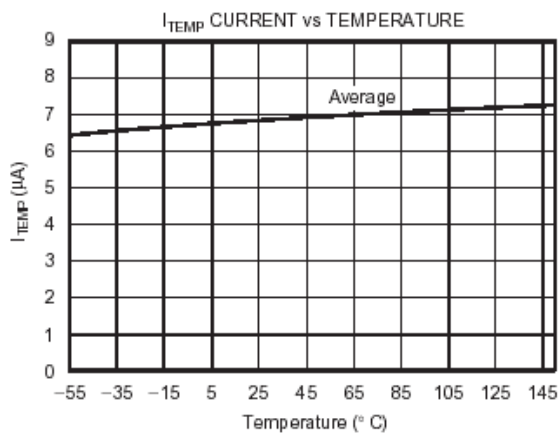
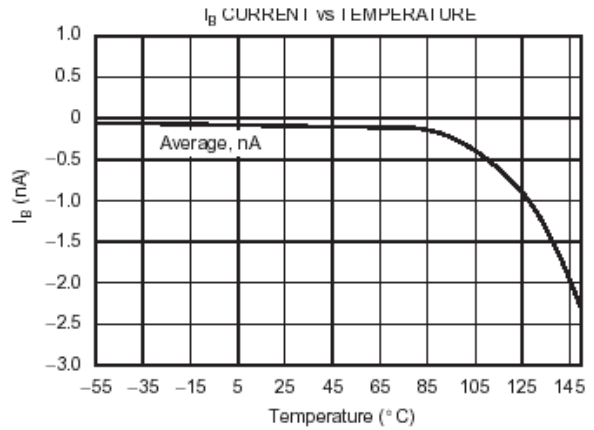
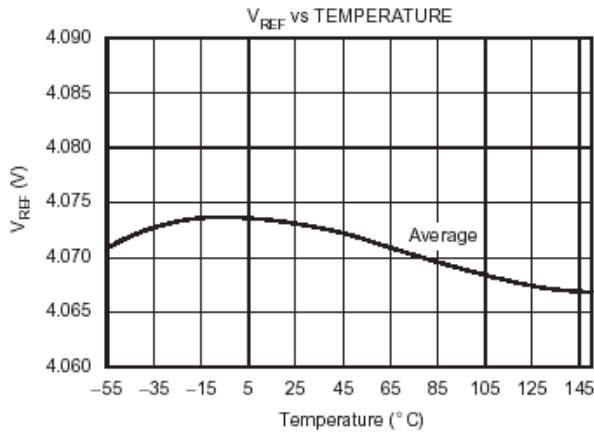
引脚描述

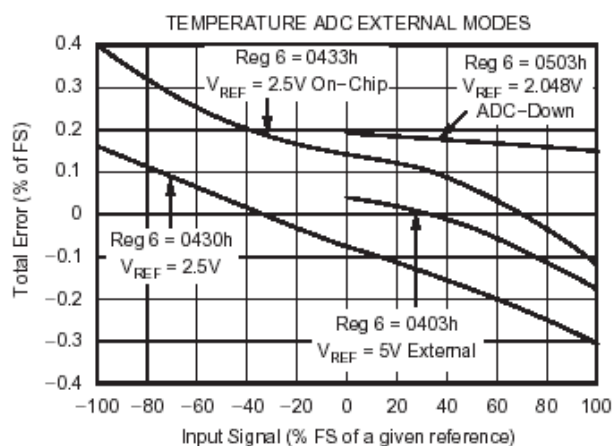
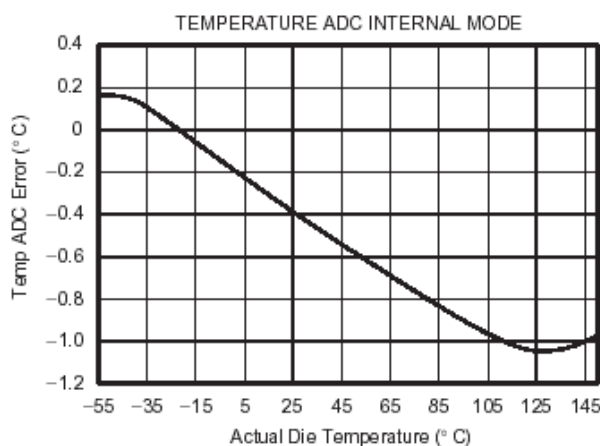
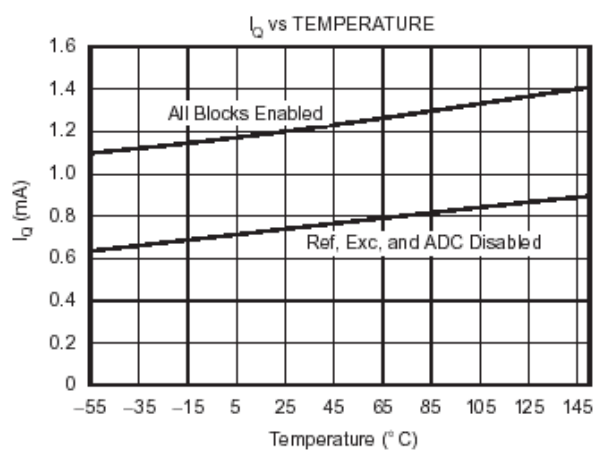
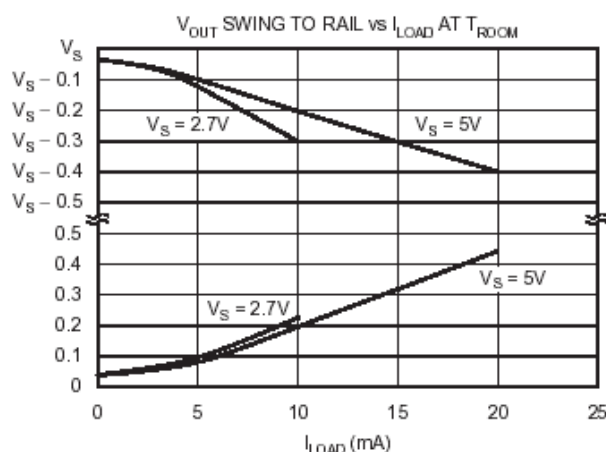
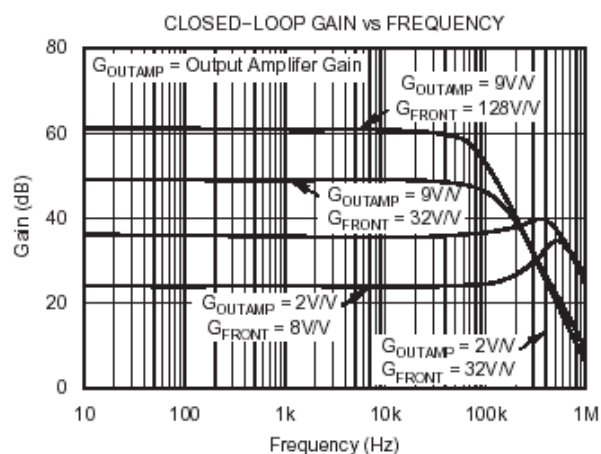
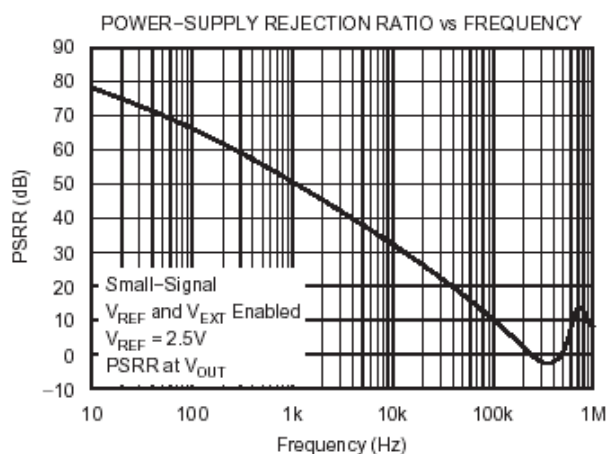
引脚	名称	描 述
1	V_{EXC}	桥接传感器激励。如果使用了针对桥接激励的线性化和/或内部电压基准，则连接到电桥。
2	GND_A	模拟地。为得到 V_{SA} ，连接到模拟地返回通路。应与 GND_D 一致。
3	V_{SA}	模拟电源电压。连接到模拟电源电压。在 200mV 的 V_{SD} 之内。
4	V_{IN1}	信号输入电压 1。连接到传感器桥的正或负输出端。内部多路复用器可在内部改变与前端 PGA 的连接。
5	V_{IN2}	信号输入电压 2。连接到传感器桥的正或负输出端。内部多路复用器可在内部改变与前端 PGA 的连接。
6	V_{FB}	V_{OUT} 反馈引脚。用于上限/下限比例限制电路的电压反馈传感点。在使用了针对输出放大器的内部增益设置电阻时，该引脚也是输出放大器的电压反馈传感点。 V_{FB} 和 V_{SJ} 结合可简化外部滤波器和保护电路并且不会降低 PGA309 的 V_{OUT} 的精确度。如果使用了外部保护， V_{FB} 则必须总是接至 V_{OUT} 或 V_{OUT} 的反馈点。
7	V_{OUT}	受调节的传感器的模拟输出电压。
8	V_{SJ}	输出放大器求和点。当驱动大电容负载 ($>100pF$) 和/或使用针对输出放大器的外部增益设置电阻时，用于输出放大器补偿。
9	TEST	测试/外部控制器模式引脚。在正常模式下接至 GND_D 。
10	V_{SD}	数字电源电压。接至数字电源电压。在 200mV 的 V_{SA} 之内。
11	GND_D	数字地。为得到 V_{SD} ，接到数字地返回通路。应与 GND_A 一致。
12	PRG	单线接口编程引脚。PGA309 单线数字校准的 UART 型接口。可连接到 V_{OUT} ，用于 3 管脚 (V_S ， GND ， V_{OUT}) 小型可编程的传感器部件。
13	SCL	针对双线工业标准可兼容接口用于从外部 EEPROM 读取数字校准和配置的时钟输入/输出端。可通过双线工业标准可兼容的接口与 PGA309 中的寄存器直接通信。

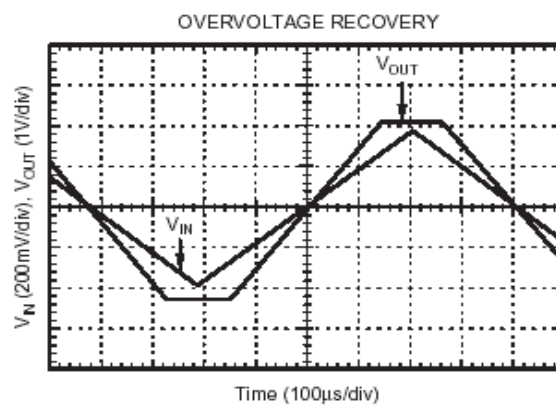
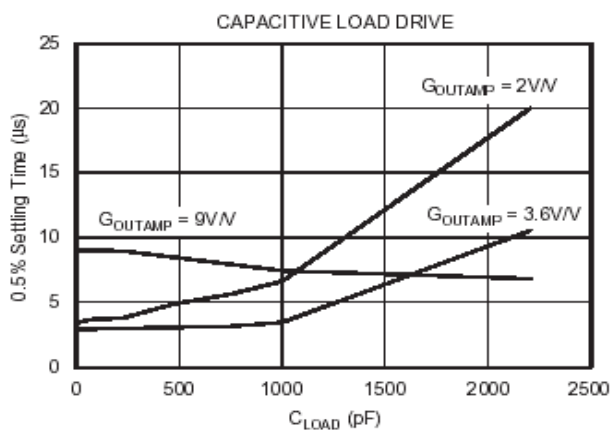
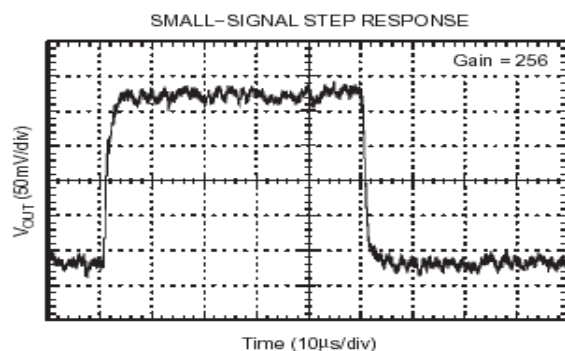
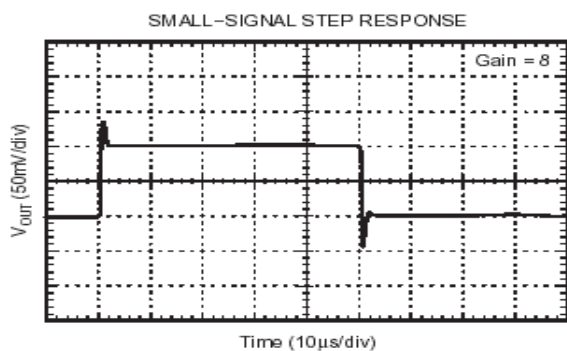
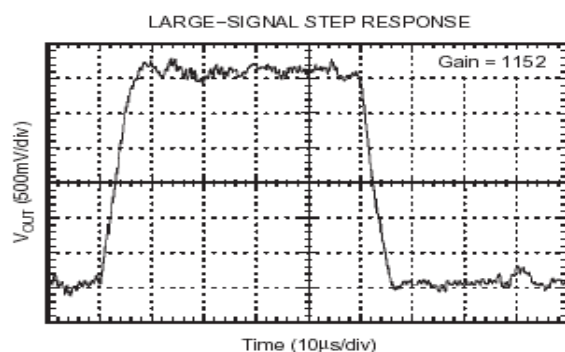
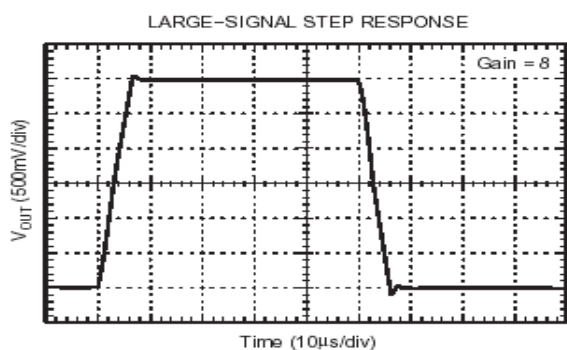
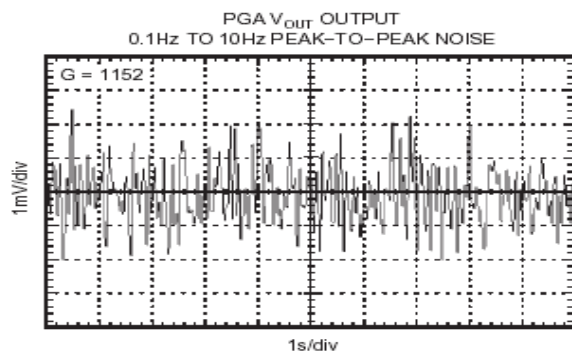
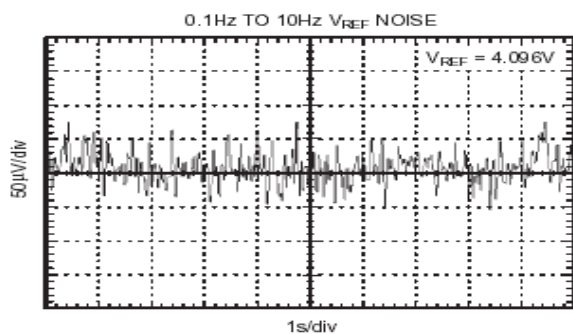
14	SDA	针对双线工业标准可兼容接口用于从外部 EEPROM 读取数字校准和配置的数据输入/输出端。也可通过双线工业标准可兼容的接口与 PGA309 中的寄存器直接通信。
15	TEMP _{IN}	外部温度信号输入端。经过配置 PGA309 可将电桥电流感应电阻当作电桥温度指示器或者诸如二极管结点、RTD、热敏电阻等外部温度传感器件。该输入端可在内部乘以 1、2、4、8 倍的增益。此外，该输入端根据 V _{GND A} 、V _{EXC} 或内部 V _{REF} 可有不同读数。同时还有一个内部可选的 7 μA 的寄存器电流源 (I _{TEMP})，它可以连接到 TEMP _{IN} 用作一个电阻温度检测器 (RTD)，热敏电阻或二极管激励源。
16	REF _{IN} /REF _{OUT}	参考输入/输出引脚。作为输出端该引脚上有用于系统的内部电压基准 (可在 2.5V 或 4.096V 中选择)。作为输入端，可禁止内部电压基准，使用外部电压基准作为 PGA309 的基准电压。

典型特性

T_A = +25°C, V_{SA} = V_{SD} = +5V (V_{SA} = V_{SUPPLY ANALOG}, V_{SD} = V_{SUPPLY DIGITAL}, V_{SA} 必须与 V_{SD} 相等), GND_D = GND_A = 0, 并且 V_{REF} = REF_{IN}/REF_{OUT} = +5V, 除非另有说明。



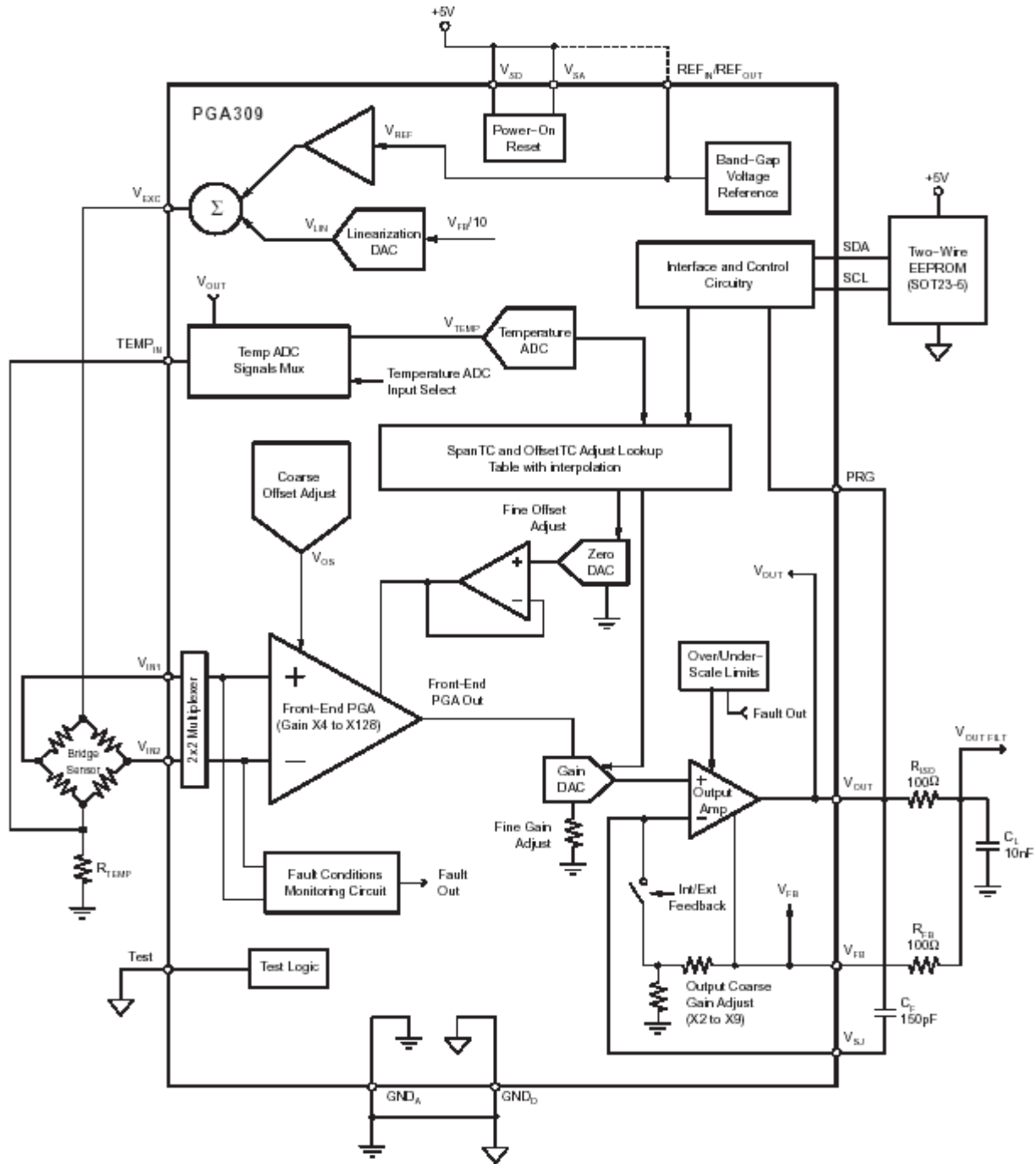




功能描述

PGA309 是小型可编程的模拟信号调节器，专为电阻桥接传感器应用设计。它是一个全信号调节器，具有桥接激励、初始测量范围和偏移校准、对测量范围和偏移的温度调整、内部/外部温度测量、输出超过上限和未到达下限比例限制、故障检测以及数字校准等功能。校准传感器模块中的 PGA309 可以将误差减小到接近桥接传感器所固有的重复特性。图 1 是 PGA309 的功能框图。以下则是对 PGA309 主要功能的简述。

图 1 PGA309 的简化框图



传感器误差调整范围

PGA309 的调整能力综述见表 1。

表 1 PGA309 的调整能力

FSS（最大定标敏感度）	1mV/V ~245mV/V
测量范围 TC	超过 $\pm 3300\text{ppmFS}/^{\circ}\text{C}$ ⁽¹⁾
测量范围 TC 非线性	$\geq 10\%$
零点偏移量	$\pm 200\%\text{FS}$ ⁽²⁾
零点偏移 TC	超过 $\pm 3000\text{ppmFS}/^{\circ}\text{C}$ ⁽²⁾
零点偏移 TC 非线性	$\geq 10\%$
传感器阻抗	低至 200Ω ⁽³⁾
(1) 取决于温度传感电路。	
(2) 粗略调整与精细调整相结合。	
(3) 可通过将一个降压电阻与电桥串联来达到更低的阻抗。	

增益定标

PGA309 的内核是精密低漂移并且无 $1/f$ 噪声的前端 PGA。前端 PGA 加上输出放大器的总增益可以在 2.7V/V 至 1152V/V 的范围内调整。输入端的极性可以通过 2×2 结构的输入多路复用器进行切换来适应输出端极性未知的传感器。

前端 PGA 用无 $1/f$ 噪声、自动归零的仪表放大器提供初始粗略信号增益。精细增益调整通过 16 位的衰减增益数模转换器（DAC）来完成。增益 DAC 受温度补偿查询表中的数据控制，该查询表由温度模数转换器（Temp ADC）驱动。为了补偿二阶漂移非线性，在用存储于外部非易失性 EEPROM 查询表中的系数进行校准时，测量范围漂移可以适用分段线性曲线。

输出放大器在精细增益调整阶段之后，它提供额外的可编程增益。为了使应用更加灵活，PGA309 还带有两条关键的输出放大器接线， V_{FB} 和 V_{SJ} 。这些连线还顾及到精确的受调节的信号电压，同时也提供了针对 PGA309 输出过压和 RFI/EMI 滤波大电容性负载的方法。在许多端点应用中要求 RFI/EMI 滤波。

偏移调整

传感器偏移调整分两个阶段进行。在选择 V_{REF} 为 5V 时，输入参考粗略偏移调整 DAC 的偏移调整范围大约为 $\pm 60\text{mV}$ 。精细偏移和失调漂移（offset drift）可由 16 位的零点 DAC（Zero DAC）来取消，该 DAC 用前端仪表放大器的输出端来对信号求和。与增益 DAC 类似，零点 DAC 的数值由温度补偿查询表中的数据控制，该查询表存储在外部的 EEPROM 中，由温度 ADC 驱动。零点 DAC 的电压范围是 $0 \sim V_{REF}$ 。

电压基准

PGA309 含有一个精密、低漂移的电压基准（可在 2.5V 或 4.096V 中选择），可以通过 REF_{IN}/REF_{OUT} 引脚用作外部电路。该基准也用于粗略偏移量调整 DAC，零点 DAC，上限/下限比例限制以及通过 V_{EXC} 引脚的传感器激励和线性化。当内部电压基准禁止时， REF_{IN}/REF_{OUT} 引脚应该被接至一个外部基准或者接至用于比例系统的 V_{SA} 。

传感器激励和线性化

PGA309 含有一个带 7 位有正负之分 DAC 的专用电路，用于传感器电压激励和线性化。这个功能块对基准电压进行定标并用 PGA309 输出电压的一部分对其求和来对正负弓形非线性进行补偿，这个弓形非线性由多个传感器在外加压力范围内来展现。不需要线性化的传感器可以直接连接到电源（ V_{SA} ）或电压基准引脚（ REF_{IN}/REF_{OUT} ）。

用于温度传感的 ADC

对传感器测量范围和失调漂移的补偿是由温度传感器电路驱动的。内部或外部感温都有可能。在以下情况中可以感应到温度：

- 电桥阻抗的变化（激励电流感应，在电桥的正区域或负区域），对于电阻的温度系数较大的传感器（ $TCR > 0.1\%/^{\circ}\text{C}$ ）。
- 片内 PGA309 的温度，当芯片处于离传感器足够近时。
- 置于传感器表层的外部二极管、热敏电阻或 RTD。

温度信号被片内温度 ADC 数字化。温度 ADC 的输出端被控制数字电路用来从外部 EEPROM 中的查询表处获取数据，并且当温度发生变化时，它被用来将增益 DAC 和零点 DAC 的输出设置为校准值。

温度 ADC 还可提供的一个附加功能是通过其输入多路复用器读回 V_{OUT} 引脚的值。这确保了通过单线或双线接口进行的数字输出的灵活性，也使通过外部微处理器对 PGA309 进行实时自定义校准成为可能。

外部 EEPROM 和温度系数

PGA309 采用的是一个工业标准的双线外部 256 位~1K 位的 EEPROM（典型封装为 SOT23-5）。经测试，PGA309 可与 Microchip 的 24LCxx 和 24AAxx EEPROM 一起使用。

外部 EEPROM 的第一部分含有对 PGA309 的配置数据，具有以下配置：

- 寄存器 3——参考控制和线性化
- 寄存器 4——PGA 粗略偏移和增益/输出放大器增益
- 寄存器 5——PGA 配置和上限/下限比例限制
- 寄存器 6——温度 ADC 控制

EEPROM 的这一部分含有独立的校验和（校验和 1）。

外部 EEPROM 的第二部分包含多达 17 个温度标准点和相应温度系数，用于带有标准温度的零点 DAC 和增益 DAC 调整，第二部分也包含自己的校验和（校验和 2）。PGA309 查询逻辑含有线性内插演算法来对存储的温度指标进行精确的 DAC 调整。这种方式也考虑到了分段线性温度补偿，这一温度补偿有多达 17 个的温度标准点和相应的温度系数。

如果校验和 1 或校验和 2 中的一个不正确，或者两个都不正确，PGA309 的输出端则被置为高阻抗。

故障监控

为检测传感器是否烧断或短路，将四个一组的比较器连接到前端 PGA 的输入端。若任一输入端接近 40mV 的地线或 V_{EXC} ，或者有可能毁坏前端 PGA 的 CMR，相应的比较器则设置一个传感器故障标志，这使 PGA309 的 V_{OUT} 被驱动，工作在 100mV 的 V_{SA} 或地线电压内，是采用 V_{SA} 还是地线取决于报警配置的设置值（寄存器 5——PGA 配置和上限/下限比例限制）。这将刚好高于设置的上限比例限制电平或者刚好低于设置的下限比例限制电平。故障情况可以以数字形式在寄存器 8——报警状态寄存器中读出。如果上限/下限比例限制被禁止，PGA309 的输出电压还是在 100mV 的 V_{SA} 或地线电压内被激活，是采用 V_{SA} 还是地线取决于报警配置的设置值。

另外还有五个故障检测比较器协助检测对 PGA309 前端的细微损坏，这种细微损坏会导致 V_{OUT} 端的线性电压并且还会被误认为是有效状态。这些比较器在出厂校准和配置时特别有用，它们通过寄存器 5——PGA 配置和上限/下限比例限制来配置。它们的状态也可以通过寄存器 8——报警状态寄存器来读回。

上限和下限比例限制

上限和下限比例限制电路含有故障监控电路，为系统提供了故障诊断的方法。一个典型的由传感器控制的输出可以被缩小到系统 ADC 范围的 10%至 90%（传感器的正常工作范围）。如果受调节的压力传感器的输出范围低于 4%，则认为其欠压（under-pressure）；如果超过 96%，则认为其过压（over-pressure）。

PGA309 的上限/下限比例限制电路可以被单独编程为上限和下限比例来对 PGA309 输出信号进行削波或限制。从系统故障诊断的方面来看，已知 ADC 范围的 10%~90%是正常的工作范围，小于 4%是压力

不够, 大于 96%是压力过大。如果使用了故障检测电路, 则检测到的故障会导致 PGA309 的输出变成正饱和状态或负饱和状态。如果故障标志被编程为高电平, 超过 ADC 范围的 97%即为故障; 如果故障标志被编程为低电平, 则小于 ADC 范围的 3%就会是一次故障。现在系统软件可以用来区分压力过大或压力不够的情况, 这样可以表明系统出现的状况是失控状态还是一次传感器故障。

上电和正常工作

PGA309 有电路来检测何时对其上电, 并且还可以将内部寄存器和电路复位到初始状态。在电源被检测到是无效的时, 也会发生复位, 所以当电源再次变为有效时, PGA309 处于一种已知状态。该电路的门限电压大约是+1.5V 到+2.5V。在电源变为有效时, PGA309 等待大约 25ms, 然后试图从外部 EEPROM 器件读取配置数据。

如果 EEPROM 在地址 0 和 1 置有正确的标志, PGA309 则继续对 EEPROM 读, 否则, PGA309 会等待 1 秒钟然后再试。如果 PGA309 没有检测到来自 EEPROM 的任何响应, PGA309 会等待 1 秒钟然后再试; 否则, PGA309 会试图释放总线并且会等待 25ms 然后试着再次对 EEPROM 进行读操作。如果成功 (包括有效的“检验和”数据), PGA309 触发温度 ADC 来测量温度。16 位的分辨率导致转换器要用大约 125ms 的时间来完成一次转换。一旦这次转换完成, PGA309 就开始从 EEPROM 读取查询表信息以计算增益 DAC 和零点 DAC 的设置值。

PGA309 读取整张查询表, 故而它可以确定查询表的检验和是否正确。查询表中的每个入口都要求大约 500 μ s 的时间来对 EEPROM 读。一旦确定检验和有效, 则对增益和零点 DAC 的计算值会更新其各自寄存器中的值, 同时输出放大器被激活。接着 PGA309 会按以下程序进行循环, 首先读 EEPROM 配置寄存器, 接着启动温度 ADC 新一轮的转换, 这次转换接着触发从 EEPROM 对查询表中数据的读操作。这个循环将无限期地进行下去。

数字接口

PGA309 有两个数字接口。PRG 引脚使用单线, UART 可兼容的接口, 该接口的比特率从 4.8Kb/s 到 38.4Kb/s。SDA 引脚和 SCL 引脚一起构成一个工业标准的双线接口, 其时钟频率从 1kHz 到 400kHz。外部 EEPROM 使用该双线接口。与 PGA309 内部寄存器和外部 EEPROM 的通信, 目的在于编程和回读, 可使用两种数字接口中的任意一种进行。

在真正的 3 线传感器模块中也可以将单线通信引脚 PRG 连接到 V_{OUT} 引脚, 这样也允许编程。在这种方式中, PGA309 输出放大器可以被激活并在设置时保持激活状态, 然后再被禁止来允许 PRG 引脚与 V_{OUT} 接口共享该输出放大器。这样, 在 3 线传感器模块中就可进行数字校准和模拟回读。

双线接口有超时机制来防止总线锁闭的情况发生。PGA309 中的双线主控制器含有一种模式, 这种模式通过发出 SCL 脉冲来试图释放卡在零点 (stuck-at-zero) 的 SDA 线, 即使是在超时周期完成后没有信号表明总线闲置时。只有在 PGA309 的主机部分试图发起一次双线通信时, 才会使用超时功能。

详细说明

增益定标

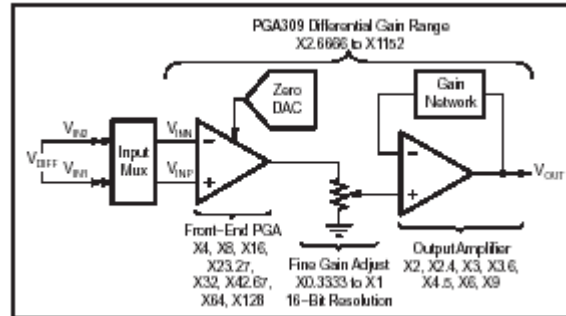
PGA309 含有三个主要的增益功能块, 对差分输入桥接传感器的信号按比例进行缩放, 如图 2 所示。该前端 PGA 包含最高增益选择, 在添加其它噪声源之前, 将最大增益应用于信号链的前端可允许最高的信号/噪声转率。有 8 种可供选择的前端 PGA 增益 ($\times 4$ 、 $\times 8$ 、 $\times 16$ 、 $\times 23.27$ 、 $\times 32$ 、 $\times 42.67$ 、 $\times 64$ 、 $\times 128$), 由寄存器 4 的 (11: 8) 位设置。位 11 选择输入多路复用器的极性。

前端 PGA 之后是增益 DAC。精确增益校准由 16 位的增益 DAC 控制, 调整范围从 $\times 0.3333$ 到 $\times 1$ 。寄存器 2 仅用于设置增益 DAC。

最终信号增益通过输出放大器来应用, 该输出放大器有 7 种可供选择的内部增益级 ($\times 2$ 、 $\times 2.4$ 、 $\times 3$ 、 $\times 3.6$ 、 $\times 4.5$ 、 $\times 6$ 、 $\times 9$)。输出放大器可选择禁止使用内部增益, 而使用用户指定的外部电阻来设置输出放大器的增益。寄存器 4 的 (14: 12) 位选择内部输出放大器的增益, 除非是当内部反馈被禁止时用“111”

对内部输出放大器的增益进行编程。组合的增益功能块接受 2.666(带宽 400kHz)至 1152 (带宽 15.5kHz) 倍的 V_{OUT}/V_{DIFF} 信号增益。

图 2 PGA309 的增益功能块



Example: Solving for Gain Settings		
An example bridge sensor application will be used to examine internal nodes of the PGA309 that are related to the gain blocks (refer to Figure 3 and Figure 4).		
Given: FSS = 20mV/V V _{OS} = 0mV V _{REF} = +5V V _{EXC} = +5V	V _{SA} = +5V R _{BRG} = 2kΩ V _{OUT MIN} = +0.5V V _{OUT MAX} = +4.5V	Find: Front-End PGA Gain Gain DAC Setting Zero DAC Setting Over Amplifier Gain
Solution:		
1. Maximum Sensor Output: V _{BRmax} = (FSS)(V _{EXC}) V _{BRmax} = (20mV/V)(5V) = 100mV	4. Calculate exact DAC Gain value, <i>continued</i> . Use 51,722 counts→ 0xCA0A→1100 1010 0000 1010 →X0.859475571	
2. Total Gain: GT = (V _{OUT MAX} - V _{OUT MIN})(V _{BRmax}) GT = (4.5V - 0.5V)(100mV) = 40	5. Calculate Zero DAC value: V _{ZERO DAC} = (V _{OUT MIN})/[(Gain DAC)(Output Amplifier Gain)] V _{ZERO DAC} = (0.5V)/[(X0.859475571)(2)] = 0.29087505V Decimal # counts = V _{ZERO DAC} /(V _{REF} /65536) Decimal # counts = 0.29087505/(5/65536) = 3812.55746 Use 3813 counts→ 0x0EE5→0000 1110 1110 0101 →0.290908813V	
3. Partition the Gain: Front-End PGA Gain = X23.27 Output Amplifier Gain = X2 Fine Gain (Gain DAC) = X0.859475719 GT = (Front-End PGA Gain)(Fine Gain)(Output Amp Gain) GT = (23.27)(0.859475719)(2) = 40	6. Calculate V _{CM} and V _{DIFF} for Maximum Sensor Output (see Figure 3): V _{DIFF} = V _{INP} - V _{INN} V _{DIFF} = 2.550 - 2.450 = 100mV V _{CM} = (V _{INP} + V _{INN})/2 V _{CM} = (2.550V + 2.450V)/2 = 2.5V	
4. Calculate exact DAC Gain value: 1LSB = (1.000000000 - 0.333333333)/65536 = 1.0172526 x 10 ⁻⁵ V/V Decimal # counts = (Desired Gain - 0.333333333)/(1.0172526 x 10 ⁻⁵) Decimal # counts = (0.859475719 - 0.333333333)/(1LSB) = 51,721.90133		

PGA309 的前端 PGA 是一个针对共模电压最佳抑制的三运算仪表放大器。该仪表放大器的结构是使用带有自动归零前端的运放来消除 1/f 噪声。

和所有仪表放大器一样，输出电压幅度和输入共模电压范围有限制。图 3 所示的电路显示了 PGA309 内的前端 PGA 的状况，该电路还用于计量内部临界节点电压的值以确保不超出输出电压幅度和共模限制。有可能超出了这些内部节点的限制而 PGA309 的 V_{OUT} 上的输出电压仍然在表面上保持有效。可以设置内部比较器来监控内部节点，在传感器校准期间显示超出极限的情况（见“故障监控器”一节）。

在为 PGA309 的增益功能块选择了适当的比例以后，通过简单的手工分析就可以检测超出内部节点

限制的情况。这对将 PGA309 的输入电压 (V_{INP} , V_{INN}) 转换成传感器的最大输出共模和差分电压 V_{BRmax} 是非常关键的。转换模式如图 3 所示。在差分放大器 A3 中, 前端 PGA 必须含有一个 4 倍的增益。为了对主要内部节点 V_{OA1} 和 V_{OA2} 进行分析, 必须对运放 A1 和 A2 指定恰当的增益系数 (G)。详情见图 3, 在有些节点处还分别给出了输出电压的计算式。而 V_{BRmax} 、 V_{OA1} 和 V_{OA2} 要在以下电压幅度内:

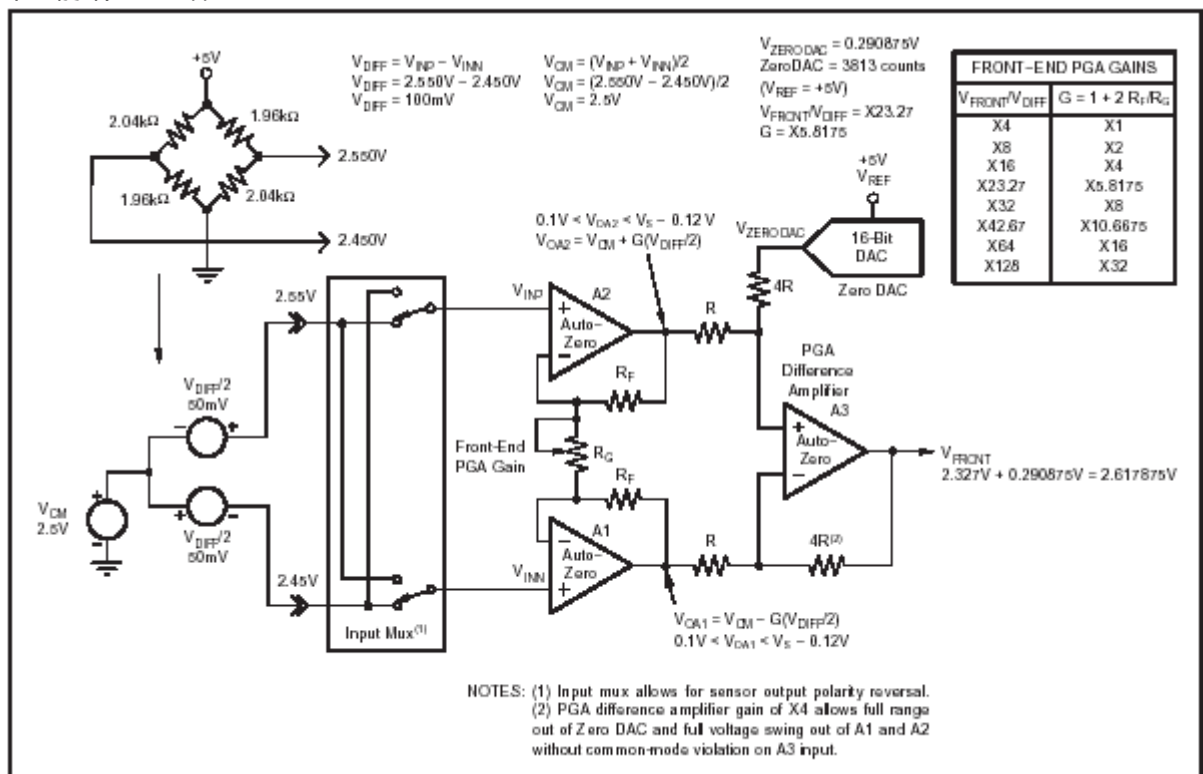
$$0.1V < (V_{OA1} \text{ 或 } V_{OA2}) < V_S - 0.12V$$

例如:

$$0.1V < (V_{OA1} \text{ 或 } V_{OA2}) < 4.88V$$

其它的应用可能产生不同的结果, 要求不同的增益比例或者要求在传感器激励通路的正端或负端接一个电阻来调整 PGA309 的共模输入电压。PGA309 的输入电压范围 (IVR) 定为 $0.2V < IVR < V_{SA} - 1.5V$, 在该应用中具体为 $0.2V < IVR < 3.5V$ 。在图 3 中 $V_{INP} = 2.550V$ 且 $V_{INN} = 2.450V$, 都在规定的输入电压范围内。

图 3 前端 PGA 增益



对于从 A2 和 A1 输出的电压, 差分放大器 A3 的输出 (V_{FRONT}) 含有 4 倍的增益, 但是对于从零点 DAC 输出的电压, 其增益为 1 倍。 V_{FRONT} 含有 V_{DIFF} 的基值, 乘以前端 PGA 的增益加上零点 DAC 的输出电压。 V_{FRONT} 信号还要通过增益 DAC 和输出放大器增益功能块作进一步的处理。

图 4 显示了 PGA309 内部的增益 DAC 和输出放大器增益功能块。在此例中, 增益 DAC 置为 $\times 0.859475571$, 输出放大器置为 $\times 2$ 。如图 4 所示, 在传感器为最大输出电压, V_{BRmax} 时, 净输出电压, V_{OUT} , 为 4.5V。

要使传感器输出电压为 0, 则:

$$V_{OUT_MIN} = V_{ZERO_DAC} [(\text{增益 DAC})(\text{输出放大器增益})]$$

在该例中:

$$V_{OUT_MIN} = 0.290908813V[(0.859475571)(2)] = 0.5000V$$

输出放大器有外部连线, 这使终端用户在多种应用中可在最大程度上灵活地配置输出放大器。 V_{FB} 和 V_{SI} 引脚的用法见“输出放大器”一节的相关描述。

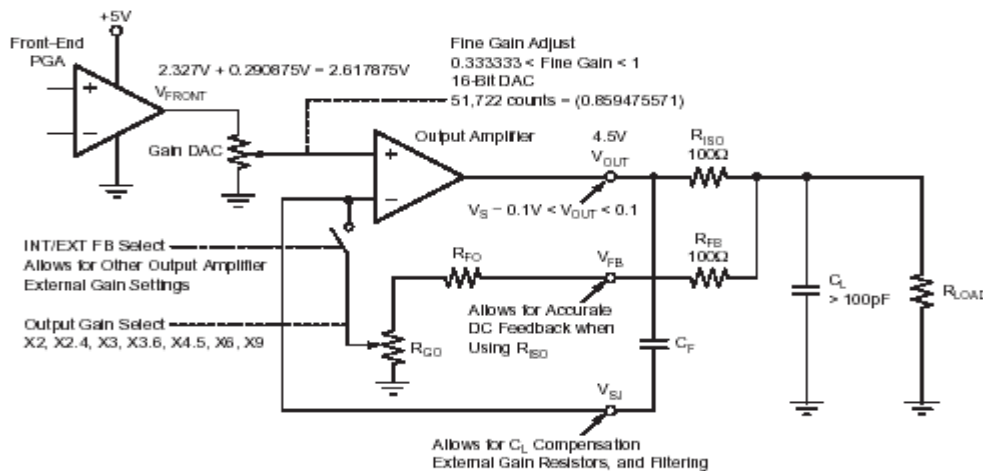
偏移定标

粗略偏移量调整在前端 PGA 达到最大动态范围之前进行。许多桥式传感器都有初始偏移量，可与其最大标度的输出相比较。粗略偏移量的调整的极性可以为正也可以为负，通过 4 位带正负号的 DAC 进行，含有 14 个正选项、14 个负选项和零点。

无论是在正范围内还是负范围内，分辨率为 $V_{REF}/1200$ 。在基准电压为 +5V 时，则为 4.2mV 步幅。图 5 显示了带有增益设置的 PGA309 用于桥接传感器的实例，详情见“增益比例”一节。

图 5 显示了为了使桥接传感器的初始偏移量为 -34mV ($V_{INP}-V_{INN}$)，要将电桥的初始差分偏移加上其共模电压转换为差分正共模电压源模式。在理论上，这样做也就是根据所示的极性，分出了两个 17mV 的偏移电压。若粗略偏移调整是为 +34mV 的偏移电压 ($V_{INP}-V_{INN}$) 而设置，则适当地取消初始电桥偏移。剩余的粗略偏移调整没有取消的初始电桥偏移将被前端 PGA 增益扩大，并且在采用零点 DAC 进行精细偏移调整时要加以解决。

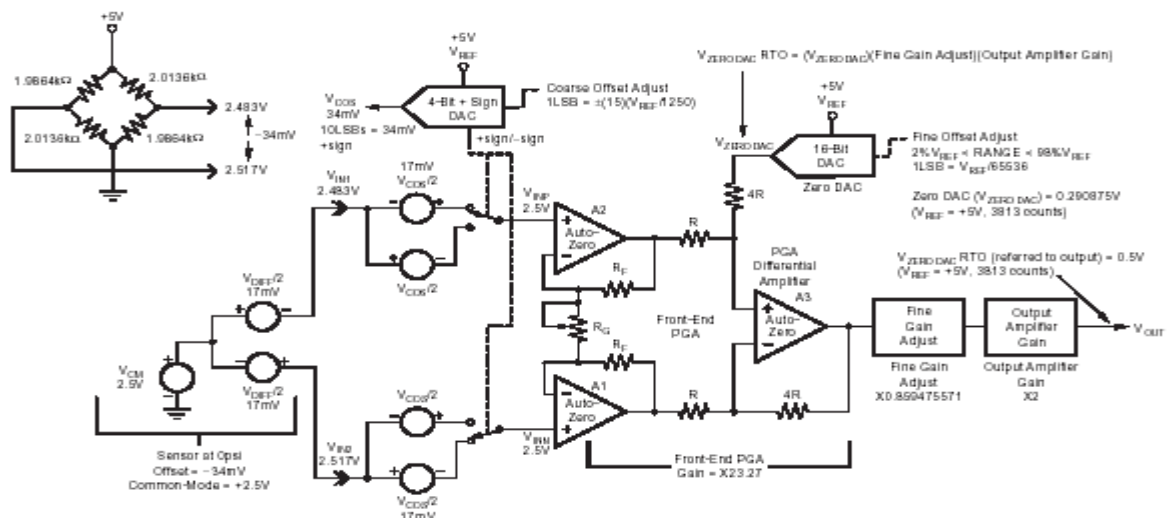
图 4 对 PGA309 的精细增益调整



粗略偏移调整由寄存器 4 的 (4: 0) 位设置，位 4 确定粗略偏移的极性，它置为“1”时则粗略偏移为负，它置为“0”时则为正。粗略偏移调整的内部结构为 -7 ($V_{REF}/1200$) 和 +7 ($V_{REF}/1200$) 产生两个一样的数字代码。粗略偏移调整设置的完整映射图见“寄存器说明”一节中对寄存器 4 的说明。

精细偏移调整由零点 DAC 设置。考虑到输出，零点 DAC 的设置由增益 DAC (精细增益调整) 和输出放大器的增益来扩大。零点 DAC 是单极性、16 位的 DAC，其基准电压即是 PGA309 的 V_{REF} 。要确保零点 DAC 的范围是线性的，从 2% V_{REF} 到 98% V_{REF} 。数据格式为 16 位，无正负之分。寄存器 1 的位 (15: 0) 用于设置零点 DAC。

图 5 粗略和精细偏移调整



噪声和粗略偏移调整

PGA309 的前端 PGA 含有自动归零运放，允许精密、无噪声的测量，并且避免了常规的低电压 CMOS 运放所常见的闪烁或 $1/f$ 噪声。

通过在内部振荡器的每个时钟周期取消放大器的低频噪声和偏移可实现自动归零布局。这降低了 PGA309 的低频噪声电压谱，只剩下一个小型的时钟馈通部件，其频率是 7kHz 或者是 7kHz 的倍数。图 6 详细描述了在粗略偏移调整=0mV 时 PGA309 的输出电压噪声谱。自动归零法的好处在于通过按比例地对 PGA309 的输出信号进行筛选，可达到更高的精度，不像传统的 CMOS 运放只是取平均值，而不利于改善 $1/f$ 噪声区域中的信号/噪声转换率。此外，自动归零技术允许 PGA309 的输入偏移电压达到良好的温度和时间稳定性。

PGA309 的低频电压噪声密度 (RTI) 为 $210\text{nV}/\sqrt{\text{Hz}}$ 。为了将其转换为用于示波器测量的峰峰值振幅，要用到以下等式：

$$V_{\text{NPP}} = (e_{\text{ND}})(\sqrt{BW})(\text{波峰因数})$$

其中：

V_{NPP} = 电压噪声峰峰值 (nV_{pp})

e_{ND} = 电压噪声密度 (nV/ $\sqrt{\text{Hz}}$)

BW = 相关带宽 (Hz)

波峰因数=均方根噪声到峰峰值噪声转换的可能性因数（波峰因数为 6 则将见到较大峰峰值振幅的可能性降低到小于 0.3%）。

PGA309 的峰峰值噪声，RTI，BW=10Hz：

$$V_{\text{NPP}} = (210\text{nV}/\sqrt{\text{Hz}})(\sqrt{10\text{Hz}})(6) = 3984\text{nV}_{\text{pp}} = 3.98 \mu\text{V}_{\text{pp}}$$

为了用一个初始值较大的偏移来补偿电桥传感器，PGA309 前端 PGA 的输入级使用一条专用电路在自动归零结构的基础上来进行粗略偏移调整。在内部自动归零振荡器的每个时钟周期内，输入放大器的偏移量和噪声要从输入信号中减去，所得的差加上由粗略偏移调整 DAC 产生的一个小电压。所得的结果成为 PGA309 输入参考的偏移量。该值可以为正也可以为负，见本数据手册的“偏移定标”一节。这一操作不会增加 PGA309 的低频 $1/f$ 噪声。但是粗略偏移 DAC 内部元件的不匹配会导致与常规、传统 CMOS 运放一样的温度和长期稳定性的误差（即输入偏移电压的温漂达到 $10 \mu\text{V}/^\circ\text{C}$ ）。

为了得到使温度和时间保持稳定的值，粗略偏移 DAC 电路与削波电路组合，该电路使内部元件进行轮换，对粗略偏移调整 DAC 输出端上的不匹配失误取平均值。这就产生了一次时间和温度非常稳定的粗略偏移调整。

该设计揉合了粗略偏移 DAC 削波技术，是一种时钟馈通干扰，由于有旋转元件，这一干扰可以在 V_{OUT} 即 PGA309 的输出信号中看到。在粗略偏移调整被置为 0mV 时，时钟馈通元素在 PGA309 的 V_{OUT} 信号中几乎可以被忽略，如图 7 所示。

图 6 粗略偏移调整=0mV，增益=1152，CLK_CFG=“00”（默认）时的 V_{OUT} 噪声功率谱

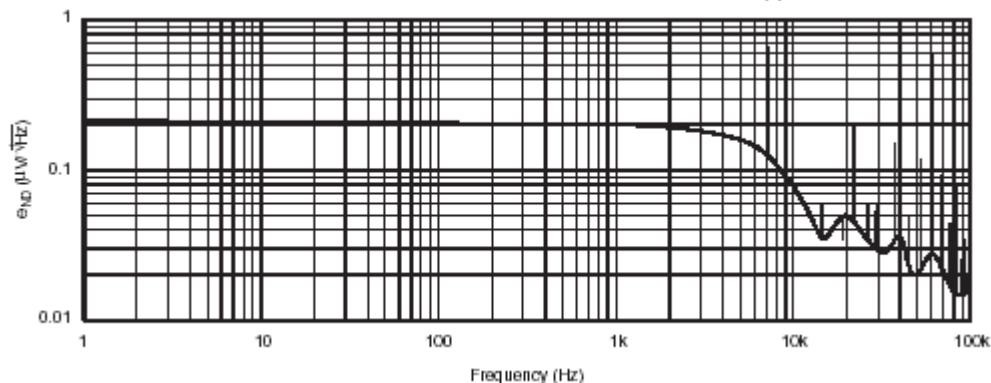


图 7 粗略偏移调整=0mV，增益=1152，CLK_CFG=“00”（默认）时的 V_{OUT} 时钟馈通

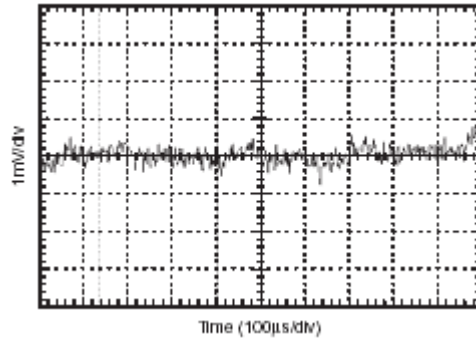
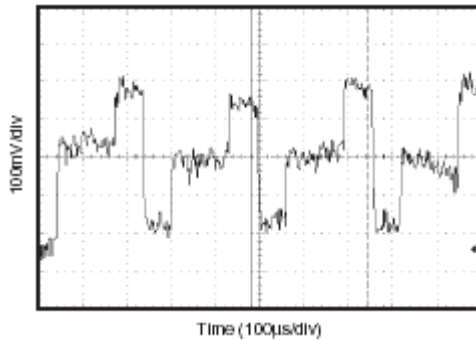
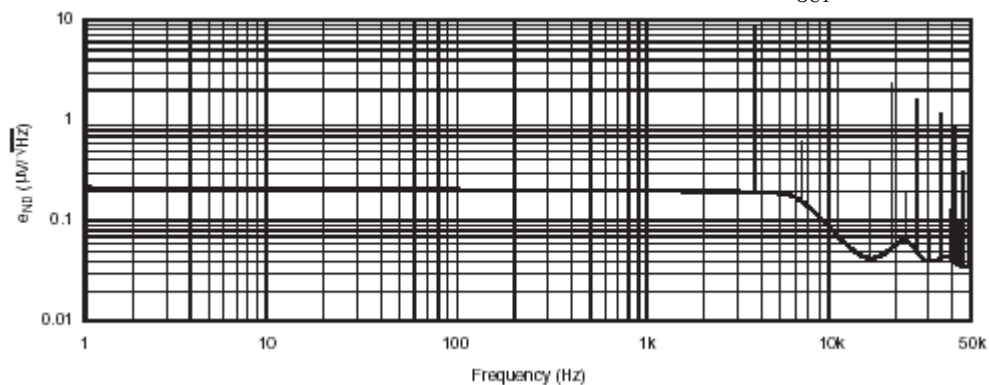


图 8 粗略偏移调整=59mV，增益=1152，CLK_CFG=“00”（默认）， V_{OUT} 干扰 (RTI) = $347 \mu V_{pp}$ 时的 V_{OUT} 时钟馈通干扰



随着粗略偏移调整 DAC 的值的增加，时钟馈通干扰的振幅也跟着增加。当 $V_{REF}=+5V$ ，最大定标粗略偏移 DAC 的值为 56mV 时，时钟馈通干扰如图 8 所示。这是 PGA309 的内部增益置为最大值 $\times 1152$ ，粗略偏移调整 DAC 置为 -59mV， V_{IN} 置为 +61mV 时的示波图。对于输入，该 V_{OUT} 干扰仅为 $347 \mu V_{pp}$ ($0.4V_{pp}/1152$)。这一干扰发生在内部自动归零时钟的一半处（典型值为 3.5kHz）。该干扰不会返回到低频范围内并且如果相关信号为 1kHz 或低于 1kHz 该干扰可以被筛选出来。图 9 是对前例中 V_{OUT} 峰峰值噪声的示波图。图 10 显示了在粗略偏移调整 DAC 置为 -59mV， $V_{IN}=+61mV$ 时的 V_{OUT} 噪声谱。在图 10 中，基带噪声与粗略偏移调整被置为 0 时大致相同，但带有一个约为 3.5kHz 的附加峰值。

图 10 粗略偏移调整=-56mV，增益=1152，CLK_CFG=“00”（默认）时的 V_{OUT} 噪声谱



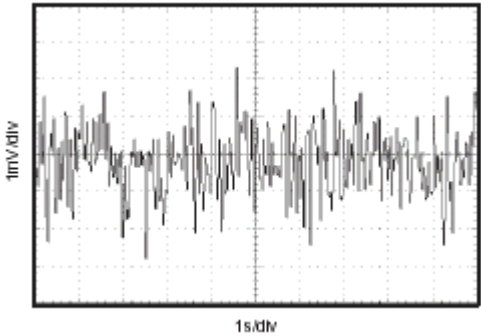
当粗略偏移调整 DAC 削波电路造成的时钟馈通干扰需要解决时，可以为前端 PGA 的粗略偏移 DAC 时钟和自动归零时钟选择另一种替换模式。寄存器 5 的 (13: 12) 位分别被称作 CLK_CFG1 和 CLK_CFG0。表 2 给出了使用这两位的时钟示意图。关于这一点，已经讨论过 CLK_CFG=“00”。

表 2 PGA309 的时钟控制示意图

CLK_CFG MODE	CLK_CFG1 BIT D13	CLK_CFG1 BIT D13	AUTO-ZERO PGA FRONT-END	CHOPPING COARSE OFFSET DAC
00 (default)	0	0	7kHz typical	3.5kHz typical
01	0	1	7kHz typical	Off (none)
10	1	0	7kHz typical, Random Clocking	3.5kHz typical, Random Clocking
11	1	1	7kHz typical	3.5kHz typical, Random Clocking

在 CLK-CFG= “01” 的模式中，粗略偏移调整 DAC 削波电路被关断。不再出现时钟馈通故障（0Hz 到 10Hz 的 V_{OUT} 峰峰值噪声见图 11），并且 V_{OUT} 噪声谱清零（见图 11）。但是，输入粗略偏移调整 DAC 不再保持恒温。典型测量范围漂移通常与温度成比例，并且在 PGA309 被置于接近桥接传感器且两者一起被校准的应用中，这种漂移是可接受的。粗略偏移调整 DAC 的漂移仅与桥接传感器的漂移又叠加而且它们都可通过校准来除去。

图11 粗略偏移调整= -56mV，增益= 1152， V_{IN} = +57mV，CLK_CFG = ‘01’， V_{NPP} (RTI)= $4.44 \mu V_{pp}$ 时，0.1Hz 到10Hz 的 V_{OUT} 峰峰值噪声



CLK-CFG= “10” 模式和 CLK-CFG= “11” 模式对前端 PGA 的自动归零和粗略偏移 DAC 削波启动不同的时钟随机选择配置。这样做尽管不能降低时钟馈通故障的幅度（见图 8），但是可以在更宽的频率范围内扩散故障能量。这样消除了输入自动归零时钟频率一半处的固定尖峰，但是在低频范围内提高了噪声层，从而增加了基带噪声。通过调制自动归零和削波时钟，CLK-CFG= “11” 模式仅能使 1Hz 区域到 7KHz 区域内的峰峰值噪声降低(whiten)。在 CLK-CFG= “10” 模式中，对粗略偏移 DAC 削波时钟进行调制但不是对自动归零时钟进行调制。这两种模式的结果见电压噪声谱和峰峰值噪声坐标，如图 13、14、15 和 16 所示。

图12 粗略偏移调整= -56mV，增益= 1152， V_{IN} = +57mV，CLK_CFG = ‘01’时， V_{OUT} 噪声谱

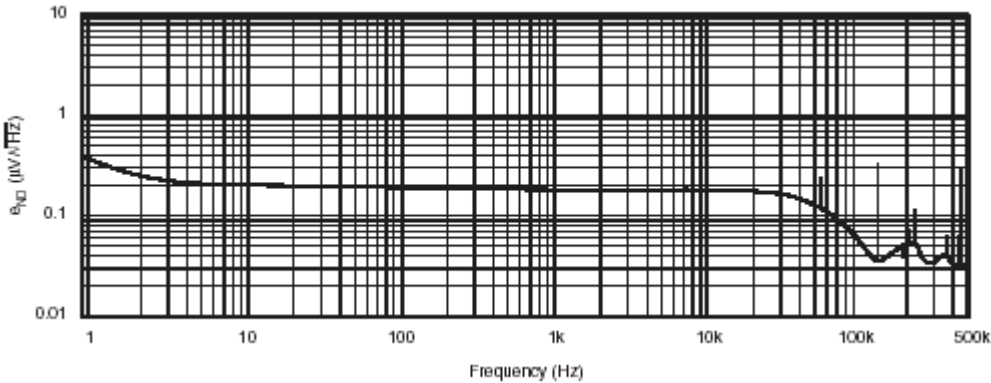


图13 粗略偏移调整= -56mV, 增益= 1152, $V_{IN} = +57\text{mV}$, CLK_CFG = '10', $V_{NPP}(\text{RTI}) = 18.4 \mu V_{pp}$ 时, 0.1Hz 到10Hz 的 V_{OUT} 峰峰值噪声

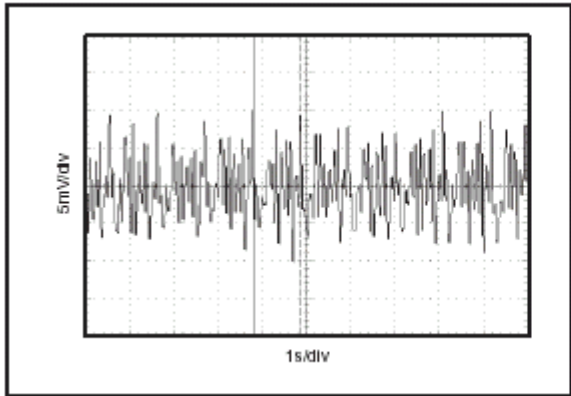


图15 粗略偏移调整= -56mV, 增益= 1152, $V_{IN} = +57\text{mV}$, CLK_CFG = '10'时, V_{OUT} 噪声谱

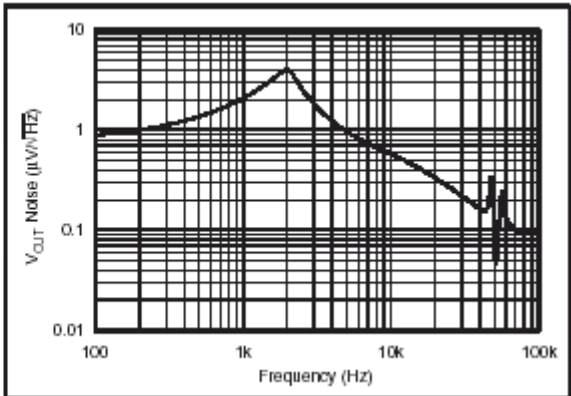


图14 粗略偏移调整= -56mV, 增益= 1152, $V_{IN} = +57\text{mV}$, CLK_CFG = '11', $V_{NPP}(\text{RTI}) = 42 \mu V_{pp}$ 时, 0.1Hz 到10Hz 的 V_{OUT} 峰峰值噪声

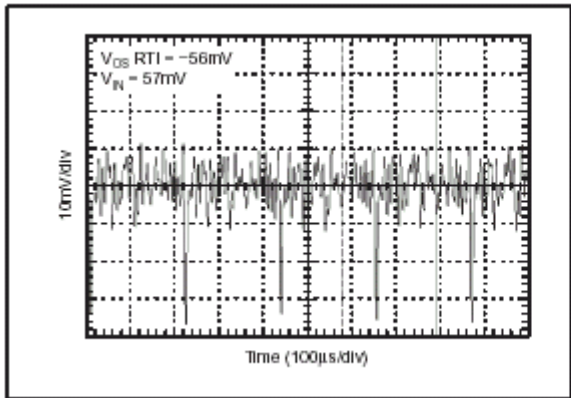
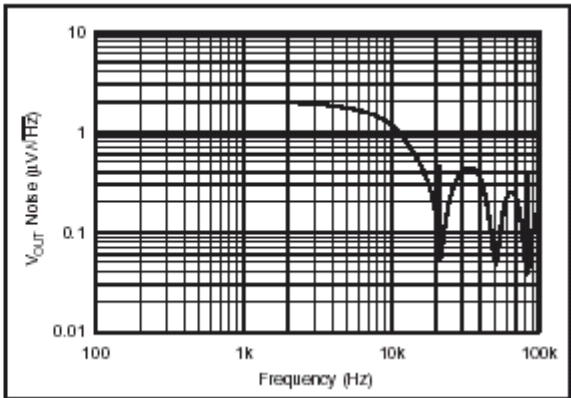


图15 粗略偏移调整= -56mV, 增益= 1152, $V_{IN} = +57\text{mV}$, CLK_CFG = '11'时, V_{OUT} 噪声谱



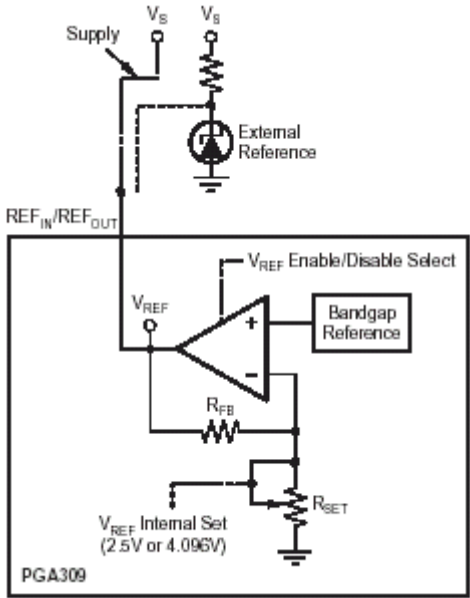
电压基准

经过配置, PGA309 可以与内部或外部电压基准一起使用。选中的电压基准用于零点 DAC、上限/下限比例限制、粗略偏移调整 DAC、温度 ADC 和桥接激励线性环路。图 17 显示了 PGA309 的基准电路。如果选择内部基准, 则可使用 2.5V 或 4.096V 的基准电压。在这种模式中, 通常有一种优于 2% 初始精度、低漂移、 $\pm 10\text{ppm}/^\circ\text{C}$ 的基准可供外部或内部使用。在内部模式中, 通过 $\text{REF}_{IN}/\text{REF}_{OUT}$ 引脚可提供多达 5mA 的电流。如果选择的是外部基准模式, 则从 2.5 到 $+V_{SA}$ 范围内的外部基准电压可用于 $\text{REF}_{IN}/\text{REF}_{OUT}$ 引脚。在上电期间选择外部基准模式。表 3 详细描述了寄存器 3 的 (9: 8) 位, 这两位用于选择电压基准的模式。

表 3 寄存器 3 的基准控制位

D9	D8	V _{REF}	REFERENCE CONFIGURATION
RS	REN		
X	0	REF _{IN} /REF _{OUT}	External Reference (disable internal reference)
0	1	4.096V	Internal Reference
1	1	2.5V	Internal Reference

图 17 PGA309 的基准电路



EEPROM 的内容以及温度查询表校准

经测试，PGA309 可与 Microchip 的 24LCxx 和 24AAxx EEPROM 器件一起使用。

外部 EEPROM 的首批 16 个字节包括已编程的 EEPROM 标志和用于寄存器 3、4、5 和寄存器 6 的 PGA309 配置数据。位于地址 14 的字包含了对该选择的校验和——校验和 1。

表 4 详细说明了 EEPROM 的内容。

表 4 EEPROM 的内容表

EEPROM 地址	内容（所有的 2 字节值）
0	十六进制= “TI”：EEPROM 的编程标志
2	未用，但包含在校验和 1 中；可用于用户数据
4	未用，但包含在校验和 1 中；可用于用户数据
6	寄存器 3 的值：基准控制和线性化
8	寄存器 4 的值：PGA 粗略偏移调整和增益输出放大器增益
10	寄存器 5 的值：PGA 配置和上限/下限比例限制
12	寄存器 6 的值：温度 ADC 控制
14	校验和 1=0xFFFF——和（Addr0 到 Addr12），16 位宽，其余位忽略
16 到 21	启动查询表：T0；Z0；G0
—	另有多达 16 张带斜率的查询表：Tj；ZMj；GMj；任选
—	查询表末端，3 个字：十六进制 7FFF；0000；校验和 2。校验和 2=0xFFFF——和（Addr16 到当前地址），包括 7FFF 和 0000；16 位的字，忽略剩余位。

地址 16 和 EEPROM 的高端包含了用于零点 DAC（精细偏移调整）和增益 DAC（精细增益调整）的温度系数查询表。有多达 17 个用于增益 DAC 和零点 DAC 的带有相应比例因子的温度标准点。查询表中

的这些值代表着分段线性曲线上的那些补偿传感器测量范围和失调漂移的点。DAC 值在这些点之间成线性地插入。

T0、T1、T2……Tx（其中 $x \leq 16$ ）是查询表中的温度索引值。它们是温度 ADC 的输出结果。这些值必须单向地从最小值增加到最大值，以使查询表能正常发挥作用。注意，这并不需要与温度的增加一致。例如，如果用温度 ADC 测量二极管的电压，则其读数将随温度而减少。但是查询表还是必须按照从温度 ADC 的最小读数到最大读数的顺序来创建。Tx 的数据格式是 16 位数据，其格式取决于所选择的温度 ADC 的模式（对寄存器的详细描述见“寄存器 6，温度 ADC 控制寄存器”一节）。

Z0 是在温度为 T0 或低于 T0 时零点 DAC 的设置值。Z0 的数据格式是无正负之分的 16 位数据。零点 DAC 值的公式为：

$$Z_i = \left(\frac{V_{Z_{期望值}}}{V_{REF}} \right) \cdot 65536$$

G0 是在温度为 T0 或低于 T0 时增益 DAC 的设置值。G0 的数据格式是无正负之分的 16 位数据。增益 DAC 值的公式为：

$$G_i = \left(\text{增益}_{期望值} - \frac{1}{3} \right) \cdot \frac{3}{2} \cdot 65536$$

ZM1、ZM2……ZMx 是零点调整 DAC 每个分段线性段的乘法斜率因数。这些因数依据与 T1、T2……Tx 分别对应的零点 DAC 的 Z1、Z2……Zx 期望值（同 Z0 一样计算）来计算。计算 ZMi 斜率因数的公式为：

$$ZM_i = 256 \frac{(Z_i - Z_{i-1})}{(T_i - T_{i-1})}$$

256 的 ZMx 比例因数将对十进制值格式化以便 PGA309 进行内部二进制运算。这些数码的数据格式是 16 位、二进制补码格式。查询表实例见表 5。

GM1、GM2……GMx 是增益调整 DAC 每个分段线性段的乘法斜率因数。计算 GMi 斜率因数的公式为：

$$GM_i = 256 \frac{(G_i - G_{i-1})}{(T_i - T_{i-1})}$$

表 5 查询表实例：V_{REF}=5V，内部温度传感方式

DESIRED VALUES IN LOOKUP TABLE				LOOKUP TABLE (DECIMAL)			LOOKUP TABLE (HEX)		
POINT#	TEMP (°C)	VZERO (V)	GFINE (W/V)	ADC OUT	ZERO COEF	GAIN COEF	TEMP	ZM	GM
0	-40	0.1	1	-640	1311	65535	FD80	051F	FFFF
1	-30	0.2	0.9	-480	2096	-15726	FE20	0830	C292
2	-20	1	0.7	-320	16778	-31458	FECO	418A	851E
3	-10	1	0.4	-160	0	-47186	FF60	0000	47AE
4	0	2	0.33333	0	20971	-10486	0000	51EB	D70A
5	10	1.5	0.6	160	-10485	41942	00A0	D70B	A3D6
6	20	1	0.4756	320	-10486	-19566	0140	D70A	B392
7	30	2	0.6543	480	20971	28107	01E0	51EB	6DCB
End	...	...	...	32767	0	Checksum	7FFF	0	B622

查询表的末端以温度索引数据中的温度索引值 T_{END}=0x7FFF 为标志。该入口的 ZME 值被忽略，但它包含在校验和中。ZME 的值应置为 0。而此入口的 GME 值则成为校验和 2——EEPROM 第二部分的校验和。

表 5 给出了查询表的实例并且详细描述了这些值的计算。

参照表 5，图 18 给出了存储在 EEPROM 中的增益 DAC 温度系数概念的图示。G0-G7 正是在相应温度 T0-T7 下，对增益 DAC 的期望设置值。GM1-GM7 是分段线性曲线的斜率，这些曲线连接 G0-G1、G1-G2、G2-G3、G3-G4、G4-G5、G5-G6 以及 G6-G7。在该例中，可以期望看到 PGA309 带有内插演算法的查询

逻辑在 $T_{\text{READ}}=25^{\circ}\text{C}$ 时是如何精确计算增益 DAC 的设置值的, 一个数据点也不会降低 (T_x , G_x)。

图 18 增益 DAC 的温度系数——定义示例

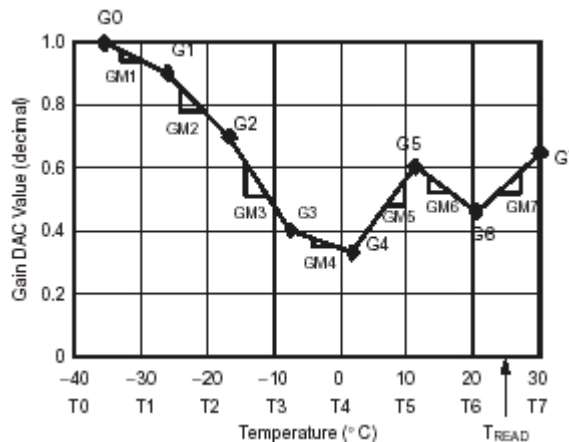


表 6 概述了在 $T_{\text{READ}}=25^{\circ}\text{C}$ 时用于在 PGA309 内部对增益 DAC 设置值进行线性内插和计算的运算法则。表 5 给出了在 T_1 - T_7 为给定值时, 与 G_1 - G_7 对应的 GM_1 - GM_7 的计算示例。起始值 (T_0 和 G_0) 也是定义好了的。从图 18 可以看出在当前读数温度下 ($T_{\text{READ}}=25^{\circ}\text{C}$), 如果 PGA309 带有内插演算法的查询逻辑可正常工作, 增益 DAC 的设置值应为一个精确值 0.56495。每当温度 ADC 进行转换时, 它会对整个外部 EEPROM 进行读取。首先的半部分, 如上所述, 专用于 PGA309 的固定配置参数, 这些参数不会随温度而发生改变。当 PGA309 对 EEPROM 的剩下部分的另外半部分进行读操作时, 将随温度变化而开始对增益 DAC 进行连续的计算 (PGA309 对零点 DAC 的设置值进行相似的计算)。这种模型含有一个名为 GAC (G Accumulator) 的累加器。当 PGA309 对 T_0 读时, 初始增益 DAC 设置值 (G_0) 存储于 GAC0 (对 T_0 读操作时的 GAC)。接下来, 读取 T_1 同时将斜率 GM_1 乘以 T_1 与 T_0 的差, 再将其加至 GAC0 以形成新的累加值 GAC1 (读取 T_1 时的 GAC)。在 PGA309 读取整张查询表时, 这一过程按顺序持续进行。在读取到每个温度索引值 (T_x) 时, 将其与 ADC_{READ} ——当前温度 ADC 的转换结果相比较。若 $T_x > T_{\text{READ}}$, 则说明 T_{READ} 在 T_x 和 $T_{(x-1)}$ 之间。在该例中, 这种情况在读取 T_7 时发生。累加器 GAC6 (读取 T_6 时的 GAC) 的内容通过加上 $(T_{\text{READ}} - T_6)(GM_7)$ 来修改。所得结果 $GAC_{ADC_{\text{READ}}}$ 是 $T_{\text{READ}}=25^{\circ}\text{C}$ 时对增益 DAC 的线性内插设置值。读取 EEPROM 的剩余部分以进行错误校验, 这一校验使用查询表末端的校验和 2 来进行。

对零点 DAC ZM_x 的乘法比例因数的计算方法与已讨论过的增益 DAC 相同, 这些比例因数用于温度校对。带有内插演算法的 PGA309 内部查询逻辑使用与增益 DAC 大体相同的方法对 T_{READ} 时的零点 DAC 设置值进行计算。

注意, 为了得到正确的运算结果, 增益 DAC 和零点 DAC 的值必须总是保持在相应的范围内:

$$V_{\text{REF}} \text{ 的 } 2\% \leq \text{零点 DAC} \leq V_{\text{REF}} \text{ 的 } 98\%$$

$$0.33333(V/V) \leq \text{增益 DAC} \leq 1(V/V)$$

故障监控器

通过 9 个内部比较器, 可对 PGA309 提供故障条件传感器监控功能。参照图 19。这些比较器被分为两组: 内部故障比较器和外部故障比较器。在图 19 中, EXT 指外部故障比较器, INT 指内部故障比较器。

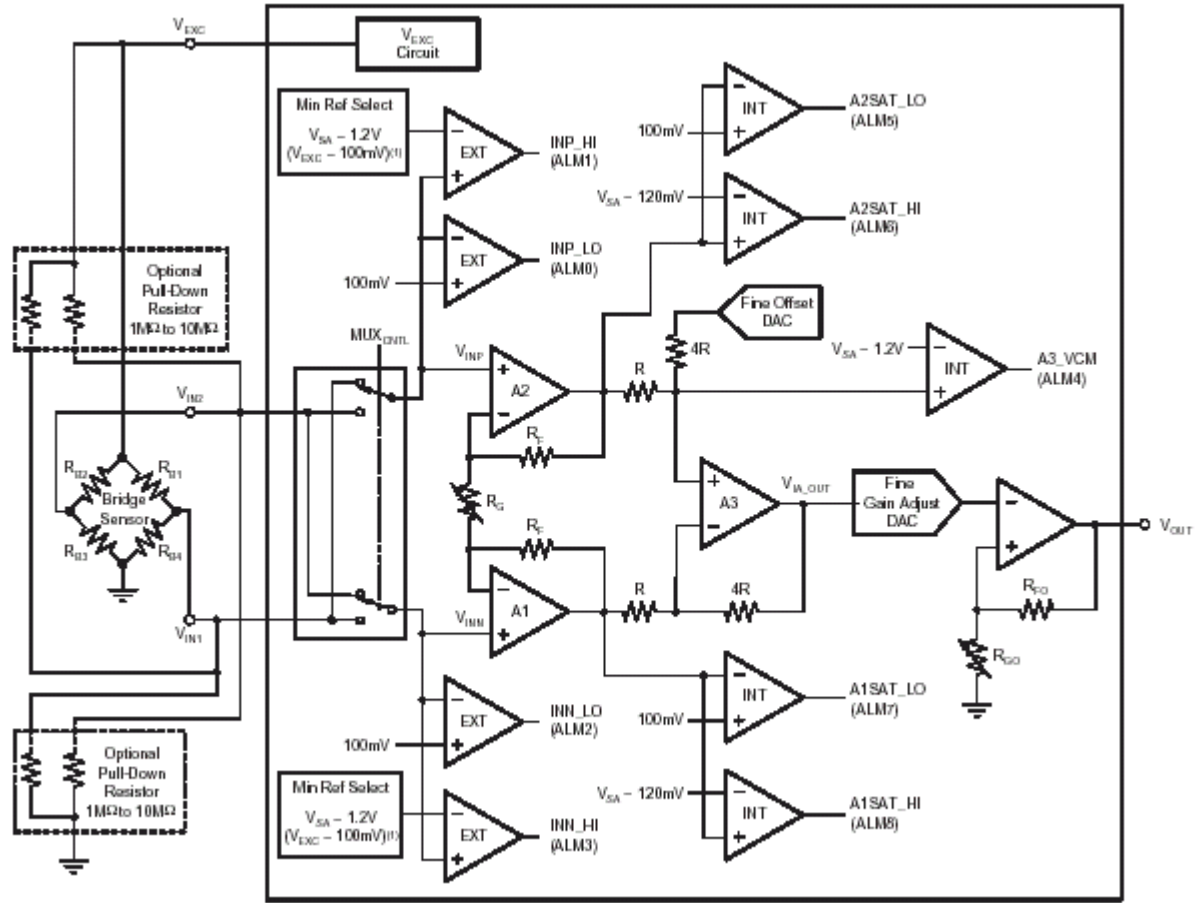
外部故障比较器用于监控桥接传感器的正常工作状态并报告输入故障条件。表 7 列举了桥接传感器可能出现的故障情形以及每种故障情形相应的故障比较器输出。由于 PGA309 的输入偏置电流极小, 如果检测到的浮置输入端故障 (传感器从 PGA309 的一个或两个输出端完全断开) 被精确地报告, 就有必要在每个输出端 ($V_{\text{IN}1}$ 和 $V_{\text{IN}2}$) 加上上拉或下拉电阻, 选择方式如图 19 所示。这些电阻的阻值可在 $1\text{M}\Omega$ 和 $10\text{M}\Omega$ 之间, 以便使桥接传感器输出端的信号负载最小化。在 PGA309 采用了传感器校准时, 可消除这些可选电阻的偏置与其它误差。表 8 逐条列记了使用上拉电阻时 PGA309 上浮置输入端的具体情况。表 9 则逐条列出了使用下拉电阻时 PGA309 上浮置输入端的具体情况。其它未列出的具体故障情况都与

表 7 所列相同。

表 6 增益 DAC 温度系数——校准示例

CALCULATION ALGORITHM FOR GAIN VALUE AT T = 25°C (TEMP ADC = 0X0190 → 400 DECIMAL)					
POINT#	TEMP INDEX (DECIMAL)	GAIN INDEX (DECIMAL)	GAC CALCULATION	RUNNING GAC VALUE (DECIMAL)	ACTUAL DAC GAIN (V/V)
0	-639	65535	GAC0 = G0	65535	0.99999
1	-479	-15725	GAC1 = GAC0 + GM1(T1 - T0)	55707	0.90001
2	-319	-31457	GAC2 = GAC1 + GM2(T2 - T1)	36046	0.70001
3	-159	18350	GAC3 = GAC2 + GM3(T3 - T2)	47515	0.81668
4	0	-10485	GAC4 = GAC3 + GM4(T4 - T3)	41003	0.75044
5	160	-23593	GAC5 = GAC4 + GM5(T5 - T4)	26257	0.60043
6	320	-19565	GAC6 = GAC5 + GM6(T6 - T5)	14029	0.47604
7	480	28107	T7 > ADC _{READ} → YES! GACT _{READ} = GAC6 + GM7(ADC _{READ} - T6)	22812	0.56539
end	32767	The Lookup Table is read to the end to verify Checksum2			
NOTE: GAC = G Accumulator: running total that is computed starting with G0, at T0, every time the Temp ADC converts a new value, which causes a new calculation update cycle to occur by reading the EEPROM from beginning to end.					

图 19 PGA309 的故障监控电路



注：（1）当 V_{EXC} 被使能时，最小基准选择器电路成为 INN_HI 和 INP_HI 比较器的门限电压基准。这一最小基准选择器电路采用 $V_{EXC}-100mV$ 和 $V_{SA}-1.2V$ 的电压，并且将 V_{INX} 引脚与两个基准电压中较低的一个相比较。这可确保在 V_{EXC} 高于或低于前端 PGA 放大器的输入电压范围（相对于 V_{SA} ）时进行精确的故障监控。

表 7 桥接传感器故障和故障比较器的状态—— V_{IN1} 和 V_{IN2} ：未用上拉或下拉传感器

CASE	V_{IN2} (V_{INN}) (V)	V_{IN1} (V_{INP}) (V)	V_{IA_OUT} (V)	LOGIC LEVEL OUTPUTS				COMMENTS
				INN_HI (ALM3)	INN_LO (ALM2)	INP_HI (ALM1)	INP_LO (ALM0)	
Normal	1.7	1.7	Linear	0	0	0	0	
RB1 Open	1.7	0	~ 0	0	0	0	1	
RB2 Open	0	1.7	$\sim V_{SA}$	0	1	0	0	
RB3 Open	3.4	1.7	~ 0	1	0	0	0	
RB4 Open	1.7	3.4	$\sim V_{SA}$	0	0	1	0	
RB1 Short	1.7	3.4	$\sim V_{SA}$	0	0	1	0	
RB2 Short	3.4	1.7	~ 0	1	0	0	0	
RB3 Short	0	1.7	?	0	1	0	0	
RB4 Short	1.7	0	~ 0	0	0	0	1	
Open Sensor GND	3.4	3.4	~ 0	1	0	1	0	
Open Sensor V_{EXC}	0	0	~ 0	0	1	0	1	
V_{EXC} Short GND	0	0	~ 0	1 ⁽¹⁾	1	1 ⁽¹⁾	1	
V_{IN1} (V_{INP}) Open ⁽²⁾	1.7	$\sim V_{SA}-0.7$	$\sim V_{SA}$	0	0	0	0	Under-scale limit on V_{OUT} , no fault detect—Int or Ext
V_{IN2} (V_{INN}) Open ⁽²⁾	$\sim V_{SA}-0.7$	1.7	~ 0	0	0	0	0	Over-scale limit on V_{OUT} , no fault detect—Int or Ext
V_{IN1} (V_{INP}) Short GND	1.7	0	~ 0	0	0	0	1	
V_{IN2} (V_{INN}) Short GND	0	1.7	$\sim V_{SA}$	0	1	0	0	
V_{IN1} (V_{INP}) Short V_{EXC}	1.7	3.4	$\sim V_{SA}$	0	0	1	0	
V_{IN2} (V_{INN}) Short V_{EXC}	3.4	1.7	~ 0	1	0	0	0	
V_{IN1} (V_{INP}), V_{IN2} (V_{INN}) Open ⁽²⁾	$\sim V_{SA}-0.7$	$\sim V_{SA}-0.7$	Linear?	0	0	0	0	Typically drifts to over-scale limit slowly; no Ext Fault detect (ALM7), Int Fault set = A1 Sat Low
V_{IN1} (V_{INP}), V_{IN2} (V_{INN}) Short GND	0	0	$\sim V_{SA}$	0	1	0	1	
V_{IN1} (V_{INP}), V_{IN2} (V_{INN}) Short V_{EXC}	3.4	3.4	~ 0	1	0	1	0	

NOTE: $V_{SA} = +5V$, $V_{REF} = +4.096V$, $K_{EXC} = 0.83$, $K_{LIN} = 0$, and $V_{EXC} = 3.4V$.
⁽¹⁾ Typically, a logic 1, but not guaranteed by design and nature of fault.
⁽²⁾ Accurate detection of these faults requires a pull-up or pull-down resistor on each input (V_{IN1} and V_{IN2}).

表 8 桥接传感器故障和故障比较器的状态—— V_{IN1} 和 V_{IN2} ：在 V_{EXC} 端接 $10M\Omega$ 的上拉电阻

SPECIAL CASE ⁽¹⁾	V_{IN2} (V_{INN}) (V)	V_{IN1} (V_{INP}) (V)	V_{IA_OUT} (V)	LOGIC LEVEL OUTPUTS			
				INN_HI (ALM3)	INN_LO (ALM2)	INP_HI (ALM1)	INP_LO (ALM0)
V_{IN1} (V_{INP}) Open	1.7	V_{EXC}	$\sim V_{SA}$	0	0	1	0
V_{IN2} (V_{INN}) Open	V_{EXC}	1.7	~ 0	1	0	0	0
V_{IN1} (V_{INP}), V_{IN2} (V_{INN}) Open	V_{EXC}	V_{EXC}	~ 0	1	0	1	0

NOTE: $V_{SA} = +5V$, $V_{REF} = +4.096V$, $K_{EXC} = 0.83$, $K_{LIN} = 0$, and $V_{EXC} = 3.4V$.
⁽¹⁾ All other cases not listed are the same as those for Table 7.

表 9 桥接传感器故障和故障比较器的状态—— V_{IN1} 和 V_{IN2} ：在 GND 端接 $10M\Omega$ 的下拉电阻

SPECIAL CASE ⁽¹⁾	V_{IN2} (V_{INN}) (V)	V_{IN1} (V_{INP}) (V)	V_{IA_OUT} (V)	LOGIC LEVEL OUTPUTS			
				INN_HI (ALM3)	INN_LO (ALM2)	INP_HI (ALM1)	INP_LO (ALM0)
V_{IN1} (V_{INP}) Open	1.7	~ 0	$\sim V_{SA}$	0	0	0	1
V_{IN2} (V_{INN}) Open	~ 0	1.7	~ 0	0	1	0	0
V_{IN1} (V_{INP}), V_{IN2} (V_{INN}) Open	~ 0	~ 0	~ 0	0	1	0	1

NOTE: $V_{SA} = +5V$, $V_{REF} = +4.096V$, $K_{EXC} = 0.83$, $K_{LIN} = 0$, and $V_{EXC} = 3.4V$.
⁽¹⁾ All other cases not listed are the same as those for Table 7.

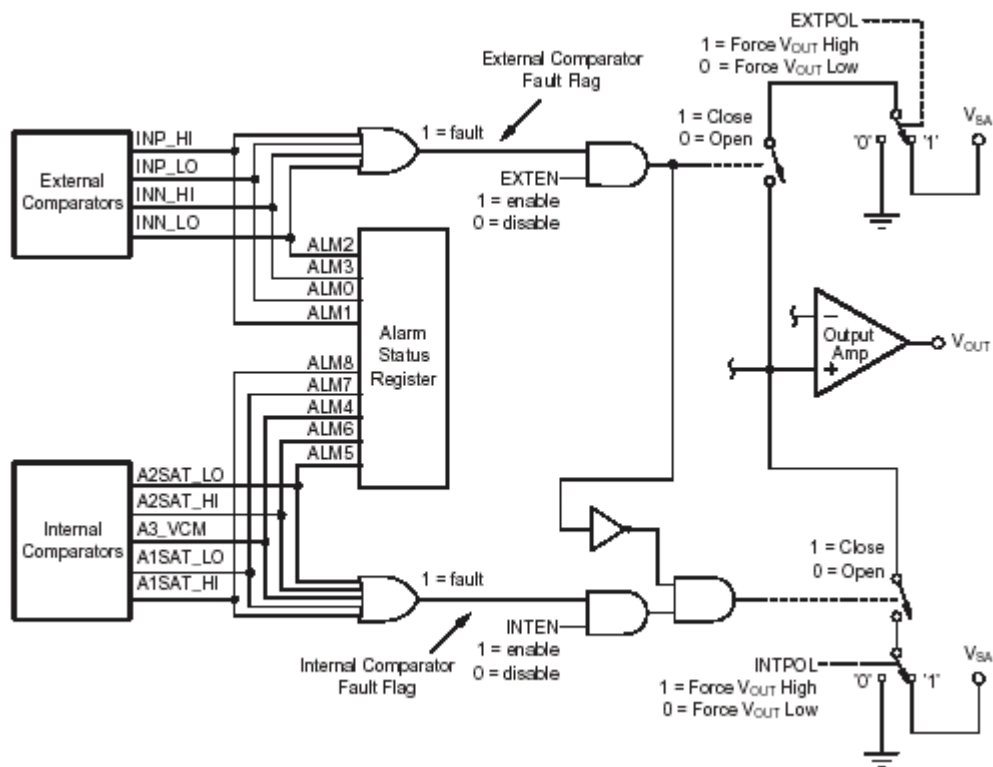
当 V_{EXC} 被使能时，外部故障比较器 INP_HI 和 INP_LO 有一个最小的基准选择器电路，在 $V_{EXC}-100mV$ 或 $V_{SA}-1.2V$ 之间选择一个典型切换点。在线性电路增加 V_{EXC} 且桥接传感器出现超过 PGA309 前端 PGA

输入电压范围（相对于 V_{SA} ）的故障情况时，这可确保进行精确的故障监控。如果 V_{EXC} 被禁止，这些比较器的门限电压默认为 $V_{SA}-1.2V$ 。

内部故障比较器用于监控 PGA309 的前端 PGA 内部结点（见图 19）。当 PGA309 与传感器校准同时运行时，使能内部比较器组非常关键，因为内部比较器组可以提醒用户避免破坏内部结点。这种破坏产生的电压可能还是在期望的线性输出电压范围内，但这一电压是不精确的。前端 PGA 的两个前端放大器 A1 和 A2 都有各自的输出端，这些输出端相对于正电源的饱和与相对于地的饱和情况均受到监控。如果这些比较器中的一个在校准期间跳变，即表明由于选择了不正确的前端 PGA 增益或由于粗略偏移调整而导致了超出定标范围的情况。前端 PGA 的 A3 放大器也受到监控，以防止在零点 DAC 与前端 PGA 增益选择的组合不正确时出现共模错误。

每个单独的内部或外部故障比较器可以通过一个双线或单线的数字接口读取。当前结果存储于寄存器 8——报警状态寄存器中。在 PGA309 的输出端被使能时，报警状态寄存器的值反映了故障比较器的当前状态。当 V_{OUT} 被禁止时，该寄存器中的值是输出端被禁止前比较器当时的状态。这样可使 3 线模式的辨识与调试更简便（PRG 短接到 V_{OUT} ）。详情见“PRG 短接到 V_{OUT} 时的单线操作”一节。另外，每组比较器——内部故障比较器或外部故障比较器可以经过编程，因而在相应组的任何比较器处于逻辑高电平（表明有故障产生）时，使 PGA309 的输出端（ V_{OUT} ）置为故障状态，指示正电平（最大值为 $V_{SA}-0.1V$ ，负载为 $10k\Omega$ ）或负电平（最大值为 $0.1V$ ，负载为 $10k\Omega$ ）。该逻辑见图 20。

图 20 故障监控比较器逻辑



寄存器 5——PGA 配置和上限/下限比例限制寄存器为故障监控比较器提供配置。连接每组中独立比较器的输出端以产生一个内部比较器故障标志和一个外部比较器故障标志。对于外部比较器组（EXTEN），寄存器 5（位 11）决定是否发出外部比较器故障标志来使 V_{OUT} 处于故障指示状态。对于内部比较器组（INTEN），寄存器 5（位 10）决定是否发出内部比较器故障标志来使 V_{OUT} 处于故障指示状态。对于每个比较器组， V_{OUT} （ V_{SA} 或 GND）的故障指示状态都是可编程的。寄存器 5（位 8）INTPOL 为内部比较器组选择该状态，而寄存器 5（位 9）EXPOL 为外部比较器组选择该状态。外部比较器故障标志优先于内部比较器故障标志，如图 20 所示。例如，如果内部故障比较器组置为使 V_{OUT} 为低而外部故障比较器组置为使 V_{OUT} 为高，并且两个比较器组都检测到故障（如果两个组都被使能，这种情况是有可能的），

则外部故障比较器组获胜， V_{OUT} 被置为高电平。这在现实应用中确保了对临界传感器故障的报告先于内部结点错误。假若在检测到故障时在 V_{OUT} 端上有一个有效的线性输出信号，故障逻辑总是胜出（如果已被使能），并且将覆盖该线性输出以表明 V_{OUT} 上的故障是正 V_{OUT} 饱和或是负 V_{OUT} 饱和。

上限/下限比例

上限和下限比例限制电路为 PGA309 的输出电压提供了可编程的上限和下限箝位。通过对寄存器 5 的 D6 至 D1 位置位可以使能该电路。在与故障监控电路一起使用时，可执行系统诊断程序以确定受调节的传感器是否有缺陷或者可以确定受传感器监控的操作是否超出了范围。图 21 详细列出了上限/下限比例电路的关键部分。所选择的 PGA309 V_{REF} 被精密的电阻串分割开来，以形成超出上限和低于下限的门限值，如表 10 和表 11 所示。寄存器 5 的位[5: 0]设置期望的门限值。这些电阻比率非常精确，不会产生较大的初始误差或温度误差。如图 21 所示，有两个独立的比较器：上限和下限比较器，它们各自采用超过上限或没有达到下限比例的的门限，并确定 PGA309 的输出（ V_{OUT} ）于何处将被箝位。上限和下限比例限制电路中主要的误差在于比较器的偏移和偏移温漂。

图 21 上限和下限比例限制电路

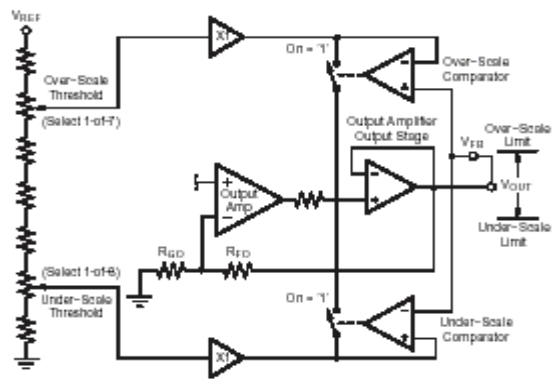


表 10 未到下限比例的的门限选择（寄存器 5 位[5: 0]）。 $V_{REF}=+5V$ 。

HL2 [5]	HL1 [4]	HL0 [3]	OVER-SCALE THRESHOLD (V)	OVER-SCALE THRESHOLD
0	0	0	4.854	0.9708 V_{REF}
0	0	1	4.806	0.9610 V_{REF}
0	1	0	4.698	0.9394 V_{REF}
0	1	1	4.580	0.9160 V_{REF}
1	0	0	4.551	0.9102 V_{REF}
1	0	1	3.662	0.7324 V_{REF}
1	1	0	2.764	0.5528 V_{REF}
1	1	1	Reserved	—

表 11 超过上限比例的的门限选择（寄存器 5 的位[5: 0]）。 $V_{REF}=+5V$ 。

LL2 [2]	LL1 [1]	LL0 [0]	UNDER-SCALE THRESHOLD (V)	UNDER-SCALE THRESHOLD
0	0	0	0.127	0.02540 V_{REF}
0	0	1	0.147	0.02930 V_{REF}
0	1	0	0.176	0.03516 V_{REF}
0	1	1	0.196	0.03906 V_{REF}
1	0	0	0.225	0.04492 V_{REF}
1	0	1	0.254	0.05078 V_{REF}
1	1	0	0.274	0.05468 V_{REF}
1	1	1	0.303	0.06054 V_{REF}

使用上限和下限比例限制电路的设计思路可以通过示例界定来更好地理解。

示例：上限/下限比例计算

假设：绝对定标系统——将 PGA309 连接到一个系统 ADC（见图 22）

系统 ADC 的基准电压： $V_{REF\ ADC}=4.096V$

PGA309 的基准电压： $V_{REF}=4.096V$ （采用内部基准）

工作温度范围： $-40^{\circ}C$ 至 $+125^{\circ}C$

PGA309 的 V_{SA} , $V_{SD}=+5V$

外部故障监控，在检测到故障时跳变至高电平

则：推荐电平适用于上限和下限限制以及故障检测。

- A) 上限限制
- B) 下限限制
- C) 可用线性 PGA309 输出范围
- D) 系统 ADC 切换点：
 - 超过上限
 - 未到下限
 - 故障检测

解决方案：

1. 分析在工作温度范围内上限和下限比较器偏置误差的最坏情况。表 12 含有进行这种计算所需的关键电特性。

上限比较器的偏移值计算：

上限温漂：

$-40^{\circ}C$ 至 $25^{\circ}C$: $24.05mV=(+0.37mV/^{\circ}C)(-40^{\circ}C-25^{\circ}C)$

$25^{\circ}C$ 至 $+125^{\circ}C$: $+37.00mV=(+0.37mV/^{\circ}C)(+125^{\circ}C-25^{\circ}C)$

上限偏移的最大值和最小值：

$V_{OS\ 最小值} = +6mV - 24.05mV = -18.05mV$

$V_{OS\ 最大值} = +114mV + 37.00mV = +151.00mV$

下限比较器的偏移值计算：

下限温漂：

$-40^{\circ}C$ 至 $25^{\circ}C$: $+9.75mV=(-0.15mV/^{\circ}C)(-40^{\circ}C-25^{\circ}C)$

$25^{\circ}C$ 至 $+125^{\circ}C$: $-15.00mV=(-0.15mV/^{\circ}C)(+125^{\circ}C-25^{\circ}C)$

下限偏移的最大值和最小值：

$V_{US\ 最小值} = -7mV + 9.75mV = -2.75mV$

$V_{US\ 最大值} = -93mV - 15.00mV = -108mV$

2. 分析在工作温度范围内 V_{REF} 的最坏变化。

V_{REF} 的温漂：

$-40^{\circ}C$ 至 $+125^{\circ}C$: $[(\pm 10ppm/^{\circ}C)/(1e6)](+125^{\circ}C - -40^{\circ}C)V_{REF} = \pm 0.00165V_{REF}$

V_{REF} 的最小值和最大值：

V_{REF} 的最小值 $= 4.00V - (0.00165)(4.00V) = 3.9934V$

V_{REF} 的最大值 $= 4.14V + (0.00165)(4.00V) = 4.1466V$

3. 在工作温度范围内计算每个上限和下限比例门限的上限和下限最小和最大切换点（参见表 13）。

上限的最小和最大切换点：

$OS\ 最小值 = V_{REF\ 最小值}(OS\ 比率) - V_{OS\ 最小值}$

$OS\ 最大值 = V_{REF\ 最大值}(OS\ 比率) + V_{OS\ 最大值}$

下限的最小和最大切换点：

$US\ 最小值 = V_{REF\ 最小值}(US\ 比率) - V_{US\ 最小值}$

$US\ 最大值 = V_{REF\ 最大值}(US\ 比率) + V_{US\ 最大值}$

4. 从上限和下限最小和最大值切换点的计算中选择适用于系统最优 ADC 范围预算的最佳选项（见图 23）。在该例中，PGA309 可在系统 ADC 基准 8% 至 92% 的线性输出范围内调整。另外，我们也可以对上限比例限制检测、下限比例限制检测和故障检测设置合理的切换点。

5. 检查 PGA309 的 V_{OUT} 是否能支持系统 ADC 预算范围内指定的电压幅度。表 14 证实了在该例中 PGA309 的 V_{OUT} 可以达到我们期望标度限制条件。

图 23 系统 ADC 超过上限、未到下限和线性输出的范围预算

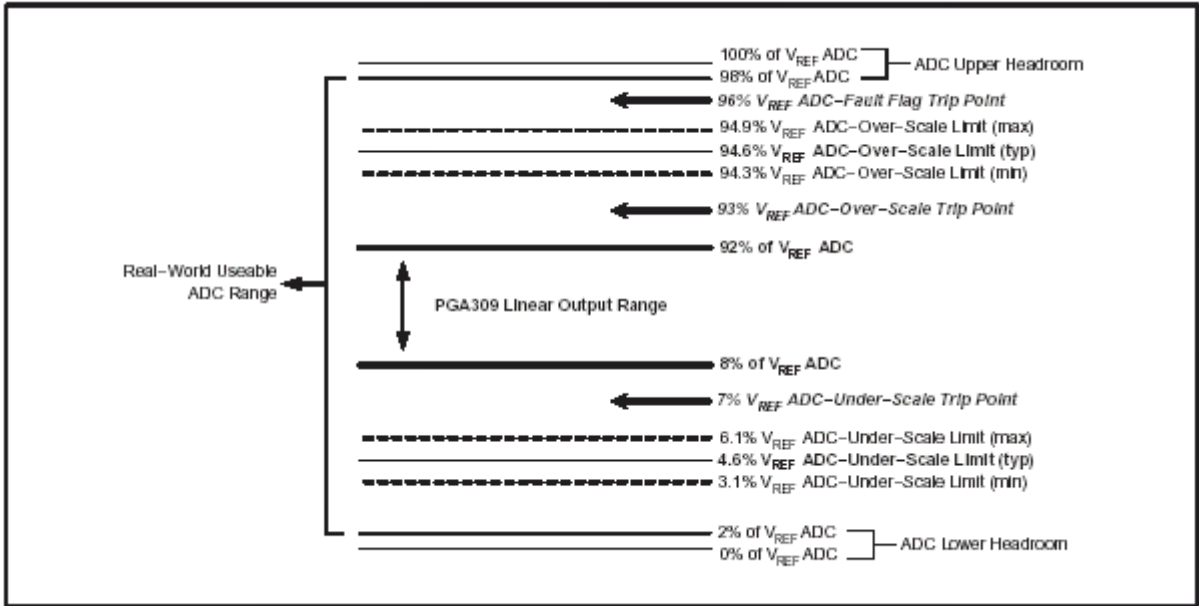


表 14 PGA309 相对于系统 ADC 范围预算的 V_{OUT} 限度

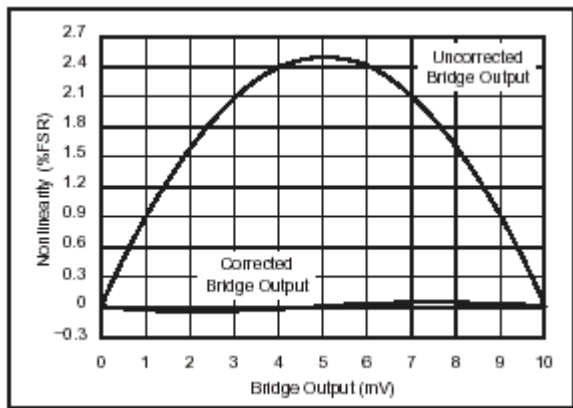
LIMITING CONDITION	PGA309 V_{OUT} (V)	PGA309 V_{OUT} LIMIT (V)
96% V_{REF} ADC—Fault Flag Trip Point	3.93216	4.9
3.1% V_{REF} ADC—Under-Scale Limit (min)	0.126976	0.1

NOTE: V_{REF} ADC = 4.096V, V_{SA} = 5V

线性化功能

许多桥接传感器在有外加压力时其输出本身是非线性的。图 24 显示了使用 PGA309 的线性电路进行典型的非线性校准。

图 24 电桥压力非线性校准



PGA309 含有一条专用于传感器电压激励和线性化的电路，如图 25 所示。线性化环路对选择的 V_{REF} 进行测量并将它与输出电压 (V_{OUT}) 的一部分相加以补偿桥接传感器的输出相对于压力的弓形非线性曲线。采用这一技巧可以对抛物线形非线性进行补偿，所得的改善程度与未得到补偿的电桥输出之比高达 20: 1。如果不想进行线性校准，可将传感器直接接至电压基准（绝对系统）或接至电源（比例系统）。通过将寄存器 3 的位 (10、7: 0) 置为“0”就可以同时禁止 V_{EXC} 缓冲器和线性化 DAC。这样会产生 50 μ A 到 100 μ A 较低的完全静止的电流。

在故障监控功能非常重要的系统中，最好使 V_{EXC} 和 $K_{LIN}=0$ 。这样做可以最优化故障监控比较器的运作。

桥接激励 (V_{EXC}) 的输出从属于信号 (从属于 V_{OUT})，这将一个次级效应项加至系统的整个传输功能 (PGA309+桥接传感器)。线性 DAC(见图 26)对 V_{OUT} 的一部分进行测量，这部分 V_{OUT} 将与定额的基准电压 V_{REF} 相加。线性 DAC 的代码经过设置可以对独立的桥接传感器非线性进行补偿。如图 26 所示，在 PGA309 的线性化环路中有两个有效范围以提供传感器非线性和 V_{REF} 的多种组合。

图 25 桥接激励线性化环路

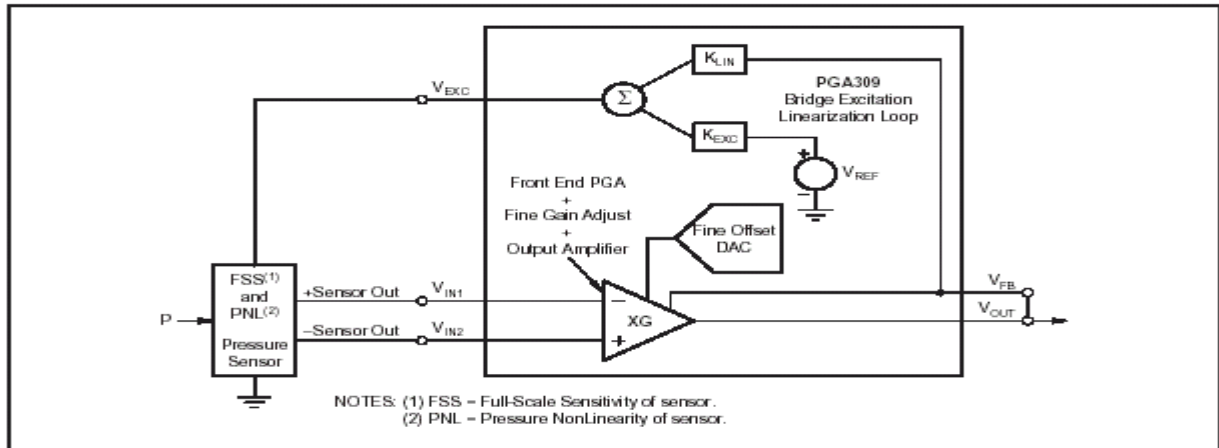
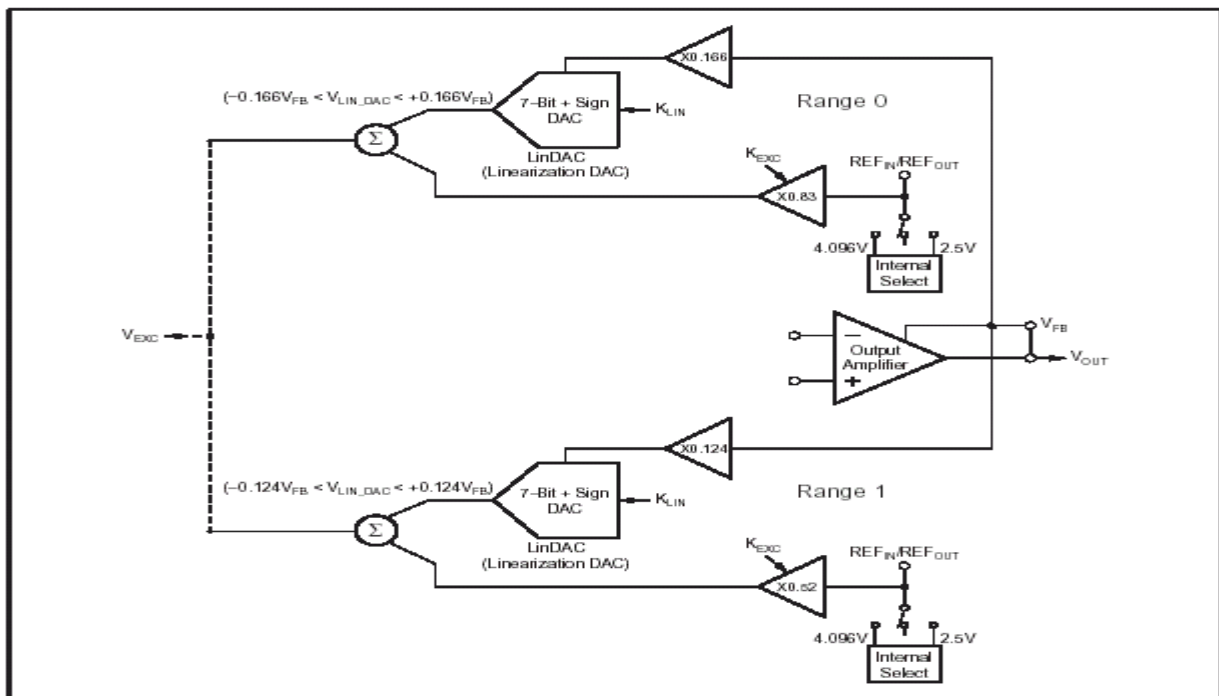


图 26 线性化电路



为了确定线性 DAC 的值，也称作线性化系数 K_{LIN} ，必须知道带有恒定激励电压的桥接传感器的非线性。PGA309 的线性电路只能对带有外加压力的传感器非线性的抛物线形部分进行补偿。假定这一非线性在温度范围内保持恒定或者假设温度变化对系统预算误差的影响不大。在典型的 PGA309 应用中， K_{LIN} 因数不随温度变化而调整。当在中间标度处发生最大的从线性输出的偏移时进行最适宜校正 (见图 27 和图 28)。类似于图 27 中带有非线性曲线的但不一定在中间标度处产生尖峰传感器还可以进行较大程度

的改良。带 S 形非线性曲线的传感器（正负非线性相等）不能采用 PGA309 的线性电路来改良。

图 27 抛物线形电桥输出与压力的关系

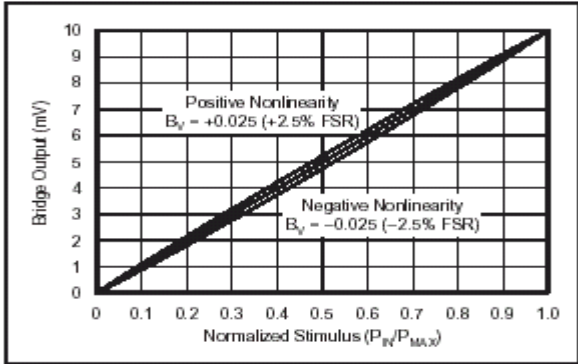
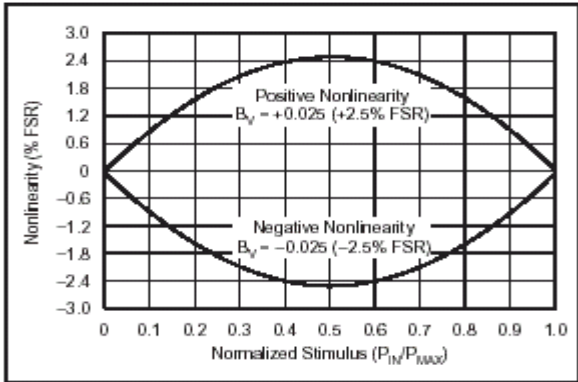
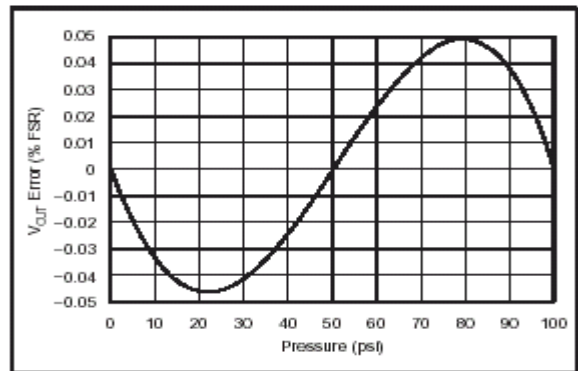


图 28 抛物线形电桥非线性与压力的关系



无论是正电桥非线性还是负的非线性都可以通过将线性 DAC 的极性进行相应设置来补偿。为了对正电桥非线性（向上的弓形——见图 28）进行校正，线性 DAC 的值应置为正；而对负电桥非线性（向下的弓形——见图 29）进行校正，则置线性 DAC 的值为负。

图 29 抛物线形电桥校正非线性与压力的关系



激励电压 (V_{EXC}) 直接测量桥接传感器的输出，因此在使用了线性环路时它对增益和偏移值有影响。以下将给出与线性电路有关的关键定义和设计公式。

系统定义

- P_{MIN} ——最小系统输入压力
- P_{MAX} ——最大系统输入压力

FSS—— P_{MAX} 下的最大定标敏感度（为 5mV/V）

B_V ——带有外加压力的电桥非线性。在中间标度输入范围的最大误差（中间压力标度的最大误差 %FS: +2.5%FS=0.025, -2.5%=-0.025）

P——压力输入

PNL——带有线性压力输入 P 的电桥的非线性压力输出

V_{OUT_MIN} ——相对 P_{MIN} 电桥输入的 PGA309 的最小 V_{OUT} 电压

V_{OUT_MAX} ——相对 P_{MAX} 电桥输入的 PGA309 的最大 V_{OUT} 电压

V_{REF} ——PGA309 的基准电压

K_{LIN} ——PGA309 的线性化系数

K_{EXC} ——PGA 的激励系数。 V_{REF} 脚上的比例因子。

K_P ——压力常量。将线性输入压力转换为可由传感器检测的非线性压力。参考最大定标输入压力。

G——PGA309 V_{OUT}/V_{IN} 的总增益。G=前端 PGA 增益+精细增益调整+输出放大器增益。

V_{EXC} ——电桥电压激励（由 PGA309 产生，基于 V_{REF} , K_{LIN} , K_{EXC} , V_{OUT} ）

线性电路关键设计公式

公式 1——非线性压力转换，针对抛物线形桥接传感器的非线性（ B_V =针对正抛物线非线性的正级， B_V =针对负抛物线非线性的负级；见图 28）。

$$PNL := P + 4(B_V) \cdot P_{MAX} \cdot \left[\left(\frac{P}{P_{MAX}} \right) - \left(\frac{P}{P_{MAX}} \right)^2 \right] \quad (1)$$

公式 2——压力常数。PNL 指最大定标输入压力：

$$K_P := \frac{\left(P + 4(B_V) \cdot P_{MAX} \cdot \left[\left(\frac{P}{P_{MAX}} \right) - \left(\frac{P}{P_{MAX}} \right)^2 \right] \right)}{P_{MAX}} \quad (2)$$

公式 3——线性化常量：

$$K_{LIN} := \frac{4 \cdot B_V \cdot V_{REF} \cdot K_{EXC}}{(V_{OUT_MAX} - V_{OUT_MIN}) - 2 \cdot B_V \cdot (V_{OUT_MAX} + V_{OUT_MIN})} \quad (3)$$

公式 4——PGA309 的总增益

$$G := \frac{(V_{OUT_MAX} - V_{OUT_MIN})}{(V_{REF} \cdot K_{EXC} \cdot FSS) + (K_{LIN} \cdot V_{OUT_MAX} \cdot FSS)} \quad (4)$$

公式 5——PGA309 的 V_{OUT}

$$V_{OUT} := \frac{(FSS \cdot G \cdot K_P \cdot V_{REF} \cdot K_{EXC}) + V_{OUT_MIN}}{1 - (FSS \cdot G \cdot K_P \cdot K_{LIN})} \quad (5)$$

公式 6——PGA309 的 V_{EXC}

$$V_{EXC} := V_{REF} \cdot K_{EXC} + K_{LIN} \cdot V_{OUT} \quad (6)$$

公式 7——线性 DAC 的计数转换

$$\text{十进制\#计数} = \frac{|\text{期望的 } K_{LIN}|}{(\text{最大定标比率}/128)} \quad (7)$$

示例：线性化 DAC 的计数转换

假设：（范围 1: $-0.166V_{FB} < \text{线性 DAC} < +0.166V_{FB}$ ）

得出：KLIN=-0.082 时，线性 DAC 的值
解决办法：

1. 十进制#计数=0.082/(0.166/128)=63.228
2. 使用 63 计数→0x3F→0011 1111
3. 但是,需要-0.082。为得到负比率，在符号位（MSB，位 7）加 1。
4. 最终线性 DAC 的设置值：1011 1111→0xBF

关键的理想设置公式

公式 8——理想增益，G

$$G_{IDEAL} := \frac{V_{OUT_MAX} - V_{OUT_MIN}}{V_{REF} \cdot FSS} \quad (8)$$

公式 9——理想的 V_{OUT}

$$V_{OUT_IDEAL}(P) := FSS \cdot G_{IDEAL} \cdot \left(\frac{P}{P_{MAX}} \right) \cdot V_{REF} + V_{OS} \quad (9)$$

公式 10——输出的最大定标范围

$$FSR := V_{OUT_MAX} - V_{OUT_MIN} \quad (10)$$

公式 11—— V_{OUT} 误差（%FSR）

$$V_{OUT_ERR_FSR} := \left(\frac{V_{OUT} - V_{OUT_IDEAL}}{FSR} \right) \cdot 100 \quad (11)$$

Example: Linearization Design					
SYSTEM INPUTS		VALUE		UNITS	
P _{MIN}		0		psi	
P _{MAX}		100		psi	
FSS		0.005		V/V	
B _v		+0.025 (+0.025 - +2.5%)		%	
V _{OUTMAX}		4.5		V	
V _{OUTMIN}		0.5		V	
V _{REF}		5		V	
K _{EXC}		0.83			
PGA309 CALCS					
K _{LIN}		+0.110667		V/V	
G		172.117		V/V	
V _{OUTIDEAL}					
G _{IDEAL}		160		V/V	
FSR		4		V	
P (psi)	K _p	V _{OUT} (V)	V _{EXC} (V)	V _{OUTIDEAL} (V)	V _{OUT} ERROR (%FSR)
0	0.0000	0.5000	4.2053	0.5000	0
10	0.1090	0.8986	4.2494	0.9000	-0.03464537
20	0.2160	1.2981	4.2937	1.3000	-0.04667445
30	0.3210	1.6983	4.3380	1.7000	-0.04126142
40	0.4240	2.0990	4.3823	2.1000	-0.02381898
50	0.5250	2.5000	4.4267	2.5000	1.1102E-14
60	0.6240	2.9010	4.4710	2.9000	0.02430134
70	0.7210	3.3017	4.5154	3.3000	0.04294918
80	0.8160	3.7020	4.5597	3.7000	0.04966629
90	0.9090	4.1015	4.6039	4.1000	0.03753519
100	1.0000	4.5000	4.6480	4.5000	2.2204E-14

在每次的终端应用中，应检查线性电路极限以确保在允许的范围内工作。

表 15 和表 16 给出了一些典型系统应用的线性化范围。这两张表说明了 PGA309 线性电路的内部极限并且假设 V_{OUT} 标度可用于上限和下限比例限制和故障检测。对于其它未列出的具体的终端应用，一旦选择了 V_{REF} 、 $V_{OUT\ MAX}$ 、 $V_{OUT\ MIN}$ 和线性范围的系统设计，可使用以下公式来计算临界设计值：

1. $V_{EXC\ MAX}$ ：在 $V_{OUT\ MAX}$ 时，使用公式（6）。

2. $V_{EXC\ MIN}$ ：在 $V_{OUT\ MIN}$ 时，使用公式（6）。

3. $B_V\ MAX$ ：（最大补偿非线性）

通过公式（3）使用 $K_{LIN+MAX}$ 来计算 $+B_V\ MAX$ ，用 $K_{LIN-MAX}$ 来计算 $-B_V\ MAX$ ，得到 B_V ：

$$B_V := \frac{V_{OUT\ MAX} - V_{OUT\ MIN}}{\left(\frac{4 \cdot V_{REF} \cdot K_{EXC}}{K_{LIN}} \right) + 2 \cdot (V_{OUT\ MAX} + V_{OUT\ MIN})} \quad (12)$$

4. $V_{线性DAC\ Max} = ((V_{REF}/4) - V_{OUT\ MAX}/10) \geq 300mV$

5. $V_{EXC\ Max} \leq V_{SA} - 0.1V$

6. $K_{LIN} \leq K_{LIN\ MAX}$ （线性DAC的范围）

在使用线性环路时，要注意确保桥接传感器的输出共模电压保持在PGA309的输入范围内。可用公式（6）来计算最大定标信号（ $V_{OUT\ MAX}$ ）处的 V_{EXC} 。如果没有将共模或温度感应条件电阻与桥接传感器串联，桥接传感器的输出共模电压是 V_{EXC} 的一半。

在使用PGA309进行传感器校准期间，可采取两个步骤：第一步，当 $K_{LIN}=0$ （线性DAC置为0）时用初始增益和偏移来测量传感器桥的非线性。用所得的传感器非线性（ B_V ）算出 K_{LIN} 、增益和偏移的值。第二步可进行校准测量来调整 K_{LIN} ，解决线性电路中的偏移和不匹配。这一校准过程可通过使用PGA309的设计工具套件及相关软件和校准电子表简单地进行。

表15 范围0——典型系统应用和最大非线性校正

$V_{SA\ MIN}$ (V)	$V_{SA\ MAX}$ (V)	V_{REF} (V)	ADC REF (V)	$V_{OUT\ MIN}$ (V)	$V_{OUT\ MAX}$ (V)	RANGE 0 $+B_V\ MAX$				RANGE 0 $-B_V\ MAX$				LinDAC MAX > 0.3V? (V)
						$+B_V$ (0.025= 2.5%)	$V_{EXC\ MAX}$ (V)	$V_{EXC\ MIN}$ (V)	G	$-B_V$ (-0.025= -2.5%)	$V_{EXC\ MAX}$ (V)	$V_{EXC\ MIN}$ (V)	G	
2.7	5.5	2.5	2.5	0.175	2.225	0.0374	2.444	2.104	167.73	-0.0454	2.046	1.706	240.38	0.4025
2.7	5.5	2.5	2.048	0.123	1.761	0.0305	2.367	2.095	138.38	-0.0354	2.055	1.783	183.77	0.4489
4.5	5.5	4.096	2.5	0.175	2.175	0.0231	3.761	3.429	106.36	-0.0259	3.371	3.039	131.64	0.8065
4.5	5.5	4.096	4.096	0.246	3.564	0.0371	3.991	3.441	166.26	-0.0447	3.359	2.808	236.32	0.6676
4.5	5.5	4.096	2.048	0.143	1.782	0.0191	3.695	3.423	88.70	-0.0210	3.376	3.104	105.61	0.8458
4.7	5.5	4.5	4.5	0.27	4.185	0.0396	4.430	3.780	176.76	-0.0483	3.690	3.040	257.54	0.7065
5	5.5	5	5	0.3	4.65	0.0396	4.922	4.200	176.76	-0.0483	4.100	3.378	257.54	0.785

PGA309 VSA Operating Range	PGA309 VREF	System ADC REF (ADC full-scale)	PGA309 VOUT Linear Range	PGA309 (+BV MAX)	PGA309 VEXC Range (+BV MAX)	PGA309 Gain VOUT/VDIFF IN (+BV MAX)	PGA309 (-BV MAX)	PGA309 VEXC Range for (-BV MAX)	PGA309 Gain VOUT/VDIFF IN (-BV MAX)	PGA309 LinDAC Max Check

Assumes: 1) Over-scale and under-scale limits and fault detection desired.
2) FSS used to calculate a representative gain value (G) for completeness.

NOTE: Range 0, $K_{EXC} = 0.83$, $K_{LIN-MAX} = -0.166$, $K_{LIN+MAX} = 0.166$, $FSS = 0.005V/V$

V _{SA MIN} (V)	V _{SA MAX} (V)	V _{REF} (V)	ADC REF (V)	V _{OUT MIN} (V)	V _{OUT MAX} (V)	RANGE 1 +B _V MAX				RANGE 1 -B _V MAX				RANGE 0
						+B _V (0.025= 2.5%)	V _{EXC MAX} (V)	V _{EXC MIN} (V)	G	-B _V (-0.025= -2.5%)	V _{EXC MAX} (V)	V _{EXC MIN} (V)	G	LinDAC MAX > 0.3V? (V)
2.7	5.5	2.5	2.5	0.175	2.225	0.0439	1.576	1.322	260.17	-0.0552	1.278	1.024	400.35	0.4025
2.7	5.5	2.5	2.048	0.123	1.761	0.0358	1.518	1.315	215.76	-0.0429	1.285	1.082	302.87	0.4489
4.5	5.5	4.096	2.5	0.175	2.175	0.0272	2.400	2.152	186.69	-0.0312	2.108	1.860	215.03	0.8065
4.5	5.5	4.096	4.096	0.246	3.564	0.0435	2.572	2.180	258.02	-0.0543	2.099	1.688	393.13	0.6676
4.5	5.5	4.096	2.048	0.143	1.782	0.0226	2.351	2.148	139.44	-0.0253	2.112	1.909	171.72	0.8458
4.7	5.5	4.5	4.5	0.27	4.185	0.0464	2.859	2.373	273.88	-0.0588	2.307	1.821	429.97	0.7065
5	5.5	5	5	0.3	4.65	0.0464	3.177	2.637	273.88	-0.0588	2.563	2.023	429.97	0.785

PGA309
V_{SA}
Operating
Range

PGA309
V_{REF}

System
ADC REF
(ADC
full-scale)

PGA309
V_{OUT}
Linear
Range

PGA309
(+B_V MAX)

PGA309
V_{EXC}
Range
(+B_V MAX)

PGA309 Gain
V_{OUT/VDIFF IN}
(+B_V MAX)

PGA309
(-B_V MAX)

PGA309
V_{EXC}
Range
(-B_V MAX)

PGA309 Gain
V_{OUT/VDIFF IN}
(-B_V MAX)

PGA309
LinDAC
Max
Check

Assumes: 1) Over-scale and under-scale limits and fault detection desired.
2) FSS used to calculate a representative gain value (G) for completeness.

NOTE: Range 1, K_{EXC} = 0.52, K_{LIN -MAX} = -0.124, K_{LIN +MAX} = 0.124, FSS = 0.005V/V

PGA309 温度测量电路的中心是温度 ADC。温度 ADC 及其相应的 PGA、输入多路复用器和基准多路复用器一起为片内或外部温度的读取提供了一个灵活和可配置的温度感应功能块。图 30 显示了 PGA309 的温度传感功能块。

图 30 温度传感功能块

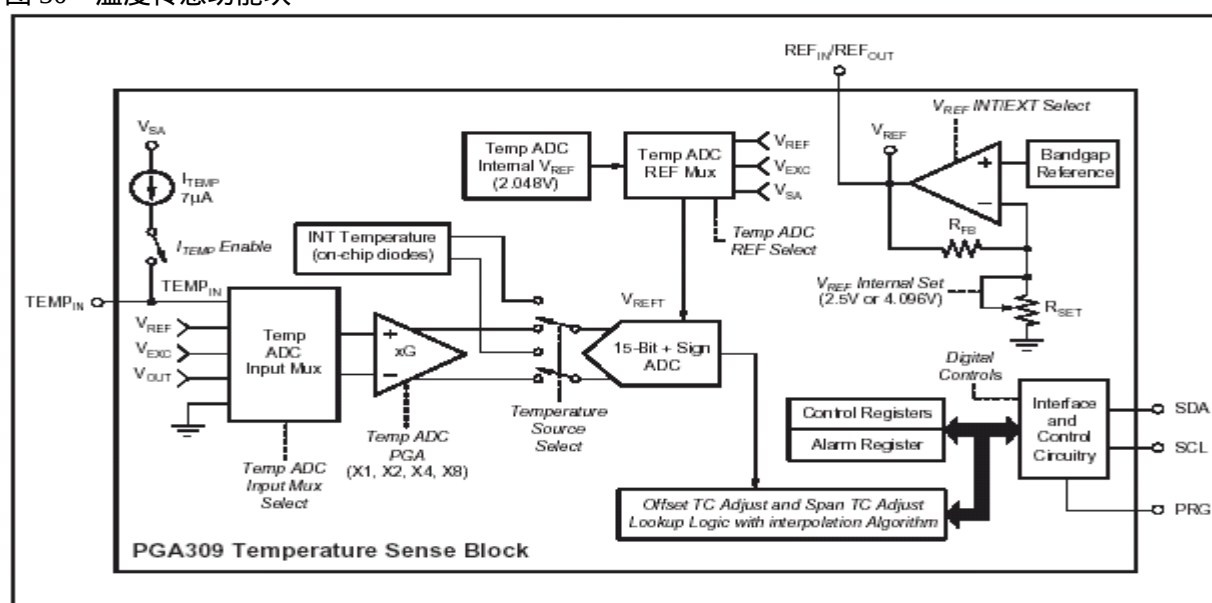


表 17 内部温度模式配置——寄存器 6

BIT	BIT NAME	BIT STATE	CONFIGURATION
15	RFB	0	Reserved Factory Bit—set to zero for proper operation
14	RFB	0	Reserved Factory Bit—set to zero for proper operation
13	ADC2X	0	Unused for Internal Temperature Mode; set to zero.
12	ADCS	0	
11	ISEN	0	
10	CEN	1	
9	TEN	1	Internal Temperature mode selected
8	AREN	0	Unused for Internal Temperature Mode; set to zero.
7	RV1	0	
6	RV0	0	
5	M1	0	
4	M0	0	
3	G1	0	
2	G0	0	
1	R1	1	See Temp ADC Resolution (Conversion time); select below
0	R0	1	See Temp ADC Resolution (Conversion time); select below

表 18 温度模式分辨率——寄存器 6

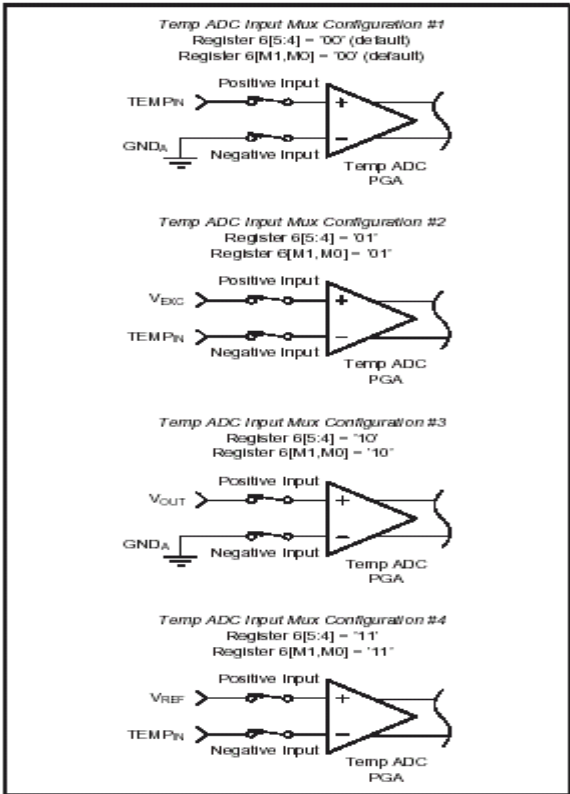
R1	R0	TEMP ADC RESOLUTION (CONVERSION TIME) SELECT TEN = '1'
0	0	9-Bit + Sign, Right-Justified, Sign-Extended, 0.5°C (3ms)
0	1	10-Bit + Sign, Right-Justified, Sign-Extended, 0.25°C (6ms)
1	0	11-Bit + Sign, Right-Justified, Sign-Extended, 0.125°C (12ms)
1	1	12-Bit + Sign, Right-Justified, Sign-Extended, 0.0625°C (24ms)

表 19 内部温度模式——数据格式（12 位分辨率）——寄存器 0

TEMPERATURE (°C)	DIGITAL OUTPUT (BINARY) AD15.....AD0	DIGITAL OUTPUT (HEX)
128	0000 1000 0000 0000	0800
127.9375	0000 0111 1111 1111	07FF
100	0000 0110 0100 0000	0640
80	0000 0101 0000 0000	0500
75	0000 0100 1011 0000	04B0
50	0000 0011 0010 0000	0320
25	0000 0001 1001 0000	0190
0.25	0000 0000 0000 0100	0004
0.0	0000 0000 0000 0000	0000
-0.25	1111 1111 1111 1100	FFFC
-25	1111 1110 0111 0000	FE70
-55	1111 1100 1001 0000	FC90
-128	1111 1000 0000 0000	F800

在选择外部温度传感器模式时，对温度 ADC 有几个可供选择的配置。在这种模式下，TEMP_{IN} 引脚的读数即是温度。TEMP_{IN} 可以参考 GND、V_{EXC} 或 V_{REF}。此外，通过温度 ADC 也可选择读取 V_{OUT}，相对于 GND。图 31 给出了允许使用的温度 ADC 输入多路复用器的配置。注意，选择读取 V_{OUT} 将导致读取 PGA309 的 V_{OUT} 引脚而不是 V_{FB} 引脚。这在使用 R_{ISO} 电阻进行过压输出保护和隔离电容性负载的应用中将产生一个不同于 V_{FB} 引脚上最终受限传感器输出的电压（详情见“输出放大器”一节）。

图 31 温度 ADC 的输入多路复用器等选项



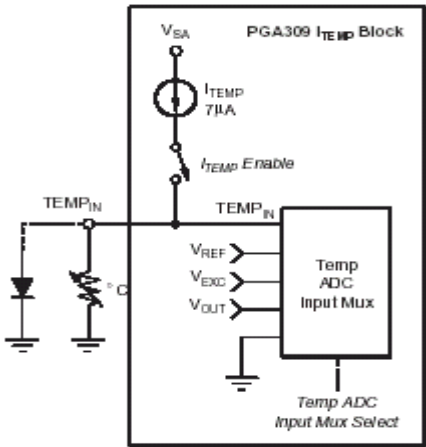
温度 ADC 的 PGA 有四个有效的增益设置值，详见表 20。

表 20 温度 ADC 的 PGA 增益选择——寄存器 6

G1 [3]	G0 [2]	TEMP ADC PGA GAIN
0	0	X1
0	1	X2
1	0	X4
1	1	X8

温度传感功能块还含有一个 $7\mu\text{A}$ （典型值）的电流源，该电流源可通过写逻辑“1”到寄存器 6 的位 11，ISEN 来使能。逻辑“0”禁止从 TEMP_{IN} 引脚输出的 I_{TEMP} 。这个电流源可用来激励用于桥接传感器温度测量的外部电阻温度器件或二极管，如图 32 所示。

图 32 用于外部温度测量的 I_{TEMP}



温度 ADC 在用于外部温度模式中时其模数转换基准电压有几种选择，如表 21 所示。此外，在用于外部温度模式时，温度 ADC 的分辨率也可由寄存器来选择（见表 22）。

表 21 温度 ADC 的基准选择——寄存器 6

AREN [8]	RV1 [7]	RV0 [6]	TEMP ADC REFERENCE (VREF1)
0	0	0	VREF
0	0	1	VEXC
0	1	0	VSA
0	1	1	Factory Reserved
1	X	X	Temp ADC Internal REF (2.048V)

NOTE: X = don't care.

表 22 温度 ADC 的分辨率（转换时间）——寄存器 6

R1 [1]	R0 [0]	EXTERNAL SIGNAL MODE [TEN=0], EXTERNAL REFERENCE [AREN=0]	EXTERNAL SIGNAL MODE [TEN=0], INTERNAL REFERENCE [2.048V, AREN=1]
0	0	11-Bit + Sign, Right-Justified, Sign-Extended (8ms)	11-Bit + Sign, Right-Justified, Sign-Extended (8ms)
0	1	13-Bit + Sign, Right-Justified, Sign-Extended (24ms)	13-Bit + Sign, Right-Justified, Sign-Extended (32ms)
1	0	14-Bit + Sign, Right-Justified, Sign-Extended (50ms)	14-Bit + Sign, Right-Justified, Sign-Extended (64ms)
1	1	15-Bit + Sign, Right-Justified, Sign-Extended (100ms)	15-Bit + Sign, Right-Justified, Sign-Extended (128ms)

温度 ADC 的“转换开始”控制

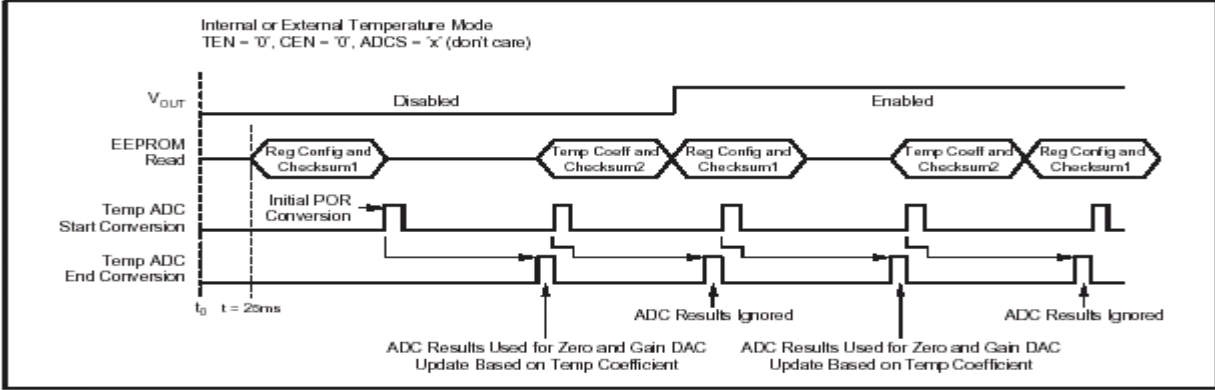
温度 ADC 有两种转换模式：单周期转换和连续转换。在连续转换模式（CEN=“1”）中，在一轮转换完成后，温度 ADC 立即开始下一轮转换。在单周期转换模式（CEN=“0”）中，温度 ADC 的“转换开始”位（ADCS）用作“转换开始/繁忙”位，在转换开始之前必须被写入或置为“1”。在对 ADCS 写入“1”之后，如果立即对它进行读取，即可读得“1”，并且在它返回到“0”（表明转换已完成）之前都可以对其进行询问。许可的“转换开始”模式如表 23 所示。

表 23 温度 ADC 的“转换开始”控制——寄存器 6

CEN [10]	ADCS [12]	CONVERSION MODE	COMMENTS
0	0	Single	Temp ADC in standby mode – no conversions.
0	1	Single	Temp ADC starts conversion and ADCS acts as busy bit with it changing to a '0' at end of conversion.
1	X	Continuous	ADCS bit exercises no control – typically ADCS = '1' since conversions are continuous.

在图 33 中，选择的是连续转换控制。在典型的 25ms 的初始上电复位超时之后，EEPROM 的寄存器配置（第一部分）被读取。之后温度 ADC 立即开始转换。在第一轮转换结束时读取 EEPROM 的温度系数（第二部分），并调整零点 DAC 和增益 DAC 的设置。当“CEN=1”且在每轮转换完成以后另一轮转换开始。在读取温度系数时，若开始存储寄存器的配置值，则对 EEPROM 再次读取。注意，只有那些对 EEPROM 的寄存器配置进行有效读取之后的 ADC 结果才能用于触发对 EEPROM 第二个半部分（温度系数）进行读操作。这一操作在指定时间内产生最多次的温度更新。

图 33 温度 ADC 的连续“转换开始”控制



在图 34 中，选择的是单周期“转换开始”控制。在典型的初始上电复位超时时间 25ms 以后，读取 EEPROM 的寄存器配置（第一部分）。在这之后，如果 CEN=“0”，ADCS=“1” 温度 ADC 则立即开始一轮转换。在第一轮转换结束时，读取 EEPROM 的温度系数（第二部分），并调整零点和增益 DAC 的设置。当 CEN=“0”，ADCS=“1” 时，只有在对 EEPROM 的寄存器配置部分进行读取之后才会开始新一轮的转换。在这轮转换结束以后，EEPROM 的第二部分（温度系数）被读取，增益和零点 DAC 的温度被计量，每个相应的 DAC 被更新。注意，在单周期“转换开始”模式中，若 CEN=“0”，ADCS=“0”（温度 ADC 无转换），则 PGA309 在上电后将等待 25ms，读取 EEPROM 的寄存器配置部分，并且不会进行 ADC 转换，然后读查询表并计算增益和零点 DAC 的值。这些值基于当前 ADC 的输出寄存器（全零）。之后，PGA309 的输出将被使能，并等待 25ms，然后读取 EEPROM 的寄存器配置部分。PGA309 的输出将保持使能状态，并且进行“读 EEPROM 的寄存器配置部分，等待 25ms，再读 EEPROM 的寄存器配置”的连续循环。

外部温度模式的终止控制选项是 ADC2X 位——寄存器 6 的位[13]。该位允许只为外部温度读数提高温度 ADC 的转换速度。

表 24 给出了 ADC2X 位的典型设置和效用。

图 34 温度 ADC 的单周期“转换开始”控制

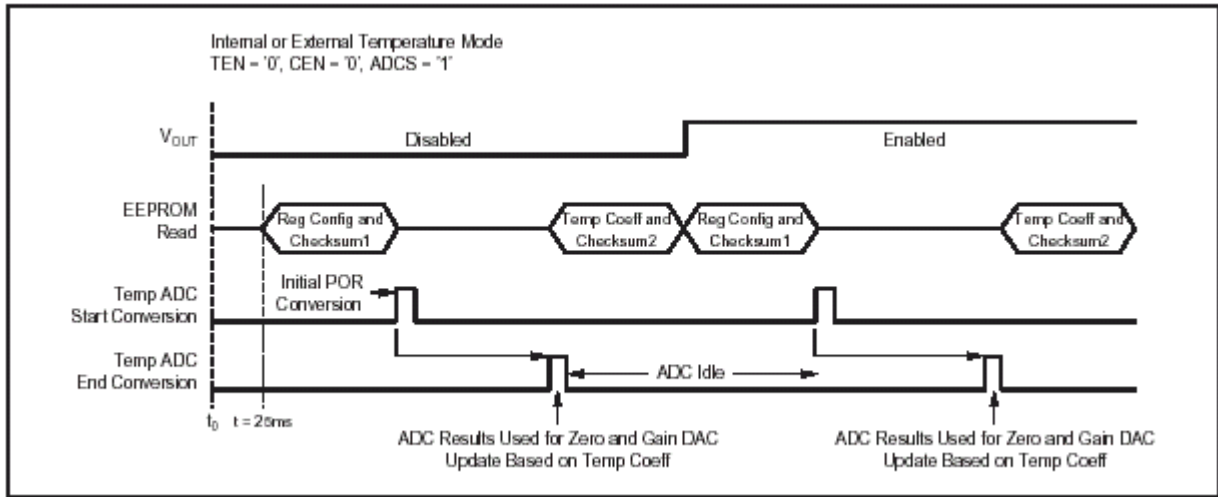


表 24 针对外部温度模式的温度 ADC 转换速度选项

R1 [1]	R0 [0]	[TEN=0], [AREN=0], [ADC2X=0]	[TEN=0], [AREN=0], [ADC2X=1]	[TEN=0] [2.048V, AREN=1], [ADC2X=0]	[TEN=0] [2.048V, AREN=1], [ADC2X=1]
0	0	11-Bit + Sign (6ms)	11-Bit + Sign (3ms)	11-Bit + Sign (8ms)	11 Bit + Sign (4ms)
0	1	13-Bit + Sign (24ms)	13-Bit + Sign (12ms)	13-Bit + Sign (32ms)	13 Bit + Sign (16ms)
1	0	14-Bit + Sign (50ms)	14-Bit + Sign (25ms)	14-Bit + Sign (64ms)	14 Bit + Sign (32ms)
1	1	15-Bit + Sign (100ms)	15-Bit + Sign (50ms)	15-Bit + Sign (128ms)	15 Bit + Sign (64ms)

用激励串行电阻进行外部温度感应

在一些桥接传感器应用中，期望通过改变电桥阻值来测量桥接传感器的温度。这可以通过在桥接激励结点的顶部或底部加置一个串行的电阻来实现。这样，PGA309 输入端的共模电压范围必须遵循该应用的工作温度范围。

图 35 显示了用顶置串行电阻来监控随温度变化而变化的电桥阻值。为了简化分析，有效的桥接电阻被转换成一个如图所示的电阻（R_{BT}）。对于指定的温度，R_{BT} 的值是固定的，例如在此例中温度为 70℃ 时 R_{BT} 为 1.8kΩ。因为与 R_{BT}（3500ppm/℃）相比 R_T 的温度变化（50ppm/℃）几乎是可以忽略的，所以 R_T 用于检测 R_{BT} 的变化。在这一应用中，为正输入的 V_{EXC} 和负输入的 TEMP_{IN} 配置温度 PGA。温度 ADC 将 V_{EXC} 用作其基准电压 V_{REF}。PGA 的增益设置为 ×8。注意，要对 V_{EXC} 两个不同的值进行分析来模拟 V_{EXC}

端的电压变化, 这一变化是由线性功能块调整 V_{EXC} 而引起的, 而这种调整是为了最小化桥接传感器输出端上 (带有外加压力) 的误差。图中方框形中的数值表示 $V_{\text{EXC}}=2.9\text{V}$, 而椭圆形中的数值表示 $V_{\text{EXC}}=2.4\text{V}$ 。温度 ADC 的最终读数将与图中所示的相对于最大定标范围的值相等。不论线性功能块将 V_{EXC} 调整为何值, 这一读数等于温度 ADC 的相同的数字输出。

图 36 则给出了用于监控电桥阻值变化的底置串行电阻, 电桥的阻值随温度而产生变化。再次, 为了简化分析, 有效的桥接电阻被转换成一个如图所示的电阻 (R_{BT})。在此例中温度为 70°C 时 R_{BT} 为 $1.8\text{k}\Omega$ 。 R_{T} 用于测量 R_{BT} 的变化。为正输入 TEMP_{IN} 的和负输入的 GND 配置温度 PGA。温度 ADC 将 V_{EXC} 用作其基准电压 V_{REF} 。PGA 的增益为 $\times 8$ 。图中方框形中的数值表示 $V_{\text{EXC}}=2.9\text{V}$, 而椭圆形中的数值表示 $V_{\text{EXC}}=2.4\text{V}$ 。可见无论 V_{EXC} 为何值, 最终的温度 ADC 的读数都是相同的。

如果在该应用中没有使用线性功能块, 则桥接传感器的顶端激励接线被接至 V_{SA} 或 V_{REF} 而不是 V_{EXC} 。无论是在顶部 (图 35) 或底端 (图 36), 都可以通过加置一个串行电阻 R_{T} 来进行外部温度感应。在这一具体应用中, 温度 ADC 的基准电压 (V_{REF}) 应变为桥接激励电压 (V_{SA} 或 V_{REF})。这在指定温度下会产生一个独立于桥接激励电压变化的恒定温度 ADC。

图 35 用顶置串行电阻来进行桥接传感器外部温度感应

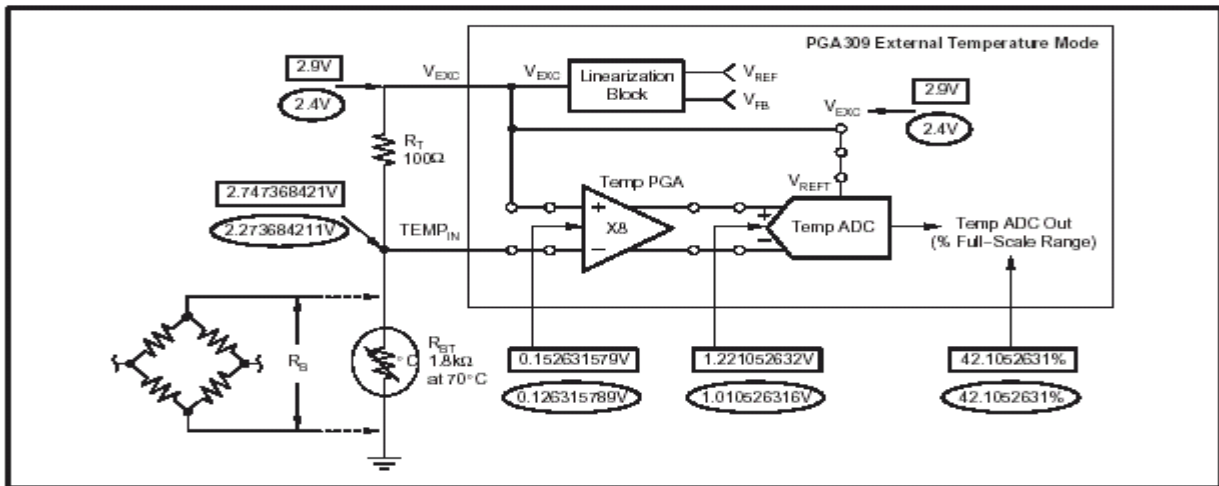
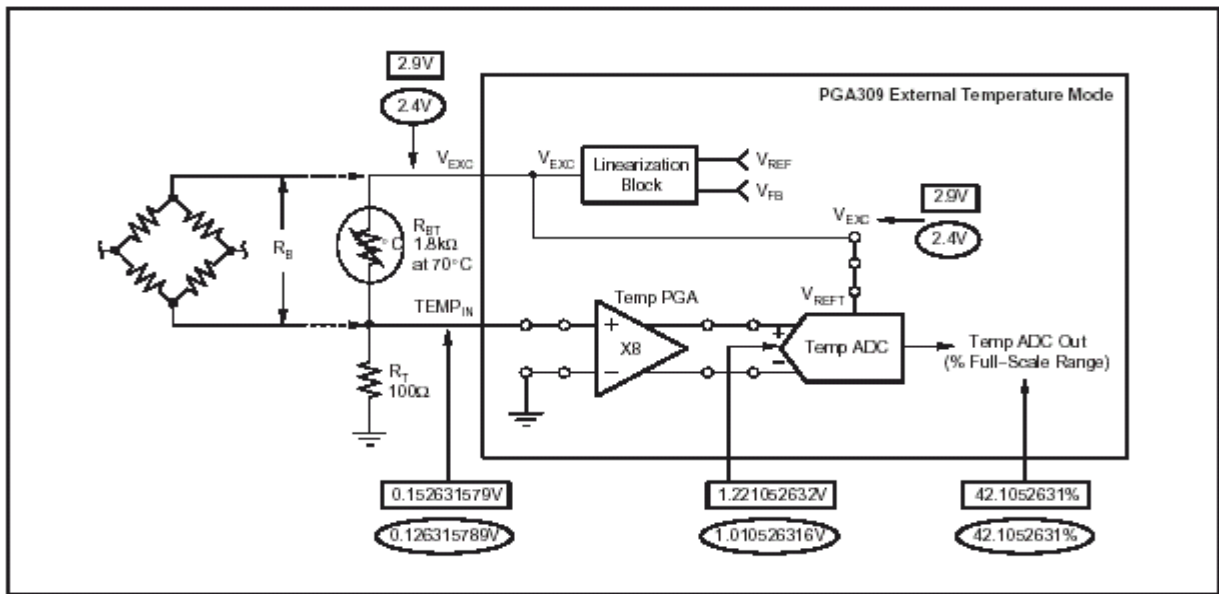


图 36 用底置串行电阻进行桥接传感器外部温度感应



输出放大器

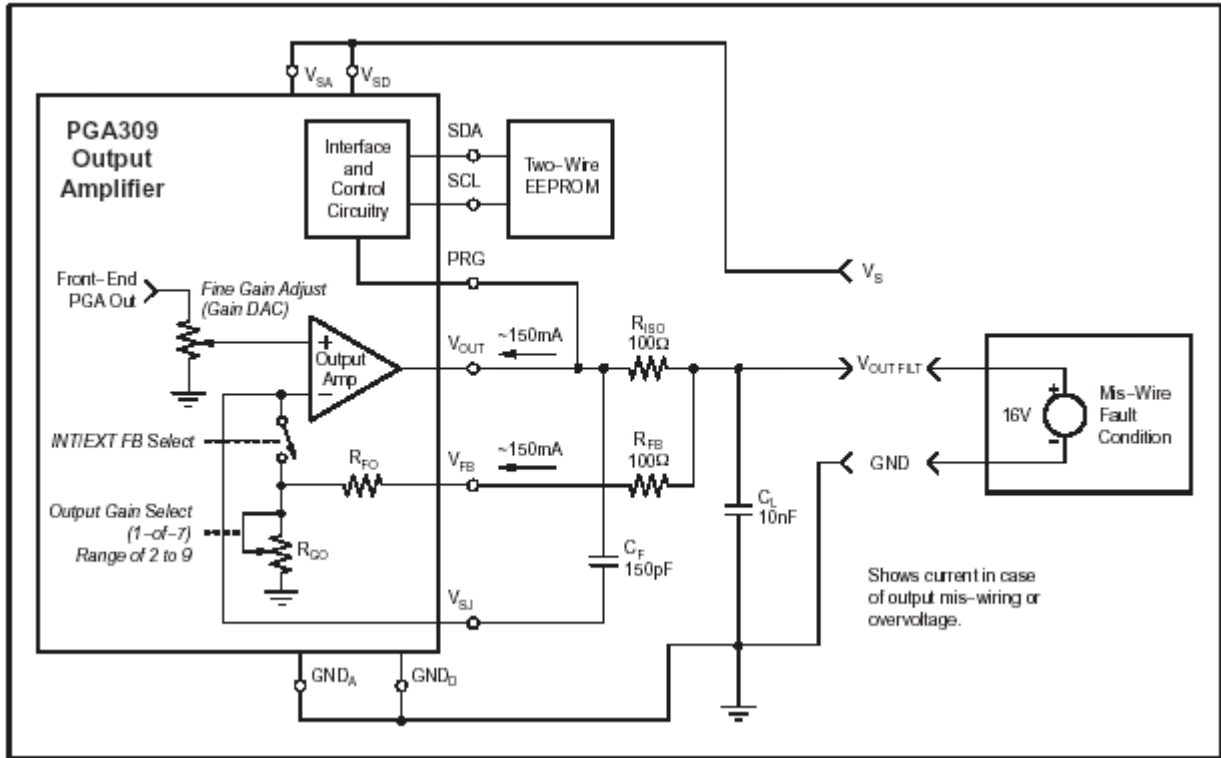
在终端应用中，PGA309 的输出放大器区段经过配置可达到最大的灵活性和精确度。图 37 描述了常见的三端传感器应用中的输出放大器。在这种应用中，由于 PGA309 输出端上的线路错接和用于 EMI/RFI 滤波的传感器模块输出端上 10nF 的电容，故而需要提供过压保护。在这种配置中，通过限制输入 V_{OUT} 和 V_{FB} 的电流到 150mA 左右， R_{ISO} 和 R_{FB} 在 V_{OUT_FLT} 引脚上提供 16V 的过压保护[$(16V-0.7V)/100\Omega$]。0.7V 的压降是相对于 GND 或 V_{SA} 的内部 ESD 结构。此外， R_{ISO} 用于将 10nF 的 RFI/EMI 电容负载从 V_{OUT} 处隔离。 R_{FB} 加上一个细微的增益误差，该误差可以用 PGA309+传感器校准来消除。注意，在 PGA309+传感器校准以后，输出放大器周围的反馈点从 V_{OUT_FLT} 及类似端除去。输出放大器将精确测量 V_{OUT_FLT} ，以便与期望的传感器电压匹配。为了保证稳定性， C_F 在输出放大器周围提供第二条反馈通路。在经过如图所示的配置之后，输出放大器在从 $\times 2$ （带宽为 125kHz，环路增益相位补角为 63° ，典型值）到 $\times 9$ （带宽为 64kHz，环路增益相位补角为 86° ，典型值）的内部增益范围内保持稳定。表 25 详述了用于 RFO 和 RGO 的输出放大器的典型阻值以及开环输出阻值。这些值与典型输出放大器的开环增益曲线、标准运放稳定技术一起，使输出放大器可以经过配置用于具体的传感器应用。

表 25 输出放大器的典型增益电阻值

GAIN	RFO TYPICAL (k Ω)	RGO TYPICAL (k Ω)
X2	18	18
X2.4	21	15
X3	24	12
X3.6	26	10
X4.5	28	8
X6	30	6
X9	32	4

NOTE: R_O = open-loop output resistance = 675 Ω , typical at 1MHz.

图 37 常见 3 端传感器应用中的输出放大器

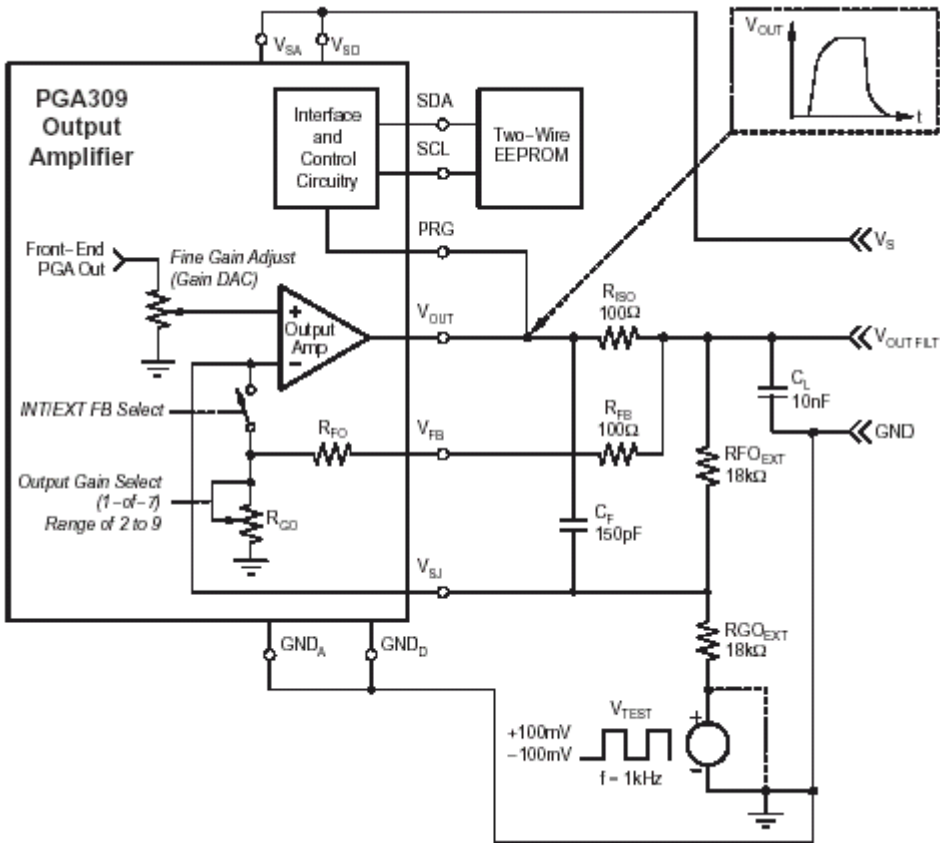


如图 38 所示,除了使用自身的内部增益设置电阻 R_{FO} 和 R_{GO} 以外,输出放大器还可使用外部反馈电阻 R_{FO_EXT} 和 R_{GO_EXT} 。表 26 详细说明了寄存器 4 中用于将输出放大器的增益配置成期望值的几位。为了采用外部反馈电阻,将 GO2、GO1 和 GO0 全置为“1”。除了可用外部反馈电阻以外,这种配置还提供了测试输出放大器稳定性的简易机制,即使使用了内部增益设置。如图 38 所示,外部反馈电阻 R_{FO_EXT} 和 R_{GO_EXT} 均被置为 $18k\Omega$,等于内部增益设置为 $\times 2$ 时的典型电阻值。如果 V_{OUT} 偏置到半标度 ($V_{SA}=+5V$ 时为 $+2.5V$),则要用信号发生器来将一个 $200mV_{pp}$ 的方波($1kHz$)注入 R_{GO_EXT} 的末端,并且在 V_{OUT} 处得到一个响应。这为指定配置的输出放大器提供了一个瞬时响应。两极支配系统的标准稳定性瞬时响应基准可用来确定基于 V_{OUT} 端上测得的过冲和响铃的适宜相位补角。

表 26 输出放大器增益选项——寄存器 4

GO2 [14]	GO1 [13]	GO0 [12]	OUTPUT AMPLIFIER GAIN
0	0	0	2
0	0	1	2.4
0	1	0	3
0	1	1	3.6
1	0	0	4.5
1	0	1	6
1	1	0	9
1	1	1	Disable Internal Feedback

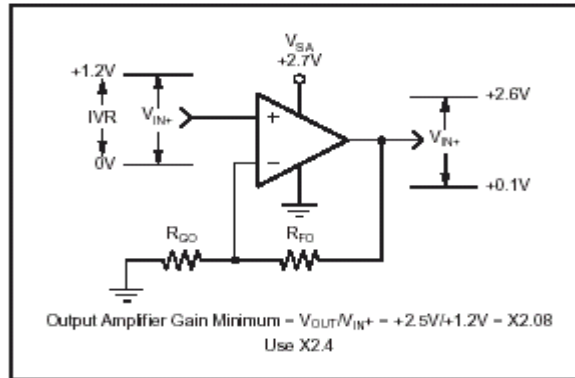
图 38 采用外部反馈电阻 R_{FO_EXT} 和 R_{GO_EXT} 的输出放大器



对于低电源电压应用,输出放大器的最小增益与其输入电压范围和输出电压幅度有关。在图 39 中,电源电压低于 $+2.7V$ 。如图 39 所示,经测试的输出放大器的输入电压范围为 $0V$ 到 $V_{SA}-1.5V$,而在负载为 $10k\Omega$ 时测试的输出电压幅度为 $0.1V$ 至 $+2.6V$ 。这样可算得最小增益为 $\times 2.08$ 。在最佳性能条件下,该应用的输出放大器的最小增益应为 $\times 2.4$ 。通常,这只是较低电压时的因数,但对每个独立的应用它都易

于检测。

图 39 低电源电压时输出放大器的最小增益

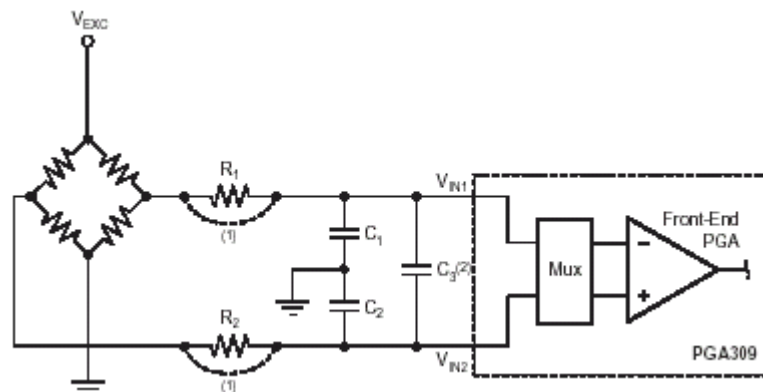


对 AC 的全面考虑

除正常良好的模拟布线和设计实践外，在用 PGA309 进行设计时还有几个关键方面需要检查：

1. 引脚 16, REF_{IN}/REF_{OUT} : 保持 200pF 或更少的电容负载。
2. 引脚 1, V_{EXC} : 保持 200pF 或更少的电容负载。
3. 引脚 3, V_{SA} 和引脚 10, V_{SD} : 使这些引脚上的电压保持在 200mV 以内。在内部, PGA309 将其数字和模拟电源分开以减少相互之间的干扰。在外部, 将这两个引脚连接在一起, 并直接在这两个引脚上用一个 0.1 μF 的电容设置旁路。如果在这两个电源之间使用了 RC 滤波器, 则需确保最大压降不多于 200mV。
4. 引脚 2, GND_A 和引脚 11, GND_D : 确保这两个引脚直接连接在一起, 接至同一个接地点。
5. 引脚 8, V_{SJ} : 这是输出放大器及其类似物的负输入, 为高阻抗。将低阻抗线路如 V_{OUT} 和有噪声的线路从 V_{SJ} 导开。最短化线路的长度以避免 V_{SJ} 上额外的电容。
6. 引脚 4, V_{IN1} 和引脚 5, V_{IN2} : 因为源电容大于或等于 10k Ω , 在 V_{IN1} 和 V_{IN2} 之间加一个 1nF 至 2nF 的电容使噪声耦合最小化。
7. 引脚 4, V_{IN1} 和引脚 5, V_{IN2} : RFI 滤波是为仪表放大器的应用而设计的。注入仪表放大器中的 RFI 信号被整流并作为直流偏移出现在输出端; 高增益电路将这一效果扩大。图 40 描述了 PGA309 的输入滤波。根据桥接传感器与 PGA309 以及传感器模块防护屏之间的距离, 有可能要求使用 R_1 和 R_2 。 C_1 应与 C_2 相等, C_3 要比 C_1 大 10 倍以衰减由于 C_1 和 C_2 的不匹配造成的差分共模信号。所有的输入滤波器元件都应直接置于 PGA309 的输入端以避免其变成接收 RFI 天线并对长度进行记录。

图 40 输入滤波



- 注: (1) 取决于桥接传感器的电阻以及桥接传感器与 PGA309 的距离。
(2) $C_1=C_2$, $C_3=10 \times C_1$ 。

工作模式

上电序列和单机工作

PGA309 的内部状态机控制着器件在单机模式中的工作, 不需要任何外部数字控制器。在这种模式下, PGA309 执行双线接口主机的功能, 从 EEPROM 中读取数据。

PGA309 有上电复位 (POR) 电路, 可将内部寄存器和支电路复位到初始状态。在检测到电源电压极低以致在它回复到有效时若 PGA309 处于可知状态, 也会进行上电复位。上电复位电路的门限约为 +1.5V 到 +2.5V。

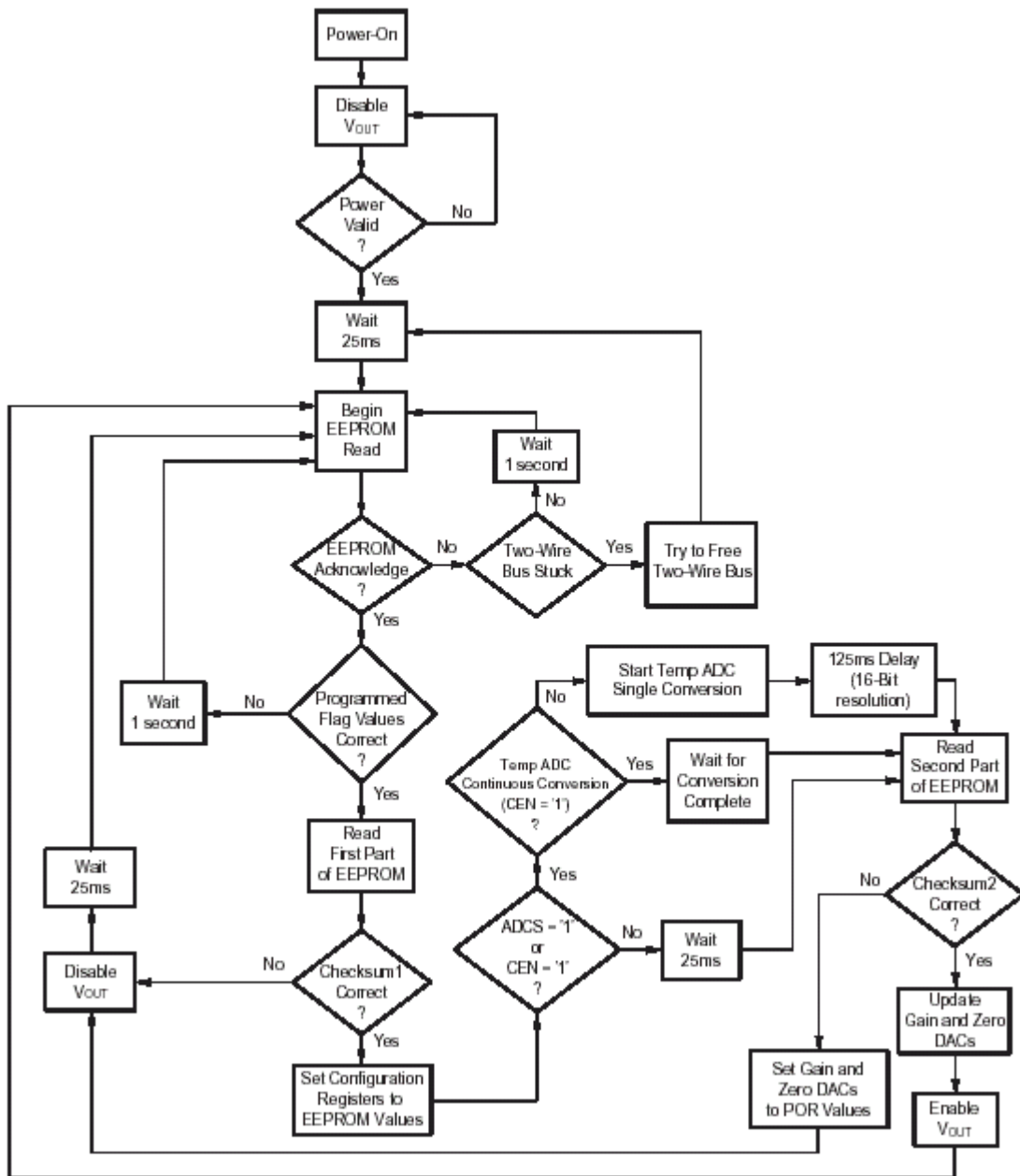
在电源电压变为有效之后, PGA309 会等待 25ms 左右, 接着试图从外部 EEPROM 器件的首批 16 字节中读取配置寄存器数据 (寄存器 3——寄存器 6 位的设置值)。如果 EEPROM 在地址 0 和 1 有恰当的编程标志字 (0x5449, “TI” ASCII), PGA309 将会对 EEPROM 进行连续读取。否则, PGA309 在再次试图读取之前等待 1 秒钟。如果 PGA309 从 EEPROM 没有检测到任何响应, 并且双线总线处于有效的空闲状态 ($SCL = “1”$, $SDA = “1”$), PGA309 则会等待 1 秒钟, 并且再试一次。如果双线总线处于 $SDA = “0”$ 的状态, PGA309 则会通过发送外部时钟拉低 SCL (详情见“数字接口”一节) 来释放总线, 并在再次试图读取 EEPROM 之前等待 25ms。如果对 EEPROM 配置的读操作成功 (包括有效的校验和 1 数据) 并且寄存器 6 中的 ADCS 位或 CEN 位被置为 “1”, PGA309 将触发温度 ADC 来测量温度信息, 如同在配置寄存器中进行配置一样。为了达到 16 位的分辨率, 转换器用 125ms 左右来完成一次转换。一旦转换完成, PGA309 就开始从 EEPROM 地址 16 或更高的地址读取查询表, 并用分段线性内插算法来计算增益和零点 DAC 的设置值。PGA309 对整张查询表进行读操作并确定查询表的校验和 (校验和 2) 是否正确。查询表的每个入口都需要 500 μs 来从 EEPROM 读取。一旦确定校验和 2 是有效的, 对增益和零点 DAC 的计算值则分别在各自的寄存器中被更新, 并且输出放大器 (V_{OUT}) 被使能。PGA309 则开始将整个程序循环进行, 再次从对 EEPROM 的第一部分的配置数据进行读操作开始。这一循环无限期地进行。

注意: 在整个初始上电序列期间, PGA309 的 V_{OUT} 被禁止 (高阻抗), 直到 EEPROM 的内容被证实有效同时完成了一轮 ADC 转换, 如上文以及图 41 所示。如果 PGA309 用于真正的 3 线接口 (V_S , GND 和 V_{OUT} 且 PRG 引脚被短接到 V_{OUT}), 则上电后的时间间隔是外部通信控制器启动与 PGA309 数字通信并且在内部状态机器中触发 1 秒钟延迟的唯一机会。在 V_{OUT} 被使能以后, 不可能再进行数字通信。

如果 PGA309 没有检测到 EEPROM 器件的存在 (也就是说, 对发送到 EEPROM 的从地址字节 PGA309 没有接收到任何确认), 它就会等待 1 秒钟左右, 并再试一次。如果 V_{OUT} 被禁止, 则该循环会无限期地进行下去。

在任何时候, 如果 PGA309 通过双线或单线接口被寻址, 内部状态机会中断其循环并启动一个 1 秒钟的延迟。在超过 1 秒钟延迟后, 开始进行 EEPROM 读操作。每当 PGA309 被寻址时, 就会复位这个 1 秒钟的延迟。这样就可允许一个外部微控制器来控制 PGA309 的功能, 只要在至少每 1 秒钟将通信行为发送到 PGA309。在 PGA309 被寻址之前, V_{OUT} 将保持原有状态 (使能或禁止)。如果在初始上电时期望对 PGA309 用微控制器进行全面的控制, 则测试引脚 (Test) 应被拉高以便在内部 PGA309 寄存器被配置为期望状态之后使能输出端。

图 41 状态机——在单机状态下的上电序列和工作



校验和错误

如果 PGA309 在任何时候从 EEPROM 的第一部分检测到校验和 1 无效, 它就会禁止 V_{OUT} , 等待 25ms 左右, 并且试图重新开始读取 EEPROM。PGA309 将会无限期地重新读取 EEPROM。如果 PGA309 在任何时候从 EEPROM 的第二部分检测到校验和 2 无效 (查询表数据), 它就会禁止 V_{OUT} , 设置增益和零点 DAC 至上电复位值, 返回到循环中的对配置寄存器部分 (EEPROM 的第一部分) 进行读操作这一步, 并且在下一轮温度转换完成时再次试着读取 EEPROM 查询表。

测试引脚

PGA309 有一个用户可访问的测试引脚 (Test, 引脚 9), 它可以终止内部状态机的循环并且在它被拉高时 (逻辑 “1”) 还可以使能输出驱动 (V_{OUT})。该模式可用于简化系统设计时的故障解决或初始配置诊断。在正常的 (单机) 操作期间, 测试引脚必须被拉至或短接到 GND (逻辑 “0”)。

一旦测试引脚被拉高，则会出现以下情况：

- 前面所述的状态机被中断并复位至初始状态。任何 EEPROM 交互程序被中断而且双线总线被释放。
- PGA309 的输出 (V_{OUT}) 被使能。
- 所有的内部寄存器保持当前值。在电源变为有效时若测试引脚处于高电平，寄存器保持初始（上电复位）状态而且输出立即被使能。
- 外部控制器通过使用单线或双线的数字接口可以修改任何可写入的 PGA309 寄存器。

在这种模式中，可在 PGA309 的前端加测试信号，这样可以迅速地查验 PGA309 的信号通路是否运行正常。

上电时寄存器的初始状态

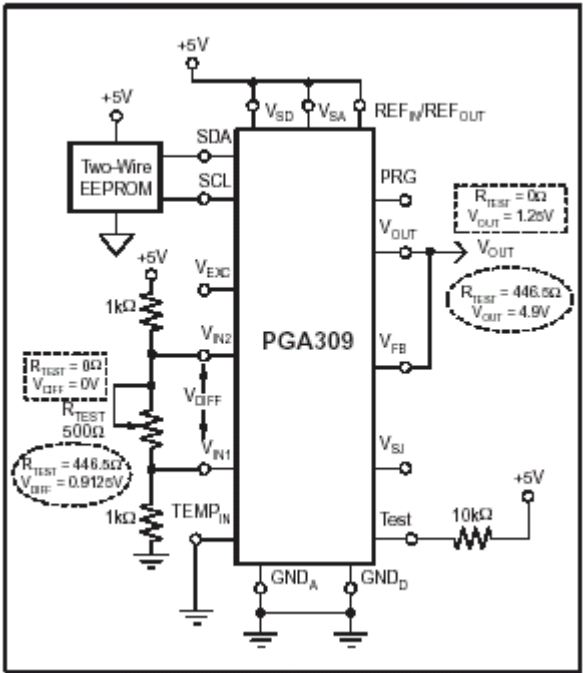
在上电或异常掉电时，上电复位电路将 PGA309 的所有寄存器复位到初始状态。除增益 DAC 和零点 DAC 被置为 0x4000 以外，其余所有的寄存器都被置为 0。

表 27 概述了上电复位状态的关键设置值

表 27 关键参数的上电复位状态

PARAMETER	POR STATE
Coarse Offset	0V
Front-End PGA Gain	X4 ($V_{IN1} = V_{INP}$, $V_{IN2} = V_{INN}$)
Gain DAC	X0.5
Output Amplifier Gain	X2
Zero DAC	0.25VREF
VREF Select	External Reference
Lin DAC	X0
Fault Monitor	Disabled
Over/Under-Scale	Disabled
VEXC	Disabled
TEMP	Disabled
Temp ADC	External Signal Mode

图 42 上电时当测试引脚=“1”时，信号通路的功能检查



示例：PGA309 的上电状态

为了实现图 42 所示的+5V 电源电压和配置（测试引脚处于高电平），上电时 PGA309 的增益和偏移量变为：

$$\begin{aligned} V_{OUT} &= V_{DIFF}(\text{前端 PGA 增益})(\text{输出放大器增益})(\text{精细增益}) + 0.25V_{REF}(\text{精细增益})(\text{输出放大器增益}) \\ V_{OUT} &= V_{DIFF}(4)(2)(0.5) + (0.25(5)(0.5)) \times 2 \\ V_{OUT} &= 4V_{DIFF} + 1.25V \end{aligned}$$

数字接口

PGA309 有两个数字接口。PRG 引脚使用单线、UART 可兼容的接口，比特率从 4.8kbits/s（4800 波特）到 38.4kbits/s（38400 波特）。SDA 和 SCL 引脚一起形成了一个工业标准的双线接口，时钟频率从 1kHz 到 400kHz。外部 EEPROM 用双线接口来编程和读取。与 PGA309 内部寄存器的通信可以通过单线或双线数字接口来进行。此外，外部 EEPROM 可以通过 PGA309 的单线接口引脚 PRG 来进行编程。

双线接口

图 43 显示了工业标准的双线时序图，表 28 则给出了时序图的相关定义。关键工作状态是：

- 总线空闲：SDA 和 SCL 线均保持高电平。
- 开始数据传输：当 SCL 线为高电平时，SDA 线上的从高到低的状态变化，形成了一个“开始”（START）条件。每次数据传输要以 START 条件启动。
- 终止数据传输：当 SCL 线为高电平时 SDA 线上从低到高的状态变化即定义了一个停止（STOP）条件。
- 数据传输：“开始”和“停止”条件之间传输的数据字节个数没有限制，由主机确定。接收器对数据的传输进行确认。
- 确认：每个接收器件在被寻址时，都必须产生一个确认位。发出确认的器件必须在确认时钟脉冲期间将 SDA 线拉低，这样 SDA 线在确认时钟脉冲的高电平期间保持稳定的低电平。必须考虑到配置和保持时间。在用主机接收时，主机可发信号终止数据的传输，即当从机发出最后一个字节时主机对其不产生应答（见图 44）。

图 43 双线时序图

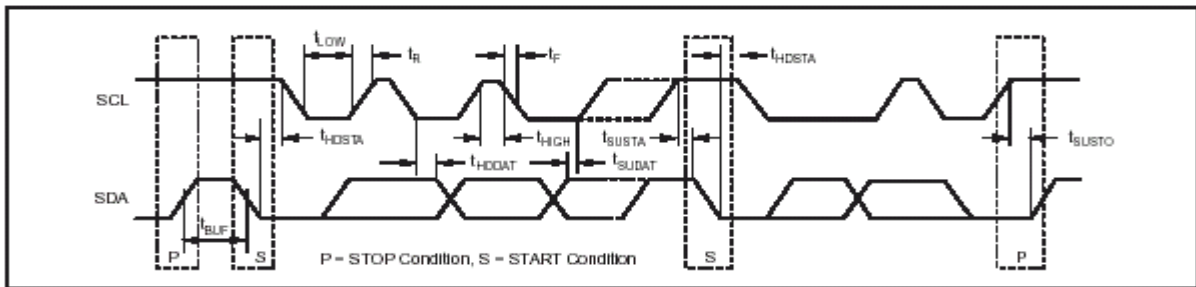
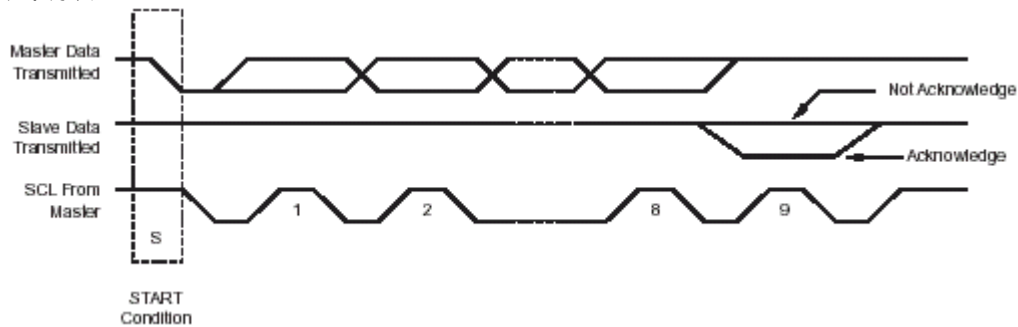


表 28 双线时序图相关定义

PARAMETER		MIN	MAX	UNITS
SCL Operating Frequency	f_{SCL}	1	400	KHz
Bus Free Time Between STOP and START Conditions	t_{BUF}	600		ns
Hold Time After Repeated START Condition. After this period, the first clock is generated.	t_{HDSTA}	600		ns
Repeated START Condition Setup Time	t_{SUSta}	600		ns
STOP Condition Setup Time	t_{SUSTo}	600		ns
Data Hold Time	t_{HDDAT}	0		ns
Data Setup Time	t_{SUDAT}	100		ns
SCL Clock LOW Period	t_{LOW}	1300		ns
SCL Clock HIGH Period	t_{HIGH}	600		ns
Clock/Data Fall Time	t_F		300	ns
Clock/Data Rise Time	t_R		300	ns

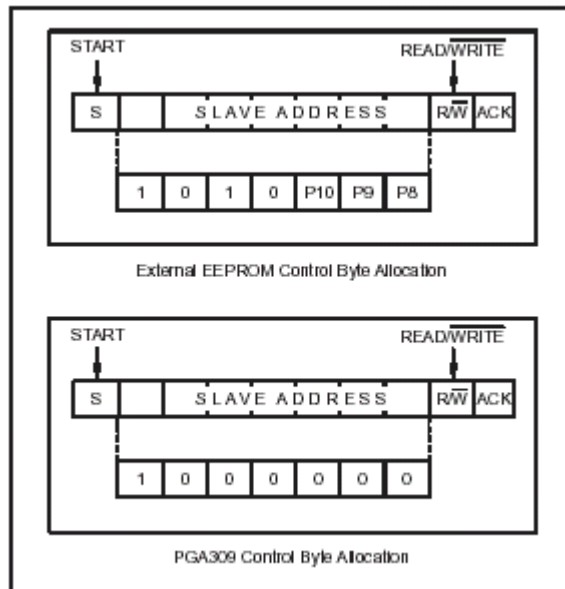
图 45 双线确认



器件寻址

在主机发出一个开始条件以后，接收到的第 1 个字节是控制位。控制字节的 7 个最高有效位（MSB）是被寻址器件的从地址。控制字节的最后一位是读/写控制位（读=“1”，写=“0”）。PGA309 和相应的外部 EEPROM 的从地址如图 45 所示。

图 45 外部 EEPROM 和控制字节分配



对 PGA309 的双线访问

支持与 PGA309 内部寄存器直接接口的读和写时序如图 46 所示。

单线接口

PGA309 可以通过单线、UART 可兼容的接口（PRG 引脚）来配置。该接口也允许对外部工业标准的双线 EEPROM 器件进行编程。可提供 6 个通信交互程序。这些交互程序允许更新内部寄存器指针和外部 EEPROM 指针、允许对内部寄存器进行读或写、允许对 EEPROM 数据进行读或写。可以将使用单线接口的 PRG 引脚连接到真正的 3 线传感器模块中的 V_{OUT} 引脚，并且仍旧允许进行数字编程。

每个交互程序包含几个数据传输字节。每个字节包含 10 个位周期。第 1 位是开始位，它总是为 0。在没有进行通信时，PRG 引脚应该总是处于高电平。从 1 到 0（从高电平到低电平）的转变是字节传输开始的信号，并且当前字节的所有时序信息都与此转变有关。第 2 位到第 9 位是字节的 8 个数据位，并且先传送最低有效位（LSB）。第 10 位是终止位并且通常为 1。为执行推荐电路，要用一个上拉电阻和/或一个电流源，该电流源带有一个连接到 PRG 引脚的漏极开路（或开路集电极）驱动器，PRG 引脚也是一个漏极开路输出。在从控制器传送数据时 PRG 引脚可被数字编程器（控制器）拉高，但是一些“拉高”

的形成需要在接收数据时允许信号变为高电平，因为 PGA309 只能将输出拉低。图 47 显示了 PGA309 的 PRG 引脚和控制器之间的典型连接。

图 46 对 PGA309 的双线访问时序

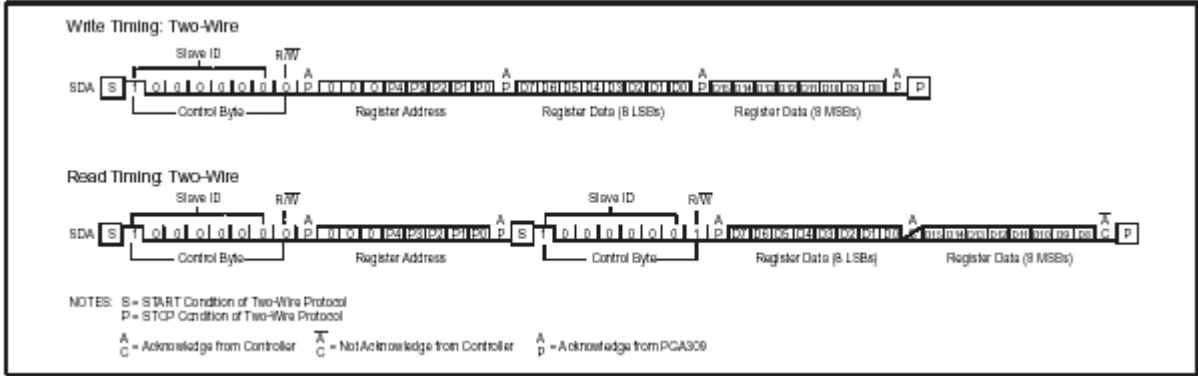
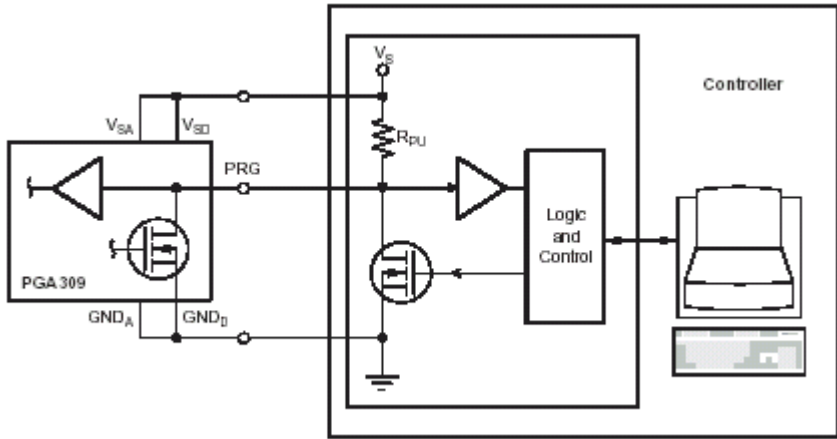


图 47 PGA309 的 PRG 与控制器的典型连接图



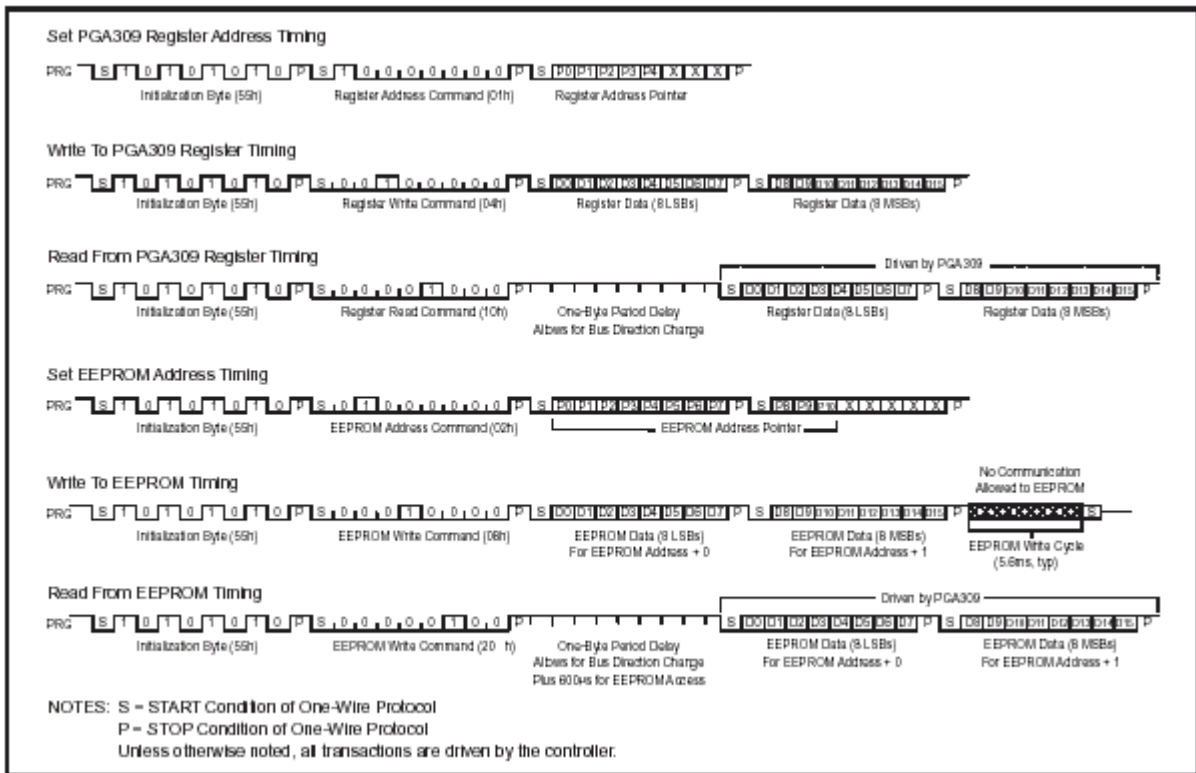
所有的通信交互程序以控制器发出的初始化字节开始。该字节（55h）用于检测用于通信交互程序的波特率。每个交互程序的初始化字节都会对波特率进行检测。此波特率用于整个交互过程。如果愿意的话每个交互程序也可以使用不同的波特率。允许 4800 到 38400 的波特率。第二个字节是由控制器发出的命令字节。

有 6 个可能的命令：

- 设置寄存器地址指针（01h）
- 设置 EEPROM 地址指针（02h）
- 写寄存器（04h）
- 写 EEPROM 字（08h）
- 读寄存器（10h）
- 读 EEPROM 字（20h）

这些交互程序的时序详情见图 48。

图 48 对 PGA309 的单线（PRG）以及外部 EEPROM 时序

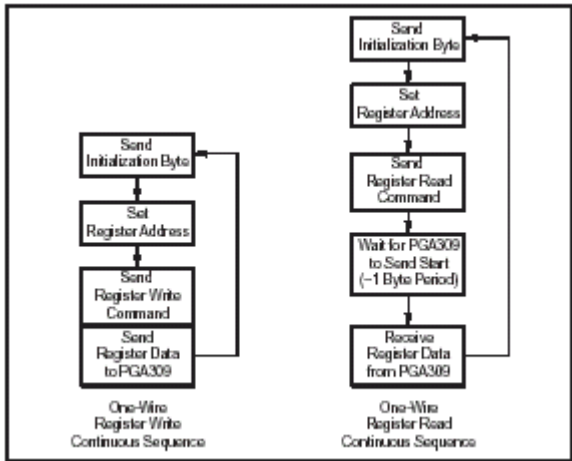


在命令字节之后传输附加的数据。字节个数和数据传输的方向取决于命令字节。

对于“设置寄存器地址指针”的命令，控制器需要发送一个附加字节。这样做是为了为下一条“写寄存器”或“读寄存器”命令选择 PGA309 内部寄存器。对于“写寄存器”命令，控制器需要发送两个附加字节。这两个字节（先发送最低有效字节）被存储在寄存器地址指针指向的 PGA309 内部寄存器中。这个被寻址的寄存器将在第二个字节传输完的同时更新其全部的 16 位。对于“读寄存器”命令，PGA309 要发出两个附加字节。在开始发送附加字节之前，在完成命令字节之后，PGA309 要等待 8 个位周期。这样控制器就有时间保证 PGA309 将可以控制单线接口。发送的第 1 个字节是该寄存器的最低有效字节，第 2 个字节则是最高有效字节。

对于单线 PGA309 的寄存器写操作，交互程序会一个接一个地重复，如图 49 所示。对于单线 PGA309 寄存器的读操作，交互程序可能在 PGA309 发出的数据被接收到以后重复，也如图 49 所示。

图 49 对 PGA309 寄存器的单线访问

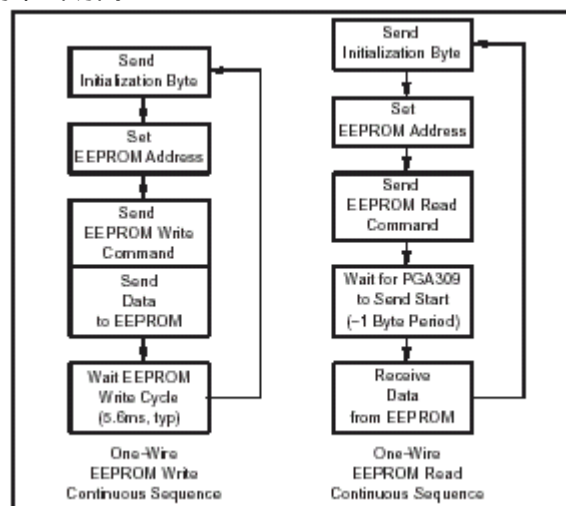


对于“设置 EEPROM 地址指针”的命令，控制器要发送两个附加字节。这两个字节用于为接下来的“写 EEPROM”或“读 EEPROM”命令确定 EEPROM 地址。对于“写 EEPROM”命令，控制器需要发送两个附加字节。这两个字节被写入 EEPROM 并存储在 EEPROM 地址指针包含的地址。第 1 个字节（最低有效字节）被写入 EEPROM 地址指针值的地址。第 2 个字节（最高有效字节）则写至 EEPROM 地址指针值加 1 的地址。为了避免混淆，要求 EEPROM 的地址指针总是置为偶数值。故而第 1 个字节被写入偶数地址，而第 2 个字节写入相邻的奇数地址。控制器负责确保在产生额外的 EEPROM 通信之前 EEPROM 器件有足够的时间来顺利完成写操作。对典型的 EEPROM 来说，这需要大约 5.6ms 的时间（0.6ms 用于 PGA309 将一个 16 位的字节写入 EEPROM，5ms 用于 EEPROM 的非易失性内部写周期）。对于“读 EEPROM”命令，PGA309 需要发送两个附加字节。在命令字节发送完之后 PGA309 等待 8 个位周期以便有时间来改变数据方向。PGA309 还要等待从 EEPROM 器件发出的“读通信”操作产生。这通常需要 600 μ s 左右的额外延迟时间。发送的第 1 个字节是最低有效字节（从地址），发送的第 2 个字节是最高有效字节（从地址+1）。

对于连续的单线 PGA309 EEPROM 写操作，控制器必须在交互程序之间插入一个典型值为 5.6ms 的延迟时间，如图 50 所示。对于连续的单线 PGA309 EEPROM 读操作，交互程序可能在 PGA309 发出的数据被接收到以后重复，也见图 50。

如果通信交互无效或者从 EEPROM 断开，单线 EEPROM 读操作的持续时间将都是 1s。

图 50 对外部 EEPROM 的单线访问



单线接口超时

考虑到单线接口的再次同步并且如果控制器和 PGA309 之间的同步由于某种原因而丢失，则可执行超时机制。超时周期被置为 25ms 到 35ms 左右。如果初始化字节与命令字节之间，命令字节与任意数据字节之间或任意数据字节之间的超时周期到期的话，PGA309 将复位单线接口电路来等待一个初始化字节。每次通过单线接口发送一个字节，超时周期就会被重启。

单线接口时序安排

图 51 显示了单线接口的关键时序和对抖动的考虑，表 29 则包含了对保证可靠的操作的规定。尽管单线波特率可以随每次交互而变化，但在每一次交互中必须保持在其初始化字节值的 $\pm 10\%$ 以内。

图 51 单线时序图

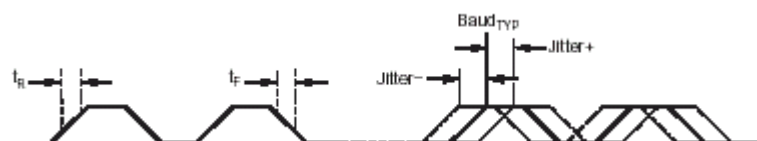


表 29 单线时序图的相关定义

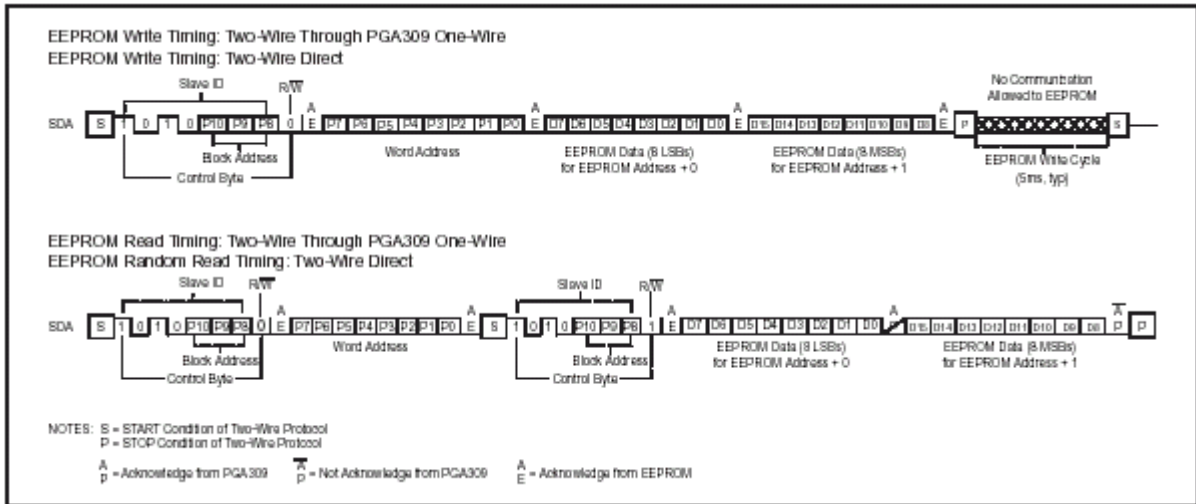
PARAMETER	MIN	TYP	MAX	UNITS
Baud	4.8K		38.4K	Bits/s
Rise Time, t_R			0.5	%Baud
Fall Time, t_F			0.5	%Baud
Jitter(1)			±1	%Baud

(1) Transmit jitter from controller to PGA309. Standard UART interfaces will accept data sent from the PGA309 during One-Wire transactions.

对外部 EEPROM 的双线访问

图 52 显示了在 PGA309 通过单线接口（PRG 引脚）接收命令时，对 PGA309 接口（与外部 EEPROM 接口）的读和写操作时序。如果直接对外部 EEPROM 进行双线访问，则可允许使用所有的制造商读和写操作模式。注意，PGA309 通过双线接口对外部 EEPROM 进行单线访问支持完全的 10 位 EEPROM 寻址模式。这允许用户将其它的配置信息存储于一个比实际需要多得多的外部 EEPROM 中，因为 1K 的 EEPROM 是 PGA309 配置寄存器和查询表系数所需的最大 EEPROM。另外，请注意，PGA309 的 SCL 和 SDA 引脚有对 V_{SD} 的内部上拉光电流（每个引脚上电流的典型值为 $85\mu A$ ）这对于大多数只需要将外部 EEPROM 置于同一印刷电路板（PCB）上的 PGA309 附近的应用来说是绰绰有余的。其它要对 SDA 和 SCL 线添加负载和电容的应用则可能需要对 V_{SD} 附加外部上拉电阻以确保随时达到上升时序的要求。在 EEPROM 的写周期结束时，有一个典型值为 5ms 的 EEPROM 写周期，在此期间数据以内部非易失性的形式存储于 EEPROM。此时，如果试图进行双线直接访问，则 EEPROM 不会发出任何确认。如果要通过 PGA309 的单线接口与外部 EEPROM 进行通信，则这次 EEPROM 的写周期时间是“不允许进行通信”的时间周期。

图 52 对外部 EEPROM 的双线访问时序



单线接口启动双线 EEPROM 交互

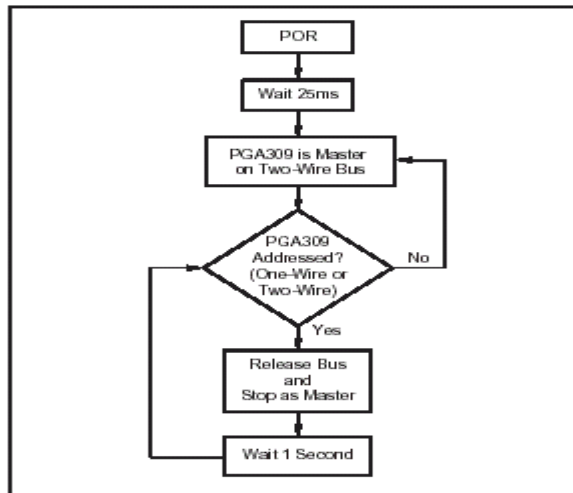
“写 EEPROM”和“读 EEPROM”命令在双线总线上启动一次 PGA309 和 EEPROM 器件之间的通信交互（见图 52）。“写 EEPROM”命令使 PGA309 产生一个双线开始条件并且将一个双线从地址字节发送到 EEPROM 器件，四个最高有效位（MSB）置为“1010”，三个最低有效位（LSB）置为 EEPROM 地址指针的 10-8 位。R/W 位置为“0”表明它是一个“写指令”。如果 PGA309 接收到从 EEPROM 器件发出的确认，它就会发送一个字节，该字节带有 EEPROM 地址指针的 8 个最低有效位。如果 PGA309 接收到该字节发出的确认，它就会将该数据的最低有效字节发送到 EEPROM。在成功接收到对该字节的确认应答时，PGA309 发出最高有效字节。在该字节的确认位发出以后，PGA309 产生一个双线停止条件来

如果 PGA309 在双线接口或单线接口上被寻址，并且假设接收到成功的应答，作为双线总线上的主机，它将停止所有的交互并且在 1 秒钟内不进行控制。每当在双线总线上对 PGA309 寻址，就会复位 1 秒钟的超时（见图 55）。

图 56 详细说明了 PGA309 在想成为双线总线上的主机时所采用的运行规则。启动一个 25ms 的定时器。此时 SCL 因变为低电平而受到监控。如果 SCL 没有处于低电平状态，PGA309 就会查看双线总线上的通信是否介于开始和结束之间。如果总线通信在开始和结束之间，PGA309 等待 25ms 的定时器超时，然后检查 SDA 是否为低电平。如果 SDA 不为低电平，PGA309 就有机会成为总线主机（SCL=SDA=“1”）而且它会抓住这一机会。在 25ms 的间隔时间内，如果 SCL 线上有任何活动，就会重启 25ms 的定时器。

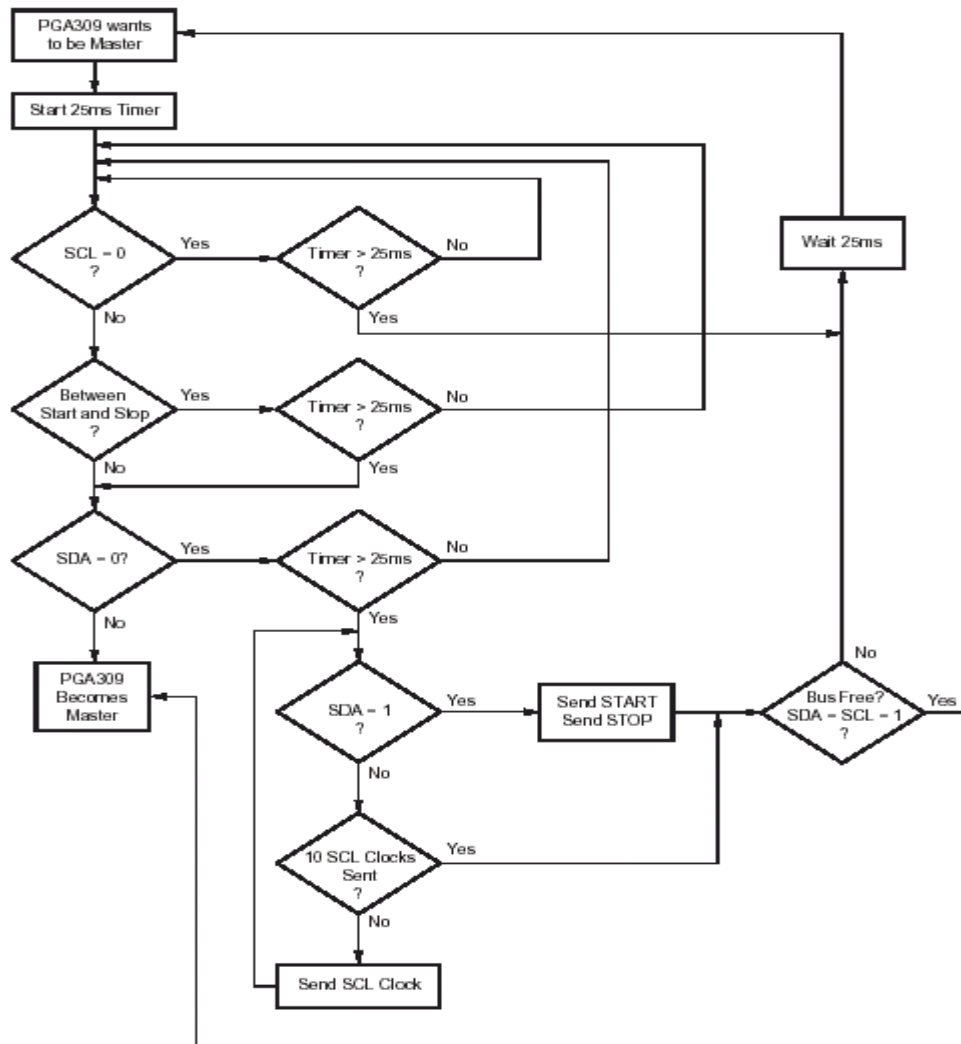
如果在整个 25ms 定时器倒数计时期间 SDA 都为低电平的话，PGA309 将此看作是总线“受困”的依据。它会通过发送多达 10 个时钟拉低 SCL 释放 SDA 来释放受困总线。如果使 SDA 成功变为高电平，PGA309 发送一个“开始”接着是“停止”的序列来确保导致总线受困的器件被完全复位。此时该总线应处于空闲状态（SDA=SCL=“1”），并且 PGA309 可以成为该总线上的主机。

图 55 在主机模式中 PGA309 对双线总线的释放



如果 PGA309 作为主机在总线上通信并且如果它发现了争用现象，它就会释放该总线并且在 25ms 之内再试一次。争用现象被定义为 PGA309 希望 SCL 为高而它却为低或者希望 SDA 为高而它却为低。

图 56 双线总线主机运行规则



将 PRG 接至 V_{OUT} 时的单线操作

在一些传感器应用中，希望为该传感器模块的终端用户提供 V_S 、GND 和 Sensor Out 三个引脚。在这些应用中，在对传感器和其它电子组件进行最终的装配以后，要对传感器模块进行数字校准。PGA309 有允许单线接口引脚（PRG）直接接至 PGA309 输出引脚（ V_{OUT} ）的模式，如图 57 所示。

对于 PGA309+传感器校准，必须对 PGA309 的内部寄存器进行配置和再配置，由于这些寄存器的设置值接着要测量 V_{OUT} 上的模拟电压。在 V_{OUT} 接到 PRG 时要做到这一点要求可以使能和禁止 V_{OUT} 。这允许在 PRG（它将这种连接用作双向数字接口）和 V_{OUT} （它将该连线作为有条件限制的传感器输出电压来激活）进行多路复用操作。另外，将温度 ADC 配置成单周期“转换开始”模式以及在 V_{OUT} 被使能并且内部电路有机会确定最终精确值之后延迟温度 ADC 的启动是很方便的。这在使用线性电路的应用中是特别重要的，将传感器接到 V_{EXC} ，并测量 PGA309 外部的温度（即位于桥接传感器激励引脚高端或低端的温度传感串行电阻）。

寄存器 7（输出使能计数控制寄存器）包含控制位，这些控制位可以设置在普通接线上 V_{OUT} 保持有效的时间，也可以设置从 V_{OUT} 被使能到温度 ADC 转换开始的延迟时间。这些独立位的定义见表 30 和表 31。

图 57 PRG 接到 V_{OUT} 时的单线操作

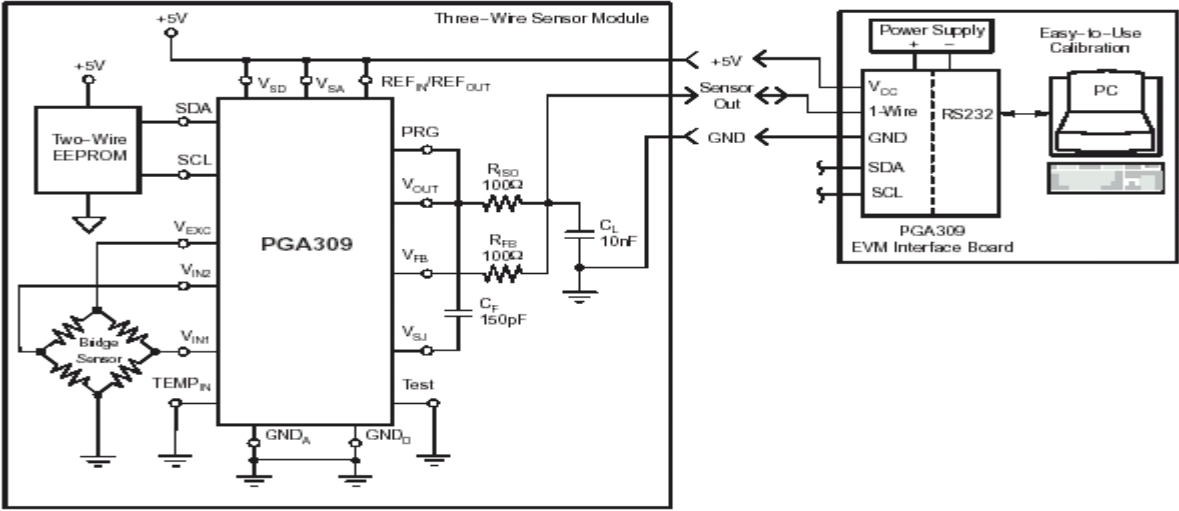


表 30 温度 ADC——使能 V_{OUT} 之后的延迟

DLY 3 [11]	DLY 2 [10]	DLY 1 [9]	DLY 0 [8]	DECIMAL EQUIVALENT (INITIAL COUNTER VALUE)	TEMP ADC DELAY (ms)
0	0	0	0	0	0
0	0	0	1	1	10
0	0	1	0	2	20
0	0	1	1	3	30
0	1	0	0	4	40
0	1	0	1	5	50
0	1	1	0	6	60
0	1	1	1	7	70
1	0	0	0	8	80
1	0	0	1	9	90
1	0	1	0	10	100
1	0	1	1	11	110
1	1	0	0	12	120
1	1	0	1	13	130
1	1	1	0	14	140
1	1	1	1	15	150

NOTE: Temp ADC delay = initial counter value x 10ms.

表 31 单线接口/ V_{OUT} 多路复用模式（寄存器 7）的输出使能计数器

DIGITAL INPUT (BINARY) OEN7.....OEN0 [7.....0]	DECIMAL EQUIVALENT (INITIAL COUNTER VALUE)	V_{OUT} ENABLE TIMEOUT (ms)
0000 0000	0	0 (V_{OUT} Disabled)
0010 0000	32	320
0100 0000	64	640
0110 0000	96	960
1000 0000	128	1280
1010 0000	160	1600
1100 0000	192	1920
1110 0000	224	2240
1111 1111	255	2550

NOTE: V_{OUT} enable timeout = initial counter value x 10ms.

图 58 详细描述了输出使能/禁止的状态机。在初始上电复位时，可有 25ms 的时间在数字接口之间进行通信以避免 PGA309 进行上电复位序列而进入单机模式。PGA309 可在任意时间上电并且两种数字接口

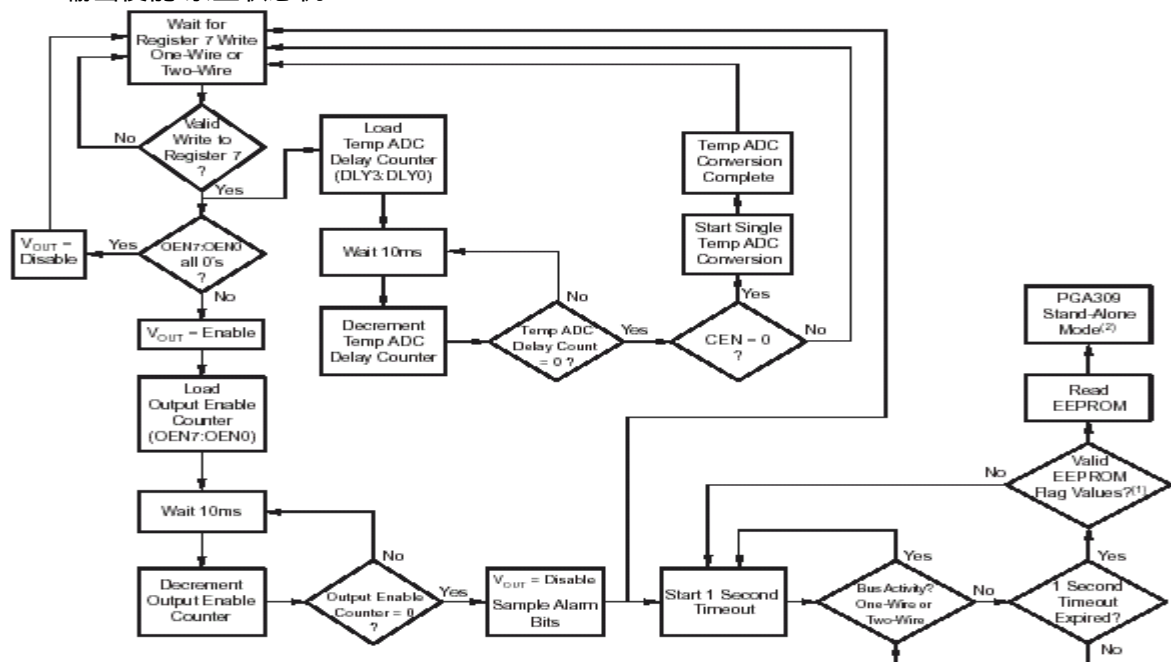
(单线或双线)都可写入寄存器 7，输出使能/禁止状态机可被迫运行。写一个非零值到 OEN7: OEN0 将导致 V_{OUT} 立即被使能，同时输出使能计数器会被加载以 OEN7: OEN0 的值 (十进制当量 $\times 10\text{ms}$ = 初始输出使能计数器的值)。 V_{OUT} 一直保持使能状态，直到在 10ms 内初始输出使能计数器的值被减少到 0。随后 V_{OUT} 被禁止并且开始 1 秒钟的超时，等待任意一个数字接口 (针对 3 线传感器应用的 PRG 引脚) 上的总线活动。只要 PRG 引脚上有活动，这个 1 秒钟的超时将会连续地被复位。在这 1 秒钟内如果总线上没有活动，PGA309 就会停止工作而状态机则会试着读取 EEPROM。为了这次的校准处理，将 EEPROM 的编程标志值中的无效数据存储起来是非常重要的，这样可以防止对无效数据的读取，否则将会改变 PGA309 中寄存器的设置值。这也会导致复位 1 秒钟的超时并且只要有需要就可在 PRG 上开始并停止通信。一旦 PGA309 中的全部寄存器被置为期望值，对寄存器 7 的再次写入会将这一处理过程重新开始一次，所以也可测得一个新的 V_{OUT} 的模拟值。

输出使能/禁止状态机的第二部分是温度 ADC 延迟。在校准期间，希望在不同的绝对校准温度下读出温度 ADC 的转换结果。这些读数以及在相应温度下测得的 V_{OUT} 用于计算要存入外部 EEPROM 的查询表部分的最终温度系数。为了使用该功能，温度 ADC 必须置为单周期“转换开始”模式 (CEN=0，寄存器 6[10])。在对寄存器 7 进行一次写操作以后，温度 ADC 的延迟计数器被加载以 DLY3: DLY0 的值 (十进制当量 $\times 10\text{ms}$ = 初始温度 ADC 延迟计数器的值)。在 10ms 内，这个初始温度 ADC 延迟计数器的值减少到 0。在它达到 0 时，触发单周期温度 ADC 转换。不需要对寄存器 6[12] (ADCS 位) 进行额外的写操作来启动这一转换。在该轮转换完成后，状态机的这一分支返回并等待下一个有效的寄存器 7 写操作。输出使能/禁止状态机允许 3 线传感器的应用，基于校准标准通过 PGA309 来为 PGA309+传感器的组合进行温度测量。这些实际结果涉及到对查询表温度系数的精确校准，因此，精确的 PGA309+传感器的数字校准是基于“一个模块接一个模块”的。

在出厂校准时故障监控报警位的值立即被锁存，因为接下来输出被禁止，这将允许故障监控报警位的值通过单线接口被读取。

一旦终值被编程写入 EEPROM，在 3 线传感器应用中就应该禁止单线接口。这样可以防止在终端应用中 V_{OUT} 的变化值通过单线接口 (PRG 引脚) 读回到 PGA309，这随后还有可能被误认为是总线活动，而导致 V_{OUT} 被禁止。为禁止单线接口，在对 EEPROM 进行最后的编程写操作期间将 OWD 位置为“1”。OWD 位 (单线禁止位) 被锁存于寄存器 4[15]。在最终编程之后，所有值都不会丢失，因为如果在对 PGA309 上电后 25ms 以内启动通信，则任何上电序列都将允许单线接口 (PRG 引脚) 控制。

图 58 输出使能/禁止状态机



注：(1)为进行校准，将 PRG 连接到 V_{OUT} ，设置 EEPROM 编程标志值为无效值以防止 PGA309 的寄存器的值被 EEPROM

寄存器配置和查询表的数据改变。

(2) 在 PGA309 的单机模式中, 如果 OWD (寄存器 4[15]) 位在 EEPROM 的第一部分 (配置部分) 中被置为 “1”, 则单线接口被禁止并且可与单线接口通信的唯一方法是对 PGA309 先断电再上电并且在上电后 25ms 以内开始通过单线接口进行通信。

应用背景

图 59 是一个典型的桥接压力传感器。对于指定的桥接激励电压 (V_{EXC}), 电桥的输出电压 ($V_{INP} - V_{INN}$) 与加在传感器上的压力成比例。

测量范围是在最大定标压力输入时相对于桥接激励 ($V_{BR+} - V_{BR-}$) 的 $V_{INP} - V_{INN}$ 的比例因数。测量范围也称作 FSO (最大定标输出), FSS (最大定标灵敏度), 灵敏度或增益。例如, 在桥接激励电压为 5V 时, 2mV/V 的 FSS 表示在最大定标压力下电桥输出电压将为 10mV。

偏移, 也称为零点, 是在外加压力为 0 时电桥的输出电压 ($V_{INP} - V_{INN}$)。通常在指定激励电压时桥接传感器的零点可能等于或大于其 FSS。图 60 以图解的方式给出了测量范围和偏移的定义。

图 59 典型的桥接传感器

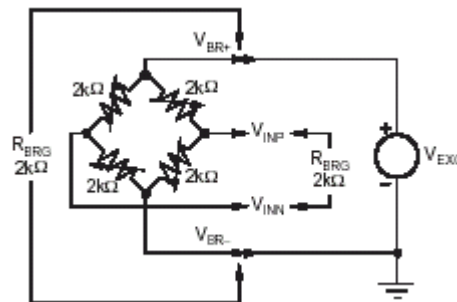
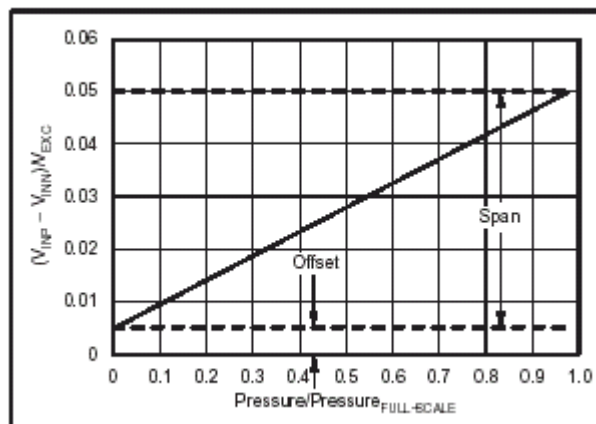


图 60 测量范围和偏移的示例



一个理想的传感器应该有如图 3 所示的与温度有关的测量范围和偏移曲线。实际传感器的测量范围和偏移随温度变化而变化。测量范围和偏移在 +25°C 时都要发生与温度相关的线性变化和非线性变化。图 4 和图 5 显示了带有次级非线性的桥接传感器的测量范围和偏移随温度的变化情况。

许多桥接传感器在有外加压力时都有一个非线性输出。图 64 显示的是在有外加压力时, 桥接传感器的正负非线性输出的非理想曲线。PGA309 为测量范围和偏移提供根据温度的校准并且有专门的线性电路用于使多种桥接传感器的输出线性化, 因为这些传感器的输出与外加压力不成比例。

图 61 测量范围和偏移与温度的理想关系图

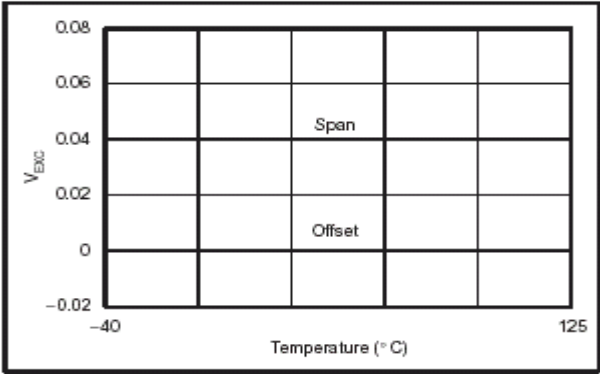


图 62 对桥接传感器的测量范围与温度的非线性影响

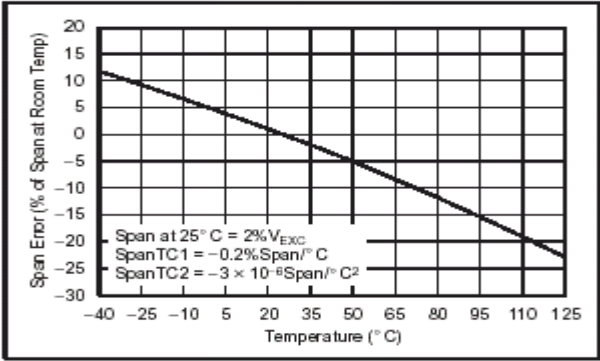


图 63 对桥接传感器偏移与温度的关系的非线性影响

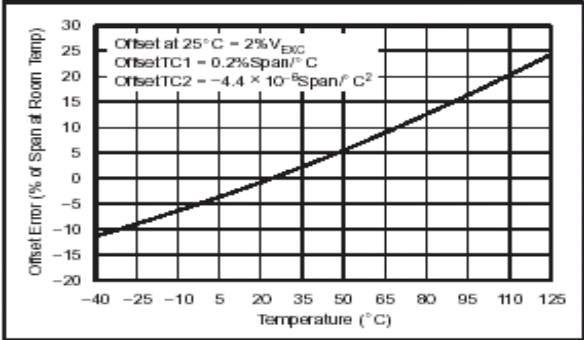
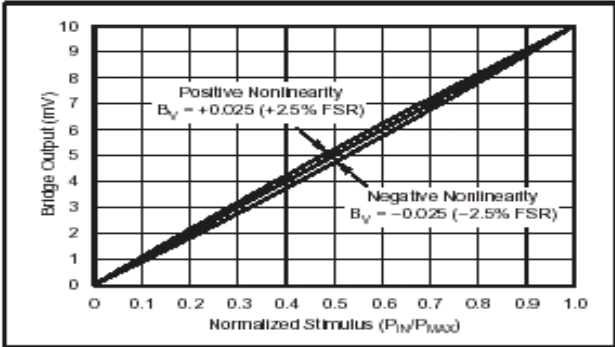


图 64 在有外加压力时正负非线性桥接传感器输出的非理想曲线



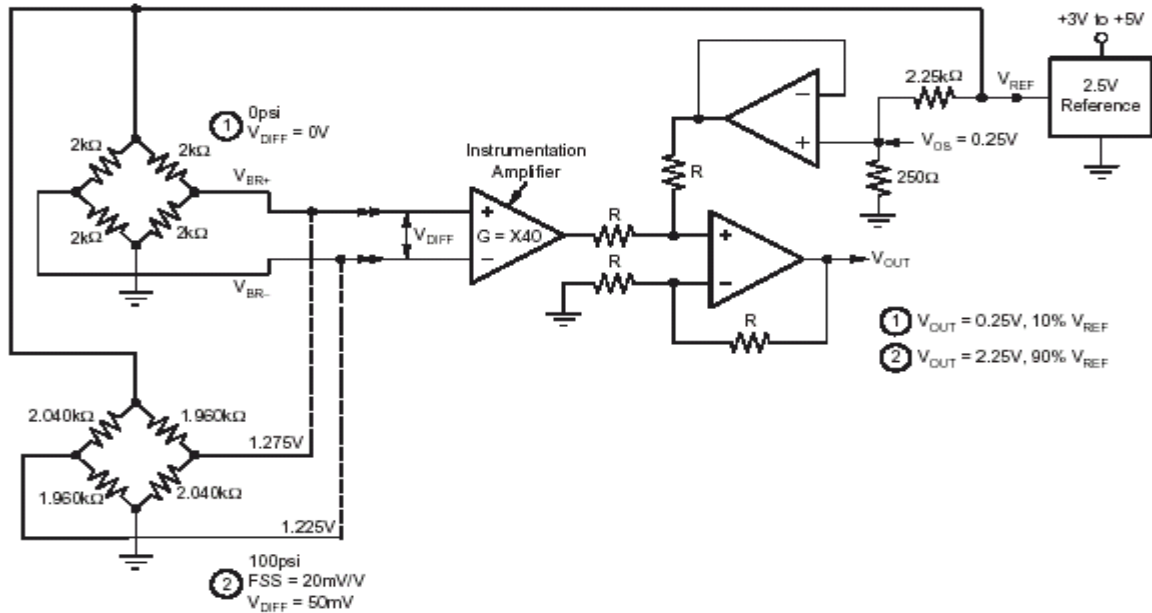
桥接传感器的系统定标选项

对桥接传感器的输出有两个系统定标选项：绝对标度和比例标度

绝对标度

绝对标度对输出范围进行调节，该范围被标定为基准电压 V_{REF} 的百分之多少。例如，桥接传感器的绝对定标输出范围可被置为 V_{REF} 的 10% 到 90%。图 65 显示了这一情况。

图 65 绝对定标调节



比例标度

比例标度将输出范围标定为电源电压的百分之多少。例如，桥接传感器的比例定标输出范围可被设置为 V_S 的 10% 到 90%。图 66 描述了这一情况。图 67 显示电源电压 V_S 从 +5V 降低到 +3V，而 V_{OUT} 的范围， V_S 的 10% 到 90% 保持不变。PGA309 对桥接传感器的绝对定标和按比例定标都接纳。

图 66 按比例配置，5V

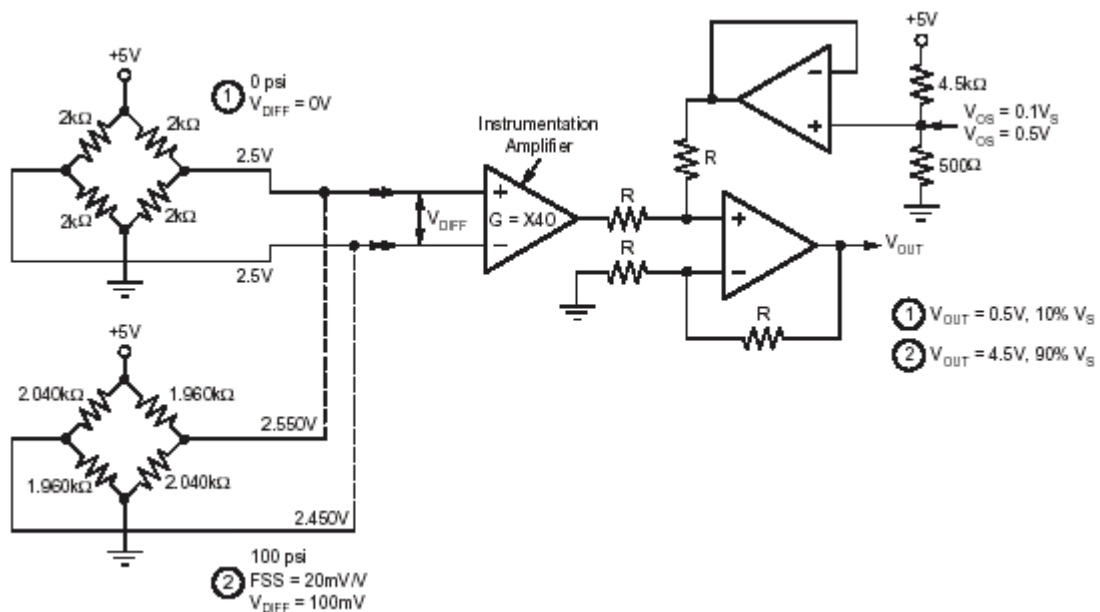
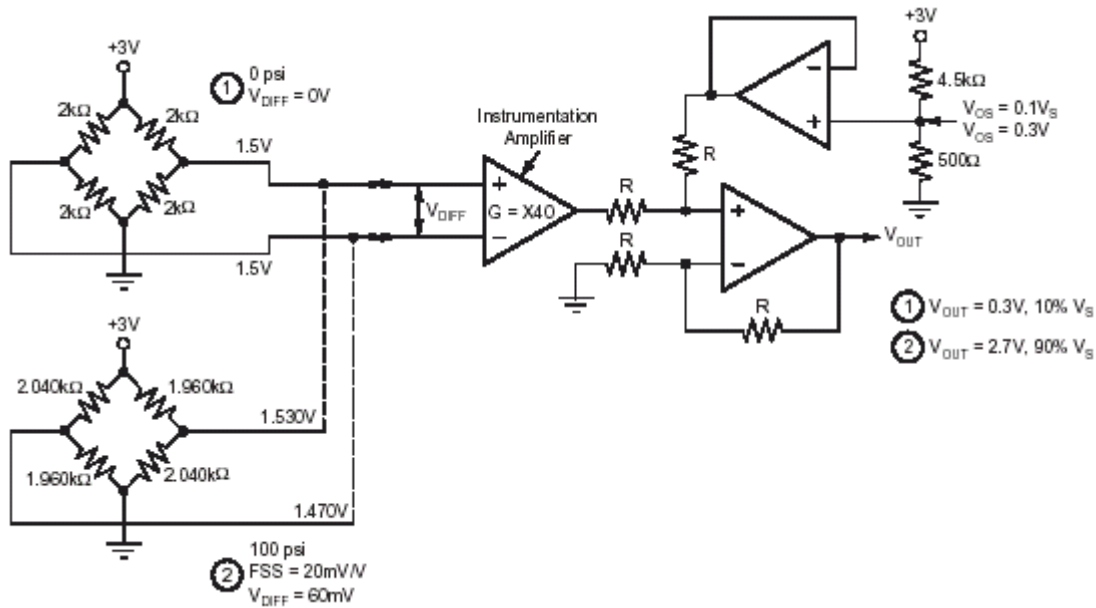


图 67 按比例配置, 3V

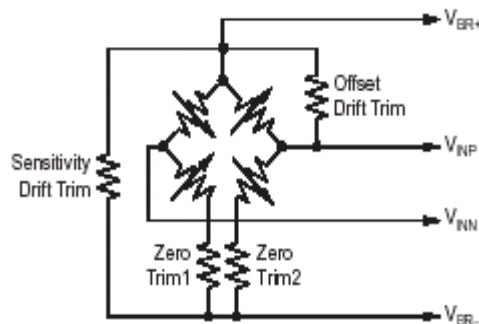


对实际桥接传感器的线性微调

将非线性的实际桥接传感器调配成具有线性、实用功能的传统方法都需要在基底桥接传感器周围加置附加的电阻, 如图 68 所示。这种方法通常需要在封装前使用特殊的夹具和特殊的激光微调或手动微调电阻。这些调整方法是相互影响的, 这要求进行多个测试/调整/测试/调整的过程, 并且这只能对特定的桥接传感器进行限定次数和范围的调整。

PGA309 为桥接传感器提供了新式的数字微调方法, 如图 69 所示。这种技术可对桥接传感器及其信号调节电子器件在封装之后进行调整。这种数字微调可通过使用计算机接口和电子表格分析计算工具来简化。这种方法可以进行几近无限个数的调整周期, 并且具有比传统调整方法更精确的分辨率、更广泛的范围而且调整参数间的相互干扰也更少, 消除了封装转换。

图 68 典型微调配置



The block diagram illustrates the internal architecture of the PGA309. A Nonlinear Bridge Transducer is connected to the input of an Auto-Zero PGA. The PGA is powered by V_{EXC} and V_S . A Linearization Ckt, which includes a Reference and a Linearization DAC, provides feedback to the PGA. A Fault Monitor is also connected to the input. The output of the PGA is passed through an Over/Under-Scale Limiter to produce the Linear V_{OUT} . The system also includes a Temperature ADC that can measure either Internal Temperature or External Temperature. A Digital Calibration block, which is an EEPROM (SOT23-5) with 1K Bit, provides data to the Lookup and Interpolation Logic, which in turn provides feedback to the Linearization DAC.

PGA309 的内部寄存器综述

地址指针					寄存器说明	类型 ⁽¹⁾	寄存器的内容
P4	P3	P2	P1	P0			
0	0	0	0	0	寄存器 0——温度 ADC 输出	R	温度 ADC 的输出数据
0	0	0	0	1	寄存器 1——精细偏移调整（零点 DAC）	R/W	精细偏移调整（零点 DAC）设置
0	0	0	1	0	寄存器 2——精细增益调整（增益 DAC）	R/W	精细增益调整（增益 DAC）设置
0	0	0	1	1	寄存器 3——基准控制和线性化寄存器	R/W	基准配置设置：V _{EXC} 使能；线性化设置
0	0	1	0	0	寄存器 4——前端 PGA 粗略偏移调整和增益选择；输出放大器增益选择	R/W	前端 PGA 粗略偏移设置；PGA 增益选择；输出放大器增益选择；单线禁止
0	0	1	0	1	寄存器 5——PGA 配置和上限/下限比例限制	R/W	上限/下限比例限制，极性，使能；故障比较器选择
0	0	1	1	0	寄存器 6——温度 ADC 配置寄存器	R/W	温度 ADC 转换速度，基准选择；内部/外部温度模式选择；外部温度 PGA 配置；TEMP _{IN} 的电流源使能
0	0	1	1	1	寄存器 7——输出使能控制寄存器	R/W	温度 ADC 延迟设置；单线接口输出使能设置
0	1	0	0	0	寄存器 8——报警状态	R	故障监控比较器的输出

⁽¹⁾ 类型：R=只读；R/W=读/写

内部寄存器映射图

寄存器 0：温度 ADC 的输出寄存器（只读，地址指针=00000）

BIT #	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
BIT NAME	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
POR VALUE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位描述：

AD[15: 0] 温度 ADC 输出

内部温度模式：12 位正负号扩展，右对齐，二进制补码数据格式

外部温度模式：15 位正负号扩展，右对齐，二进制补码数据格式

图 70

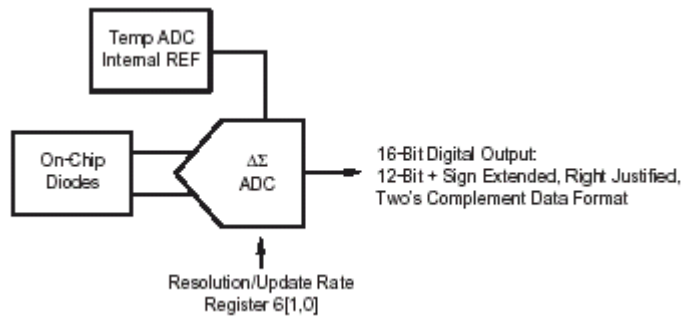


表 33 内部温度模式——数据格式（12 位分辨率）。TEN=1；R₁，R₀=“11”

TEMPERATURE (°C)	DIGITAL OUTPUT AD15.....AD0 (BINARY)	DIGITAL OUTPUT (HEX)
150	0000 1001 0110 0000	0960
128	0000 1000 0000 0000	0800
127.9375	0000 0111 1111 1111	07FF
100	0000 0110 0100 0000	0640
80	0000 0101 0000 0000	0500
75	0000 0100 1011 0000	04B0
50	0000 0010 0010 0000	0320
25	0000 0001 1001 0000	0190
0.25	0000 0000 0000 0100	0004
0.0	0000 0000 0000 0000	0000
-0.25	1111 1111 1111 1100	FFFC
-25	1111 1110 0111 0000	FE70
-55	1111 1100 1001 0000	FC90

图 71

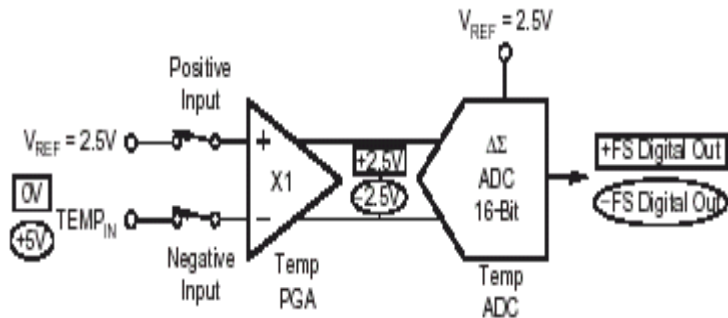


表 34 外部信号模式——数据格式示例（寄存器 6=“0000 0100 0011 0011”），15 位正分辨率。REN=1，RS=1。

TEMP _{IN} (V)	TEMP ADC INPUT (V)	TEMP ADC INPUT (RATIO TO FULL SCALE) ⁽¹⁾	DIGITAL OUTPUT AD15.....AD0 (BINARY)	DIGITAL OUTPUT (HEX)
+0.0001	+2.49992371	+0.999969 V _{REF}	0111 1111 1111 1111	7FFF
+0.625	+1.875	+0.75 V _{REF}	0110 0000 0000 0000	6000
+1.25	+1.25	+0.5 V _{REF}	0100 0000 0000 0000	4000
+1.925	+0.575	+0.23 V _{REF}	0001 1101 0111 0001	1D71
+2.4999	+76.29 _μ	+(1/32768) V _{REF}	0000 0000 0000 0001	0001
+2.5	0	+0 V _{REF}	0000 0000 0000 0000	0000
+2.50007629	-76.29 _μ	-(1/32768) V _{REF}	1111 1111 1111 1111	FFFF
+3.075	-0.575	-0.23 V _{REF}	1110 0010 1000 1111	E28F
+3.75	-1.25	-0.5 V _{REF}	1100 0000 0000 0000	C000
+4.375	-1.875	-0.75 V _{REF}	1010 0000 0000 0000	A000
+5	-2.5	-1 V _{REF}	1000 0000 0000 0000	8000

⁽¹⁾ V_{REF} can be V_{SA}, V_{EXC}, or V_{REF}.

寄存器 1：精细偏移调整（零点 DAC）寄存器（读/写，地址指针=00001）

BIT #	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
BIT NAME	ZD15	ZD14	ZD13	ZD12	ZD11	ZD10	ZD9	ZD8	ZD7	ZD6	ZD5	ZD4	ZD3	ZD2	ZD1	ZD0
POR VALUE	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位描述

ZD[15: 0]: 零点 DAC 控制，16 位无正负之分的数据格式

表 35 零点 DAC——数据格式示例（V_{REF}=+5V）

DIGITAL INPUT (HEX)	DIGITAL INPUT ZD15.....ZD0 (BINARY)	ZERO DAC OUTPUT (V)	ZERO DAC OUTPUT
0000	0000 0000 0000 0000	0	0 V _{REF}
0001	0000 0000 0000 0001	0.00007629	(1/65536) V _{REF}
051F	0000 0101 0001 1111	0.100021362	0.02 V _{REF} ⁽¹⁾
4000	0100 0000 0000 0000	1.25	0.25 V _{REF}
8000	1000 0000 0000 0000	2.5	0.50 V _{REF}
C000	1100 0000 0000 0000	3.75	0.75 V _{REF}
FAE1	1111 1010 1110 0001	4.899978638	0.98 V _{REF} ⁽¹⁾
FFFF	1111 1111 1111 1111	4.999923706	0.9999847 V _{REF}

⁽¹⁾ Ensured by design Zero DAC Range of Adjustment (0.02V_{REF} to 0.98V_{REF})

零点 DAC 公式：

十进制#计数=V_{ZERO DAC}/（V_{REF}/65536）

零点 DAC 示例：

需要：V_{ZERO DAC}=0.5V

假定：V_{REF}=5V

十进制#计数=0.5/(5/65536)=6553.6

用 6554 计算→0x199A→0001 1001 1001 1100

寄存器 2：精细增益调整（增益 DAC）寄存器（读/写，地址指针=00010）

BIT #	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
BIT NAME	GD15	GD14	GD13	GD12	GD11	GD10	GD9	GD8	GD7	GD6	GD5	GD4	GD3	GD2	GD1	GD0
POR VALUE	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位描述：

GD[15: 0]：增益 DAC 控制，16 位无正负之分的数据格式

表 36 增益 DAC——数据格式

DIGITAL INPUT (HEX)	DIGITAL INPUT ZD15.....ZD0 (BINARY)	GAIN ADJUST
0000	0000 0000 0000 0000	0.333333333
0001	0000 0000 0000 0001	0.333343505
32F2	0011 0010 1111 0010	0.466003417
4000	0100 0000 0000 0000	0.500000000
6604	0101 0101 0000 0100	0.598999023
9979	1001 1001 0111 1001	0.733001708
CC86	1100 1100 1000 0110	0.865997314
FFFF	1111 1111 1111 1111	1.000000000

增益 DAC 的公式：

$$1\text{LSB} = (1.0000\ 00000 - 0.333333333) / 65536 = 1.0172526 \times 10^{-5}$$

$$\text{十进制\#计数} = (\text{期望增益} - 0.333333333) / (1.0172526 \times 10^{-5})$$

增益 DAC 示例

需要：精细增益=0.68

$$\text{十进制\#计数} = (0.68 - 0.333333333) / (1.0172526 \times 10^{-5}) = 34078.72$$

用 34079 来计算 → 0x851F → 1000 0101 0001 1111

寄存器 3：基准控制和线性化寄存器（读/写，地址指针=00011）

BIT #	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
BIT NAME	RFB	RFB	RFB	SD	EXS	EXEN	RS	REN	LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0
POR VALUE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位描述：

RFB：保留出厂位：操作正确时置为“0”。

SD：对内部控制上电的模拟关断模式（0=使能，1=禁止）

EXS：线性化调整和激励电压（ V_{EXC} ）增益选择（范围 1 和范围 2）

0=范围 1（ $-0.166V_{\text{FB}} < \text{线性化 DAC 的范围} < +0.166V_{\text{FB}}$ ， V_{EXC} 增益=0.83 V_{REF} ）

1=范围 2（ $-0.124V_{\text{FB}} < \text{线性化 DAC 的范围} < +0.124V_{\text{FB}}$ ， V_{EXC} 增益=0.52 V_{REF} ）

EXEN： V_{EXC} 使能

0=使能 V_{EXC}

1=禁止 V_{EXC}

RS：内部 V_{REF} 选择（2.5V 或 4.096V）

REN：使能/禁止内部 V_{REF} （禁止外部 V_{REF} ——将外部 V_{REF} 接至 $\text{REF}_{\text{IN}}/\text{REF}_{\text{ON}}$ 引脚）

0=外部基准（禁止内部基准）

1=内部基准（使能内部基准）

LD[7: 0]：线性化 DAC 的设置，7 位，有正负之分

表 37 线性化 DAC——数据格式示例（范围 1： $-0.166V_{FB} < \text{线性化 DAC 范围} < +0.166V_{FB}$ ）

DIGITAL INPUT (HEX)	DIGITAL INPUT LD7.....LD0 (BINARY)	LINEARIZATION ADJUST
FF	1111 1111	$-0.164703125 V_{FB}$
E0	1110 0000	$-0.1245 V_{FB}$
C0	1100 0000	$-0.083 V_{FB}$
A0	1010 0000	$-0.0415 V_{FB}$
81	1000 0001	$-0.001296875 V_{FB}$
00	0000 0000	$0 V_{FB}$
01	0000 0001	$+0.001296875 V_{FB}$
20	0010 0000	$+0.0415 V_{FB}$
40	0100 0000	$+0.083 V_{FB}$
60	0110 0000	$+0.1245 V_{FB}$
7F	0111 1111	$+0.164703125 V_{FB}$

线性 DAC 的公式：

十进制#计数=期望的 K_{LIN} /（最大定标比率/128）

线性 DAC 示例：

假设：（范围 1： $-0.166V_{FB} < \text{线性 DAC 的范围} < +0.166V_{FB}$ ）

需要： K_{LIN} 比率 = -0.082

十进制#计数 = $0.082 / (0.166 / 128) = 63.228$

用 63 计算 $\rightarrow 0x3F \rightarrow 0011 1111$

但是，需要的是 -0.082 ，所以在符号位（MSB，第 7 位）加上“1”表示负比率：

线性化 DAC 的最终设置： $1011 1111 \rightarrow 0xBF$

寄存器 4： PGA 粗略偏移调整和增益选择/输出放大器增益选择寄存器（读/写，地址指针=00100）

BIT #	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
BIT NAME	OWD	GO2	GO1	GO0	GI3	GI2	GI1	GI0	RFB	RFB	RFB	OS4	OS3	OS2	OS1	OS0
POR VALUE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位描述：

OWD：单线禁止（只有当 V_{OUT} 被使能时才有效，当 PRG 连接到 V_{OUT} 时使用）

1=禁止

0=使能

GO[2: 0]：输出放大器增益选择，七选一加上内部反馈禁止

GI[3: 0]：前端 PGA 增益选择，八选一，输入多路复用控制

GI3=输入多路复用控制

GI[2: 0]=增益选择

RFB：保留出厂位：在正常工作时置为 0。

OS[4: 0]：前端 PGA 上的粗略偏移调整，4 位，带有正负号

$1LSB = V_{REF} / 1250$

表 38 输出放大器——增益选择

GO2 [14]	GO1 [13]	GO0 [12]	OUTPUT AMPLIFIER GAIN
0	0	0	2
0	0	1	2.4
0	1	0	3
0	1	1	3.6
1	0	0	4.5
1	0	1	6
1	1	0	9
1	1	1	Disable Internal Feedback

表 39 前端 PGA——增益选择

GI3 MUX CNTL [11]	GI2 GAIN SEL2 [10]	GI1 GAIN SEL1 [9]	GI0 GAIN SEL0 [8]	INPUT MUX STATE ⁽¹⁾	FRONT-END PGA GAIN
0	0	0	0	$V_{IN1} = V_{INP} \ V_{IN2} = V_{INN}$	4
0	0	0	1	$V_{IN1} = V_{INP} \ V_{IN2} = V_{INN}$	8
0	0	1	0	$V_{IN1} = V_{INP} \ V_{IN2} = V_{INN}$	16
0	0	1	1	$V_{IN1} = V_{INP} \ V_{IN2} = V_{INN}$	23.27
0	1	0	0	$V_{IN1} = V_{INP} \ V_{IN2} = V_{INN}$	32
0	1	0	1	$V_{IN1} = V_{INP} \ V_{IN2} = V_{INN}$	42.67
0	1	1	0	$V_{IN1} = V_{INP} \ V_{IN2} = V_{INN}$	64
0	1	1	1	$V_{IN1} = V_{INP} \ V_{IN2} = V_{INN}$	128
1	0	0	0	$V_{IN1} = V_{INN} \ V_{IN2} = V_{INP}$	-4
1	0	0	1	$V_{IN1} = V_{INN} \ V_{IN2} = V_{INP}$	-8
1	0	1	0	$V_{IN1} = V_{INN} \ V_{IN2} = V_{INP}$	-16
1	0	1	1	$V_{IN1} = V_{INN} \ V_{IN2} = V_{INP}$	-23.27
1	1	0	0	$V_{IN1} = V_{INN} \ V_{IN2} = V_{INP}$	-32
1	1	0	1	$V_{IN1} = V_{INN} \ V_{IN2} = V_{INP}$	-42.67
1	1	1	0	$V_{IN1} = V_{INN} \ V_{IN2} = V_{INP}$	-64
1	1	1	1	$V_{IN1} = V_{INN} \ V_{IN2} = V_{INP}$	-128

⁽¹⁾ $V_{IN1} = \text{Pin 4}$, $V_{IN2} = \text{Pin 5}$, V_{INP} = positive input to front-end PGA, V_{INN} = negative input to front-end PGA; see detailed block diagram (Figure 75).

表 40 前端 PGA 上的粗略偏移调整——数据格式示例 ($V_{REF}=+5V$)

OS4 [4]	OS3 [3]	OS2 [2]	OS1 [1]	OS0 [0]	COARSE OFFSET (mV)	COARSE OFFSET
1	1	1	1	1	-58.3333	-14 ($V_{REF}/1200$)
1	1	1	1	0	-54.1666	-13 ($V_{REF}/1200$)
1	1	1	0	1	-50	-12 ($V_{REF}/1200$)
1	1	1	0	0	-45.8333	-11 ($V_{REF}/1200$)
1	1	0	1	1	-41.6666	-10 ($V_{REF}/1200$)
1	1	0	1	0	-37.5	-9 ($V_{REF}/1200$)
1	1	0	0	1	-33.3333	-8 ($V_{REF}/1200$)
1	1	0	0	0	-29.1666	-7 ($V_{REF}/1200$)
1	0	1	1	1	-29.1666	-7 ($V_{REF}/1200$)
1	0	1	1	0	-25.0	-6 ($V_{REF}/1200$)
1	0	1	0	1	-20.8333	-5 ($V_{REF}/1200$)
1	0	1	0	0	-16.6666	-4 ($V_{REF}/1200$)
1	0	1	0	1	-12.5	-3 ($V_{REF}/1200$)
1	0	0	1	0	-8.3333	-2 ($V_{REF}/1200$)
1	0	0	0	1	-4.1666	-1 ($V_{REF}/1200$)
0	0	0	0	0	0	0 V_{REF}
0	0	0	0	1	+4.166	+1 ($V_{REF}/1200$)
0	0	0	1	0	+8.3333	+2 ($V_{REF}/1200$)
0	0	0	1	1	+12.5	+3 ($V_{REF}/1200$)
0	0	1	0	0	+16.6666	+4 ($V_{REF}/1200$)
0	0	1	0	1	+20.8333	+5 ($V_{REF}/1200$)
0	0	1	1	0	+25.0	+6 ($V_{REF}/1200$)
0	0	1	1	1	+29.1666	+7 ($V_{REF}/1200$)
0	1	0	0	0	+29.1666	+7 ($V_{REF}/1200$)
0	1	0	0	1	+33.3333	+8 ($V_{REF}/1200$)
0	1	0	1	0	+37.5	+9 ($V_{REF}/1200$)
0	1	0	1	1	+41.6666	+10 ($V_{REF}/1200$)
0	1	1	0	0	+45.8333	+11 ($V_{REF}/1200$)
0	1	1	0	1	+50	+12 ($V_{REF}/1200$)
0	1	1	1	0	+54.1666	+13 ($V_{REF}/1200$)
0	1	1	1	1	+58.3333	+14 ($V_{REF}/1200$)

寄存器 5: PGA 配置和上限/下限比例限制寄存器 (读/写, 地址指针=00101)

BIT #	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
BIT NAME	RFB	RFB	CLK_CFG1	CLK_CFG0	EXT_EN	INT_EN	EXT_POL	INT_POL	RFB	OU_EN	HL2	HL1	HL0	LL2	LL1	LL0
POR VALUE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位描述:

RFB: (保留出厂位): 在正常工作时置为 0。

CLK_CFG[1: 0]: 前端 PGA 自动归零和粗略偏移 DAC 削波的计时配置

EXTEN: 使能外部故障比较器组 (INP_HI, INP_LO, INN_LO, INN_HI)

1=使能外部故障比较器组

0=禁止外部故障比较器组

INTEN: 使能内部故障比较器组 (A2SAT_LO, A2SAT_HI, A1SAT_LO, A1SAT_HI, A3_VCM)

1=使能内部故障比较器组

0=禁止内部故障比较器组

EXTPOL: 如果 EXTEN=1, 则在外部故障比较器组检测到故障时选择 V_{OUT} 的输出极性

1=外部比较器组中的任意一个比较器检测到故障时, 使 V_{OUT} 为高电平

0=外部故障比较器组中的任意一个比较器检测到故障时, 使 V_{OUT} 为低电平

INTPOL: 如果 INTEN=1, 则在内部故障比较器组检测到故障时选择 V_{OUT} 的输出极性

1=内部比较器组中的任意一个比较器检测到故障时, 使 V_{OUT} 为高电平

0=内部故障比较器组中的任意一个比较器检测到故障时, 使 V_{OUT} 为低电平

OUEN: 上限/下限比例限制使能

1=使能上限/下限比例限制

0=禁止上限/下限比例限制

HL[2: 0]: 超过上限的门限选择

LL[2: 0]: 没有达到下限的门限选择

表 41 时钟配置 (前端 PGA 自动归零和粗略调整 DAC 削波)

CLK_CFG1 [13]	CLK_CFG0 [12]	PGA FRONT END AUTO-ZERO	COARSE ADJUST DAC CHOPPING
0	0	7kHz typical	3.5kHz typical
0	1	7kHz typical	Off (none)
1	0	7kHz typical, Random Clocking	3.5kHz typical, Random Clocking
1	1	7kHz typical	3.5kHz typical, Random Clocking

表 42 超过上限的门限选择 ($V_{REF}=+5V$)

HL2 [5]	HL1 [4]	HL0 [3]	OVER-SCALE THRESHOLD (V)	OVER-SCALE THRESHOLD
0	0	0	4.854	0.9708 V_{REF}
0	0	1	4.805	0.9610 V_{REF}
0	1	0	4.698	0.9394 V_{REF}
0	1	1	4.580	0.9160 V_{REF}
1	0	0	4.551	0.9102 V_{REF}
1	0	1	3.662	0.7324 V_{REF}
1	1	0	2.764	0.5528 V_{REF}
1	1	1	Reserved	—

表 43 未到下限的门限选择 ($V_{REF}=+5V$)

LL2 [2]	LL1 [1]	LL0 [0]	UNDER-SCALE THRESHOLD (V)	UNDER-SCALE THRESHOLD
0	0	0	0.127	0.02540 V_{REF}
0	0	1	0.147	0.02930 V_{REF}
0	1	0	0.176	0.03516 V_{REF}
0	1	1	0.196	0.03906 V_{REF}
1	0	0	0.225	0.04492 V_{REF}
1	0	1	0.254	0.05078 V_{REF}
1	1	0	0.274	0.05468 V_{REF}
1	1	1	0.303	0.06054 V_{REF}

寄存器 6：温度 ADC 控制寄存器（读/写，地址指针=00110）

BIT #	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
BIT NAME	RFB	RFB	ADC 2x	ADCS	ISEN	CEN	TEN	AREN	RV1	RV0	M1	M0	G1	G0	R1	R0
POR VALUE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位描述：

RFB：保留出厂位：正常工作时置为 0

ADC2X：温度 ADC 的运行速度加快 2 倍（不针对内部温度感应模式）

0=1 倍转换速度（典型值为 6ms，R1，R0=“00”，TEN=“0”，AREN=“0”）

1=2 倍转换速度（典型值为 3ms，R1，R0=“00”，TEN=“0”，AREN=“0”）

ADCS：启动（重启）温度 ADC（如果 CEN=0 单周期转换控制）

0=不启动/重启温度 ADC

1=启动/重启温度 ADC（每次写入“1”时启动单周期转换；转换完成时 ADCS=“0”）

ISEN：TEMP_{IN} 电流源（I_{TEMP}）使能

1=使能 7 μ A 的电流源，I_{TEMP}

0=禁止 7 μ A 的电流源，I_{TEMP}

CEN：使能温度 ADC 连接转换模式

1=连续转换模式

0=不连续的转换模式

TEN：内部温度模式使能

1=内部温度传感器模式使能

0=外部信号模式

为了使 TEN=1，设置如下位：

ADC2X=0

ADCS=按要求设置

CEN=按要求设置

AREN=0

RV[1: 0]=00

M[1: 0]=00

G[1: 0]=00

R[1: 0]=为温度 ADC 的期望分辨率设置

AREN：温度 ADC 内部基准使能

1=使能温度 ADC 内部基准（内部基准的典型值是 2.048V）

0=禁止温度 ADC 内部基准(采用外部 ADC 基准,见 RV[1: 0])

RV[1: 0]：温度 ADC 的外部基准选择 (V_{SA} , V_{EXC} , V_{REF})

M[1: 0]：温度 ADC 输入多路复用选择

G[1: 0]: 温度 ADC 的 PGA 增益选择 (×1, ×2, ×4, ×8)
R[1: 0]: 温度 ADC 的分辨率 (转换时间) 选择

表 44 温度 ADC 的基准选择

AREN [8]	RV1 [7]	RV [6]	TEMP ADC REFERENCE (VREF)
0	0	0	VREF
0	0	1	VEXC
0	1	0	VSA
0	1	1	Factory Reserved
1	X	X	Temp ADC Internal REF (2.048V)

NOTE: X = don't care

表 45 温度 ADC 的输入多路复用选择

M1 [5]	M0 [4]	TEMP ADC PGA +INPUT	TEMP ADC PGA -INPUT
0	0	TEMPIN	GND _A
0	1	VEXC	TEMPIN
1	0	VOUT	GND _A
1	1	VREF	TEMPIN

表 46 温度 ADC 的 PGA 增益选择

G1 [3]	G0 [2]	TEMP ADC PGA GAIN
0	0	X1
0	1	X2
1	0	X4
1	1	X8

图 72 内部温度模式 (寄存器 6[9]= “1”)

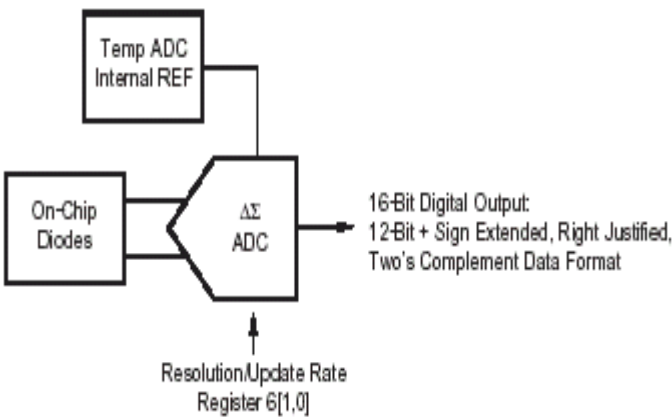


图 73 外部信号模式（寄存器 6[9]，TEN= “0”）

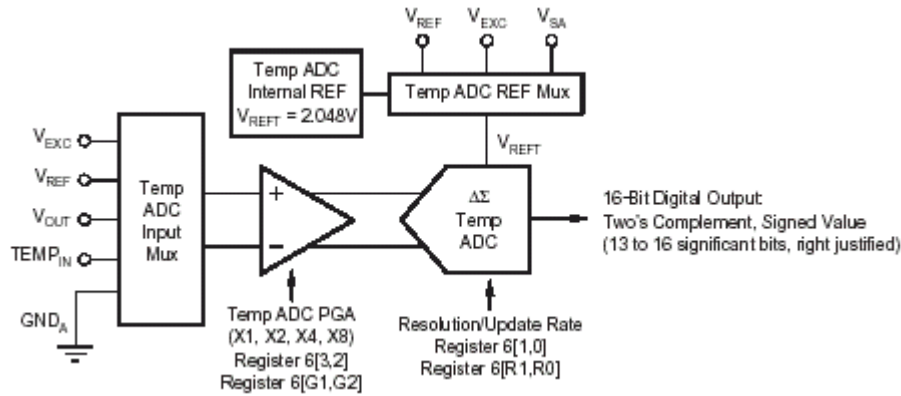


图 74

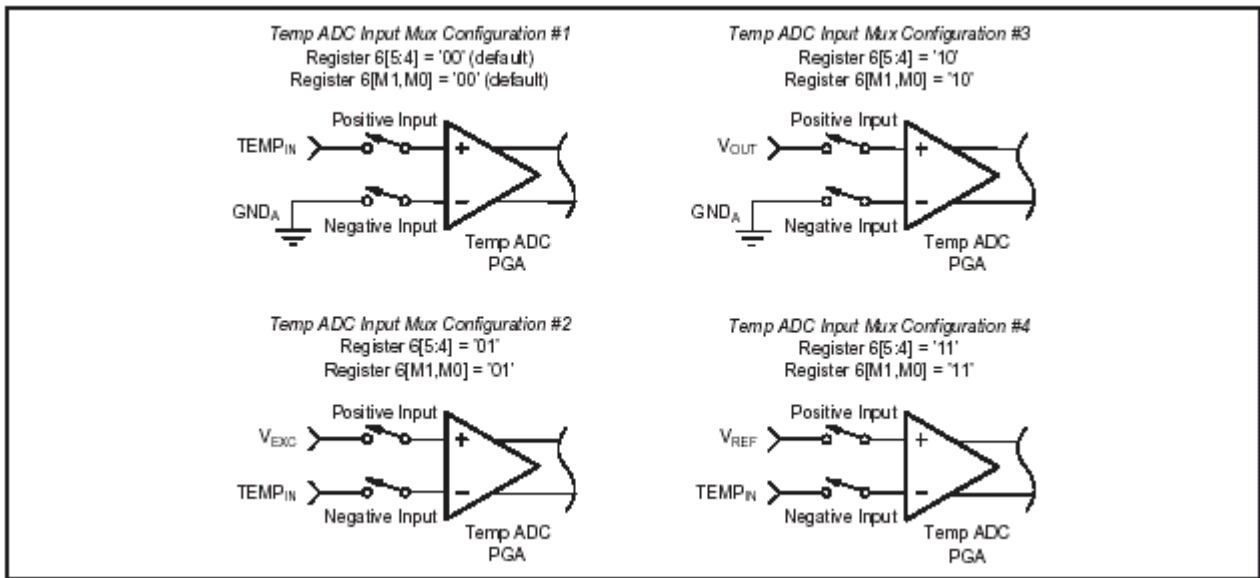


表 47 温度 ADC——分辨率（转换时间）选择

R1 [1]	R0 [0]	INTERNAL TEMPERATURE MODE [TEN = 1]	EXTERNAL SIGNAL MODE [TEN = 0], EXTERNAL REFERENCE [AREN = 0]	EXTERNAL SIGNAL MODE [TEN = 0], INTERNAL REFERENCE [2.048V, AREN = 1]
0	0	9-Bit + Sign, 0.5°C, (3ms)	11-Bit + Sign (6ms)	11-Bit + Sign (8 ms)
0	1	10-Bit + Sign, 0.25°C, (6ms)	13-Bit + Sign (24ms)	13-Bit + Sign (32ms)
1	0	11-Bit + Sign, 0.125°C, (12ms)	14-Bit + Sign (50 ms)	14-Bit + Sign (64 ms)
1	1	12-Bit + Sign, 0.0625°C, (24ms)	15-Bit + Sign (100 ms)	15-Bit + Sign (128 ms)

寄存器 7：输出使能计数控制寄存器（读/写，地址指针=00111）

BIT #	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
BIT NAME	RFB	RFB	RFB	RFB	DLY3	DLY2	DLY1	DLY0	OEN7	OEN6	OEN5	OEN4	OEN3	OEN2	OEN1	OEN0
POR VALUE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位描述：

RFB：保留出厂位：正常工作时置为 0。

DLY[3: 0]：温度 ADC 延迟

在该寄存器进行有效的写操作以及 DLY[3: 0]×10ms 以后，温度 ADC 开始转换。初始计

数 DLY[3: 0]每 10ms 会减少直到减少到 0，此后温度 ADC 被使能。这样能使线性和激励模拟电路在温度补偿之前稳定下来。

OEN[7: 0]: 用于单线接口/ V_{OUT} 多路复用模式的输出使能计数器

在该寄存器进行有效的写操作以后， V_{OUT} 被使能。任何不等于 0 的值= V_{OUT} 的使能初始计数，每 10ms 减少直到减少至 0，然后 V_{OUT} 被禁止。 V_{OUT} 被禁止以后，设置一个 1 秒钟的内部定时器。如果从外部控制器发出的串行通信在单线接口（PRG 引脚）或双线接口上进行，并且只要 PGA309 至少在每秒钟内被寻址， V_{OUT} 将一直保持禁止状态。

表 48 温度 ADC——在 V_{OUT} 被使能的延迟

DLY3 [11]	DLY2 [10]	DLY1 [9]	DLY0 [8]	DECIMAL EQUIVALENT (INITIAL COUNTER VALUE)	TEMP ADC DELAY(1) (ms)
0	0	0	0	0	0
0	0	0	1	1	10
0	0	1	0	2	20
0	0	1	1	3	30
0	1	0	0	4	40
0	1	0	1	5	50
0	1	1	0	6	60
0	1	1	1	7	70
1	0	0	0	8	80
1	0	0	1	9	90
1	0	1	0	10	100
1	0	1	1	11	110
1	1	0	0	12	120
1	1	0	1	13	130
1	1	1	0	14	140
1	1	1	1	15	150

(1) Temp ADC Delay = Initial Counter Value x 10ms

表 49 用于单线接口/ V_{OUT} 多路复用模式的输出使能计数器

DIGITAL INPUT OEN7.....OEN0 [7.....0] (BINARY)	DECIMAL EQUIVALENT (INITIAL COUNTER VALUE)	V_{OUT} ENABLE TIMEOUT(1) (ms)
0000 0000	0	0 (V_{OUT} disabled)
0010 0000	32	320
0100 0000	64	640
0110 0000	96	960
1000 0000	128	1280
1010 0000	160	1600
1100 0000	192	1920
1110 0000	224	2240
1111 1111	255	2550

(2) V_{OUT} Enable Timeout = Initial Counter Value x 10ms

寄存器 8: 报警状态寄存器（只读，地址指针=01000）

BIT #	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
BIT NAME	X	X	X	X	X	X	X	ALM8	ALM7	ALM6	ALM5	ALM4	ALM3	ALM2	ALM1	ALM0
POR VALUE	0	0	0	0	0	0	0	X	X	X	X	X	X	X	X	X

位描述:

ALM[8: 0]: 故障监控比较器的输出（1=故障条件）

见“故障监控电路”一节。

ALM8——A1SAT-HI

ALM7——A1SAT-LO

ALM6——A2SAT-HI
ALM5——A2SAT-LO
ALM4——A3-VCM
ALM3——INN-HI
ALM2——INN-LO
ALM1——INN-HI
ALM0——INN-LO

PGA309 的外部 EEPROM——寄存器配置数据

校验和 1=0xFFFF——和（地址 0 到地址 12）；16 位宽，忽略转行位。

表 50 PGA309 的外部 EEPROM——寄存器配置数据校验和 1

EXTERNAL EEPROM ADDRESS (DECIMAL)	PGA309 INTERNAL REGISTER ADDRESS	PGA309 INTERNAL REGISTER DESCRIPTION	DATA (LSBs) (MSBs)	D7 D15	D6 D14	D5 D13	D4 D12	D3 D11	D2 D10	D1 D9	D0 D8
0			Programmed Flag Value (LSBs)(1)	0	1	0	0	1	0	0	1
1			Programmed Flag Value (LSBs)(1)	0	1	0	1	0	1	0	0
2			Unused(1)								
3			Unused(1)								
4			Unused(1)								
5			Unused(1)								
6	00011 (LSBs)	Register 3— Reference Control and Linearization		LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0
7	00011 (MSBs)	Register 3— Reference Control and Linearization		0	TM1	BS	SD	EXS	EXEN	RS	REN
8	00100 (LSBs)	Register 4— PGA Coarse Offset and Gain/Output Amp Gain		0	CFG6	CFG2	OS4	OS3	OS2	OS1	OS0
9	00100 (MSBs)	Register 4— PGA Coarse Offset and Gain/Output Amp Gain		OWD	GO2	GO1	GO0	GI3	GI2	GI1	GI0
10	00101 (LSBs)	Register 5— PGA Configuration and Over/Under- Scale Limit		0	OUEN	HL2	HL1	HL0	LL2	LL1	LL0
11	00101 (MSBs)	Register 5— PGA Configuration and Over/Under- Scale Limit		0	0	0	0	EXTEN	INTEN	EXTPOL	INTPOL
12	00110 (LSBs)	Register 6— Temp ADC Control		RV1	RV0	M1	M0	G1	G0	R1	R0
13	00110 (MSBs)	Register 6— Temp ADC Control		0	0	ADC2X	ADCS	ISEN	CEN	TEN	AREN
14			Checksum [LSBs]	1CS7	1CS6	1CS5	1CS4	1CS3	1CS2	1CS1	1CS0
15			Checksum [MSBs]	1CS15	1CS14	1CS13	1CS12	1CS11	1CS10	1CS9	1CS8
16			Temperature Index Value T0 (LSBs)	T0-D7	T0-D6	T0-D5	T0-D4	T0-D3	T0-D2	T0-D1	T0-D0
17			Temperature Index Value T0 (MSBs)	T0-D15	T0-D14	T0-D13	T0-D12	T0-D11	T0-D10	T0-D9	T0-D8
18			Zero Adjustment DAC Value for T0 and below (LSBs)	Z0-D7	Z0-D6	Z0-D5	Z0-D4	Z0-D3	Z0-D2	Z0-D1	Z0-D0
19			Zero Adjustment DAC Value for T0 and below (MSBs)	Z0-D15	Z0-D14	Z0-D13	Z0-D12	Z0-D11	Z0-D10	Z0-D9	Z0-D8
20			Gain Adjustment DAC Value for T0 and below (LSBs)	G0-D7	G0-D6	G0-D5	G0-D4	G0-D3	G0-D2	G0-D1	G0-D0
21			Gain Adjustment DAC Value for T0 and below (MSBs)	G0-D15	G0-D14	G0-D13	G0-D12	G0-D11	G0-D10	G0-D9	G0-D8

(1) While these values are not used to configure the PGA309, they are included in Checksum calculations.

PGA309 的外部 EEPROM——寄存器配置数据

校验和 2=0xFFFF——和（地址 16 到地址 ZME）；16 位宽，忽略转行位。

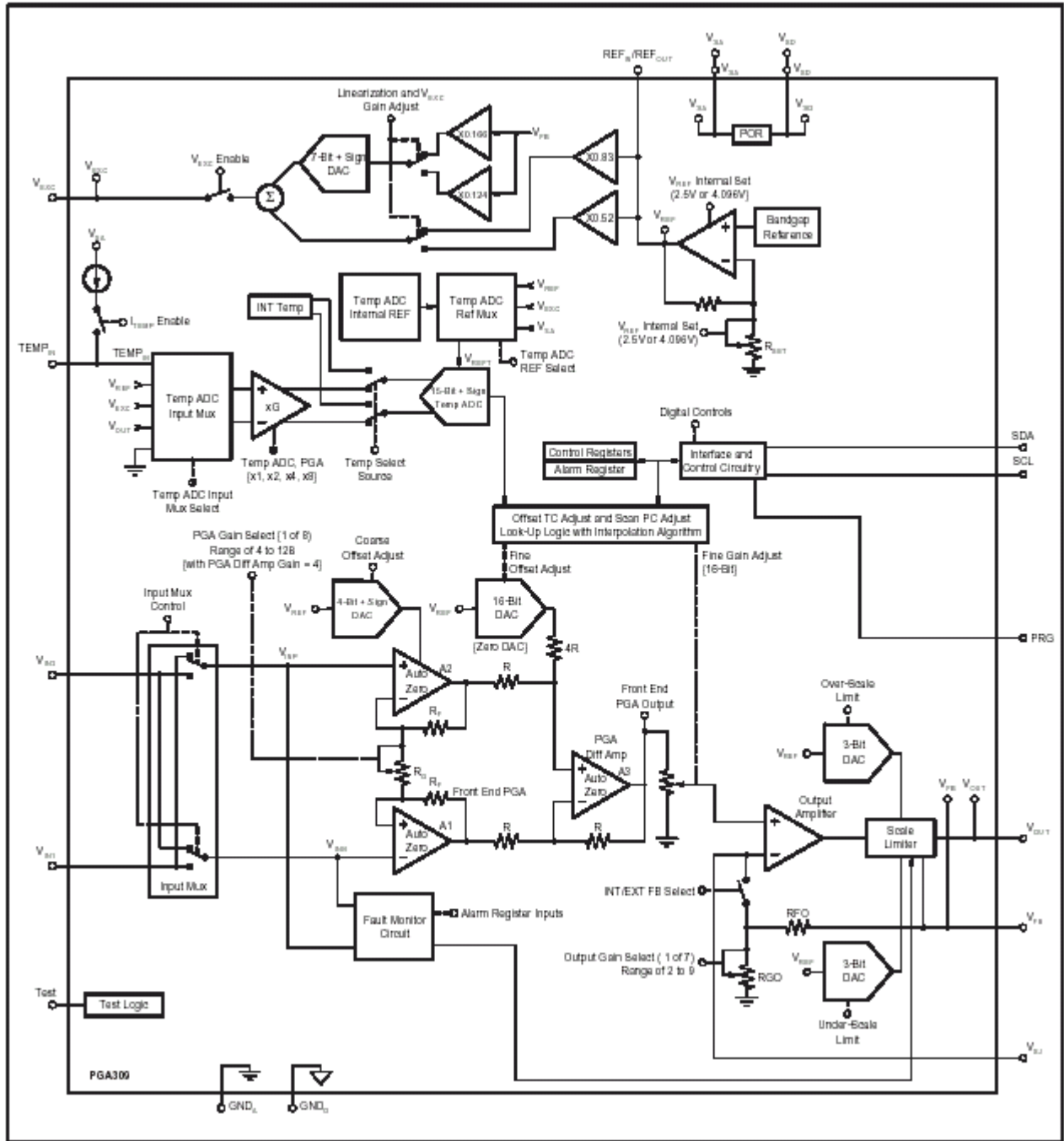
表 51 PGA309 的外部 EEPROM——寄存器配置数据校验和 2

EXTERNAL EEPROM ADDRESS (DECIMAL)	PGA309 INTERNAL REGISTER ADDRESS	PGA309 INTERNAL REGISTER DESCRIPTION	DATA (LSBs) (MSBs)	D7 D15	D6 D14	D5 D13	D4 D12	D3 D11	D2 D10	D1 D9	D0 D8
112			Temperature Index Value T16 (LSBs)	T16-D7	T16-D6	T16-D5	T16-D4	T16-D3	T16-D2	T16-D1	T16-D0
113			Temperature Index Value T16 (MSBs)	T16-D15	T16-D14	T16-D13	T16-D12	T16-D11	T16-D10	T16-D9	T16-D8
114			Zero Adjustment DAC Scale Factor for T16 and below (LSBs)	ZM-D7	ZM-D6	ZM-D5	ZM-D4	ZM-D3	ZM-D2	ZM-D1	ZM-D0
115			Zero Adjustment DAC Scale Factor for T16 and below (MSBs)	ZM-D15	ZM-D14	ZM-D13	ZM-D12	ZM-D11	ZM-D10	ZM-D9	ZM-D8
116			Gain Adjustment DAC Scale Factor for T16 and below (LSBs)	GM-D7	GM-D6	GM-D5	GM-D4	GM-D3	GM-D2	GM-D1	GM-D0
117			Gain Adjustment DAC Scale Factor for T16 and below (MSBs)	GM-D15	GM-D14	GM-D13	GM-D12	GM-D11	GM-D10	GM-D9	GM-D8
118			TEND (End of Look-up Table) LSBs ⁽¹⁾	1	1	1	1	1	1	1	1
119			TEND (End of Look-up Table) MSBs ⁽¹⁾	0	1	1	1	1	1	1	1
120			ZME (End of Look-up Table) LSBs ⁽¹⁾	0	0	0	0	0	0	0	0
121			ZME (End of Look-up Table) MSBs ⁽¹⁾	0	0	0	0	0	0	0	0
122			GME (End of Look-up Table)-Checksum2 LSBs	GME-D7	GME-D6	GME-D5	GME-D4	GME-D3	GME-D2	GME-D1	GME-D0
123			GME (End of Look-up Table)-Checksum2 MSBs	GME-D15	GME-D14	GME-D13	GME-D12	GME-D11	GME-D10	GME-D9	GME-D8

⁽¹⁾ While these values are not used to configure the PGA309, they are included in Checksum calculations.

详细方框图

图 75 详细方框图

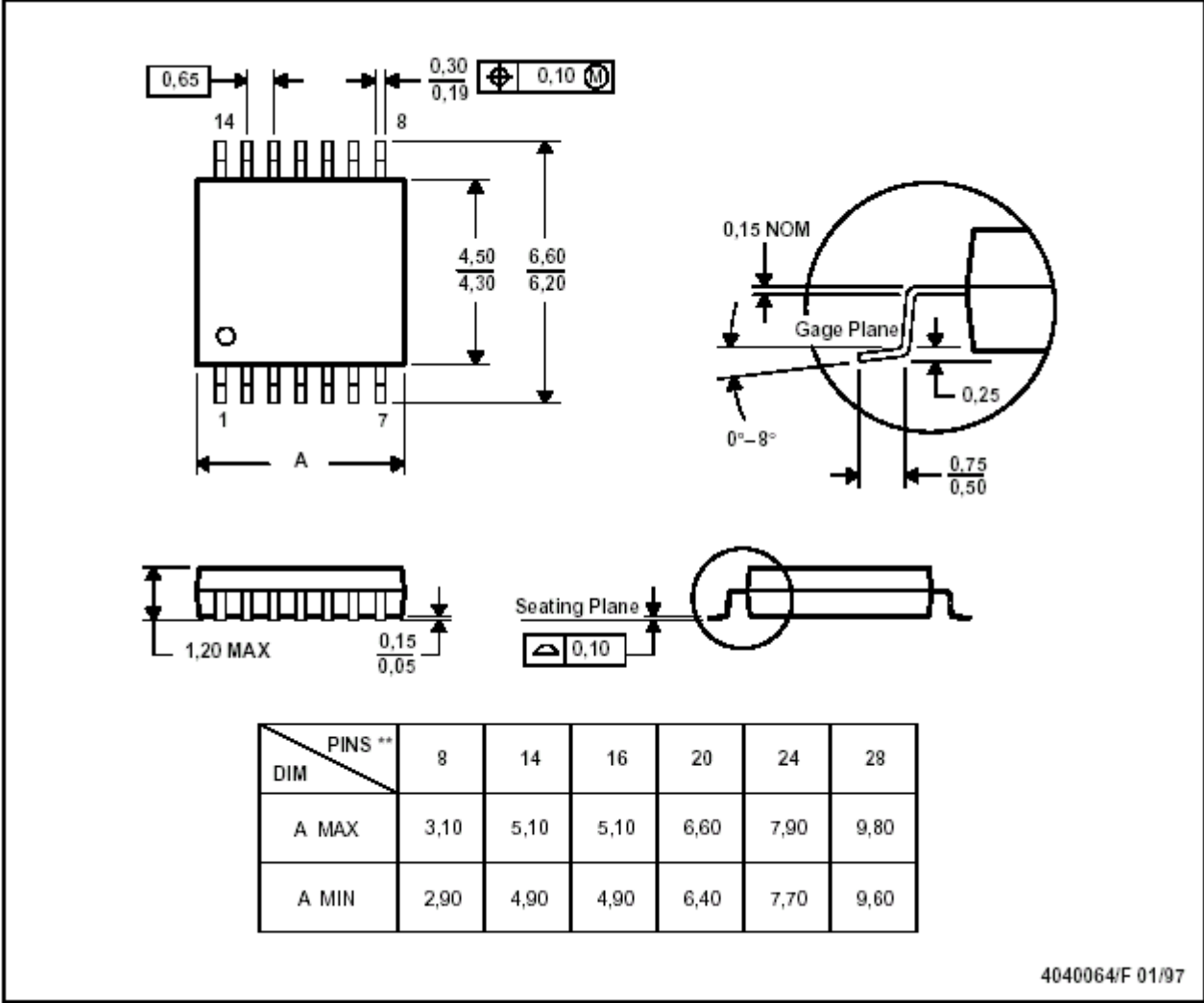


封装信息

PW (R-PDSO-G**)

塑料小型封装

14 引脚



- 注：A、所有的线条尺寸均以毫米为单位。
B、对该图的改动不另行通知。
C、主体部分尺寸不包括模型薄膜，凸出部分不超过 0.15。
D、缩减在 JEDEC MO-153 范围内。

声明：本资料仅供参考，如有疑问请以相应英文资料为准。