



产品清单

SM2965C40, 主频 40MHz, 内带 64KB 闪存的 MCU。

总体描述

SM2965 系列产品是一种内嵌 64KB 闪存和 1K 字节 RAM 的 8 位单片微控制器。它是 80C52 微控制器家族的派生产品，具有在系统可编程(ISP)功能。其 PDIP 封装具有 32 个 I/O 口；而 PLCC/QFP 封装则具有多达 36 个 I/O 口；64K 字节的闪存既可以当作程序空间，又可以当作数据空间，或者数据和程序混合空间。其硬件特征和强大的指令系统使它成为一种性能价格比高的控制器。

片上闪存的编程，可以使用商用编程器进行并行编程，也可以根据其 ISP 特性利用串行或并行接口进行编程。

订货信息

SM2965ihhk (空片)

SM2965ihh-yyk

i: 工艺标志 {C}

hh: 工作时钟，单位为 MHz {40}

yyy: 产品代码 {001,...,999}

k: 封装形式后缀 {如下表所示}

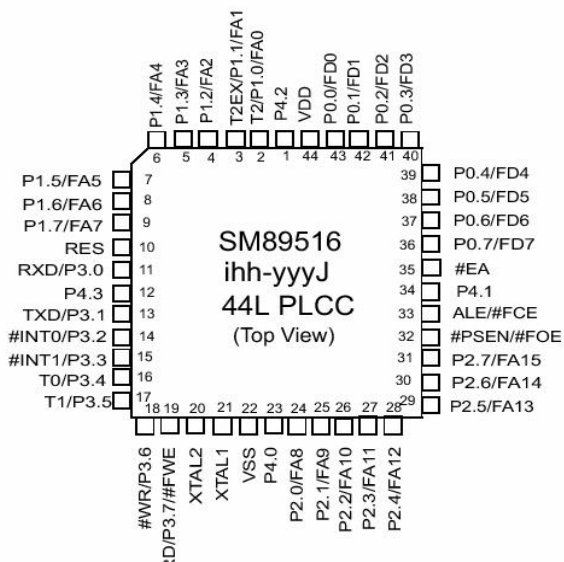
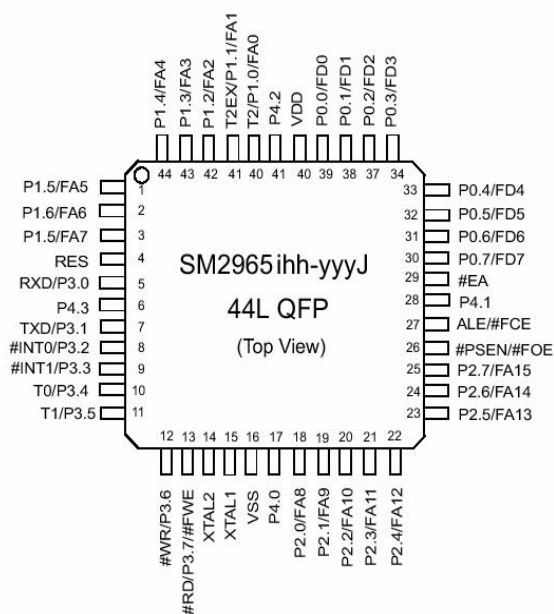
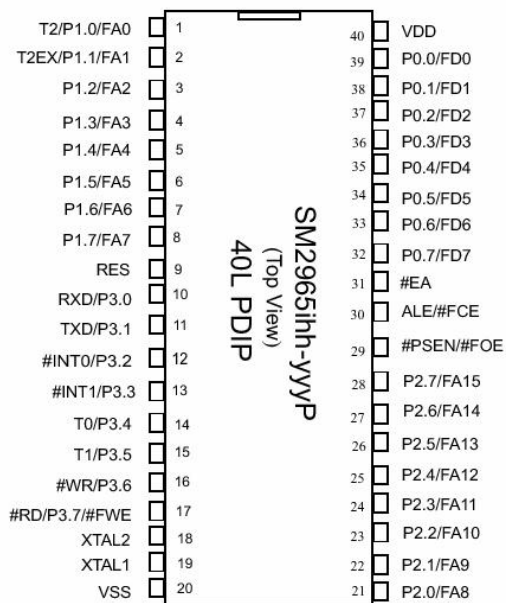
后缀	封装	管脚排列图	尺寸
P	40 脚 PDIP	见 2 页	见 19 页
J	44 脚 PLCC	见 2 页	见 20 页
Q	44 脚 QFP	见 2 页	见 21 页

特性

- 工作电压：4.5V 到 5.5V
- 编程电压：5V
- 与通用 80C52 家族完全兼容
- 每个机器周期为 12 个时钟周期
- 64K 字节片上闪存，可以实现在系统编程(ISP)
- 1024 字节片上数据 RAM
- 3 个 16 位定时/计数器
- 1 个看门狗定时器
- PDIP 封装具有 4 个 8 位 I/O 口
- PLCC 或 QFP 封装具有 4 个 8 位 I/O 口，外加 1 个 4 位 I/O 口
- 全双工串口通道
- 位操作指令
- 页自由跳转
- 8 位无符号除运算
- 8 位无符号乘运算
- BCD 码运算
- 直接地址访问
- 间接地址访问
- 嵌套中断
- 两个中断优先级
- 1 个串行 I/O 口
- 省电模式：空闲模式和掉电模式
- 代码保护功能
- 低 EMI (禁止 ALE)
- 复位时如果 00H 地址为空白即启动 ISP 服务程序

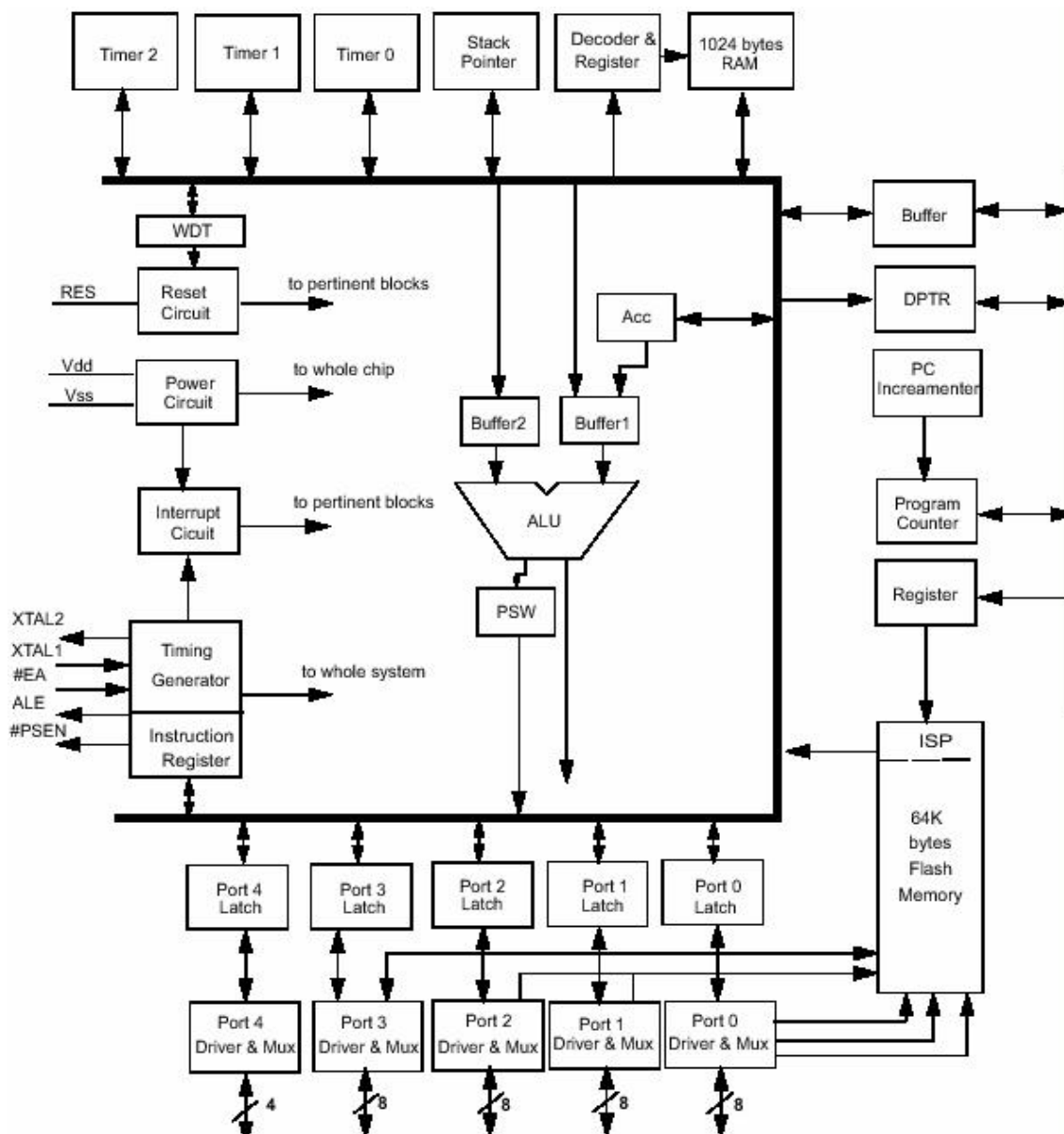


管脚分配图





系统框图





管脚描述:

40L PDIP 引脚 号	44L QFP 引脚 号	44L PLCC 引脚 号	管脚定义	正常 状态	I/O	
1	40	2	T2/P1.0/FA0		I/O	P1 口或闪存或外部存储器地址的位 0, 定时器 2
2	41	3	T2EX/P1.1/FA1		I/O	P1 口或闪存或外部存储器地址的位 1, 定时器控制位
3	42	4	P1.2/FA2		I/O	P1 口或闪存或外部存储器地址的位 2
4	43	5	P1.3/FA3		I/O	P1 口或闪存或外部存储器地址的位 3
5	44	6	P1.4/FA4		I/O	P1 口或闪存或外部存储器地址的位 4
6	1	7	P1.5/FA5		I/O	P1 口或闪存或外部存储器地址的位 5
7	2	8	P1.6/FA6		I/O	P1 口或闪存或外部存储器地址的位 6
8	3	9	P1.7/FA7		I/O	P1 口或闪存或外部存储器地址的位 7
9	4	10	RES	H	I	复位
10	5	11	RXD/P3.0	-/-/L	I/O	P3 口的位 0, 接收数据端或闪存块使能
11	7	13	TXD/P3.1		I/O	P3 口的位 1, 发送数据端
12	8	14	#INT0/P3.2	L/-	I/O	P3 口的位 2, 中断 0 低电平触发端
13	8	15	#INT1/P3.3	L/-/L	I/O	P3 口的位 3, 中断 1 低电平触发端
14	9	16	T0/P3.4	-/-/L	I/O	P3 口的位 4, 定时器 0
15	10	17	T1/P3.5	-/-/L	I/O	P3 口的位 5, 定时器 1
16	11	18	#WR/P3.6	L/-	I/O	P3 口的位 6, 外部存储器写
17	13	19	#RD/P3.7/#FEW	L/-	I/O	P3 口的位 7, 外部存储器读或闪存块写使能
18	14	20	XTAL2		0	晶振输出
19	15	21	XTAL1		I	晶振输入
20	16	22	VSS			供电电源地
21	18	24	P2.0/FA8		I/O	P2 口的位 0, 闪存或外部存储器地址的位 8
22	19	25	P2.1/FA9		I/O	P2 口的位 1, 闪存或外部存储器地址的位 9
23	20	26	P2.2/FA10		I/O	P2 口的位 2, 闪存或外部存储器地址的位 10
24	21	27	P2.3/FA11		I/O	P2 口的位 3, 闪存或外部存储器地址的位 11
25	22	28	P2.4/FA12		I/O	P2 口的位 4, 闪存或外部存储器地址的位 12
26	23	29	P2.5/FA13		I/O	P2 口的位 5, 闪存或外部存储器地址的位 13
27	24	30	P2.6/FA14		I/O	P2 口的位 6, 闪存或外部存储器地址的位 14
28	25	31	P2.7/FA15	L/L	I/O	P2 口的位 7, 闪存或外部存储器地址的位 15
29	26	32	#PSEN/#FOE	-/L	O/I	外部程序存储器使能, 闪存块 O/P 操作使能
30	27	33	ALE/#FCE	L	O/I	地址锁存使能, 闪存块片使能
31	29	35	#EA		I	外部访问
32	30	36	P0.7/FD7		I/O	P0 口的位 7, 闪存或外部存储器的位 7
33	31	37	P0.6/FD6		I/O	P0 口的位 6, 闪存或外部存储器的位 6
34	32	38	P0.5/FD5		I/O	P0 口的位 5, 闪存或外部存储器的位 5
35	33	39	P0.4/FD4		I/O	P0 口的位 4, 闪存或外部存储器的位 4
36	34	40	P0.3/FD3		I/O	P0 口的位 3, 闪存或外部存储器的位 3
37	35	41	P0.2/FD2		I/O	P0 口的位 2, 闪存或外部存储器的位 2
38	36	42	P0.1/FD1		I/O	P0 口的位 1, 闪存或外部存储器的位 1
39	37	43	P0.0/FD0		I/O	P0 口的位 0, 闪存或外部存储器的位 0
40	38	44	VDD			驱动电压, +5V
	17	23	P4.0		I/O	P4 口的位 0
	28	34	P4.1		I/O	P4 口的位 1
	39	1	P4.2		I/O	P4 口的位 2
	6	12	P4.3		I/O	P4 口的位 3



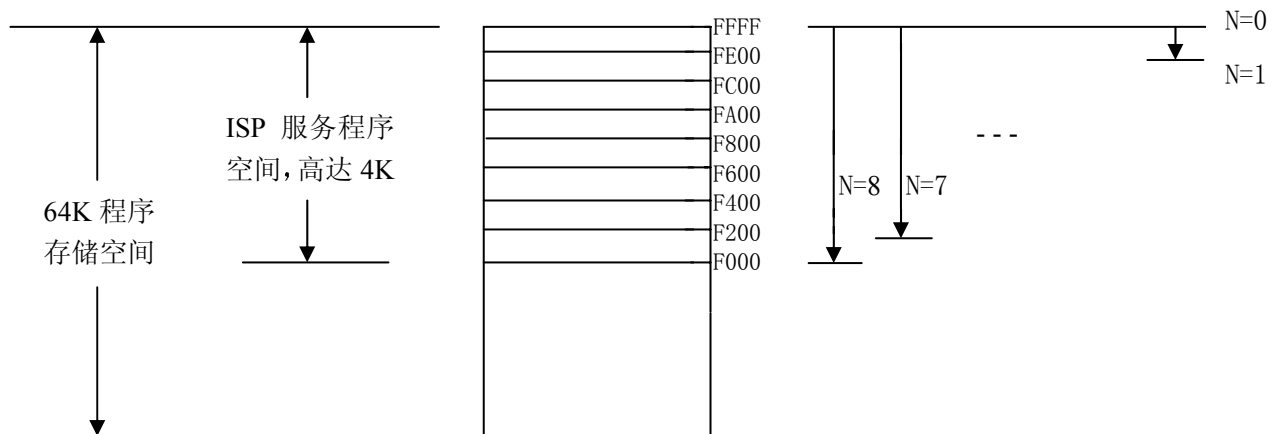
扩展功能描述:

存储器结构

SM2965 是在通用 80C52 内核的基础上集成了 ISP 功能的单片微控制器。它的内部存储器结构与通用的 80C52 内部存储器的结构相同。

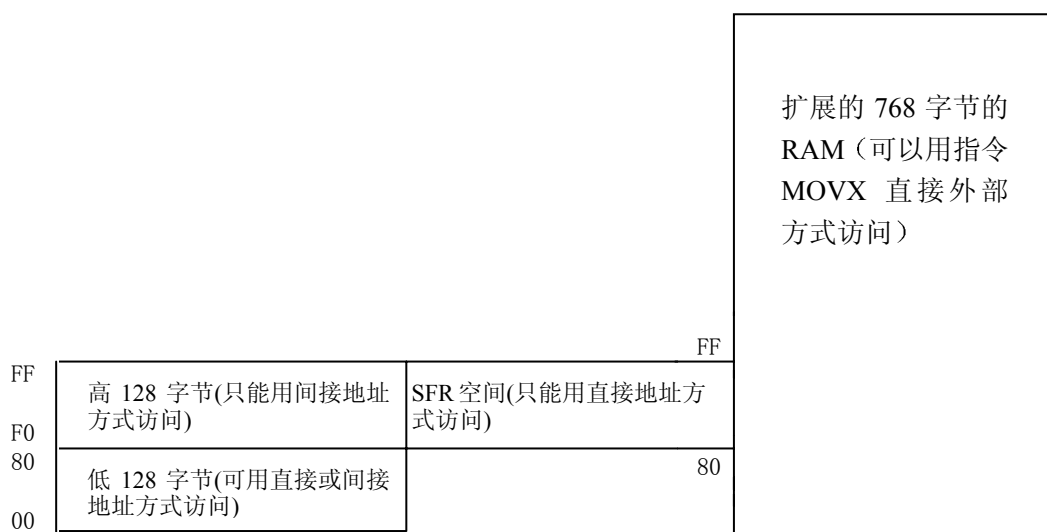
程序存储器

SM2965 具有 64K 字节的片内闪存，通常情况下可当作通用程序存储器。64K 字节闪存中包括高达 4K 的特殊存储空间，专门用来存储 ISP 服务程序。64K 闪存的地址范围为 0000H~FFFFH，而 ISP 服务程序的存储空间为 F000H~FFFFH。ISP 服务程序的占用空间大小是 512 字节的 N (N=0~8) 倍。当 N=0 时，意味着片内无 ISP 服务程序，64K 的 FLASH 空间可以全部用来存储用户程序；N=1 时，ISP 服务程序的大小为 512 字节，占用 FLASH 的地址空间为：FE00H~FFFFH；N=2 时，ISP 服务程序占用 1K 的 FLASH 地址空间，即：FC00H~FFFFH；其余依次类推。N 值可以设置并可以通过编程器写进 SM2965 内。



数据存储

SM2965 具有 1K 字节的片内 RAM，低 256 字节与 80C52 的片内 RAM 结构一样。扩展的高 768 字节 RAM 可以用访问外部存储器的方式进行访问 (利用指令 MOVX)。





数据存储器—低 128 字节

数据存储器从 00H~FFH 的地址空间同 80C52 是相同的。

00H~7FH 的地址空间可以直接访问，也可以间接访问。

00H~1FH 的地址空间是寄存器空间。

20H~2FH 的地址空间是位寻址空间。

30H~7FH 的地址空间是通用数据存储器区。

数据存储器—高 128 字节

数据存储器的高 128 字节范围是：80H~FFH，只可以用间接地址方式访问，这部分空间也是数据存储器区。

数据存储器—扩展的 768 字节

从外部地址 0000H~02FFH 是片内扩展 RAM 区，共 768 字节。这部分地址空间只能用直接外部地址方式访问（利用 MOVX 指令）。

如果 MOVX @DPTR 指令所访问的地址大于 02FFH 时，SM2965 会自动产生访问外部存储器的控制信号。特殊功能寄存器 SCONF 的位 1（OME）的值决定了允许还是禁止访问扩展的 768 字节 RAM。该位的默认设置为 1，可以访问内部扩展的 768 字节 RAM。

指令 MOVX @Rn 所能访问的地址空间由特殊函数寄存器 IMPSR（85H）的位 1（PS1）和位 0（PS0）决定。PS1 和 PS2 的默认设置是 00。

数据存储器的一页是 256 字节。

PS1, PS0=00, 指令 MOVX @Rn 的 Rn 映射为数据存储器的第 0 页，地址空间为：0000H~00FFH。

PS1, PS0=01, 指令 MOVX @Rn 的 Rn 映射为数据存储器的第 1 页，地址空间为：0100H~01FFH。

PS1, PS0=10, 指令 MOVX @Rn 的 Rn 映射为数据存储器的第 2 页，地址空间为：0200H~02FFH。

PS1, PS0=11, 指令 MOVX @Rn 的所能访问的地址空间为：XY00H~XYFFH。高位地址由 P2 口决定（SM2965 会自动产生访问外部存储器的控制信号）。

特殊功能寄存器（SFR）

特殊功能寄存器的地址范围为 80H~FFH，只能通过直接地址方式访问。

下面的表格中列出了 SM2965 与 80C52 相同的特殊功能寄存器和其特有的扩展特殊功能寄存器。



F8H								FFH
F0H	B				FAH	FAL	FDAT	FCR
E8H								EFH
E0H	ACC							E7H
D8H	P4							DFH
D0H	PSW							D7H
C8H	T2CON		RC2H	RC2L	TL2	TH2		CFH
C0H								C7H
B8H	IP						SCONF	BFH
B0H	P3							B7H
A8H	IE							AFH
A0H	P2							A7H
98H	SCON	SBUF					WDTC	9FH
90H	P1							97H
88H	TCON	TMOD	TL0	TL1	TH0	TH1		8FH
80H	P0	SP	DPL	DPH	(Reserved)	IMPSR		PCON
								87H

注意：用黑体标注的特殊功能寄存器是 SM2965 的扩展特殊功能寄存器

SM2965 扩展的特殊功能寄存器：

Port4 (P4, D8H)

0	0	0	0	P4. 3	P4. 2	P4. 1	P4. 0
0	0	0	0	1	1	1	1

MSB

LSB

位 3、位 2、位 1 和位 0 分别对应着 P4. 3, P4. 2, P4. 1, P4. 0 的输出设置。

内部存储区页选择寄存器 (IMPSR, 85H)

R	R	R	R	R	R	PS1	PS0
0	0	0	0	0	0	0	0

MSB

LSB

注意：“R”表示系统保留，下同。

SM2965 片内具有只能用访问外部存储器的方式进行访问的 768 字节扩展 RAM（访问时用指令 MOVX）。

指令 MOVX @Rn 所访问的地址空间由 IMPSR 寄存器的位 1 和位 0 (PS1, PS0) 决定。PS1, PS0 的默认设置值是 00 (页 0)。



系统控制寄存器 (SCONF, BFH)

WDR	R	R	R	R	ISPE	OME	ALE1
0	0	0	0	0	0	1	0

MSB

LSB

上面寄存器内的值为系统复位值

WDR: 看门狗定时器复位位。当看门狗定时器溢出而使系统复位时, WDR 位被置 1

ISPE: ISP 功能的使能位

OME: 片内高 768 字节使能位

ALE1: ALE 输出禁止位, 可降低 EMI

看门狗定时器寄存器 (WDTC, 9FH)

WDTE	R	R	R	R	PS2	PS1	PS0
0	0	0	0	0	0	0	0

MSB

LSB

上面寄存器内的值为系统复位值

WDTE: 看门狗定时器使能位

CLEAR: 看门狗定时器复位位

PS2~PS0: 时钟源分频选择位

FLASH 控制寄存器 (FCR, F7H)

START	R	R	R	R	R	F1	F2
0	0	0	0	0	0	0	0

MSB

LSB

上面寄存器内的值为系统复位值

START: ISP 功能开始位

F1~F0: ISP 功能选择位

FLASH 高位地址寄存器 (FAH, F4H)

FA15	FA14	FA13	FA12	FA11	FA10	FA9	FA8
0	0	0	0	0	0	0	0

MSB

LSB

上面寄存器内的值为系统复位值

FA15~FA8: 在实现 ISP 功能时所选择 FLASH 单元的高位地址

FLASH 低位地址寄存器 (FAL, F5H)

FA7	FA6	FA5	FA4	FA3	FA2	FA1	FA0
0	0	0	0	0	0	0	0

MSB

LSB

上面寄存器内的值为系统复位值

FA7~FA0: 在实现 ISP 功能时所选择 FLASH 单元的低位地址

FLASH 数据寄存器 (FDAT, F6H)

FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0
0	0	0	0	0	0	0	0

MSB

LSB

上面寄存器内的值为系统复位以后寄存器的值

FD7~FD0: 在实现 ISP 功能时, 对某一 FLASH 单元的操作数据



在系统可编程功能

SM2965 能够通过内部电路产生操作 FLASH 的控制信号。利用 FCR, FAH, FAL 和 FDAT 几个控制寄存器就可以实现 ISP 功能, 而不需要将 SM2965 芯片从系统中移出。

通过内部电路所产生的 FLASH 控制信号, SM2965 可以执行 FLASH 编程, 页擦除, 片擦除和保护功能。只要为 SM2965 设计好可以为输入数据的任何外围接口电路, 就可以利用其 ISP 功能执行诸如编程、擦除、校验以及保护等功能。

ISP 服务程序

ISP 服务程序是一个用户设计并驻留在 ISP 服务程序空间内的固件程序。用户设计完 ISP 服务程序后, 可以根据服务程序的大小来决定 ISP 服务程序的大小。为了能够运行 ISP 服务程序, 用户需要将其编程到 SM2965 芯片上。

既然 ISP 服务程序是用户自行设计的, 那么它应该包括与 FLASH 存储器有关的特性以及 SM2965 与 PC 机进行数据传输的通讯协议。例如, 若用户设计使用串行口进行 SM2965 与 PC 机之间的通信, ISP 服务程序就应该包括波特率、校验和、奇偶校验或其他一些错误检测机制, 避免数据传输错误。

ISP 服务程序的执行可在 SM2965 空闲或正常运行状态下被引发, 但是在调电模式下不可以。

锁定位(N)

锁定位(N)有两个功能: 其一是对服务程序的空间进行配置; 其二是对服务程序空间进行加密, 以免服务程序被误删除。

ISP 服务程序的地址空间可以从 F000H 到 FFFFH, 它被分成大小为 512 字节的 N 块, 其中 $N=0\sim 8$ 。N=0 表示没有 ISP 服务程序, FLASH 空间的全部 64K 字节都可以用来存放用户程序; N=1 表示 ISP 服务程序大小为 512 字节, 则其余的 63.5K 字节的 FLASH 空间可用来作为用户程序的存储空间; N=8 时, ISP 的服务程序空间最大, 为 4K 字节。

当 N 确定以后, SM2965 会按照 N 所确定的值, 保留从地址 FFFFH 开始向下的 ISP 服务程序空间。对于 ISP 服务程序空间的结构请参阅第 5 页的程序存储器框图。

锁定位的功能不同于 FLASH 的保护功能。锁定位功能是对 ISP 服务程序空间进行写保护的, 一旦设定锁定位后, 对 FLASH 的擦除操作仅可以擦除掉 ISP 服务程序空间以外的闪存空间; 而 FLASH 保护功能是通常意义所指的加密功能, 即为了防止芯片内的程序被读出, 若没有 FLASH 保护功能, 则 ISP 服务程序就可以从芯片内读出, 如果设定了保护功能, 则 ISP 服务程序包括用户程序都不会被读出。

编程 ISP 服务程序

当锁定位 N 被设定且 ISP 服务程序被写入芯片以后, ISP 服务程序空间就被自动写保护(锁定)了。锁定位 N 有它自己的编程/擦除时序, 不同于 FLASH 存储区的编程/擦除时序, 因此加密以后的 ISP 服务程序不会被 FLASH 擦除功能所擦除。若用户需要擦除加密的 ISP 服务程序, 只能通过编程器来完成。当 SM2965 在系统运行状态时, 用户不能改变其 ISP 服务程序。



启动 ISP 服务程序

将 PC 的值赋值为 ISP 服务程序入口地址并执行，即可启动 ISP 服务程序。有两种方法可以实现 ISP 功能：

- (1) 空片复位。硬件复位后如果检测到 00H 单元为空 (FFH)，则将 PC 的值赋值为 ISP 服务程序的入口地址，执行 ISP 服务程序。
- (2) 执行跳转指令，将 PC 指针赋值为 ISP 服务程序的入口地址，执行 ISP 服务程序。

也可以利用通用 80C52 的中断功能来启动 ISP 服务程序。ISP 服务程序执行完成后，需要复位 SM2965，可以通过硬件复位或者看门狗复位或者跳转到 0000H 处重新启动用户程序。

ISP 寄存器—FLASH 高位地址寄存器 (FAH, F4H) 和低位地址寄存器 (FAL, F5H)

FAH & FAL 为 ISP 功能提供 16 位的 FLASH 地址。FLASH 存储器地址不包括 ISP 服务程序地址空间。如果 FLASH 操作的地址空间与 ISP 服务程序的地址空间重叠，则相应的 FLASH 编程/页擦除操作不会执行。

ISP 寄存器—FLASH 数据寄存器 (FDAT, F6H)

FDAT 寄存器为 ISP 功能提供 8 位数据。

ISP 寄存器—FLASH 控制寄存器 (FCR, F7H)

START	R	R	R	R	R	F1	F0
-------	---	---	---	---	---	----	----

START: ISP 功能起始位

- 1: 执行由位 1、位 0 (F1, F0) 所指定的 ISP 功能
- 0: 空操作

START 位被置 1 后，SM2965 内部硬件电路会锁存地址和数据总线，并且保持住 PC 指针直到 START 位置 0，这时 ISP 功能完成。用户不必对 START 位的状态进行软件查询。

F1~F0: ISP 功能选择位

F[1:0]	ISP 功能
00	字节编程
01	片保护
10	页擦除
11	片擦除

FLASH 存储器的一页为 512 字节。

在执行字节编程/页擦除的 ISP 功能以前，首先需要指定 FLASH 地址。执行页擦除时，Sm2965 会整个擦除由 FAH & FAL 所指定的页。

例如，FLASH 地址：XYMNH

页擦除指令会擦除从 XY00H~X(Y+1)FFH (Y: 偶数) 或

页擦除指令会擦除从 X(Y-1)00H~XYFFH (Y: 奇数)



执行片擦除操作时，会擦除掉除 ISP 服务程序以外的所有 FLASH 存储空间，并且芯片也会自动失去保护功能。在执行 ISP 的保护功能以后，从 FLASH 存储器读出的数据全部是 00H。

例如：ISP 服务程序执行字节编程—在地址 1005H 写入数据 22H。

```
MOV BFH, #04H    ;使能 ISP 编程功能
MOV F4H, #10H    ;设置 FLASH 高位地址寄存器的值为 10H
MOV F5H, #05H    ;设置 FLASH 低位地址寄存器的值为 05H
MOV F6H, #22H    ;设置 FLASH 数据寄存器的值为 22H
MOV F7H, #80H    ;设置 FLASH 控制寄存器的值为 80H，启动 ISP 编程功能。编程完毕
                  ;以后，START 位被自动置 0，PC 指针指向下一条指令
```

ISP 寄存器—系统控制寄存器 (SCONF, BFH)

WDR	R	R	R	R	ISPE	OME	ALE1
-----	---	---	---	---	------	-----	------

SCONF 的位 2 (ISPE) 是 ISP 功能的使能位。该位置 1 使能 ISP 功能，置 0 禁止 ISP 功能。

ISPE 位就象一把安全锁，可以防止由于软件设计失误而造成的芯片擦除操作。

看门狗定时器 (WDT)

看门狗定时器 (WDT) 是 1 个 16 位自运行计数器，在计数器溢出时会产生复位信号。WDT 对那些易受噪声干扰、电压波动或放电现象影响的系统很有用，在程序跑飞或死机的情况下，WDT 可以使用户程序脱离不正常状态。WDT 不同于 8052 系统的定时器 0、定时器 1 和定时器 2。通过软件周期性的清除 WDT 计数器的值可以防止 WDT 产生复位信号。

SM2965 可以对基准时钟源选择分频输入。要选择分频输入，就要相应地设置 WDT 控制寄存器的位 2~位 0 的值。

置位 WDT 的位 7 (WDTE) 即可使能 WDT。WDTE 位置 1 后，16 位计数器根据 PS2~PS0 所确定的时钟输入开始工作。计数器溢出时会产生复位信号，此时 WDT 的 WDTE 位会被清零，另外硬件复位也可以将 WDTE 清零。

置位 WDT 的位 5 (CLEAR) 可以复位 WDT，同时清除计数器的内容，使计数器重新开始计数。

看门狗定时器寄存器—WDT 控制寄存器 (WDTC, 9FH)

WDTR	0	CLEAR	0	0	PS2	PS1	PS0
------	---	-------	---	---	-----	-----	-----

WDTR: 看门狗定时器使能设置位

CLEAR: 看门狗复位设置位

PS2~PS0: 时钟源分频设置位



PS[2:0]	分频器 (晶振输入)	时钟周期 (ms) @40MHz
000	8	13.1
001	16	25.21
010	32	52.42
011	64	104.8
100	128	209.71
101	256	419.43
110	512	838.86
111	1024	1677.72

看门狗定时器寄存器—系统控制寄存器 (SCONF, BFH)

WDR	R	R	R	R	R	OME	ALE1
-----	---	---	---	---	---	-----	------

SCONF 的位 7(WDR)是看门狗复位位。当由于 WDT 溢出而产生复位信号时，该位被置 1。

在任何不可预测的复位发生时，用户应该检查该位的值。

降低 EMI 功能

SM2965 允许用户通过置位 SCONF 寄存器的位 0(ALE1)来降低 EMI。该项功能的作用就是禁止 ($F_{osc}/6$) Hz 的时钟信号输出至 ALE 引脚。在系统没有外扩程序存储器或数据存储器的时候，可以使用这个功能。



工作条件

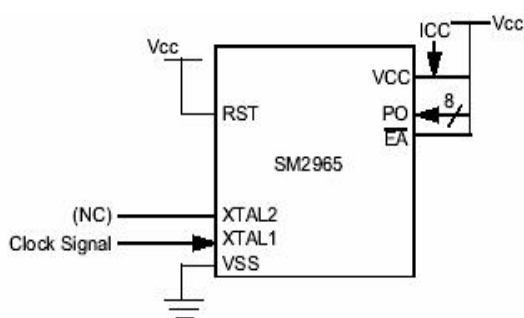
符号	描述	最小	典型	最大	单位	注释
TA	环境温度	-40	25	85	°C	
VCC5	供电电压	4.5	5.0	5.5	V	SM2965C
Fosc 16	晶振	3.0	16	16	MHz	SM2965C16
Fosc 25	晶振	16	25	25	MHz	SM2965C25
Fosc 40	晶振	25	40	40	MHz	SM2965C40

直流特性

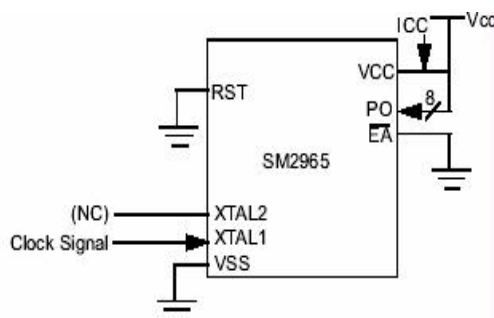
(16/25/40MHz, 典型工作条件, 同样适用于 SM89516 系列)

符号	参数	有效范围	最小	最大	单位	测试情况
VIL1	输入低电平	端口 0,1,2,3,4 和/EA	-0.5	0.8	V	Vcc=5V
VIL2	输入低电平	RES,XTAL	0	0.8	V	..
VIH1	输入高电平	端口 0,1,2,3,4 和/EA	2.0	Vcc+0.5	V	..
VIH2	输入高电平	RES,XTAL	70%Vcc	Vcc+0.5	V	..
VOL1	输出低电平	端口 0,ALE,/PSEN		0.45	V	IOL=3.2mA
VOL2	输出低电平	端口 0,1,2,3,4		0.45	V	IOL=1.6mA
VOH1	输出高电平	端口 0	2.4		V	IOH=-800uA
			90%Vcc		V	IOH=-80uA
VOH2	输出高电平	端口 1,2,3,4,ALE,/PSEN	2.4		V	IOH=-60uA
			90%Vcc		V	IOH=-10uA
IIL	逻辑 0 输入电流	端口 1,2,3,4		-75	uA	Vin=0.45V
ITL	逻辑转换电流	端口 1,2,3,4		-650	uA	Vin=2.0V
ILI	输入吸收电流	端口 0,/EA		±10	uA	0.45<Vin<Vcc
R RES	复位下拉电阻	RES	50	300	Kohm	
C IO	管脚电容			10	pF	Freq=1MHz,Ta=25°C
ICC	电源提供电流	Vdd		20	mA	有效方式, 40MHz
				15	mA	有效方式, 25MHz
				10	mA	有效方式, 16MHz
				10	mA	空闲方式, 40MHz
				7.5	mA	空闲方式, 25MHz
				6	mA	空闲方式, 16MHz
				150	uA	掉电方式

ICC 在正常运行方式下测试电流



ICC 在空闲方式下测试电流

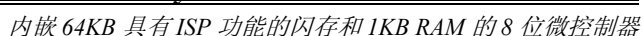




交流特性

(16/25/40MHz, 工作条件; 端口 0, ALE 和 PSEN 的负载电容为 150uF; 其余负载电容为 80pF)

Symbol	Parameter	Valid Cycle	f _{osc} 16			Variable f _{osc}			Unit	Remarks
			Min.	Typ.	Max.	Min.	Typ.	Max.		
T LHLL	ALE pulse width	RD/WRT	115			2xT - 10			nS	
T AVLL	Address Valid to ALE low	RD/WRT	43			T - 20			nS	
T LLAX	Address Hold after ALE low	RD/WRT	53			T - 10			nS	
T LLIV	ALE low to Valid Instruction In	RD			240			4xT - 10	nS	
T LLPL	ALE low to #PSEN low	RD	53			T - 10			nS	
T PLPH	#PSEN pulse width	RD	173			3xT - 15			nS	
T PLIV	#PSEN low to Valid Instruction In	RD			177			3xT - 10	nS	
T PXIX	Instruction Hold after #PSEN	RD	0			0			nS	
T PXIZ	Instruction Float after #PSEN	RD			87			T + 25	nS	
T AVIV	Address to Valid Instruction In	RD			292			5xT - 20	nS	
T PLAZ	#PSEN low to Address Float	RD			10			10	nS	
T RLRH	#RD pulse width	RD	365			6xT - 10			nS	
T WLWH	#WR pulse width	WRT	365			6xT - 10			nS	
T RLDV	#RD low to Valid Data In	RD			302			5xT - 10	nS	
T RHDX	Data Hold after #RD	RD	0			0			nS	
T RHDZ	Data Float after #RD	RD			145			2xT + 20	nS	
T LLDV	ALE low to Valid Data In	RD			590			8xT - 10	nS	
T AVDV	Address to Valid Data In	RD			542			9xT - 20	nS	
T LLYL	ALE low to #WR High or #RD low	RD/WRT	178		197	3xT - 10		3xT + 10	nS	
T AVYL	Address Valid to #WR or #RD low	RD/WRT	230			4xT - 20			nS	
T QVWH	Data Valid to #WR High	WRT	403			7xT - 35			nS	
T QVWX	Data Valid to #WR transition	WRT	38			T - 25			nS	
T WHQX	Data hold after #WR	WRT	73			T + 10			nS	
T RLAZ	#RD low to Address Float	RD						5	nS	
T YALH	#WR or #RD high to ALE high	RD/WRT	53		72	T - 10		T + 10	nS	
T CHCL	clock fall time								nS	
T CLCX	clock low time								nS	
T CLCH	clock rise time								nS	
T CHCX	clock high time								nS	
T, TCLCL	clock period			63			1/fosc		nS	



The timing diagram illustrates the sequence of events for an 8051 microcontroller over 13 time intervals (T1 to T12). The signals shown are:

- OSC:** Oscillator signal, a periodic square wave.
- ALE:** Address Latch Enable, which is active high and pulses during T1 and T2.
- #PSEN:** Program Store Enable, which is active low and pulses during T1 and T2.
- #RD:** Read strobe, which is active low and pulses during T1 and T2.
- PORT2:** Port 2 output, which is high during T1 and T2, then goes low during T3 and T4, and returns high during T5 and T6.
- PORT0:** Port 0 output, which is high during T1 and T2, then goes low during T3 and T4, and returns high during T5 and T6.

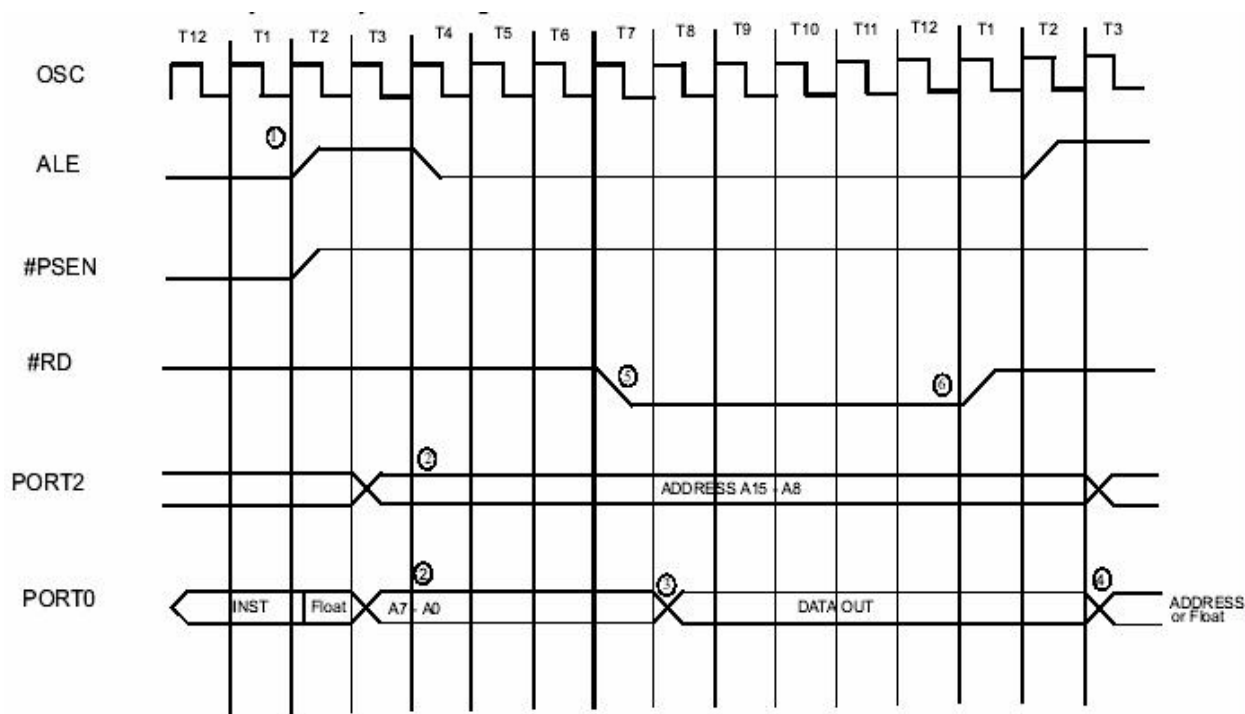
Key events and data flow are indicated by numbered circles (1-8) and labels:

- 1:** ALE signal starts high.
- 2:** ALE signal goes low.
- 3:** PORT2 signal goes low.
- 4:** PORT0 signal goes low.
- 5:** #RD signal starts high.
- 6:** #RD signal goes low.
- 7:** #RD signal goes high.
- 8:** PORT0 signal goes high.

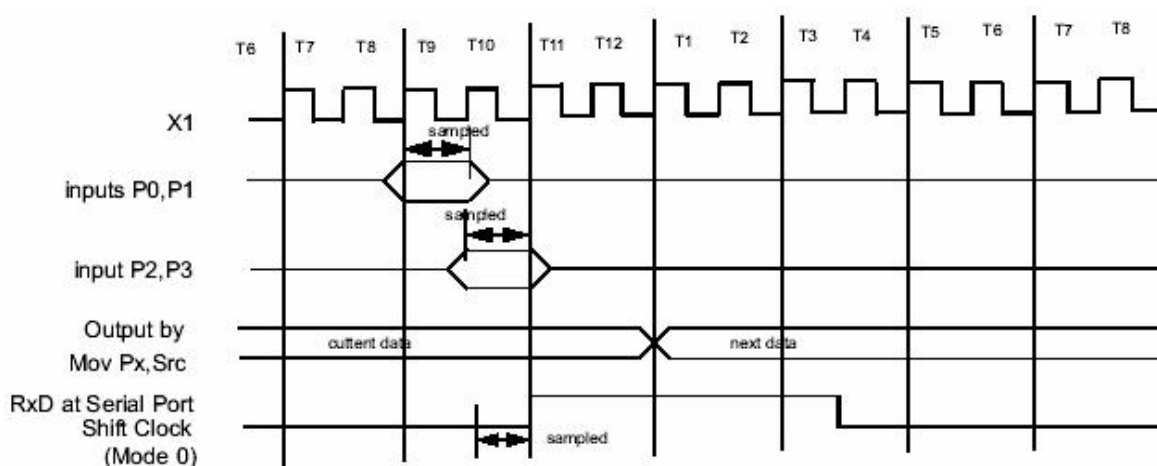
Additional labels include "INST in Float" (Instruction in Float) and "DATA in" (Data in) for PORT0, and "ADDRESS A15 A8" for PORT2.

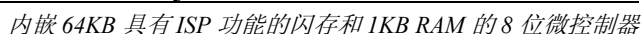


数据寄存器写周期时序



I/O 端口时序



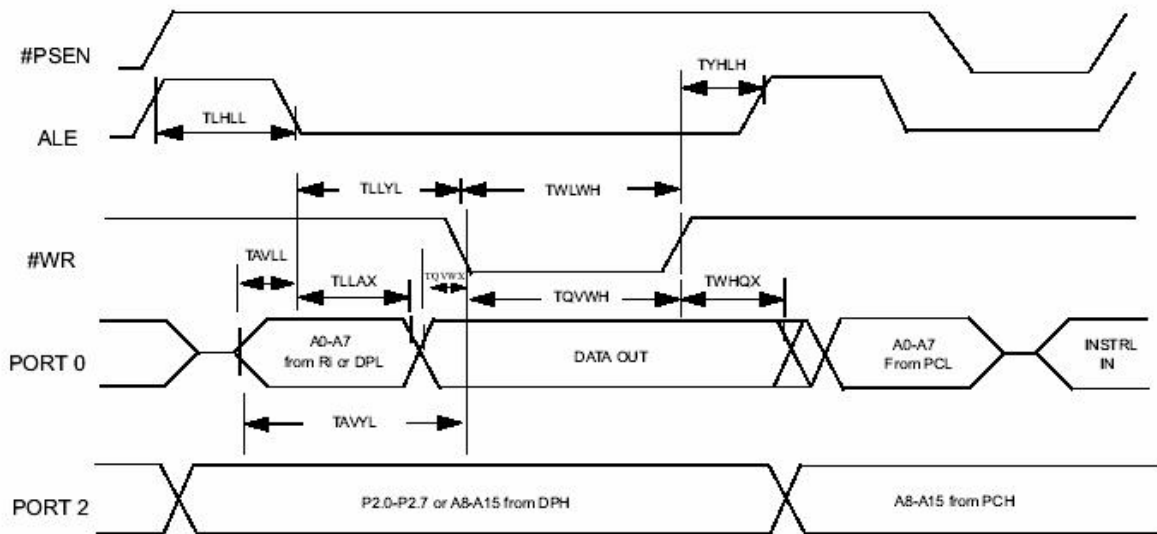


The diagram shows the timing relationships for a memory read operation. Key signals and their durations are labeled:

- #PSEN**: Active low pulse.
- ALE**: Address Latch Enable pulse.
- #RD**: Active low read strobe.
- PORT 0**: Data bus. It carries address A0-A7 from Ri or DPL during the first TLLAX period, then data during TRHDZ and TRHDX periods.
- PORT 2**: Data bus. It carries address A8-A15 from DPH during the first TLLAX period, then data during TRHDZ and TRHDX periods.
- Timing Parameters**:
 - TLLYL**: Address latch enable to address bus delay.
 - TLLDV**: Address latch enable to data bus delay.
 - TRLRH**: Read strobe to address bus delay.
 - TAVLL**: Address latch enable to address bus delay.
 - TLLAX**: Address latch enable to address bus delay.
 - TRLAZ**: Read strobe to address bus delay.
 - TRHDZ**: Read strobe to data bus delay.
 - TRHDX**: Read strobe to data bus delay.
 - TYHLH**: Read strobe to address bus delay.

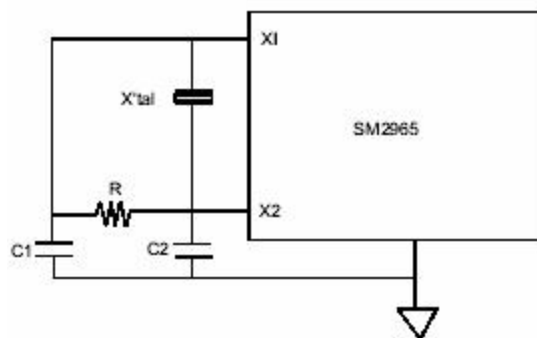


Tm.III 外部数据存储器写周期



应用指南

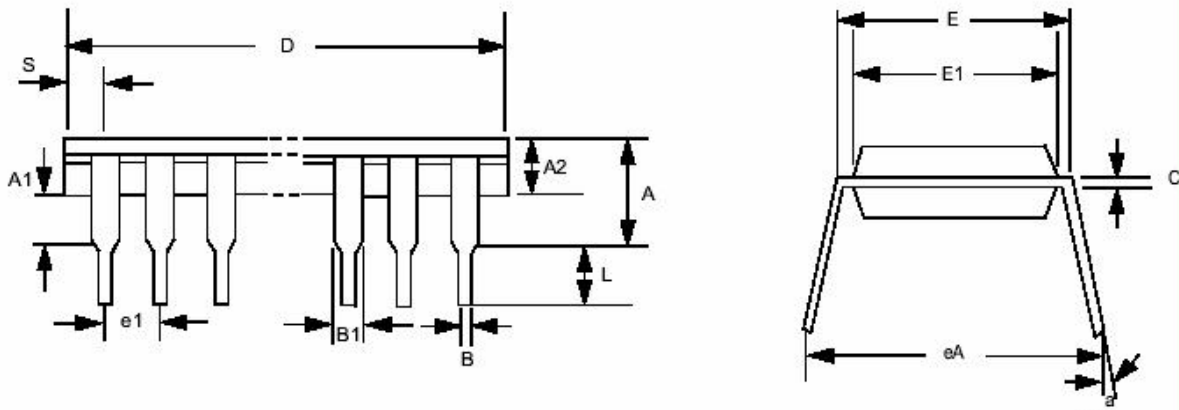
对于 SM2965 而言的有效值				
X'tal	3MHz	6MHz	9MHz	12MHz
C1	30p	30p	30p	30p
C2	30p	30p	30p	30p
R	Open	Open	Open	Open
X'tal	16MHz	25MHz	33MHz	40MHz
C1	30pF	15pF	10pF	2pF
C2	30pF	15pF	10pF	2pF
R	Open	62K Ω	6.8K Ω	4.7K Ω



注意：在较高频率时，因为每种石英或陶瓷谐振器都有自己的特性，所以晶振电路会因石英或陶瓷谐振器的不同而不同。用户应与石英或陶瓷谐振器生产厂商协商以选取合适的外部器件值。



40 脚 PDIP 封装



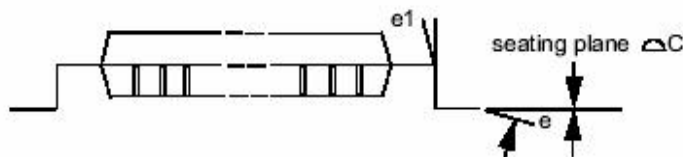
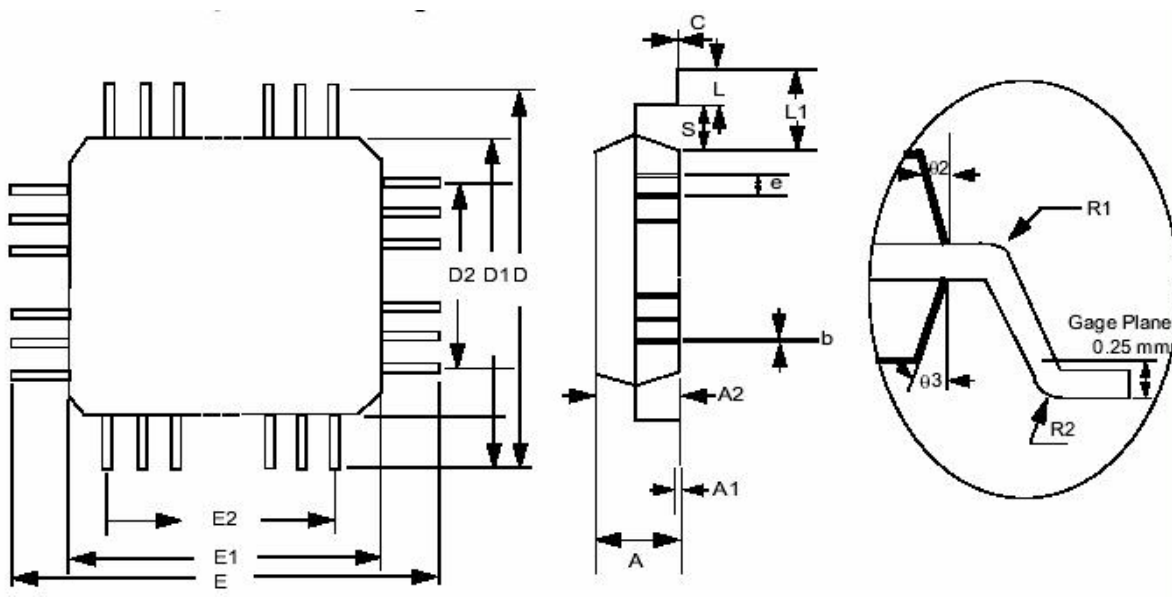
Note:

- 1.Dimension D Max & include mold flash or tie bar burrs.
- 2.Dimension E1 does not include interlead flash.
- 3.Dimension D & E1 include mold mismatch and are determined at the mold parting line.
- 4.Dimension B1 does not include dambar protrusion/infrusion.
- 5.Controlling dimension is inch.
- 6.General appearance spec. should base on final visual inspection spec.

Symbol	Dimension in inch	Dimension in mm
	minimal/maximal	minimal/maximal
A	- / 0.210	- / 5.33
A1	0.010 / -	0.25 / -
A2	0.150 / 0.160	3.81 / 4.06
B	0.016 / 0.022	0.41 / 0.56
B1	0.048 / 0.054	1.22 / 1.37
C	0.008 / 0.014	0.20 / 0.36
D	- / 2.070	- / 52.58
E	0.590 / 0.610	14.99 / 15.49
E1	0.540 / 0.552	13.72 / 14.02
e1	0.090 / 0.110	2.29 / 2.79
L	0.120 / 0.140	3.05 / 3.56
a	0 / 15°	0 / 15°
eA	0.630 / 0.670	16.00 / 17.02
S	- / 0.090	- / 2.29



44 脚 PQFP 封装



Note:

Dimension D1 and E1 do not include mold protrusion.

Allowance protrusion is 0.25mm per side.

Dimension D1 and E1 do include mold mismatch and are determined datum plane.

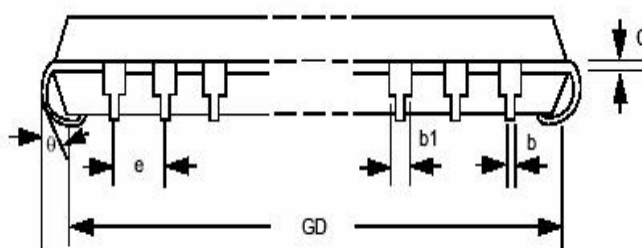
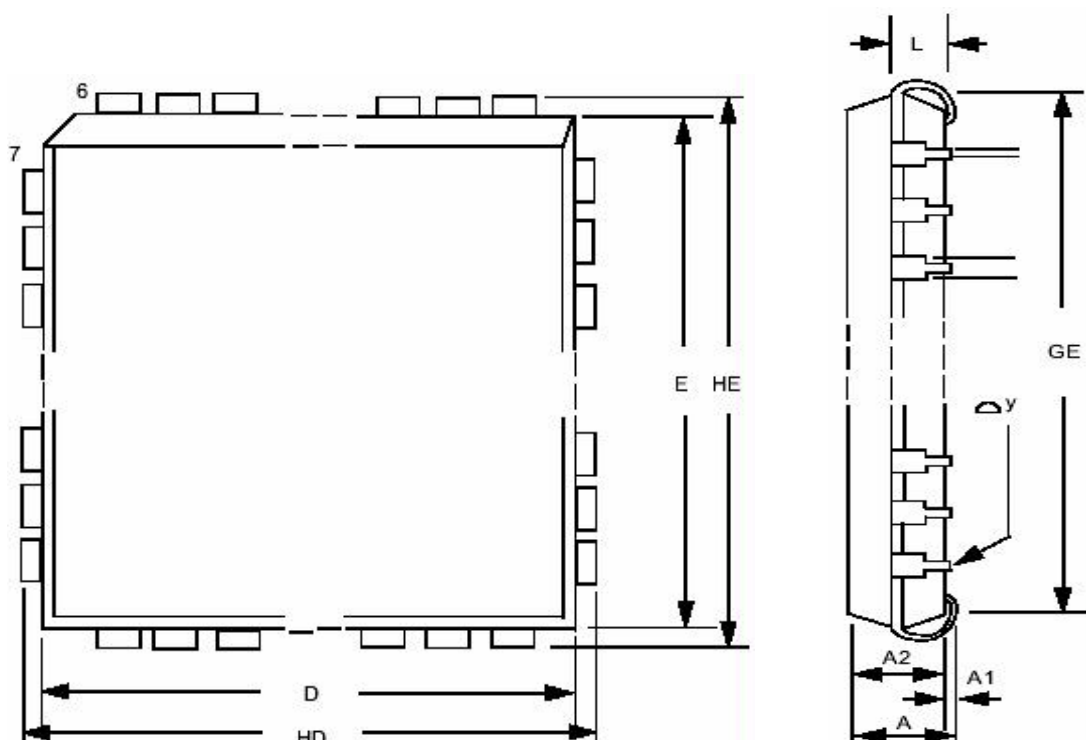
Dimension b does not include dambar protrusion.

Allowance dambar protrusion shall be 0.08 mm total in excess of the b dimension at maximum material condition. Dambar cannot be located on the lower radius or the lead foot.

Symbol	Dimension in Inch minimal/maximal	Dimension in mm minimal/maximal
A	- / 0.100	- / 2.55
A1	0.006 / 0.014	0.15 / 0.35
A2	0.071 / 0.087	1.80 / 2.20
b	0.012 / 0.018	0.30 / 0.45
c	0.004 / 0.009	0.09 / 0.20
D	0.520 BSC	13.20 BSC
D1	0.394 BSC	10.00 BSC
D2	0.315	8.00
E	0.520 BSC	13.20 BSC
E1	0.394 BSC	10.00 BSC
E2	0.315	8.00
e	0.031 BSC	0.80 BSC
L	0.029 / 0.041	0.73 / 1.03
L1	0.063	1.60
R1	0.005 / -	0.13 / -
R2	0.005 / 0.012	0.13 / 0.30
S	0.008 / -	0.20 / -
θ	0° / 7°	as left
θ1	0° / -	as left
θ2	10° REF	as left
θ3	7° REF	as left
ΔC	0.004	0.10



44 脚 PLCC 封装



Note:

- 1.Dimension D & E does not include interlead flash.
- 2.Dimension b1 does not include dambar protrusion/ intrusion.
- 3.Controlling dimension:Inch
- 4.General apperance spec. should base on final visual inspection spec.

Symbol	Dimension in inch	Dimension in mm
	minimal/maximal	minimal/maximal
A	- / 0.185	- / 4.70
A1	0.020 / -	0.51 / -
A2	0.145 / 0.155	3.68 / 3.94
b1	0.026 / 0.032	0.66 / 0.81
b	0.016 / 0.022	0.41 / 0.56
C	0.008 / 0.014	0.20 / 0.36
D	0.648 / 0.658	16.46 / 16.71
E	0.648 / 0.658	16.46 / 16.71
e	0.050 BSC	1.27 BSC
GD	0.590 / 0.630	14.99 / 16.00
GE	0.590 / 0.630	14.99 / 16.00
HD	0.680 / 0.700	17.27 / 17.78
HE	0.680 / 0.700	17.27 / 17.78
L	0.090 / 0.110	2.29 / 2.79
θ	- / 0.004	- / 0.10
Dy	/	/