

TL16C554A, TL16C554AI

异步通信组件

SLLS509A-2001 年 8 月-2003 年 7 月修订

特性

- 集成异步通讯组件 (ACE)
- 含有 4 个增强型 TL16C550C 异步通讯组件以及可控逻辑功能
- 在 FIFO 模式时, 每个异步通讯组件的发送器及接收器经 16 字节的 FIFO 缓冲, 以减少 CPU 的中断次数
- 在 TL16C554 模式时, 保持与移位寄存器使 CPU 与串行数据之间不需要精确同步
- 针对高达 1M 波特率的工作, 时钟频率可高达 16MHz
- 可编程波特率发生器允许对所有输入基准时钟除以 1 到 $(2^{16}-1)$ 之间的任何数并且产生一个 16 倍的内部时钟
- 可以对串行数据流增加或者从串行数据流删除标准异步通信位 (开始位、停止位和奇偶校验位)
- 独立的发送、接收、线路状态和数据组中断控制
- 5V 与 3.3V 工作电压
- 完全可编程的串行接口特性
 - 5、6、7 或 8 位数据位
 - 奇、偶或无校验位
 - 1、1/2 或 2 位停止位
 - 波特率发生 (DC 到 1M 位每秒)
- 无效开始位检测
- 完整的工作状态报告特性
- 断线产生和检测
- 内部故障诊断特性
 - 回送控制功能用于隔离通信链路故障
 - 断开、奇偶校验、超限、成帧误差仿真
- 完善的系统分级中断控制
- 调制解调器控制功能 (\overline{CTS} 、 \overline{RTS} 、 \overline{DSR} 、 \overline{DTR} 、 \overline{RI} 以及 \overline{DCD})
- 3 态输出为双向数据总线和控制总线提供 TTL 驱动特性
- 可编程自动 \overline{RTS} 和自动 \overline{CTS}
- 在自动 \overline{CTS} 模式中 \overline{CTS} 控制发送器
- 在自动 \overline{RTS} 模式中可知 RCV FIFO 的内容并且含有门限控制 \overline{RTS}

概述

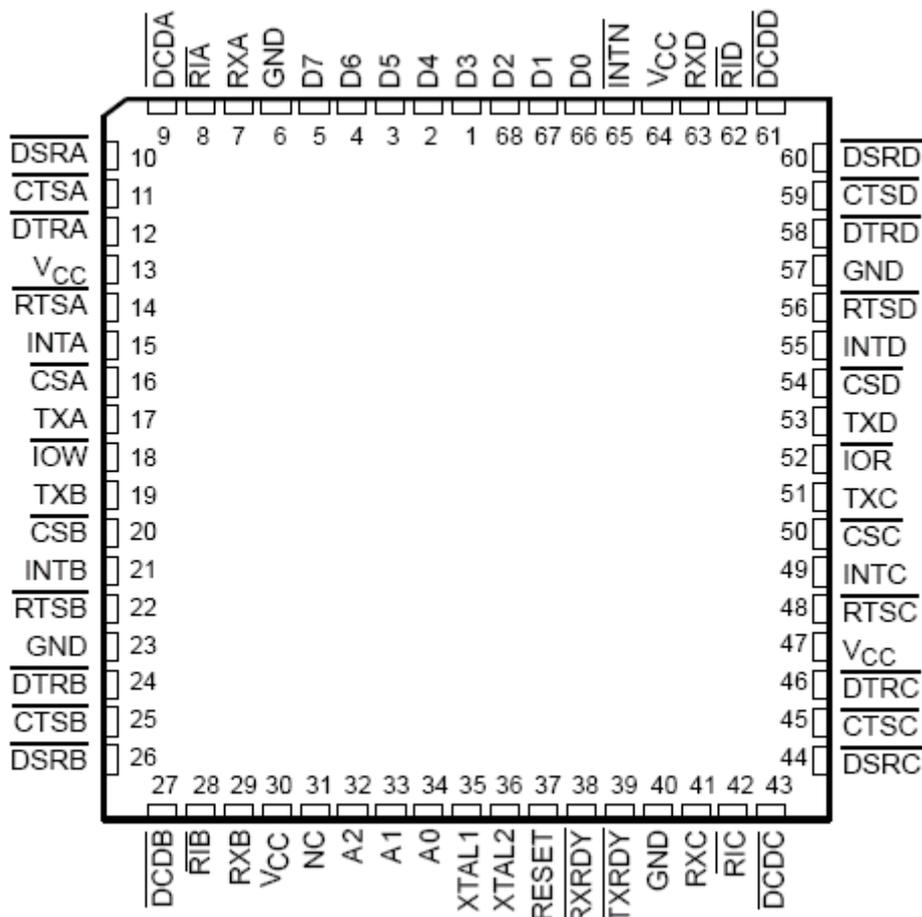
TL16C554A 是一个整合四个通道即 TL16C550C 的增强型异步通讯组件 (ACE)。它的每个通道能从外围设备或 MODEM 接收数据, 实现串-并转换; 同时, 它也可以从 CPU 端接收数据, 实现并-串转换。

CPU 可以在工作时随时查询每一个通道的完整状态，监视各种命令的执行及任何发生的错误。

TL16C554A四通道异步通信组件可以置于交替FIFO模式，该模式激活内部FIFO以使 16 个字节（加上接收FIFO中每个字节的三位误差数据）可以同时存储在接收与发送模式中。FIFO工作模式具有自动流控特点，可以极大地降低软件开销，并且可以通过 \overline{RTS} 输出信号和 \overline{CTS} 输入信号自动控制串行数据流来提高系统效率。所有逻辑均在片内以便使系统开销最小，使系统效率最高。这两个引脚端还用于对直接存储器访问（DMA）传送信号。每个异步通信组件都含有一个可编程的波特率发生器，可以将定时基准时钟输入除以 1 到 $2^{16}-1$ 之间的任意除数。

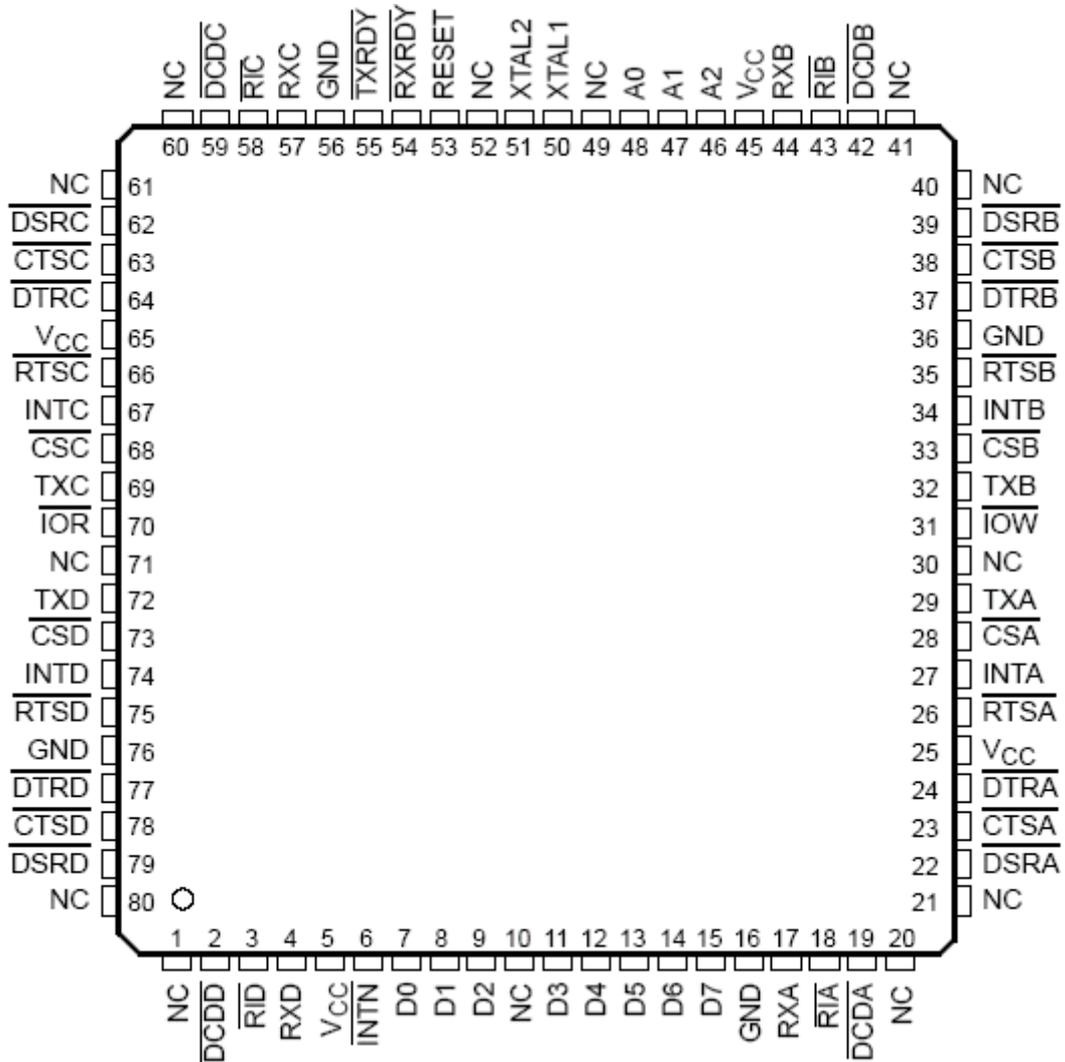
TL16C554A 的封装形式有 68 引脚塑料引线芯片载体（PLCC）FN 封装以及 80 引脚（TQFP）PN 封装。

**FN 封装
 （顶视图）**



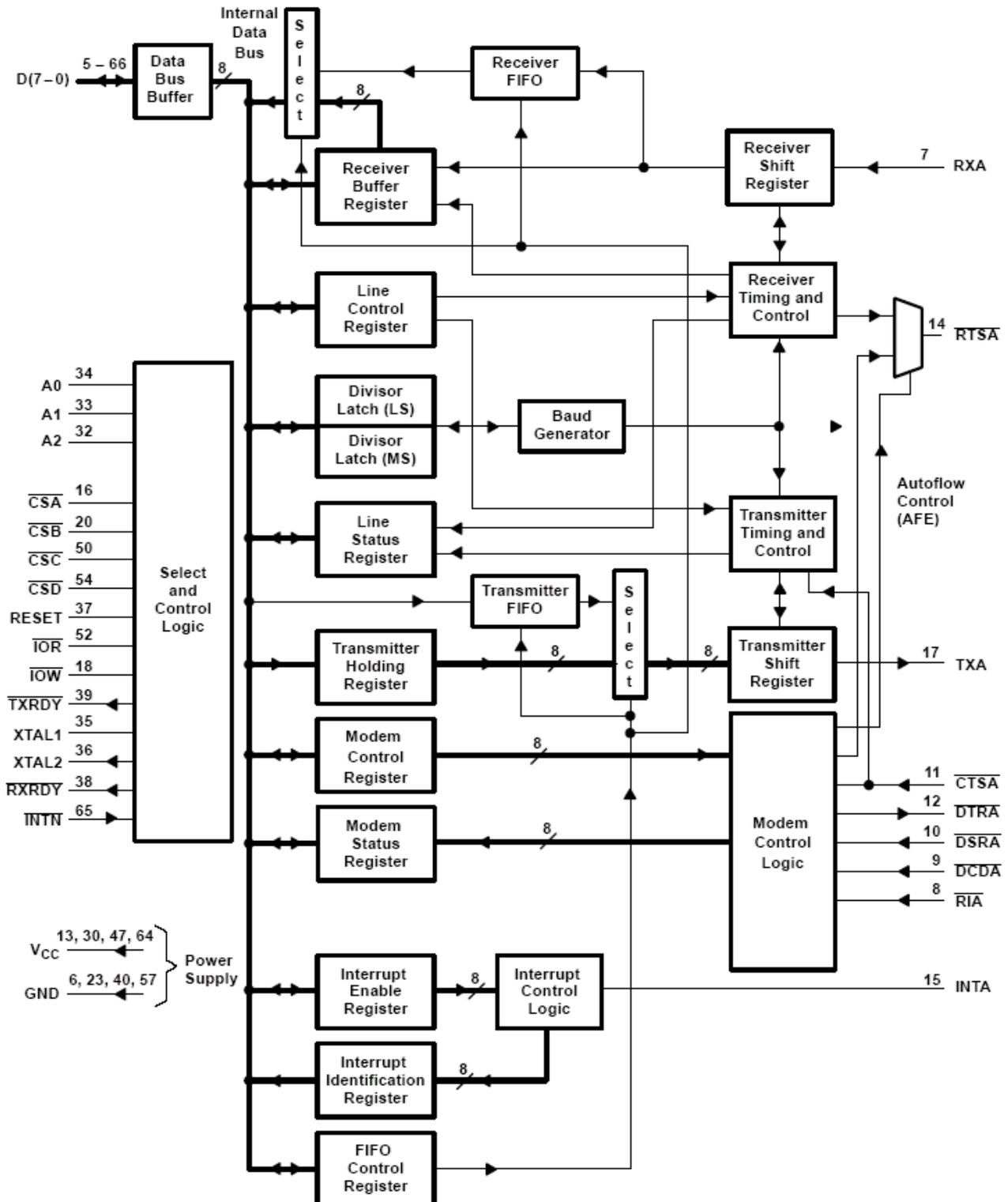
NC——内部不连接。

PN 封装
 (顶视图)



NC——内部不连接。

功能方框图（每一通道）



注：A、图中所示的引脚个数是针对 FN 封装和通道 A 而言。

引脚功能

引脚端			I/O	说 明
名 称	FN 编号	PN 编号		
A0 A1 A2	34 33 32	48 47 46	I	寄存器选择端。A0、A1 和 A2 是三个输入端，在读写操作时用于选择要对其进行读写操作的 ACE 寄存器。
\overline{CSA} , \overline{CSB} , \overline{CSC} , \overline{CSD}	16 , 20 , 50 , 54	28 , 33 , 68 , 73	I	片选端。每个片选端 (\overline{CSx}) 使能相应通道的读写操作。
\overline{CTSA} , \overline{CTSB} , \overline{CTSC} , \overline{CTSD}	11 , 25 45 , 59	23 , 38 63 , 78	I	清零发送端。 \overline{CTS} 是调制解调器的状态信号端。通过对调制解调器状态寄存器的位 4 (\overline{CTS}) 进行读操作可以查询 \overline{CTS} 的状态。调制解调器状态寄存器的位 0 (\overline{CTS}) 表明自上一次对调制解调器状态寄存器的读操作以后, \overline{CTS} 的状态已改变。在 \overline{CTS} 的状态发生改变时如果调制解调器状态中断被使能并且自动 \overline{CTS} 模式未被使能的话, 发生一次中断。在自动 \overline{CTS} 模式中 \overline{CTS} 也用于控制发送器。
D7—D0	66—68 1—5	15—11 9—7	I/O	数据总线。8 条数据总线带有 3 态输出, 为 TL16C554A 与 CPU 之间的数据、控制和状态信息提供双向路径。D0 是最低有效位 (LSB)。
\overline{DCDA} , \overline{DCDB} , \overline{DCDC} , \overline{DCDD}	9 , 27 , 43 , 61	19 , 42 , 59 , 2	I	数据载体检测。 \overline{DCDx} 为低则表明载体已被调制解调器检测。通过读调制解调器状态寄存器的位 7 来查询该信号的状态。
\overline{DSRA} , \overline{DSRB} , \overline{DSRC} , \overline{DSRD}	10 , 26 , 44 , 60	22 , 39 , 62 , 79	I	数据就绪。 \overline{DSRx} 是调制解调器状态信号。通过读调制解调器状态寄存器的位 5 (\overline{DSRx}) 可以查询其状态。 \overline{DSRx} 对发送和接收操作没有影响。
\overline{DTRA} , \overline{DTRB} , \overline{DTRC} , \overline{DTRD}	12 , 24 , 46 , 58	24 , 37 , 64 , 77	O	数据端就绪。 \overline{DTRx} 是输出端, 它通知调制解调器或数据组异步通信组件已准备好建立通信。通过设置调制解调器控制寄存器的 DTR 位来将 \overline{DTRx} 置为有效状态。在环路工作模式中主机复位时或者在对调制解调器控制寄存器的 0 位 (\overline{DTR}) 清零时, \overline{DTRx} 被置为无效状态 (高)。
GND	6 , 23 , 40 , 57	16 , 36 , 56 , 76		信号和电源地线
\overline{INTN}	65	6	I	正常中断。 \overline{INTN} 与调制解调器状态寄存器 (MCR) 的位 3 一起工作, 并影响四个通用异步接收器/发送器 (UART) 中断端 (INTA、INTB、INTC 和 INTD) 的工作, 见下表。
				\overline{INTN} 中断端的工作
				拉低或者允许悬空 中断端依据 OUT2 (MCR 的位 3) 的状态被使能。在 MCR 的位 3 被清零时, UART 的 3 态中断输出处于高阻抗状态。当 MCR 的位 3 被置位时, UART 的中断输出被使能。
				拉高 中断端总是被使能, 覆盖 OUT2 的使能操作。

引脚功能 (续表)

引脚端			I/O	说 明
名 称	FN 编号	PN 编号		
INTA, INTB, INTC, INTD	15, 21, 49, 55	27, 34, 67, 74	O	外部中断输出。INTx 输出端变为高电平 (在被中断寄存器使能时), 并且通知 CPU 异步通信组件要进行一次中断。有四种情况会导致中断的发生: 接收器错误、接收器数据就绪或超时 (仅限 FIFO 模式)、发送器保持寄存器为空以及调制解调器状态中断被使能。在被伺服之后或者因为主机复位, 中断被禁止。
\overline{IOR}	52	70	I	读操作选通。 \overline{IOR} 处于低电平时发送所选择的寄存器的内容到外部 CPU 总线。
\overline{IOW}	18	31	I	写操作选通。 \overline{IOW} 使 CPU 可以对被寻址的寄存器进行写操作。
RESET	37	53	I	主机复位。RESET 有效时, 对多数 ACE 寄存器清零, 并设置不同信号的状态。在复位期间发送器的输出和接收器的输入被禁止。
\overline{RIA} , \overline{RIB} , \overline{RIC} , \overline{RID}	8, 28, 42, 62	18, 43, 58, 3	I	响铃检测指示器。 \overline{Rix} 处于低电平时表明调制解调器已从电话线接收到一个响铃信号。通过读调制解调器状态寄存器的位 6 可以查询该信号的状态。
\overline{RTSA} , \overline{RTSB} , \overline{RTSC} , \overline{RTSD}	14, 22, 48, 56	26, 35, 66, 75	O	请求发送。 \overline{RTS} 有效时通知调制解调器或数据组异步通信组件已准备好接收数据。通过设置调制解调器控制寄存器 (MCR) 的 RTS 位可以将 \overline{RTS} 置为有效状态; 通过主机复位或者在环路工作模式时或者通过对 MCR 的位 1 (RTS) 清零可以将 \overline{RTS} 置为无效状态。在自动 \overline{RTS} 模式中, 由接收器的门限控制逻辑将 \overline{RTS} 置为无效状态。
RXA, RXB, RXC, RXD	7, 29, 41, 63	17, 44, 57, 4	I	串行输入。RXx 是外接通信器件的串行数据输入端。在回送模式中, RXx 从外部连接断开, 并在内部被连接到 TXx。
\overline{RXRDY}	38	54	O	接收就绪。在接收 FIFO 满载时, \overline{RXRDY} 变为低电平。它可以发挥单路传输或多路传输的作用。
TXA, TXB, TXC, TXD	17, 19, 51, 53	29, 32, 69, 72	O	发送输出。TXx 是复合串行数据输出端, 连接到通信器件。在复位后, TXA、TXB、TXC 和 TXD 被置为标记 (高) 状态。
\overline{TXRDY}	39	55	O	发送就绪。在发送 FIFO 满载时, \overline{TXRDY} 变为低电平。它可以发挥单路传输或多路传输的作用。
V _{CC}	13, 30, 47, 64	5, 25, 45, 65		电源
XTAL1	35	50	I	晶体输入端 1 或外部时钟输入端。将晶体连接到 XTAL1 和 XTAL2 端就可使用内部振荡器电路。使用外接时钟可以驱动内部时钟电路。
XTAL2	36	51	O	晶体输出端 2 或经缓冲的时钟输出端 (见 XTAL1)。

自然通风温度范围内的极限参数 (除非另有说明) †

电源电压范围, V _{CC} (见注释 1)	—0.5V 到 7V
任意输入端上的输入电压, V _I	—0.5V 到 7V
输出电压范围, V _O	—0.5V 到 V _{CC} +3V
70 (或低于 70) 时的持续总功耗	500mW
自然通风工作温度范围, T _A : TL16C554A	0 到 70
TL16C554AI	—40 到 85

贮存温度范围, Tstg..... —65 到 150

† 强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

注释：1、所有电压均相对于 GND。

推荐工作条件，标准电压（额定值5V）

		最小值	额定值	最大值	单位
电源电压, V_{CC}		4.75	5	5.25	V
XTAL1 脚上的时钟高电平输入电压, $V_{IH(CLK)}$		2		V_{CC}	V
XTAL1 脚上的时钟低电平输入电压, $V_{IL(CLK)}$		-0.5		0.8	V
高电平输入电压, V_{IH}		2		V_{CC}	V
低电平输入电压, V_{IL}		-0.5		0.8	V
时钟频率, f_{CLOCK}				16	MHz
自然通风工作温度, T_A	TL16C554A TL16C554AI	0 -40		70 85	

电气特性（在推荐自然通风工作温度范围内，在电源电压为标准电压时（额定值5V），除非另有说明）

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
$V_{OH}‡$ High-level output voltage	$I_{OH} = -1 \text{ mA}$	2.4			V
$V_{OL}‡$ Low-level output voltage	$I_{OL} = 1.6 \text{ mA}$			0.4	V
I_{Ikg} Input leakage current	$V_{CC} = 5.25 \text{ V}$, $V_I = 0 \text{ to } 5.25 \text{ V}$, GND = 0, All other terminals floating			±10	μA
I_{OZ} High-impedance output current	$V_{CC} = 5.25 \text{ V}$, GND = 0, $V_O = 0 \text{ to } 5.25 \text{ V}$, Chip selected in write mode or chip deselected			±20	μA
I_{CC} Supply current	$V_{CC} = 5.25 \text{ V}$, $T_A = 25^\circ\text{C}$, RX, DSR, DCD, CTS, and RI at 2 V, All other inputs at 0.8 V, XTAL1 at 4 MHz, No load on outputs, Baud rate = 50 kilobits per second			50	mA
$C_{i(XTAL1)}$ Clock input capacitance			15	20	pF
$C_{o(XTAL2)}$ Clock output capacitance			20	30	pF
C_i Input capacitance	$V_{CC} = 0$, $V_{SS} = 0$, all other terminals grounded, $f = 1 \text{ MHz}$, $T_A = 25^\circ\text{C}$		6	10	pF
C_o Output capacitance			10	20	pF

† 所有典型值是指 $V_{CC}=5\text{V}$, $T_A=25$ 时的值。

‡ 这些参数适用于除XTAL2以外的所有输出端。

推荐工作条件，低电压（额定值3.3V）

		最小值	额定值	最大值	单位
电源电压, V_{CC}		3	3.3	3.6	V
XTAL1 脚上的时钟高电平输入电压, $V_{IH(CLK)}$		2		V_{CC}	V
XTAL1 脚上的时钟低电平输入电压, $V_{IL(CLK)}$		-0.5		0.8	V
高电平输入电压, V_{IH}		2		V_{CC}	V
低电平输入电压, V_{IL}		-0.5		0.8	V
时钟频率, f_{CLOCK}				16	MHz
自然通风工作温度, T_A	TL16C554A	0		70	
	TL16C554AI	-40		85	

电气特性（在推荐自然通风工作温度范围内，在电源电压为低电压时（额定值3.3V），除非另有说明）

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
$V_{OH}‡$ High-level output voltage	$I_{OH} = -1 \text{ mA}$	2.4			V
$V_{OL}‡$ Low-level output voltage	$I_{OL} = 1.6 \text{ mA}$			0.4	V
I_{IKG} Input leakage current	$V_{CC} = 3.6 \text{ V}$, $V_I = 0 \text{ to } 3.6 \text{ V}$, GND = 0, All other terminals floating			±10	μA
I_{OZ} High-impedance output current	$V_{CC} = 3.6 \text{ V}$, GND = 0, $V_O = 0 \text{ to } 3.6 \text{ V}$, Chip selected in write mode or chip deselected			±20	μA
I_{CC} Supply current	$V_{CC} = 3.6 \text{ V}$, $T_A = 25^\circ\text{C}$, RX, DSR, DCD, CTS, and RI at 2 V, All other inputs at 0.8 V, XTAL1 at 4 MHz, No load on outputs, Baud rate = 50 kilobits per second			40	mA
$C_i(XTAL1)$ Clock input capacitance	$V_{CC} = 0$, $V_{SS} = 0$, all other terminals grounded, $f = 1 \text{ MHz}$, $T_A = 25^\circ\text{C}$		15	20	pF
$C_o(XTAL2)$ Clock output capacitance			20	30	pF
C_i Input capacitance			6	10	pF
C_o Output capacitance			10	20	pF

† 所有典型值是指 $V_{CC}=3.3\text{V}$, $T_A=25$ 时的值。

‡ 这些参数适用于除 XTAL2 以外的所有输出端。

时钟定时要求（在推荐自然通风工作温度范围内以及电源电压条件下，见图1）

		最小值	最大值	单位
t_{w1}	脉冲持续时间，时钟处于高电平（外部时钟）	31		ns
t_{w2}	脉冲持续时间，时钟处于低电平（外部时钟）	31		ns
t_{w3}	脉冲持续时间，RESET	1000		ns

读周期定时要求 (在推荐自然通风工作温度范围内以及电源电压条件下, 见图4)

	最小值	最大值	单位
t_{w4} 脉冲持续时间, \overline{IOR} 处于低电平	75		ns
t_{SU1} 建立时间, 在 \overline{IOR} 变低之前 \overline{CSx} 有效 (见注释 2)	10		ns
t_{SU2} 建立时间, 在 \overline{IOR} 变低之前 A2—A0 有效 (见注释 2)	15		ns
t_{h1} 保持时间, 在 \overline{IOR} 变高之后 A2—A0 有效 (见注释 2)	0		ns
t_{h2} 保持时间, 在 \overline{IOR} 变高之后 \overline{CSx} 有效 (见注释 2)	0		ns
t_{d1} 延迟时间, $t_{SU2} + t_{w4} + t_{d2}$ (见注释 3)	140		ns
t_{d2} 延迟时间, \overline{IOR} 从高电平到 \overline{IOR} 或者 \overline{IOW} 处于低电平	50		ns

注：2、内部地址选通总是有效。

3、在FIFO模式中, 读接收器FIFO与状态寄存器(中断辨识寄存器和线路状态寄存器)的之间的 $t_{d1}=425$ ns (最小值)。

写周期定时要求 (在推荐自然通风工作温度范围内以及电源电压条件下, 见图5)

	最小值	最大值	单位
t_{w5} 脉冲持续时间, \overline{IOW}	50		ns
t_{SU3} 建立时间, 在 \overline{IOW} 之前 \overline{CSx} 有效 (见注释 2)	10		ns
t_{SU4} 建立时间, 在 \overline{IOW} 之前 A2—A0 有效 (见注释 2)	15		ns
t_{SU5} 建立时间, 在 \overline{IOW} 之前 D7—D0 有效	10		ns
t_{h3} 保持时间, 在 \overline{IOW} 之后 A2—A0 有效 (见注释 2)	5		ns
t_{h4} 保持时间, 在 \overline{IOW} 之后 \overline{CSx} 有效 (见注释 2)	5		ns
t_{h5} 保持时间, 在 \overline{IOW} 之后 D7—D0 有效	25		ns
t_{d3} 延迟时间, $t_{SU4} + t_{w5} + t_{d4}$	120		ns
t_{d4} 延迟时间, \overline{IOW} 到 \overline{IOW} 或者 \overline{IOR}	55		ns

注：2、内部地址选通总是有效。

读周期的开关特性 (在推荐自然通风工作温度范围内以及电源电压条件下, $CL=100pF$, 见注释4和图4)

参 数	最小值	最大值	单位
t_{en} 使能时间, \overline{IOR} 到 D7—D0 有效		30	ns
t_{dis} 禁止时间, \overline{IOR} 到 D7—D0 被释放	0	20	ns

注：4、 V_{OL} 和 V_{OH} (以及外部负载) 决定充电和放电时间。

发送器的开关特性（在推荐自然通风工作温度范围内以及电源电压条件下，见图6、7、8）

参 数	测试条件	最小值	最大值	单位
t_{d5} 延迟时间, \overline{INTx} 到 \overline{TXx} 启动时	见注释 7	8	24	RCLK 周期
t_{d6} 延迟时间, \overline{TXx} 启动时到 \overline{INTx}	见注释 5	8	8	RCLK 周期
t_{d7} 延迟时间, \overline{IOW} 高或低(WR THR)到 \overline{INTx}	见注释 5	16	32	RCLK 周期
t_{d8} 延迟时间, \overline{TXx} 启动时到 \overline{TXRDY}	$C_L=100\text{pF}$		8	RCLK 周期
t_{pd1} 传播延迟时间, \overline{IOW} (WR THR) 到 \overline{INTx}	$C_L=100\text{pF}$		35	ns
t_{pd2} 传播延迟时间, \overline{IOR} (RD IIR) 到 \overline{INTx}	$C_L=100\text{pF}$		30	ns
t_{pd3} 传播延迟时间, \overline{IOW} (WR THR) 到 \overline{TXRDY}	$C_L=100\text{pF}$		50	ns

注：5、如果发送器的中断延迟有效，则此次延迟延长 1 个字符时间减去上一个停止位时间。

接收器开关特性（在推荐自然通风工作温度范围内以及电源电压条件下，见图9到13）

参 数	测试条件	最小值	最大值	单位
t_{d9} 延迟时间, 停止位到 \overline{INTx} 或停止位到 \overline{RXRDY} 或者读RBR来设置中断	见注释 6		1	RCLK 周期
t_{pd4} 传播延迟时间, 读RBR/LSR到 \overline{INTx} /LSR中断	$C_L=100\text{pF}$, 见注释 7		40	ns
t_{pd5} 传播延迟时间, \overline{IOR} RCLK 到 \overline{RXRDY}	见注释 7		30	ns

注：6、接收器数据有效指示器、溢出错误指示器、触发级中断和有效 \overline{RXRDY} 指示器在 FIFO 模式(FCR0=1)中延迟 3 个 RCLK (内部接收器定时时钟)周期。在第 1 个字节发送后，状态指示器 (PE、FE、BI) 延迟 3 个 RCLK 周期。为从 RBR 寄存器读取数据变为 \overline{IOR} 有效状态，在这之后如果再接收到任何字节，则这些指示器立即被更新。触发级改变中断需要 8 个 RCLK 周期延迟时间。

7、RCLK 和 BAUDOUT 是从除数锁存 LSB (DLL)、MSB (DLM) 和输入时钟发出的内部信号。

调制解调器控制开关特性 (在推荐自然通风工作温度范围内以及电源电压条件下, $C_L=100\text{pF}$, 见图14、15、16、17)

参 数	最小值	最大值	单 位
t_{pd6} 传播延迟时间, \overline{IOW} (WR MCR) 到 \overline{RTSx} , \overline{DTRx}		50	ns
t_{pd7} 传播延迟时间, 调制解调器输入 \overline{CTSx} , \overline{DSRx} 和 \overline{DCDx} 到 \overline{INTx}		30	ns
t_{pd8} 传播延迟时间, \overline{IOR} (RD MSR) 到中断		35	ns
t_{pd9} 传播延迟时间, \overline{RIx} 到 \overline{INTx}		30	ns
t_{pd10} 传播延迟时间, \overline{CTS} 低到 SOUT (见注释 7)		24	BOUDOUT 周期
t_{su6} 建立时间, \overline{CTS} 高到 Tx 停止位中点		2	BOUDOUT 周期
t_{pd11} 传播延迟时间, RCV 门限字节到 \overline{RTS}		2	BOUDOUT 周期
t_{pd12} 传播延迟时间, \overline{IOR} (RD RBR) 低 (在接收 FIFO 中读最后一个字节) 到 \overline{RTS}		2	BOUDOUT 周期
t_{pd13} 传播延迟时间, 第 16 个字符的第 1 个数据位到 \overline{RTS}		2	BOUDOUT 周期
t_{pd14} 传播延迟时间, \overline{IOR} (RD RBR) 低到 \overline{RTS}		2	BOUDOUT 周期

注：7、RCLK 和 BAUDOUT 是从除数锁存 LSB (DLL)、MSB (DLM) 和输入时钟发出的内部信号。

参数测量资料

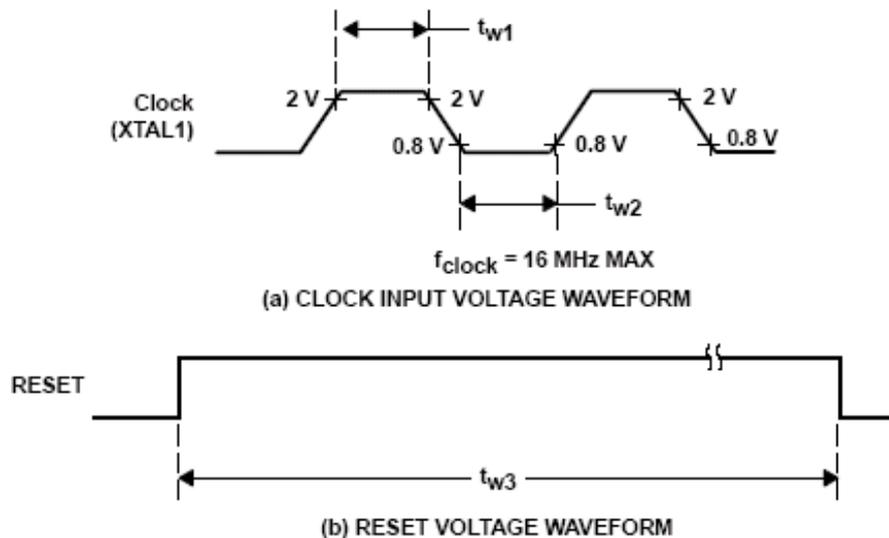
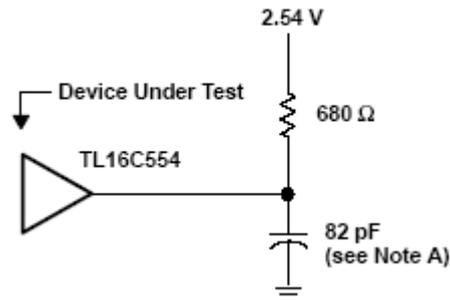


图 1 时钟输入和复位电压波形



注：A、包括示波器和夹具电容。
 图 2 输出负载电路

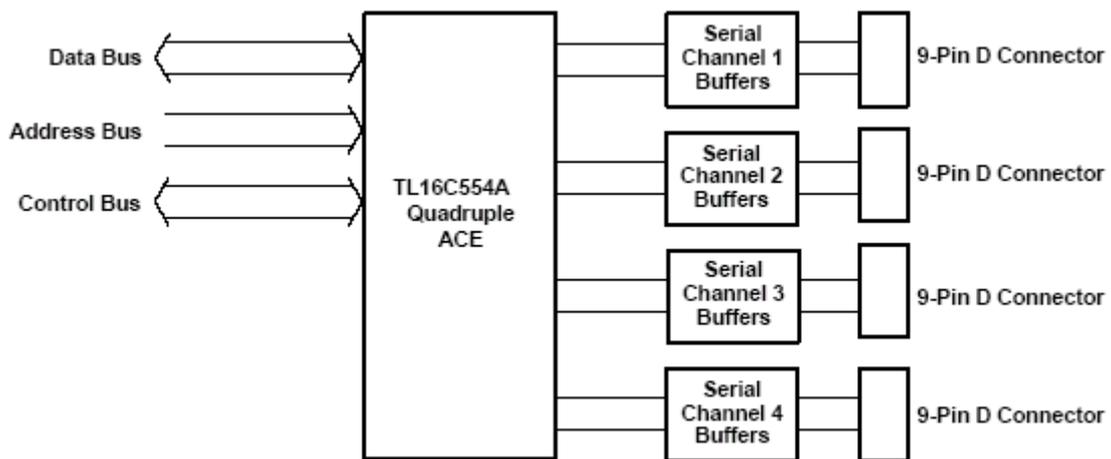


图 3 基本测试配置

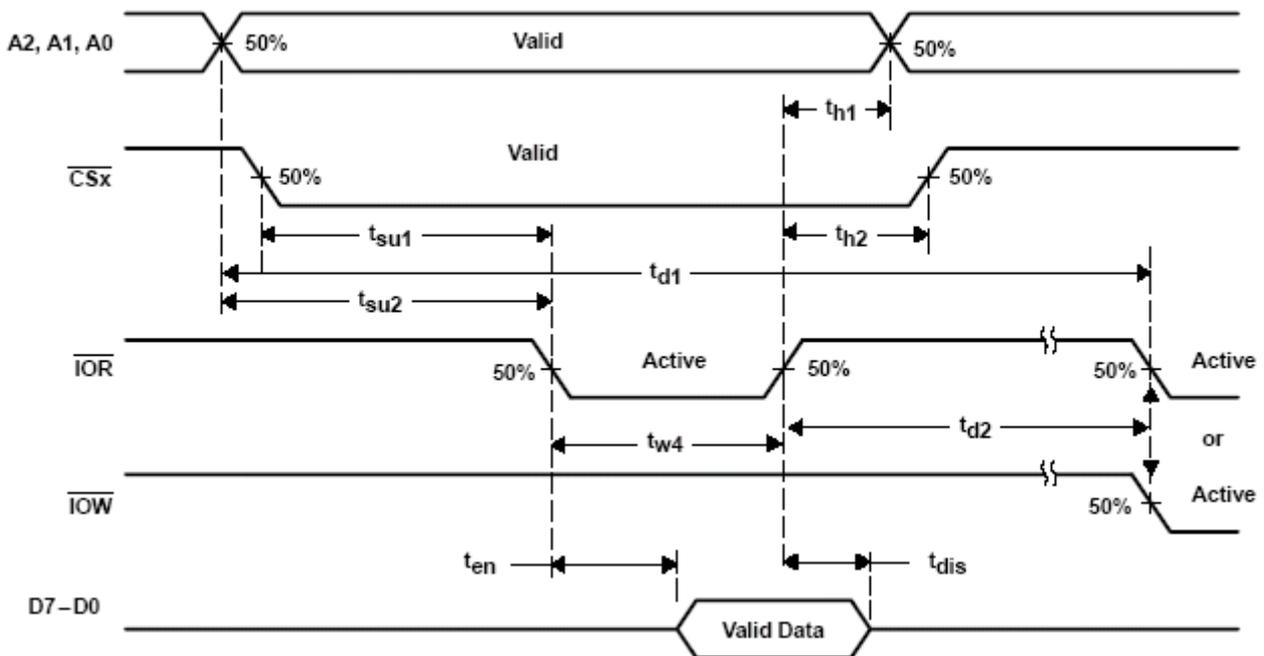


图 4 读周期定时波形

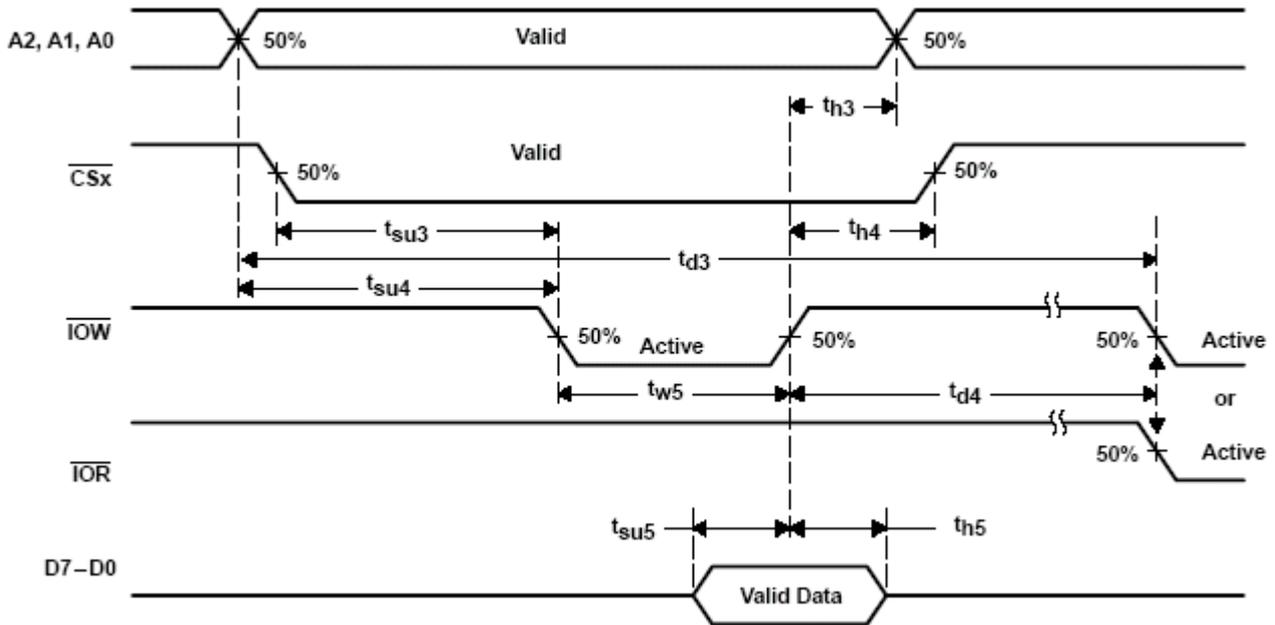


图 5 写周期定时波形

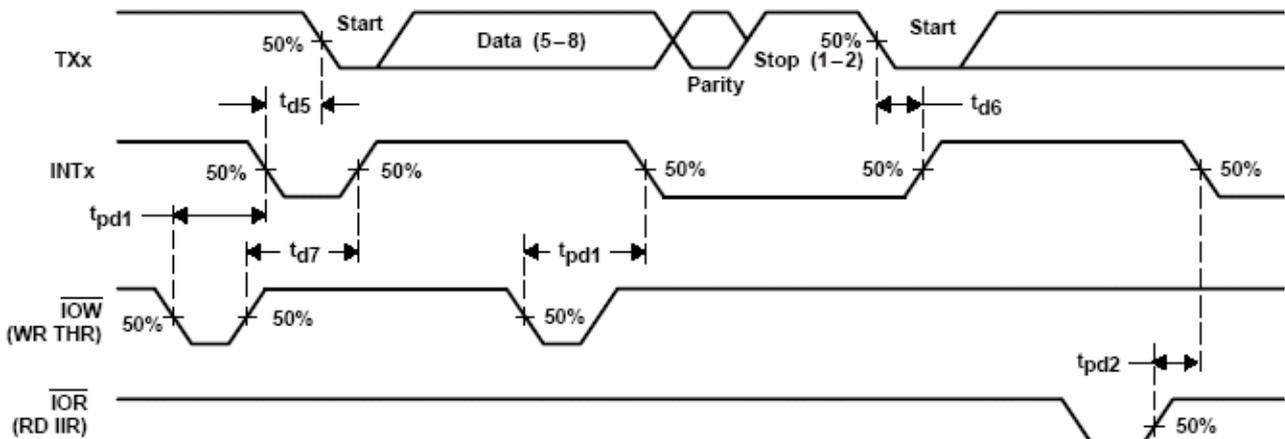


图 6 发送器定时波形

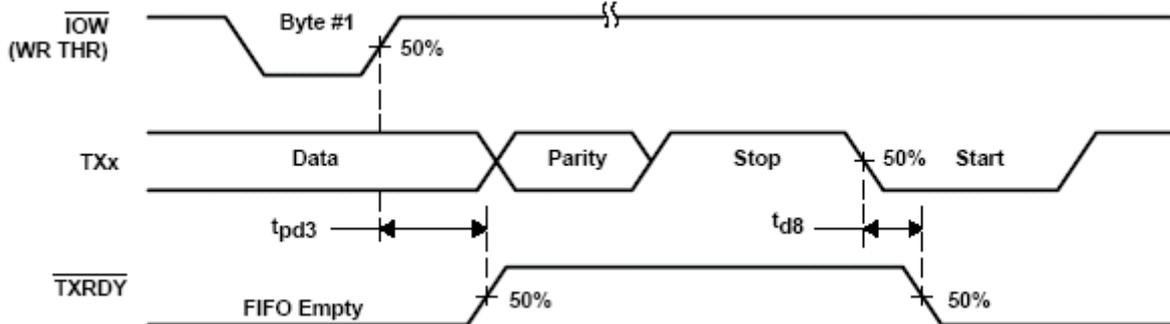


图 7 发送器就绪模式 0 的定时波形

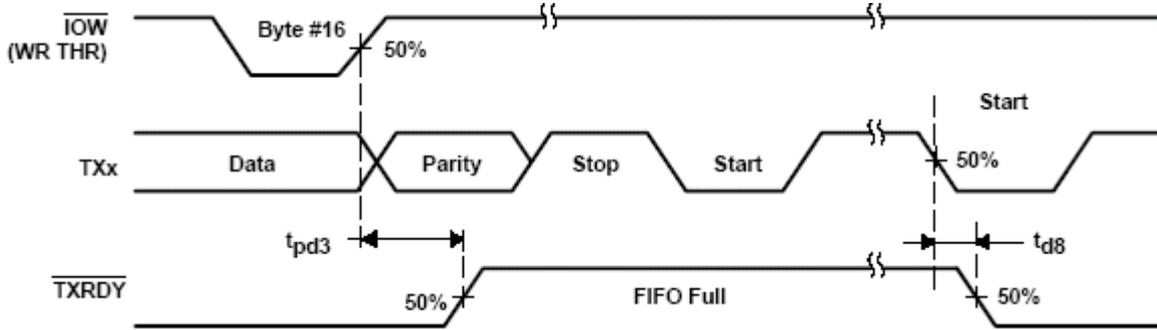


图 8 发送器就绪模式 1 的定时波形

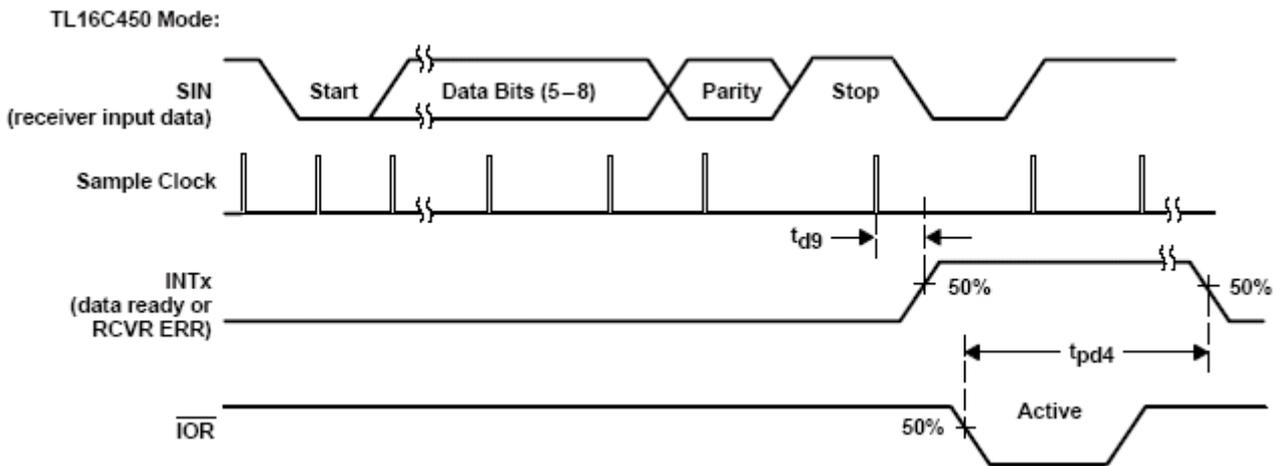


图 9 接收器定时波形

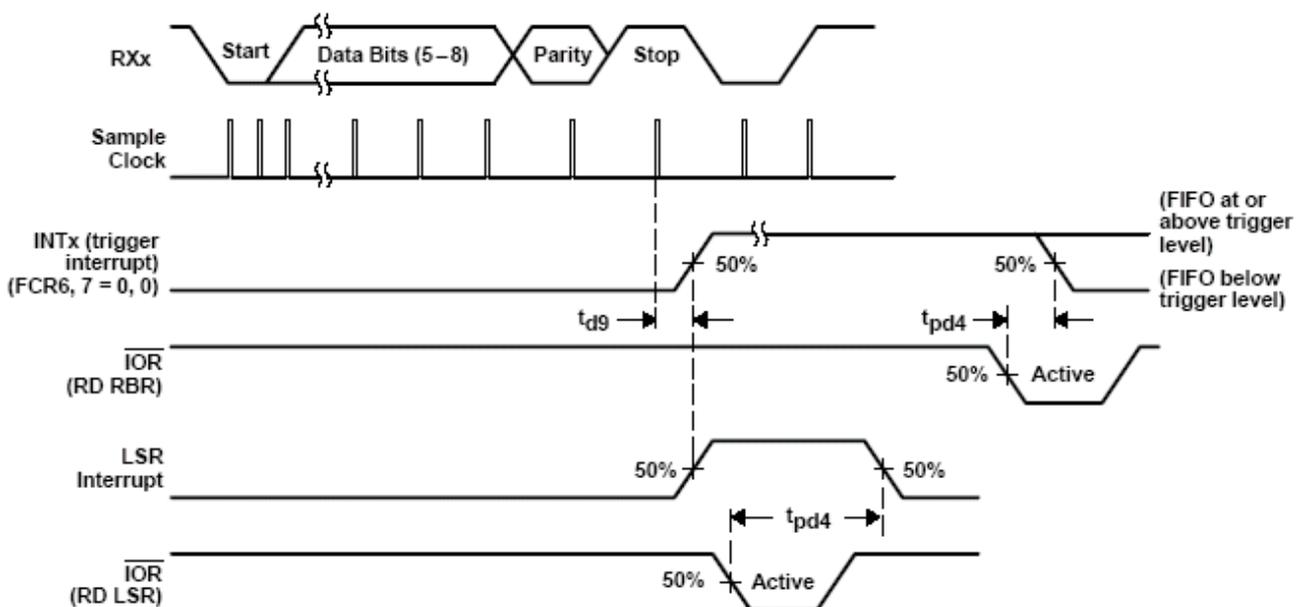
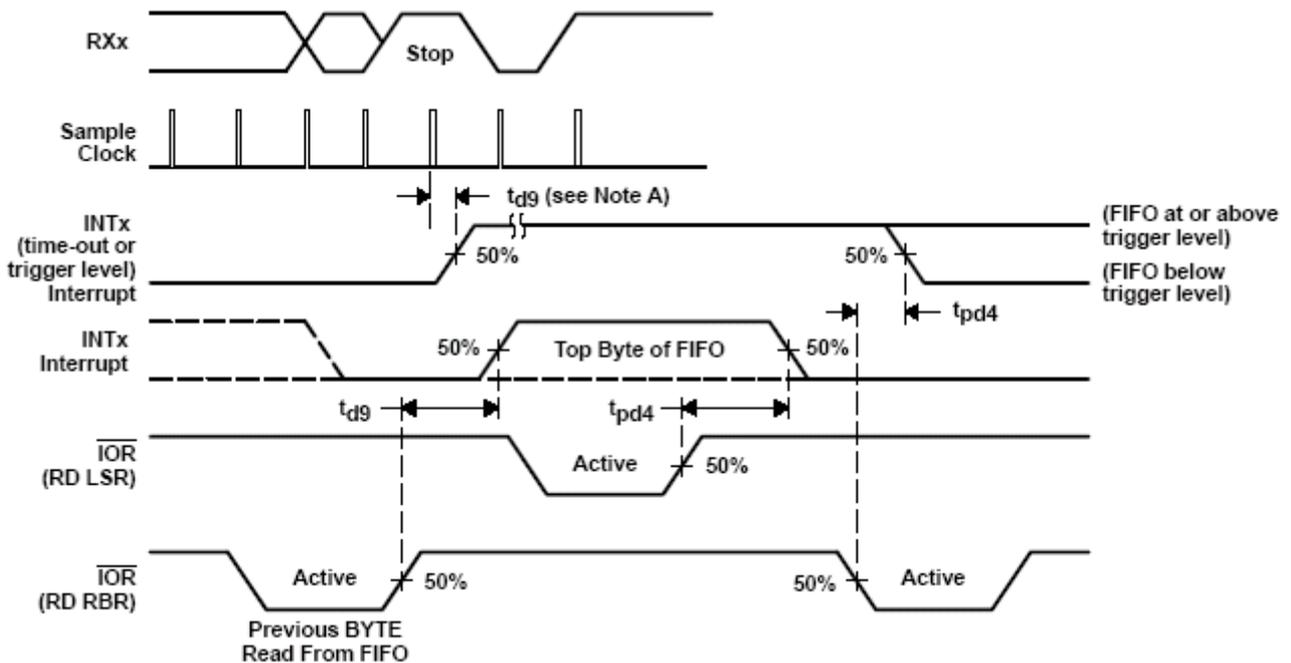
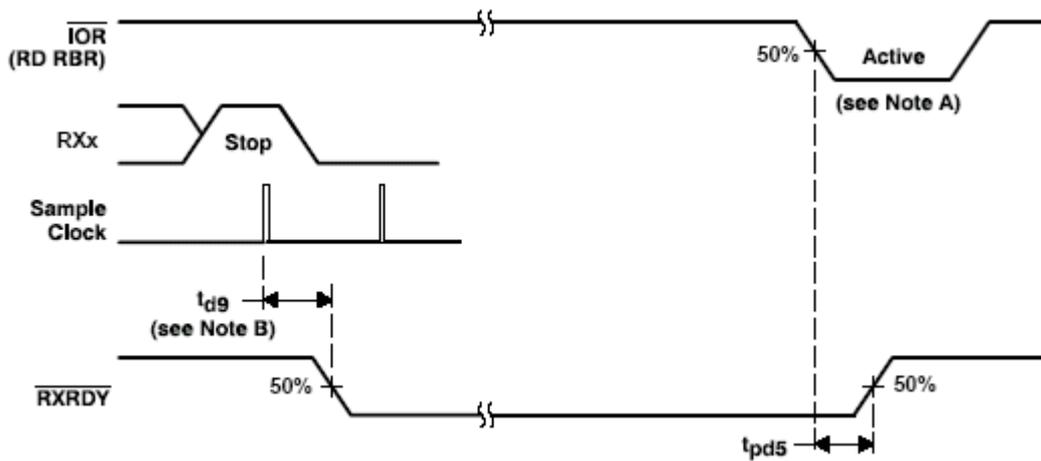


图 10 接收器 FIFO 第 1 个字节 (设置 RDR) 的波形



注：A、这是对 FIFO 的最后一个字节进行读操作。

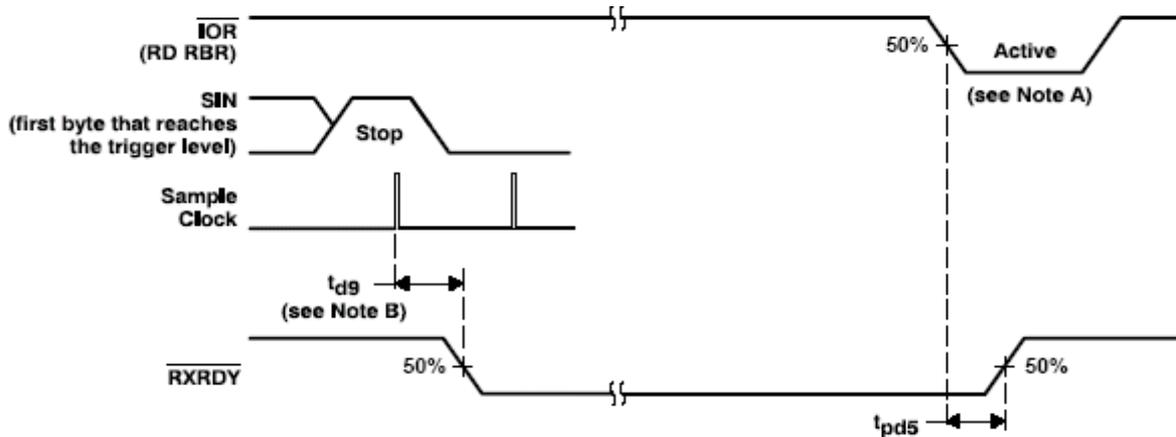
图 11 接收器 FIFO 在第 1 个字节之后（RDR 设置之后）的波形



注：A、这是对 FIFO 的最后一个字节进行读操作。

B、如果FCR0=1，则 t_{d9} =3 个RCLK周期。对于一次超时中断， t_{d9} =8 个RCLK周期。

图 12 接收器就绪模式 0 的定时波形



注：A、这是对 FIFO 的最后一个字节进行读操作。
 B、如果FCR0=1，则 t_{d9} =3 个RCLK周期。对于一次触发级改变中断， t_{d9} =8 个RCLK周期。

图 13 接收器就绪模式 1 的定时波形

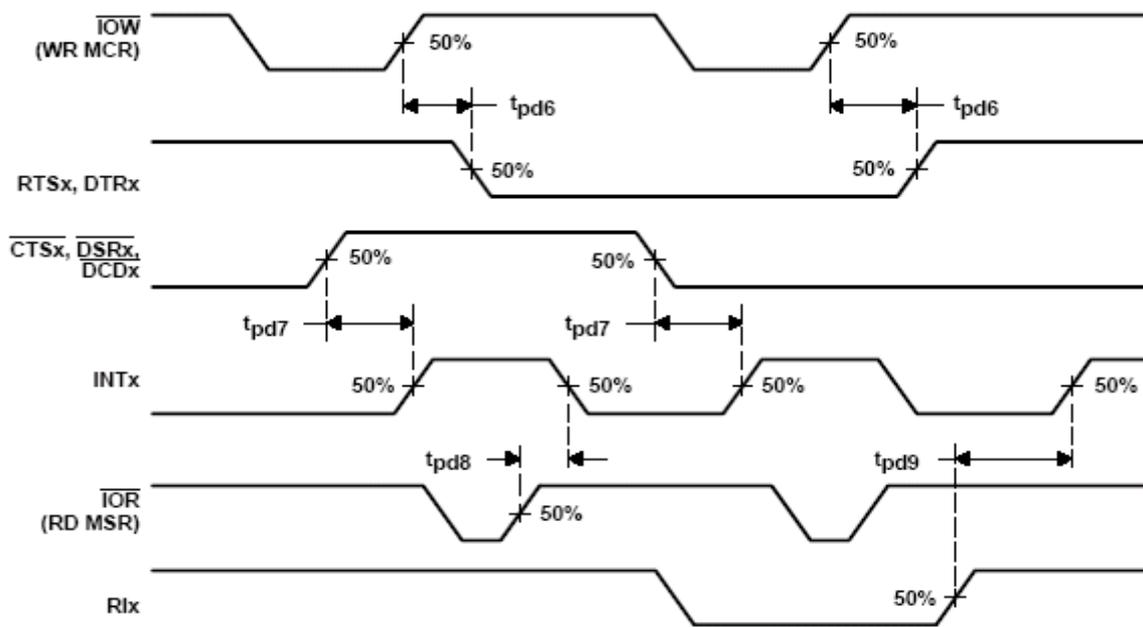


图 14 调制解调器控制定时波形

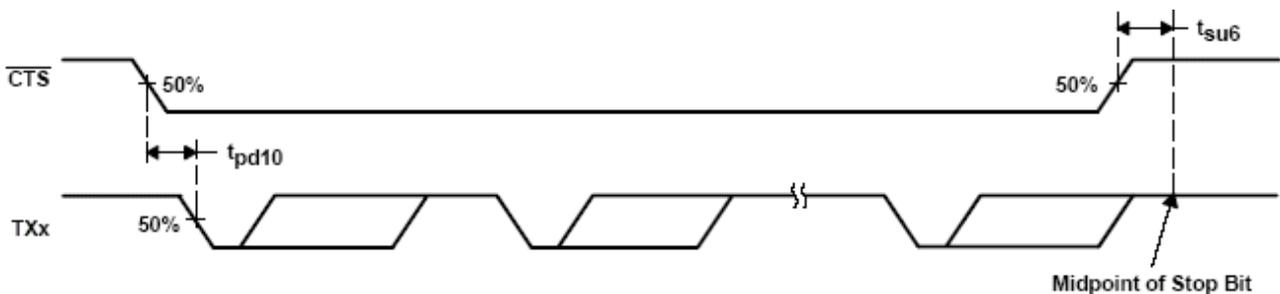


图 15 \overline{CTS} 与 TX 自动流控定时（开始与结束）波形

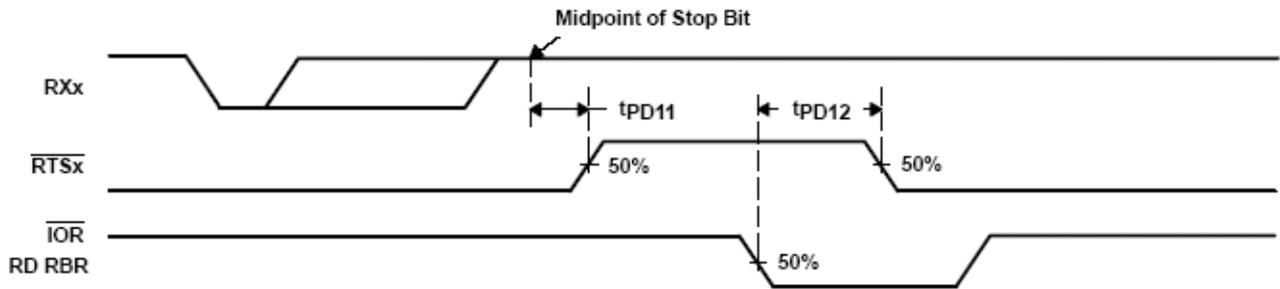


图 16 对 RVC 门限 1、4、8 的自动 \overline{RTS} 定时波形

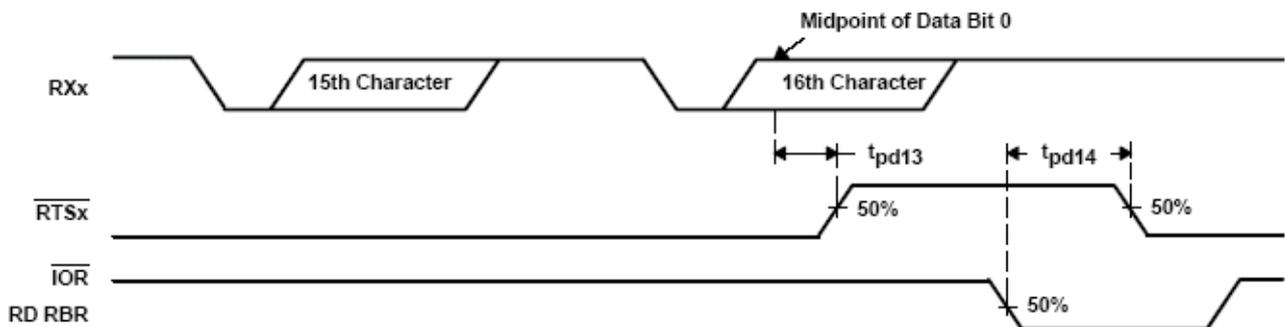


图 17 对 RCV 门限 14 的自动 \overline{RTS} 定时波形

工作原理

有三类信息存储在异步通信组件使用的内部寄存器中：控制信息、状态信息和数据信息。这些寄存器的助记码如表 1 所示。表 2 给出了每个寄存器的地址定义并说明该寄存器是只读、只写还是可读写的。

表 1 内部寄存器的助记码

控制	助记码	状态	助记码	数据	助记码
线路控制寄存器	LCR	线路状态寄存器	LSR	接收器缓冲寄存器	RBR
FIFO 控制寄存器	FCR	调制解调器状态寄存器	MSR	发送器保持寄存器	THR
调制解调器控制寄存器	MCR				
除数锁存 LSB	DLL				
除数锁存 MSB	DLM				
中断使能寄存器	IER				

表 2 寄存器选择†

DLAB‡	A2§	A1§	A0§	读操作模式	写操作模式
-------	-----	-----	-----	-------	-------

0	0	0	0	接收器缓冲寄存	发送器保持寄存器
0	0	0	1		中断使能寄存器
X	0	1	0	中断辨识寄存器	FIFO 控制寄存器
X	0	1	1		线路控制寄存器
X	1	0	0		调制解调器控制寄存器
X	1	0	1	线路状态寄存器	
X	1	1	0	调制解调器状态寄存器	
X	1	1	1	暂存寄存器	暂存寄存器
1	0	0	0		LSB 除数锁存
1	0	0	1		MSB 除数锁存

X=无关，0=低电平，1=高电平

† 在 CSA 或 CSD 为低时，串行通道可访问。

‡ DLAB 是除数锁存访问位，是 LCR 的位 7。

§ A2—A0 是器件的引脚端。

寄存器中的独立位附带对应编号，与寄存器助记码一起使用。例如，LCR7 指线路控制寄存器的位 7。发送器缓冲寄存器和接收器缓冲寄存器是数据型寄存器，保存 5 到 8 位数据。如果把发送的数据少于 8 位，则数据右对齐直到最低有效位。一个数据字的 0 位总是第 1 个接收或发送的串行数据位。异步通信组件的数据寄存器是双缓冲型（TL16C450 模式）或 FIFO 缓冲型（FIFO 模式）的，所以在异步通信组件在进行并-串或串-并转换时也能执行读写操作。

可访问的寄存器

系统编程器通过使用 CPU 可以访问或控制表 1 列出的所有异步通信组件寄存器。这些寄存器控制异步通信组件的工作、接收数据并发送数据。对这些寄存器的介绍见表 3。

表 3 可访问的寄存概要

ADDRESS	REGISTER MNEMONIC	REGISTER ADDRESS							
		BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0	RBR (read only)	Data Bit 7 (MSB)	Data Bit 6	Data Bit 5	Data Bit 4	Data Bit 3	Data Bit 2	Data Bit 1	Data Bit 0 (LSB)
0	THR (write only)	Data Bit 7	Data Bit 6	Data Bit 5	Data Bit 4	Data Bit 3	Data Bit 2	Data Bit 1	Data Bit 0
0†	DLL	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1†	DLM	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
1	IER	0	0	0	0	(EDSSI) Enable modem status interrupt	(ERLSI) Enable receiver line status interrupt	(ETBEI) Enable transmitter holding register empty interrupt	(ERBI) Enable received data available interrupt
2	FCR (write only)	Receiver Trigger (MSB)	Receiver Trigger (LSB)	Reserved	Reserved	DMA mode select	Transmit FIFO reset	Receiver FIFO reset	FIFO Enable
2	IIR (read only)	FIFOs Enabled‡	FIFOs Enabled‡	0	0	Interrupt ID Bit (3)‡	Interrupt ID Bit (2)	Interrupt ID Bit (1)	0 If interrupt pending
3	LCR	(DLAB) Divisor latch access bit	Set break	Stick parity	(EPS) Even-parity select	(PEN) Parity enable	(STB) Number of stop bits	(WLSB1) Word-length select bit 1	(WLSB0) Word-length select bit 0
4	MCR	0	0	Autoflow control enable (AFE)	Loop	OUT2 Enable external interrupt (INT)	Reserved	(RTS) Request to send	(DTR) Data terminal ready
5	LSR	Error in receiver FIFO‡	(TEMT) Transmitter registers empty	(THRE) Transmitter holding register empty	(BI) Break interrupt	(FE) Framing error	(PE) Parity error	(OE) Overrun error	(DR) Data ready
6	MSR	(DCD) Data carrier detect	(RI) Ring indicator	(DSR) Data set ready	(CTS) Clear to send	(ΔDCD) Delta data carrier detect	(TERI) Trailing edge ring indicator	(ΔDSR) Delta data set ready	(ΔCTS) Delta clear to send
7	SCR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

† DLAB = 1

‡ 在 FIFO 被禁止时，这些位总是为 0。

FIFO 控制寄存器 (FCR)

FCR 是只读寄存器，与 IIR 的位置相同。它使能 FIFO，设置接收器 FIFO 的触发层级，并选择 DMA 信号发送的类型。

- 位 0：FCR0 使能 FIFO 的发送和接收。两个 FIFO 中的所有字节可以通过对 FCR0 清零来清除。在 FIFO 模式转换到 TL16C450 模式（见 FCR 的 0 位）时，数据从 FIFO 自动清零，反之亦然。通过设置 FCR0 可以激活对其它 FCR 位的编程。
- 位 1：FCR1 被置位时，将清除接收器 FIFO 中的所有字节并对计数器复位。但是不清除移位寄存器。
- 位 2：FCR2 被置位时，将清除发送器 FIFO 中的所有字节并对计数器复位。但是不清除移位寄存器。
- 位 3：FCR3 被置位时，如果 FCR0 也被置位，则会将 \overline{RXRDY} 和 \overline{TXRDY} 从模式 0 转换到模式 1。

- 位 4 和位 5：FCR4 和 FCR5 保留，另有用途。
- 位 6 和位 7：FCR6 和 FCR7 设置接收器 FIFO 中断和自动 \overline{RTS} 流控的触发层级（见表 4）。

表 4 接收器 FIFO 的触发层级

BIT		RECEIVER FIFO TRIGGER LEVEL (BYTES)
7	6	
0	0	01
0	1	04
1	0	08
1	1	14

FIFO 中断工作模式

接收器的以下状态出现在接收器 FIFO 和接收器中断被使能时：

1. 当移位寄存器向接收器 FIFO 发送一个字符时 LSR0 被置位。当 FIFO 为空时，它被复位。
2. IIR=06 接收器线路状态中断比接收数据有效中断 IIR=04 具有更高的优先级。
3. 在编程触发级达到 FIFO 时，向 CPU 发送接收数据有效中断。一旦 FIFO 下降到编程触发级以下，则清除接收数据有效中断。
4. 在 FIFO 达到其触发级时，IIR=04（接收数据有效指示）也会出现。一旦 FIFO 下降到编程触发级以下，则清除接收数据有效指示。

以下接收器 FIFO 字符的超时状态出现在接收器 FIFO 和接收器中断被使能时：

1. 在以下情形出现时，发生 FIFO 字符超时中断：
 - a. FIFO 中最少有一个字符
 - b. 在至少四个字符时间段内没有接收到新的串行字符。在波特率为 300，字符为 12 位时，FIFO 超时中断在接收字符到中断产生之间导致一段最大值 160ms 的等待时间。
 - c. 在至少四个字符时间段内没有对接收 FIFO 进行读操作。
2. 将 XTAL1 输入用于时钟信号，可计算出字符时间。延时与波特率成比例。
3. 在 CPU 对接收器 FIFO 进行读操作之后或者在接收到一个新的字符以后，超时计时器被复位，这在没有超时中断时发生。
4. 在 CPU 从接收器 FIFO 读取一个字符时超时中断被清除并且计时器被复位。

在发送器和发送 FIFO 中断被使能时（FCR0=1，IER=1），出现下列发送中断：

1. 在发送器 FIFO 为空时，发送器保持寄存器中断（IIR=02）出现。在发送器保持寄存器被写入或者在 IIR 被读取时，该中断被清除。在处理该中断时，可对发送 FIFO 写入 1 至 16 个字符。
2. 只要以下情况出现，发送器 FIFO 为空指示器将延迟一个字符时间减去上一个停止位时间：THRE=1，并且从上一次 THRE=1 起，发送 FIFO 中没有字节（至少两个字节）。在改变 FCR0 位的状态之后，第 1 个发送器中断立即出现，如果该中断被使能了的话。

接收器 FIFO 触发级和字符超时中断与接收数据有效中断具有相同的优先级。发送器保持寄存器为空中断（the transmitter holding register empty interrupt）与发送器 FIFO 为空中断具有相同的优先级。

FIFO 查询工作模式

在 FIFO 被使能并且所有的中断被禁止时，器件处于 FIFO 查询模式。

在 FIFO 查询模式中，不会指明超时情况也不会达到触发级。但是，接收和发送 FIFO 仍有保持字符的

能力。必须对 LSR 进行读操作来确定异步通信组件的状态。

中断使能寄存器 (IER)

IER 独立地使能四个串行通道中断源，激活中断 (INTA、B、C、D) 输出。通过清除 IER 的 IER0—IER3 位可以禁止所有中断。通过设置 IER 中的适当位可以使能中断。禁止中断系统也会禁止 IIR 和有效的 (高) 中断输出。其它所有的系统功能在正常模式下工作，包括设置 LSR 和 MSR。IER 的内容如表 3 所示，对 IER 各位的说明如下：

- 位 0：在 IER0 被置位时，它会在 FIFO 模式中使能接收数据有效中断和超时中断。
- 位 1：在 IER1 被置位时，发送器保持寄存器为空中断被使能。
- 位 2：在 IER2 被置位时，接收器线路状态中断被使能。
- 位 3：在 IER3 被置位时，调制解调器状态中断被使能。
- 位 4—7：IER4—IER7。IER 的这 4 位被清零。

中断辨识寄存器 (IIR)

为了在数据字符传输期间使软件开销最小，串行通道将所有中断划分为以下 4 个先后等级：

- 第 1 优先级——接收器线路状态 (最高优先级)
- 第 2 优先级——接收器数据就绪或接收器字符超时
- 第 3 优先级——发送器保持寄存器为空
- 第 4 优先级——调制解调器状态 (最低优先级)

IIR 存储有关分级中断的未决状态以及中断类型的信息。IIR 指明最高优先级的未决中断。IIR 的内容如表 5 所示。

表 5 中断控制功能

INTERRUPT IDENTIFICATION REGISTER				INTERRUPT SET AND RESET FUNCTIONS			
BIT 3	BIT 2	BIT 1	BIT 0	PRIORITY LEVEL	INTERRUPT TYPE	INTERRUPT SOURCE	INTERRUPT RESET CONTROL
0	0	0	1	—	None	None	—
0	1	1	0	First	Receiver line status	OE, PE, FE, or BI	LSR read
0	1	0	0	Second	Received data available	Receiver data available or trigger level reached	RBR read until FIFO drops below the trigger level
1	1	0	0	Second	Character time-out indicator	No characters have been removed from or input to the receiver FIFO during the last four character times, and there is at least one character in it during this time.	RBR read
0	0	1	0	Third	THRE	THRE	IIR read (if THRE is the interrupt source), or THR write
0	0	0	0	Fourth	Modem status	CTS, DSR, RI, or DCD	MSR read

- 位 0；IIR0 指明中断是否处于未决状态。在 IIR0 被清零时，表明中断处于未决状态。
- 位 1 和位 2：IIR1 和 IIR2 确定最高优先级的未决中断，如表 5 所示。
- 位 3：在 TL16C450 模式中 IIR3 总是被清零。此位在 FIFO 模式中随位 2 而设置并且有一个字符超时中断处于未决状态。

- 位 4 和位 5：IIR4 和 IIR5 总是被清零。
- 位 6 和位 7：IIR6 和 IIR7 在 FCR0=1 时被置位。

线路控制寄存器 (LCR)

数据字符的格式由 LCR 控制。可以对 LCR 进行读操作。其内容见下列说明和图 18。

- 位 0 和位 1：LCR0 和 LCR1 是字长选择位。这两位编定每个串行字符的位数，如图 18 所示。
- 位 2：LCR2 是停止位选择位。此位规定发送的每个字符中停止位的个数，如图 18 所示。
- 位 3：LCR3 是奇偶校验使能位。当 LCR3 被置位时，最后一个数据字位和停止位之间的奇偶校验位产生并被查验。
- 位 4：LCR4 是偶数奇偶校验选择位。该位被置位且奇偶校验被使能 (LCR3 被置位) 时，即选择了偶数奇偶校验。在该位被清零且奇偶校验被使能时，即选择了奇数奇偶校验。
- 位 5：LCR5 是粘附奇偶校验位 (the stick-parity bit)。在奇偶校验被使能 (LCR3 被置位) 而且该位也被置位时，奇偶校验位的发送和接收被置于与 LCR4 的值相反的状态。这就使奇偶校验处于已知状态并允许接收器查询处于已知状态的奇偶校验位。
- 位 6：LCR6 是断开控制位。该位被置位时，串行输出 TXx 被迫进入间隔状态 (低)。断开控制位只在串行输出中发挥作用，不影响发送器逻辑。如果采用以下步骤，且由于断开操作，在发送时不会出现无效字符。
 第 1 步：为响应发送器保持寄存器为空 (THRE) 状态指示器，装载一个零字节。
 第 2 步：为响应下一个 THRE 状态指示器，设置断开操作。
 第 3 步：在发送器为空的状态信号被设置 (TEMT=1) 时，等待发送器进入空闲状态；接着在正常发送操作恢复时清除断开操作。
- 位 7：LCR7 是除数锁存访问位 (DLAB)。该位必须被置位以便在读或写操作期间访问波特率发生器的除数锁存 DDL 和 DLM。LCR7 必须被清零以访问接收器缓冲寄存器、发送器保持寄存器或中断使能寄存器。

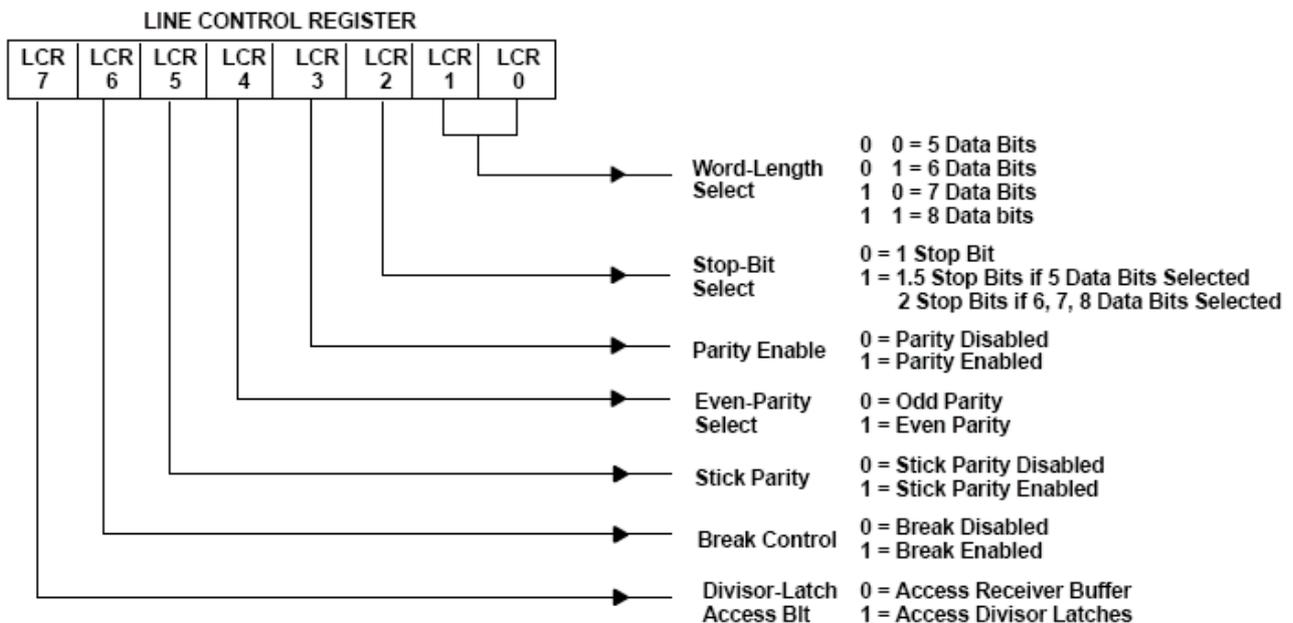


图 18 线路控制寄存器的内容

线路状态寄存器 (LSR)

LSR 是一个提供状态指示的单独的寄存器。LSR 的内容列于表 6 并说明如下；

- 位 0：LSR0 是数据就绪 (DR) 位。在输入字符被接收并被发送到接收器缓冲寄存器或 FIFO 时，数据就绪位被置位。在接收器缓冲寄存器或 FIFO 中，LSR0 通过对数据进行 CPU 读操作来清零。
- 位 1：LSR1 是超限错误 (OE) 位。超限错误表明在下一个字符传输到接收器缓冲寄存器之前，接收器缓冲寄存器中的数据没有被 CPU 读取，因此前一个字符被覆盖。只要 CPU 读取了 LSR 的内容，OE 指示器就被清零。在 FIFO 满载同时下一个字符完全接收之后，FIFO 模式中出现一个超限错误。超限错误发生后 CPU 在第一次 LSR 读操作时对其进行检测。移位寄存器中的字符不传送到 FIFO，但是被覆盖。
- 位 2：LSR2 是奇偶校验误差 (PE) 位。奇偶校验误差表明接收到的数据字符没有正确的奇偶校验，奇偶校验由 LCR3 和 LCR4 选择。在检测到一个奇偶校验误差时 PE 位被置位，而在 CPU 读取 LSR 的内容时被清零。在 FIFO 模式中，奇偶校验误差与 FIFO 中特定的字符有关。当该字符处于 FIFO 顶端时 LSR2 反映该误差。
- 位 3：LSR3 是成帧误差 (FE) 位。成帧误差表明接收到的字符没有有效的停止位。在最后一个数据位之后带有停止位时或者在检测到奇偶校验位是零位 (间隔状态) 时，LSR3 被置位。在 CPU 读取 LSR 的内容时，FE 指示被清除。在 FIFO 模式中，成帧误差与 FIFO 中的特定字符有关。当该字符达到 FIFO 的顶端时 LSR3 反映该误差。
- 位 4：LSR4 是断开中断 (BI) 位。如果接收到的输入数据处于间隔 (低) 状态并且维持这种状态长于一个完整字传送的时间 (开始位+数据位+奇偶校验位+停止位)，则断开中断位被设置。在 CPU 读取 LSR 的内容时 BI 指示被清除。在 FIFO 模式中，断开中断与 FIFO 中的特定字符有关。当该断开字符达到 FIFO 的顶端时 LSR2 反映此次断开中断。这一误差在其相应的字符达到 FIFO 顶端时可由 CPU 在第一次 LSR 读操作时检测。发生断开中断误差时，只有一个零字符被装入 FIFO。

LSR1—LSR4 是导致接收器线路状态中断 (中断辨识寄存器中的第 1 优先级中断) 的误差情况，这些误差情况均已被检测到。通过设置中断使能寄存器中的 IER2 位可以使能这种中断。

- 位 5：LSR5 是发送器保持寄存器为空 (THRE) 位。THRE 表明异步通信组件已准备好接受新的发送字符。在从发送器保持寄存器 (THR) 向发送器移位寄存器 (TSR) 传输字符时，THRE 位被置位。LSR5 在 CPU 装载 THR 时被清零，而不是通过 CPU 读取 LSR 来清零。在 FIFO 模式中，该位在发送 FIFO 为空时被置位，在对发送 FIFO 写入一个字节时被清零。在 THRE 中断被 IER1 使能时，THRE 在 IIR 中产生一个第 3 优先级的中断。如果 THRE 是由 IIR 标明的中断源，则 INTRPT 通过对 IIR 进行读操作来清零。
- 位 6：LSR6 是发送器寄存器为空 (TEMT) 位。在 THR 和 TSR 均为空时 TEMT 被置位。在某个字符被装入 THR 时 LSR6 被清零，并且保持低电平直到该字符从 TXx 发出。TEMT 不是通过 CPU 读取 LSR 来清零。在 FIFO 模式中，该位在发送器 FIFO 和移位寄存器均为空时被置位。
- 位 7：LSR7 是接收器 FIFO 误差位，在 TL16C450 模式中清零 (见 FCR 的位 0)。在 FIFO 模式中，如果 FIFO 中至少含有以下数据误差中的一种，LSR7 被置位：奇偶校验误差、成帧误差或断开中断指示。在 CPU 读取 LSR 时，LSR7 被清零，除非 FIFO 中含有连续的误差。

注意：LSR 也可以被写入。但是这一功能只用于工厂测试目的。在应用软件中它应该作为只读寄存器使用。

表 6 线路状态寄存器中的各位

LSR BITS	1	0
LSR0 data ready (DR)	Ready	Not ready
LSR1 overrun error (OE)	Error	No error
LSR2 parity error (PE)	Error	No error
LSR3 framing error (FE)	Error	No error
LSR4 break interrupt (BI)	Break	No break
LSR5 transmitter holding register empty (THRE)	Empty	Not empty
LSR6 transmitter register empty (TEMT)	Empty	Not empty
LSR7 receiver FIFO error	Error in FIFO	No error in FIFO

调制解调器控制寄存器 (MCR)

MCR 控制器件与调制解调器或数据组的接口,如图 19 所示。可以对 MCR 进行读写操作。 \overline{RTS} 和 \overline{DTR} 由该寄存器中的相应控制位直接控制。高电平输入可定义输出端的低电平信号(有效)。对 MCR 的位 0、1、2、3、4 的说明如下:

- 位 0: 当 MCR0 被置位时, \overline{DTR} 输出被拉低。当 MCR0 被清零时, \overline{DTR} 输出被拉高。可以将串行通道的 \overline{DTR} 输出发送到反向线驱动器以便在调制解调器或数据组获取正确的输入极性。
- 位 1: 当 MCR1 被置位时, \overline{RTS} 输出被拉低。当 MCR1 被被清零时, \overline{RTS} 输出被拉高。可以将串行通道的 \overline{RTS} 输出发送到反向线驱动器以便在调制解调器或数据组获取正确的输入极性。
- 位 2: MCR2 对操作没有影响。
- 位 3: 在 MCR3 被置位时, 外部串行通道中断被使能。
- 位 4: MCR4 为通道的诊断测试提供当地回送功能。当 MCR4 被置位时, 串行输出 TXx 被设置成标记(高)状态, SIN 则被断开。TSR 的输出被回送到 RSR 输入。四个调制解调器控制输入(\overline{CTS} 、 \overline{DSR} 、 \overline{DCD} 和 \overline{RI}) 断开。而四个调制解调器控制输出位 (DTR、RTS、OUT1 和 OUT2) 在内部分别连接到四个调制解调器控制输入位 (DSR、CTS、R1 和 DCD)。调制解调器控制输出端被置于无效(高)状态。在诊断模式中, 发出的数据由其自身的接收器接收。这样可以让处理器检验所选择的串行通道的发送和接收数据通路。中断控制可以完全工作, 但是调制解调器状态中断是通过在内部控制 MCR 中较低的 4 位产生, 而不是通过这 4 位所代表的外部引脚端上的活动产生。
- 位 5: 这是自动流控使能 (AFE) 位。置位时使能自动流控操作, 见详细说明中的介绍。异步通信组件的流控功能可以通过对 MCR 中的位 1 和位 5 来配置, 如表 7 所示。

表 7 异步通信组件的流控配置

MSR BIT 5 (AFE)	MSR BIT 1 (RTS)	ACE FLOW CONFIGURATION
1	1	Auto- \overline{RTS} and auto- \overline{CTS} enabled (autoflow control enabled)
1	0	Auto- \overline{CTS} only enabled
0	X	Auto- \overline{RTS} and auto- \overline{CTS} disabled

- 位 6—位 7: MCR5、MCR6 和 MCR7 总是被清零。

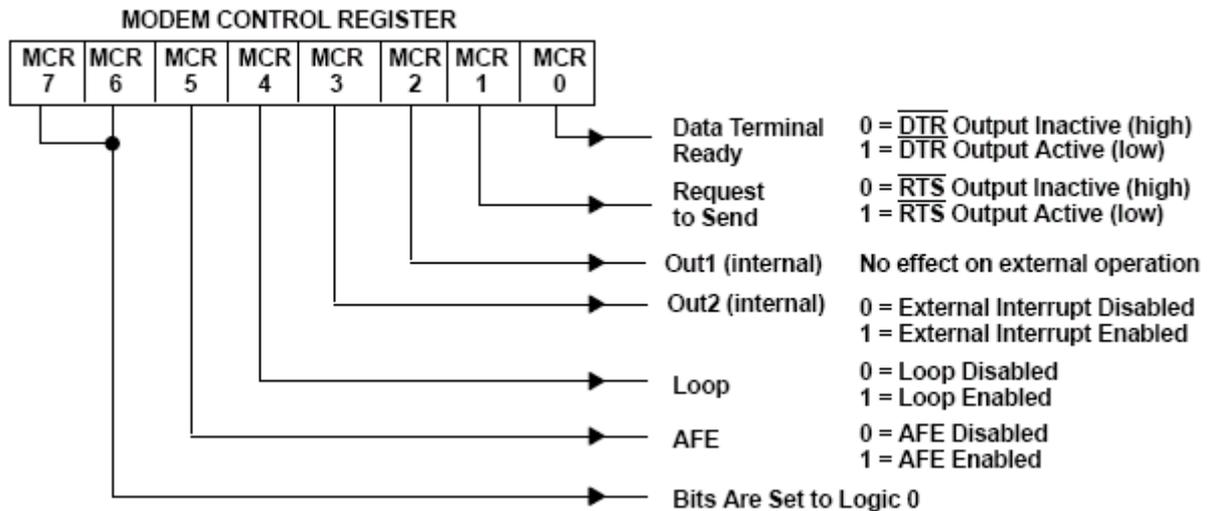


图 19 调制解调器控制寄存器的内容

调制解调器状态寄存器 (MSR)

MSR 为 CPU 反映调制解调器输入线路的状态，这些输入线用于调制解调器或外围设备。MSR 允许 CPU 通过访问异步通信组件的数据总线接口来读取串行通道调制解调器的信号输入。CPU 还对 MSR 中 4 位的当前状态进行读操作，以查明调制解调器的输入状态自上一次对 MSR 的读操作之后是否发生变化。变量 () 状态位在调制解调器的控制输入改变状态时被置位，在 CPU 读取 MSR 时被清零。

调制解调器的输入线有 $\overline{\text{CTS}}$ 、 $\overline{\text{DSR}}$ 、 $\overline{\text{RI}}$ 以及 $\overline{\text{DCD}}$ 。MSR4—MSR7 是这些线路的状态指示。状态位=1 表明该输入线为低。在状态位被清零时，该输入则为高。当 IIR 中的调制解调器状态中断被使能时 (IIR3 被置位)，只要 MSR0—MSR3 中的任意一位被置位，则产生中断，除以下变量 () $\overline{\text{CTS}}$ 中说明的情况以外。MSR 是第 4 优先级的中断。MSR 的内容见表 8 中的说明。

- 位 0：MSR0 是变量清零发送 (delta clear-to-send) ($\overline{\text{CTS}}$) 位。 $\overline{\text{CTS}}$ 表明串行通道的 $\overline{\text{CTS}}$ 输入自上次被 CPU 读取以后其状态已改变。如果自动 $\overline{\text{CTS}}$ 模式被使能，则不会发生中断。
- 位 1：MSR1 是变量数据组就绪 ($\overline{\text{DSR}}$) 位。 $\overline{\text{DSR}}$ 表明串行通道的 $\overline{\text{DSR}}$ 输入自上次被 CPU 读取以后其状态已改变。
- 位 2：MSR2 是响铃下降沿指示 (TERI) 位。TERI 表明串行通道的 $\overline{\text{RI}}$ 输入自上次被 CPU 读取以后其状态已发生从低到高的转变。RI 上从高到低的转变不会激活 TERI 位。
- 位 3：MSR3 是变量数据载体检测 ($\overline{\text{DCD}}$) 位。 $\overline{\text{DCD}}$ 表明串行通道的 $\overline{\text{DCD}}$ 输入自上次被 CPU 读取以后其状态已改变。
- 位 4：MSR4 是清零发送 (CTS) 位。CTS 是 $\overline{\text{CTS}}$ 输入的补充， $\overline{\text{CTS}}$ 是调制解调器到串行通道的输入线，CTS 表明调制解调器已准备好从 SOUT 接收数据。在串行通道处于环路模式 (MCR4=1) 时，MSR4 反映 MCR 中 RTS 的值。
- 位 5：MSR5 是数据组就绪 (DSR) 位。DSR 是 $\overline{\text{DSR}}$ 输入的补充， $\overline{\text{DSR}}$ 是调制解调器到串行通道的输入线，DSR 表明调制解调器已准备好从串行通道的接收器电路提供已接收到的数据。在该通道处于环路模式时 (MCR4 被置位)，MSR5 反映 MCR 中 DTR 的值。
- 位 6：MSR6 是响铃指示 (RI) 位。RI 是 $\overline{\text{RI}}$ 输入的补充。当该通道处于环路模式时 (MCR4 置位)，MSR6 反映 MCR 中 OUT1 的值。
- 位 7：MSR7 是数据载体检测 (DCD) 位。数据载体检测指明数据载体检测 ($\overline{\text{DCD}}$) 输入的状态。当该通道处于环路模式时 (MCR4 置位)，MSR7 反映 MCR 中 OUT2 的值。

对 MSR 进行读操作会清零变量调制解调器的状态指示，但是对其它状态位没有影响。对 LSR 和 MSR 而言，状态设置位在状态寄存器的读操作进行期间，状态设置位被禁止。如果在一次读 IOR 操作期间出现一种状态，则相应的状态位要一直等到这次读操作的下降沿才会被置位。如果状态位在读操作期间被置位并且相同的状态出现，则该状态位在读操作的下降沿被清零而不是被再次置位。在回送模式中，若调制解调器状态中断被使能， \overline{CTS} 、 \overline{DSR} 、 \overline{RI} 以及 \overline{DCD} 输入则被忽略；但是，还是可以通过对 MCR3—MCR0 进行写操作来触发一次调制解调器状态中断。不对 MSR 写入应用软件。

表 8 调制解调器状态寄存器的各位

MSR BIT	MNEMONIC	DESCRIPTION
MSR0	ΔCTS	Delta clear to send
MSR1	ΔDSR	Delta data set ready
MSR2	TERI	Trailing edge of ring indicator
MSR3	ΔDCD	Delta data carrier detect
MSR4	CTS	Clear to send
MSR5	DSR	Data set ready
MSR6	RI	Ring indicator
MSR7	DCD	Data carrier detect

编程

异步通信组件的串行通道由控制寄存器 LCR、IER、DLL、DLM、MCR 和 FCR 编程。这些控制字决定字符长度、停止位的个数、奇偶校验、波特率以及调制解调器接口。

控制寄存器可以以任意顺序写入，但是 IER 必须最后一个写入，因为它控制中断的使能。一旦串行通道被编程并开始工作，这些寄存器可以在异步通信组件的串行通道没有发送或接收数据时更新。

可编程的波特率发生器

异步通信组件的串行通道含有一个可编程的波特率发生器 (BRG)，它允许时钟 (DC 至 8MHz) 除以 1 至 $2^{16}-1$ 之间的任何除数。两个 8 位的除数锁存寄存器以 16 位二进制的格式存储除数。这两个除数锁存寄存器必须在初始化期间装载。在对除数锁存器中的任意一个加载时，一个 16 位的波特率计数器立即被加载。这样可以防止在初始加载时出现长时间计数。BRG 可以依据其它不同的三种通用频率中的一种来决定标准波特率。这些频率为 1.8432MHz、3.072MHz、8MHz 以及 16MHz。针对这几种频率，标准的位速率可以从 50kbps 到 512 kbps。表 9、10、11、12 给出了在使用这三种频率时为获得标准速率所需要的除数。波特率发生器的输出频率是数据速率的 16 倍 [除数 \neq 时钟 + (波特率 \times 16)]。RCLK 以该频率工作。

表 9 使用 1.8432MHz 晶体时的波特率

BAUD RATE DESIRED	DIVISOR (N) USED TO GENERATE 16× CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	2304	—
75	1536	—
110	1047	0.026
134.5	857	0.058
150	768	—
300	384	—
600	192	—
1200	96	—
1800	64	—
2000	58	0.690
2400	48	—
3600	32	—
4800	24	—
7200	16	—
9600	12	—
19200	6	—
38400	3	—
56000	2	2.860

表 10 使用 3.072MHz 晶体时的波特率

BAUD RATE DESIRED	DIVISOR (N) USED TO GENERATE 16× CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	3840	—
75	2560	—
110	1745	0.026
134.5	1428	0.034
150	1280	—
300	640	—
600	320	—
1200	160	—
1800	107	0.312
2000	96	—
2400	80	—
3600	53	0.628
4800	40	—
7200	27	1.230
9600	20	—
19200	10	—
38400	5	—

表 11 使用 8MHz 晶体时的波特率

BAUD RATE DESIRED	DIVISOR (N) USED TO GENERATE 16× CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	10000	—
75	6667	0.005
110	4545	0.010
134.5	3717	0.013
150	333	0.010
300	1667	0.020
600	883	0.040
1200	417	0.080
1800	277	0.080
2000	250	—
2400	208	0.160
3600	139	0.080
4800	104	0.160
7200	69	0.644
9600	52	0.160
19200	26	0.160
38400	13	0.160
56000	9	0.790
128000	4	2.344
256000	2	2.344
512000	1	2.400

表 12 使用 16MHz 晶体时的波特率

BAUD RATE DESIRED	DIVISOR (N) USED TO GENERATE 16× CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	20000	0
75	13334	0.00
110	9090	0.01
134.5	7434	0.01
150	6666	0.01
300	3334	-0.02
600	1666	0.04
1200	834	-0.08
1800	554	0.28
2000	500	0.00
2400	416	0.16
3600	278	-0.08
4800	208	0.16
7200	138	0.64
9600	104	0.16
19200	52	0.16
38400	26	0.16
56000	18	-0.79
128000	8	-2.34
256000	4	-2.34
512000	2	-2.34
1000000	1	0.00

接收器

串行异步数据输入 RX_x 引脚端。异步通信组件持续地查询从高到低的转变。若检测到这样的转变，电路则被使能，在最佳点（每一个输入数据位的中心）对输入数据位采样。如果在采样点处 RX_x 仍为低，则开始位有效。对开始位进行验证可以使接收器避免装载无效的数据字符，这种伪数据字符是因为 RX_x 输入端上有低噪声尖峰。

一个字符含有的数据位的个数由 LCR0 和 LCR1 决定。奇偶校验检测、发生和极性由 LCR3 和 LCR4 决定。接收器的状态在 LSR 中提供。在接收到一个完整的字符时，包括奇偶校验位和停止位，LSR0 中的数据接收指示被设置。在非 FIFO 模式中，CPU 读取 RBR，这将清除 LSR0。如果字符不是在新字符从 RSR 传送到 RBR 之前被读出的话，就会发生超限错误，超限错误状态指示在 LSR1 中设置。如果出现奇偶校验误差，则在 LSR2 中设置。如果没有检测到停止位，成帧误差指示则在 LSR3 中设置。

在 FIFO 模式中，数据字符和相应的误差位存储在接收器 FIFO 中。如果 RX_x 中的数据为对称方波，数据单元的中心则出现在实际中心 $\pm 3.125\%$ 的位置，假设误差容限为 46.875%。开始位可在被检测到之前 16 倍时钟周期时开始。

自动流控（见图 20）

自动流控由自动 \overline{CTS} 和自动 \overline{RTS} 组成。在自动 \overline{CTS} 条件下， \overline{CTS} 输入必须在发送器 FIFO 能发送数据之前被激活。在自动 \overline{RTS} 时， \overline{RTS} 在接收器可以处理更多数据时变为有效，并通知串行发送器件。在 \overline{RTS} 连接到 \overline{CTS} 时，不发送数据除非接收器 FIFO 可为数据提供空间；因此，在 TL16C554A 中的 ACE1 和 ACE2 的自动流控功能被使能时，可以避免超限误差。不然，在数据发送速率超过接收器 FIFO 读操作等待时间时，就可能出现超限误差。

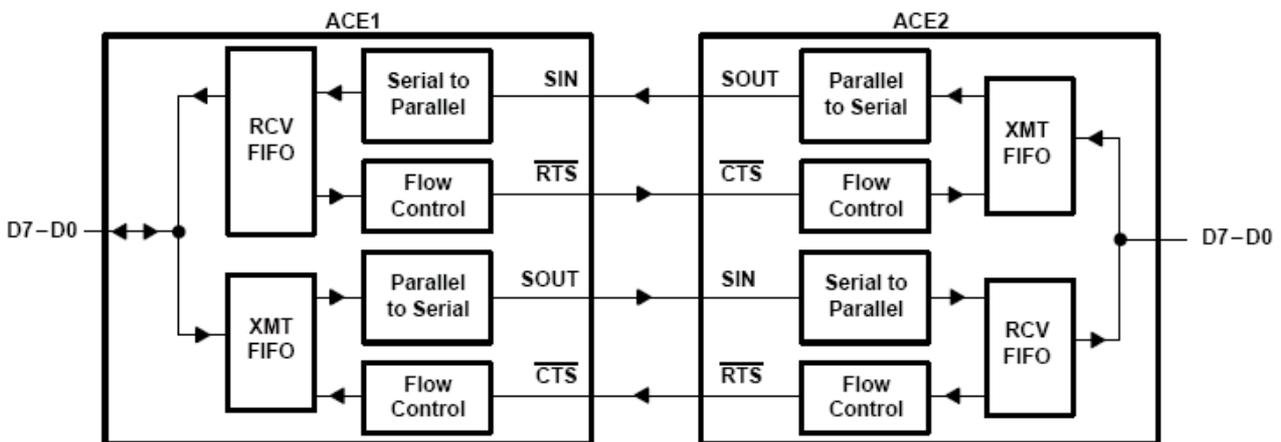


图 20 自动流控（自动 \overline{RTS} 和自动 \overline{CTS} ）示例

自动 \overline{RTS} （见图 20）

自动 \overline{RTS} 数据流控制在接收器定时和控制功能块中开始（见功能方框图），并且被连接到编程接收器 FIFO 触发级。当接收器 FIFO 级达到 1、4 或 8 个字节的触发级时（见图 22） \overline{RTS} 被释放。在触发级为 1、4、8 个字节时，发送 ACE 可以在达到触发级之后发送一个额外字节（假设发送 ACE 还有字节要发送的话），因为它要在开始发送此额外字节时才会确认 \overline{RTS} 已被释放。读接收器缓冲寄存器可以使 RCV FIFO 为空，一旦 RCV FIFO 为空， \overline{RTS} 自动再次被占用。

当触发级为 14 时（见图 23）， \overline{RTS} 在第 16 个字符的第 1 个数据位出现在 SIN 线上以后被释放，在

RCV FIFO 有至少一个字节空间时再次占用。

自动 \overline{CTS} (见图 20)

发送器电路在发送下一个数据字节之前检查 \overline{CTS} 。若 \overline{CTS} 有效，则发送下一个字节。为了使发送器停止发送接下来的字节， \overline{CTS} 必须在当前发送的最后一个停止位的中间位置之前被释放(见图 21)。自动 \overline{CTS} 功能减少了对主系统的中断。当流控功能被使能时， \overline{CTS} 电平的变化不会触发主系统中断，因为器件会自动控制其发送器。在不进行自动 \overline{CTS} 控制时，发送器将发出目前在发送 FIFO 中的任何数据，并会导致一次接收器超限错误。

使能自动流控和自动 \overline{CTS}

通过将调制解调器控制寄存器的位 5 (自动流使能或 AFE) 和位 1 (RTS) 置 1 就可以使能自动流控功能。自动数据流包括自动 \overline{RTS} 和自动 \overline{CTS} 。若只希望自动 \overline{CTS} 起作用，调制解调器控制寄存器的位 1 应清零 (假设 \overline{CTS} 被外部控制信号驱动)。

自动 \overline{CTS} 和自动 \overline{RTS} 功能时序图



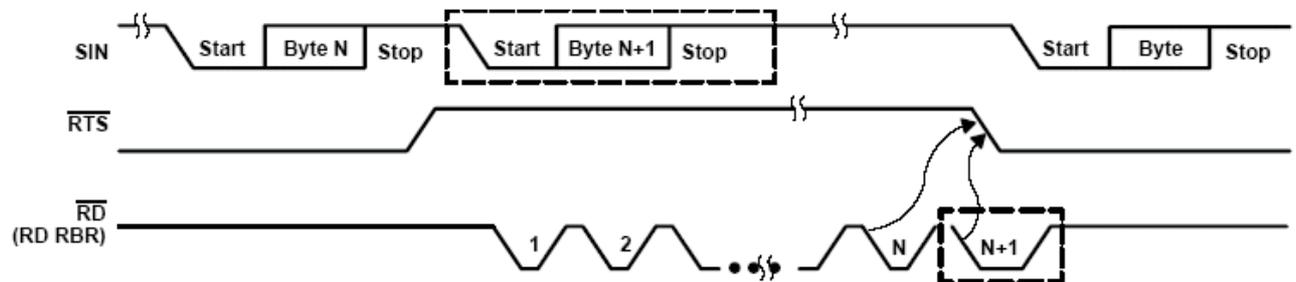
注：A、当 \overline{CTS} 为低时，发送器一直发出串行数据。

B、如果 \overline{CTS} 在当前字节的最后一个停止位的中间位置之前变为高电平，发送器会完成当前字节的发送，但不会发送下一个字节。

C、当 \overline{CTS} 发生从高到低的变化时，发送器再重新开始发送数据。

图 21 \overline{CTS} 的功能时序波形

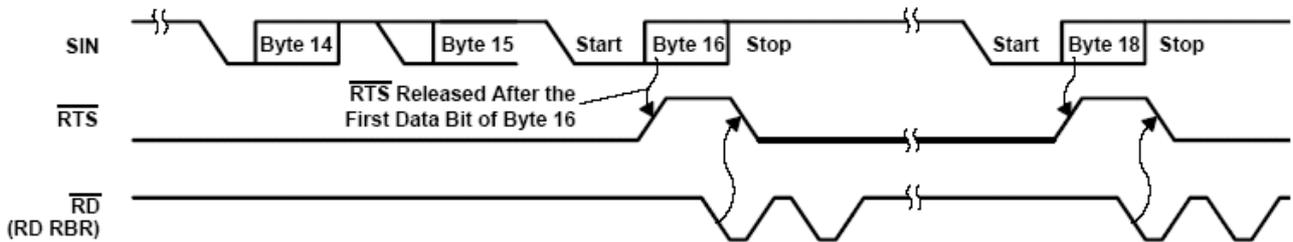
接收器 FIFO 的触发级可以设置成 1、4、8 或 14 个字节。这在图 3 和图 4 中也有说明。



注：A、 $N = \text{RCV FIFO 触发级}$ (1、4 或 8 个字节)。

B、在虚线框出的两块处，一个额外字节被发出，如前文中的自动 \overline{RTS} 一节所述。

图 22 \overline{RTS} 功能时序波形，RCV FIFO 触发级=1、4 或 8 个字节



注；A、在接收器接收到第 16 个字节的第 1 个数据位时， \overline{RTS} 被释放。接收 FIFO 在完成第 16 个字节之后满载。

B、在至少有一个字节空间并且没有正在被处理的输入字节时或者在有一个以上的字节空间时 \overline{RTS} 被重新占用。

C、在接收 FIFO 满载时，对接收缓冲寄存器的第 1 次读操作重新占用 \overline{RTS} 。

图 23 \overline{RTS} 功能时序波形，RCV FIFO 触发级=14 字节

复位

在上电以后，异步通信组件的 RESET 输入端应保持高电平 1 微秒，以便使异步通信组件电路复位为空闲模式直到初始化。RESET 端上的高电平会导致以下情况：

1. 初始化发送器和接收器的内部时钟计数器。
2. 对 LSR 清零，除了已被设置的发送器寄存器为空 (TEMT) 和发送保持寄存器为空 (THRE) 以外。MCR 也被清零。所有的分立线路、存储器元件以及与这些寄存器位相关的各种逻辑也都被清零或关断。LCR、除法锁存器、RBR 和发送器缓冲寄存器则不受影响。

\overline{RXRDY} 工作

在模式 0 中，若接收 FIFO 不为空，则 \overline{RXRDY} 被占用（低）；当 FIFO 为空时，被释放（高）。通过这种方式，接收器 FIFO 在 \overline{RXRDY} 被占用（低）时被读取。

在模式 1 中，在接收 FIFO 被装载达到触发级时或者在发生一次字符超时（在 4 个字符时间段内没有发送字符）时， \overline{RXRDY} 被占用（低）；在 FIFO 为空时 \overline{RXRDY} 被释放（高）。在这种模式中，多数接收到的字符被 DMA 器件读取，减少了中断次数。

TL16C554A 内部 4 个异步通信组件的 \overline{RXRDY} 和 \overline{TXRDY} 输出在内部进行“与”运算。组合信号被输出到 \overline{RXRDY} 和 \overline{TXRDY} 。

在复位条件被撤除以后（RESET 为低），异步通信组件保持空闲状态直到被编程。异步通信组件的一次硬件复位设置 LSR 中的 THRE 和 TEMT 状态位。在中断被逐次使能时，THRE 会导致一次中断。复位对异步通信组件的影响见表 13 中的综述。

表 13 RESET 对寄存器和信号的影响

REGISTER/SIGNAL	RESET CONTROL	RESET STATE
Interrupt-enable register	Reset	All bits cleared (0–3 forced and 4–7 permanent)
Interrupt-identification register	Reset	Bit 0 is set, bits 1, 2, 3, 6, and 7 are cleared, Bits 4–5 are permanently cleared
Line-control register	Reset	All bits cleared
Modem-control register	Reset	All bits cleared (5–7 permanent)
FIFO-control register	Reset	All bits cleared
Line-status register	Reset	All bits cleared, except bits 5 and 6 are set
Modem-status register	Reset	Bits 0–3 cleared, bits 4–7 input signals
TXx	Reset	High
Interrupt (RCVR ERRS)	Read LSR/reset	Low
Interrupt (receiver data ready)	Read RBR/reset	Low
Interrupt (THRE)	Read IIR/write THR/reset	Low
Interrupt (modem status changes)	Read MSR/reset	Low
RTS	Reset	High
DTR	Reset	High

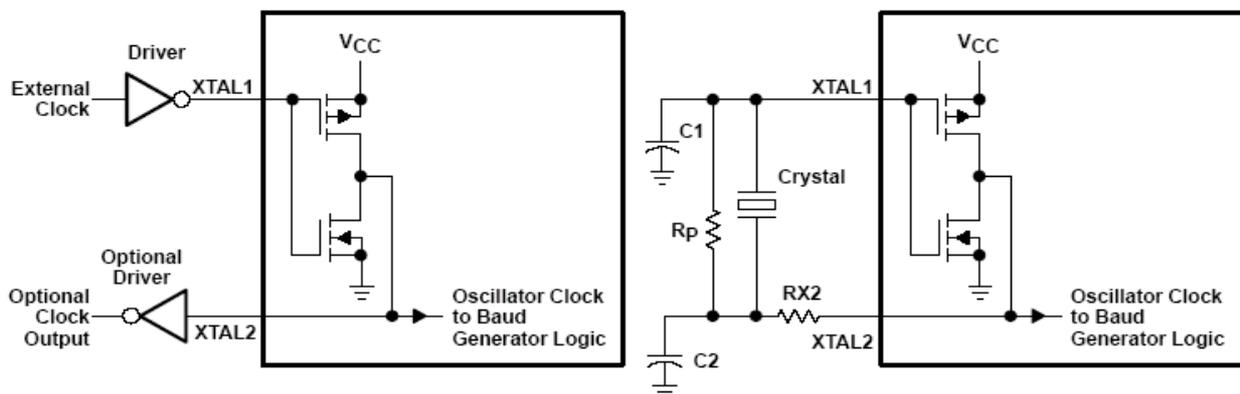
暂存寄存器

暂存寄存器是一个 8 位读/写寄存器，对异步通信组件的通道没有影响。它是为编程器暂时地保持数据而设计。

TXRDY 工作

在模式 0 中，在发送 FIFO 为空时， \overline{TXRDY} 被占用（低）；在 FIFO 含有最少一个字节时被释放（高）。在这种模式中，FIFO 在 \overline{TXRDY} 被占用（低）时写入 16 个字节。

在模式 1 中，当发送 FIFO 未满载时， \overline{TXRDY} 被占用（低）；在这种模式中，FIFO 在 \overline{TXRDY} 被占用（低）时再写入 1 个字节。



典型晶体振荡器网络

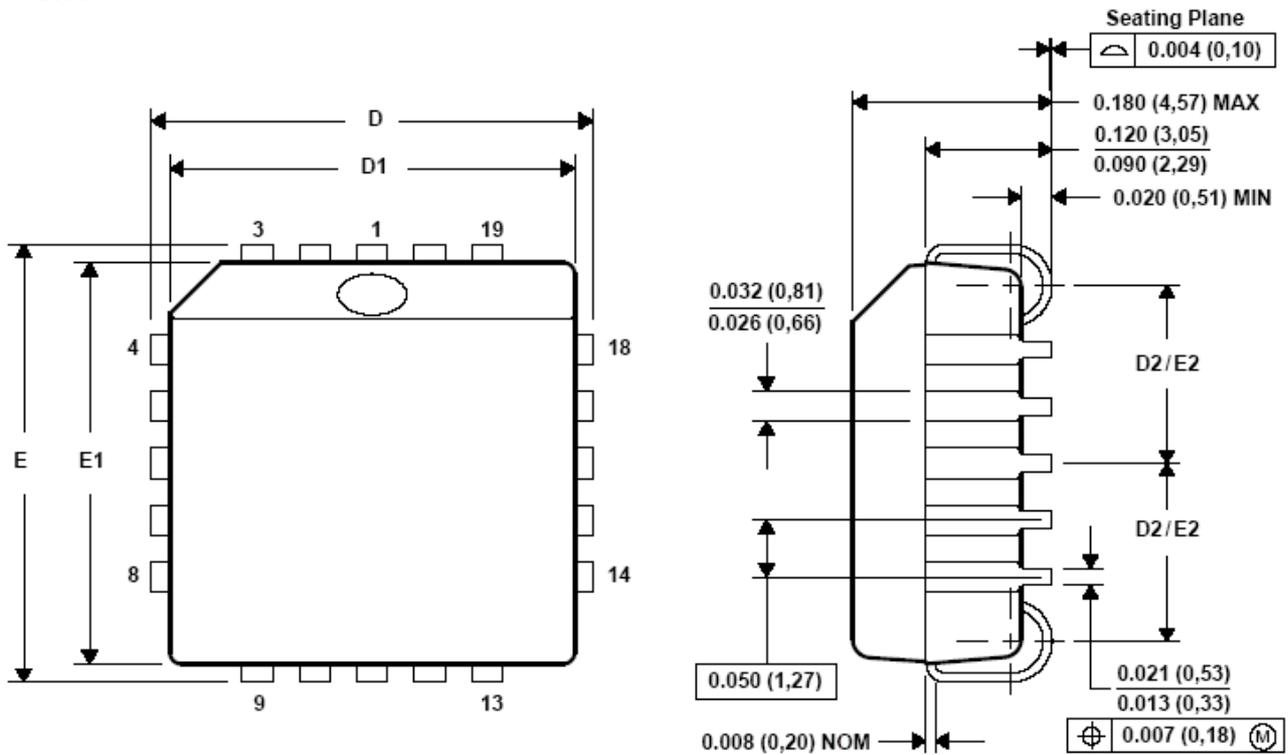
CRYSTAL	Rp	RX2	C1	C2
3.1 MHz	1 MΩ	1.5 kΩ	10–30 pF	40–60 pF
1.8 MHz	1 MΩ	1.5 kΩ	10–30 pF	40–60 pF

图 24 典型时钟电路

机械数据

FN (S-PQCC-J**)
 20 引脚

塑料 J 形引线芯片载体封装

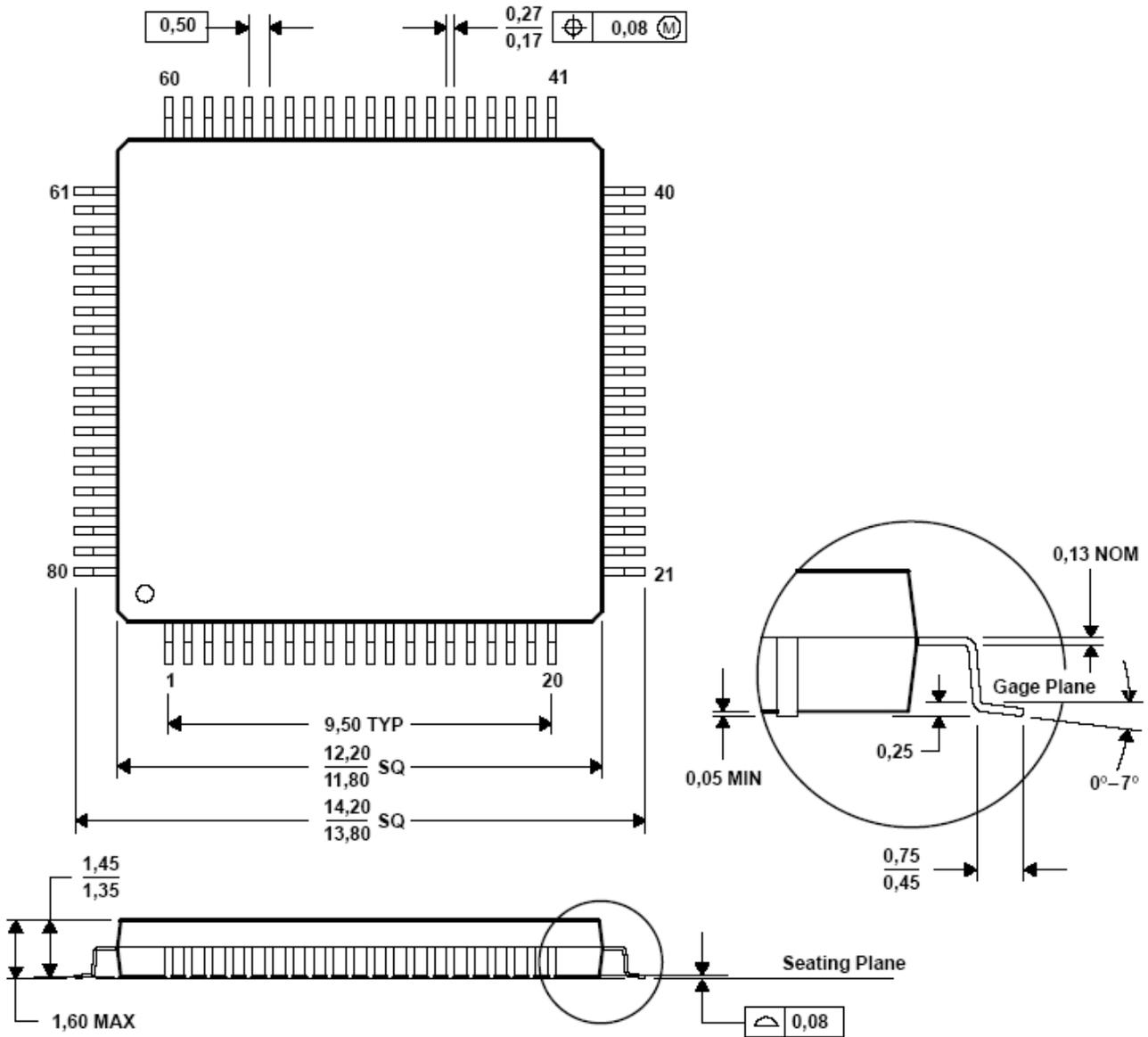


NO. OF PINS **	D/E		D1/E1		D2/E2	
	MIN	MAX	MIN	MAX	MIN	MAX
20	0.385 (9,78)	0.395 (10,03)	0.350 (8,89)	0.356 (9,04)	0.141 (3,58)	0.169 (4,29)
28	0.485 (12,32)	0.495 (12,57)	0.450 (11,43)	0.456 (11,58)	0.191 (4,85)	0.219 (5,56)
44	0.685 (17,40)	0.695 (17,65)	0.650 (16,51)	0.656 (16,66)	0.291 (7,39)	0.319 (8,10)
52	0.785 (19,94)	0.795 (20,19)	0.750 (19,05)	0.756 (19,20)	0.341 (8,66)	0.369 (9,37)
68	0.985 (25,02)	0.995 (25,27)	0.950 (24,13)	0.958 (24,33)	0.441 (11,20)	0.469 (11,91)
84	1.185 (30,10)	1.195 (30,35)	1.150 (29,21)	1.158 (29,41)	0.541 (13,74)	0.569 (14,45)

注：A、所有线性尺度均以英寸（毫米）为单位。
 B、对该图的变化不另行通知。
 C、尺寸的缩小在 JEDEC MS-018 范围内。

PN (S-PQFP-G80)

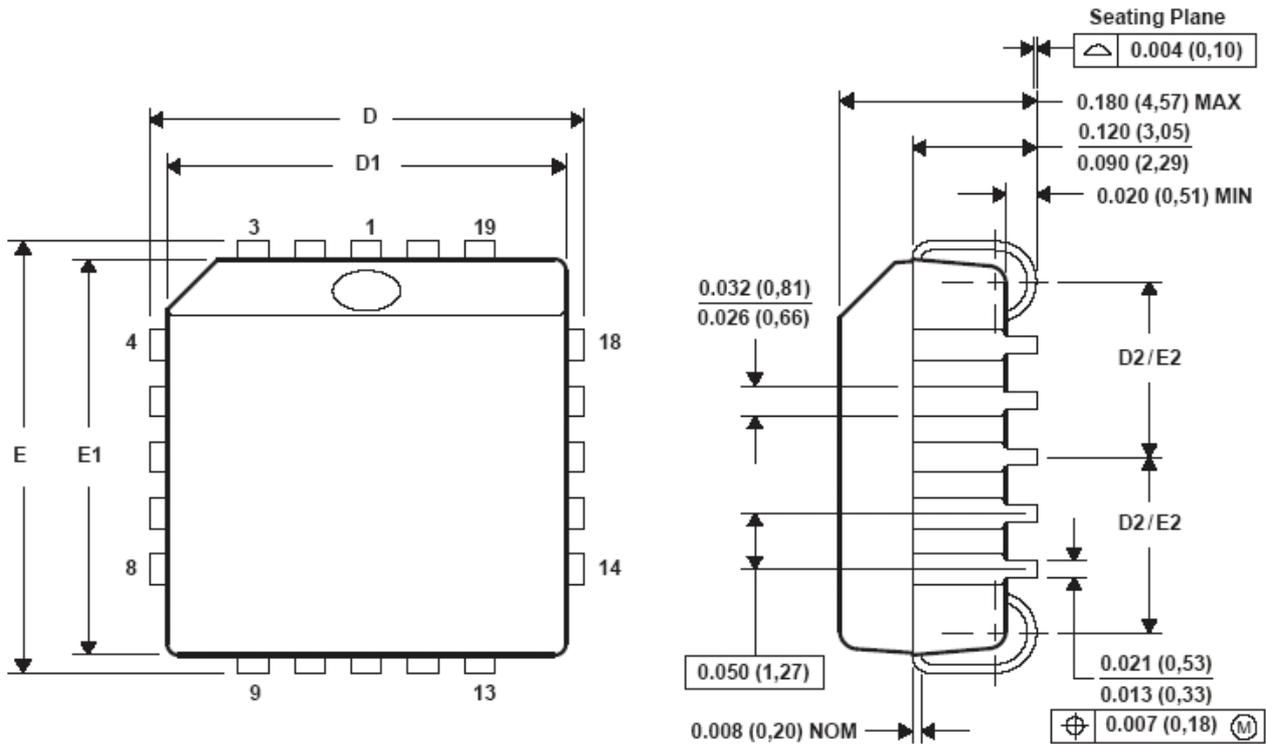
塑料四方扁平封装



注：A、所有线性尺度均以毫米为单位。
 B、对该图的变化不另行通知。
 C、尺寸的缩小在 JEDEC MS-026 范围内。

PN (S-PQCC-J**)
 20 引脚

塑料 J 形引线芯片载体封装

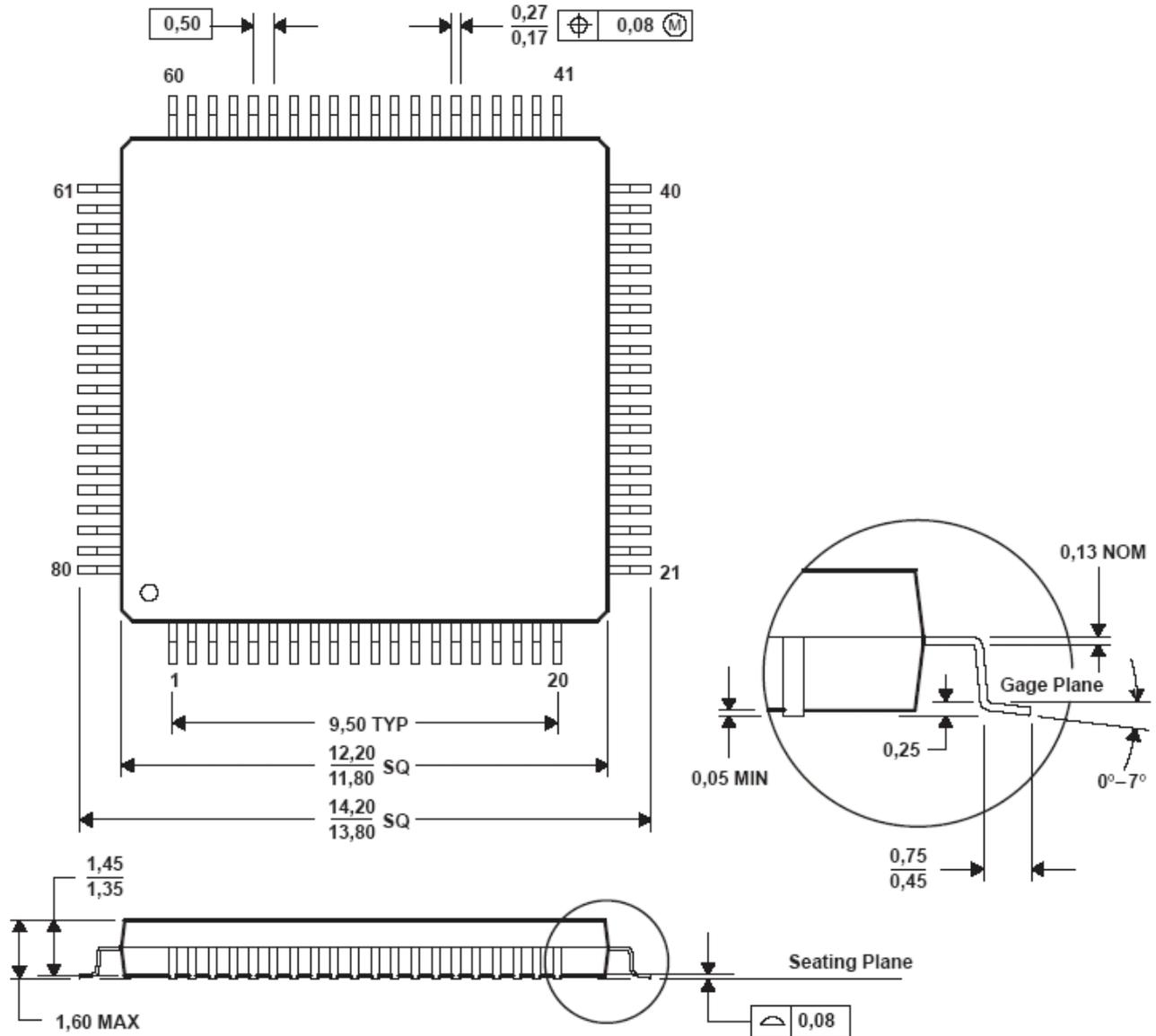


NO. OF PINS **	D/E		D1/E1		D2/E2	
	MIN	MAX	MIN	MAX	MIN	MAX
20	0.385 (9,78)	0.395 (10,03)	0.350 (8,89)	0.356 (9,04)	0.141 (3,58)	0.169 (4,29)
28	0.485 (12,32)	0.495 (12,57)	0.450 (11,43)	0.456 (11,58)	0.191 (4,85)	0.219 (5,56)
44	0.685 (17,40)	0.695 (17,65)	0.650 (16,51)	0.656 (16,66)	0.291 (7,39)	0.319 (8,10)
52	0.785 (19,94)	0.795 (20,19)	0.750 (19,05)	0.756 (19,20)	0.341 (8,66)	0.369 (9,37)
68	0.985 (25,02)	0.995 (25,27)	0.950 (24,13)	0.958 (24,33)	0.441 (11,20)	0.469 (11,91)
84	1.185 (30,10)	1.195 (30,35)	1.150 (29,21)	1.158 (29,41)	0.541 (13,74)	0.569 (14,45)

- 注：A、所有线性尺度均以英寸（毫米）为单位。
 B、对该图的变化不另行通知。
 C、尺寸的缩小在 JEDEC MS-018 范围内。

PN (S-PQFP-G80)

塑料四方扁平封装



- 注：A、所有线性尺度均以毫米为单位。
 B、对该图的变化不另行通知。
 C、尺寸的缩小在 JEDEC MS-026 范围内。

声明：本资料仅供参考，如有疑问，请以相应英文资料为准。