

TLC2543C, TLC2543I

带串行控制和 11 个输入端的 12 位模数转换器

一、概述

1.1 一般说明

TLC2543C 和 TLC2543I 是 12 位开关电容逐次逼近模数转换器。每个器件有三个控制输入端：片选（CS），输入/输出时钟（I/O CLOCK）以及地址输入端（DATA INPUT）。它还可以通过一个串行的 3 态输出端（DATA OUT）与主处理器或其外围的串行口通讯，输出转换结果。本器件可以从主机高速传输数据。

除了高速的转换器和通用的控制能力外，本器件有一个片内的 14 通道多路器可以在 11 个输入通道或 3 个内部自测试（self-test）电压中任意选择一个。采样-保持是自动的。在转换结束时，“转换结束”（EOC）输出端变高以指示转换的完成。本器件中的转换器结合外部输入的差分高阻抗的基准电压，具有简化比率转换、刻度以及模拟电路与逻辑电路和电源噪声隔离的特点。开关电容的设计可以使在整个温度范围内有较小的转换误差。

TLC2543 有 DB、DW、FN 和 N 型封装。TLC2543C 的工作温度范围为 0 至 70，而 TLC2543I 的温度范围为 0 至 85。

可选项

T _A	封装			
	小 型		塑料芯片插座	塑料 DIP
	(DB) *	(DW) *	(FN) *	(N)
0 至 70	TLC2543CDB	TLC2543CDW	TLC2543CFN	TLC2543CN
0 至 85	—	TLC2543IDW	TLC2543IFN	TLC2543IN

* 可以订购带状和卷状包装的 TLC2543CDBLE、TLC2543CDWR、TLC2543IDWR、TLC2543CFNR 或 TLC2543IFNR。

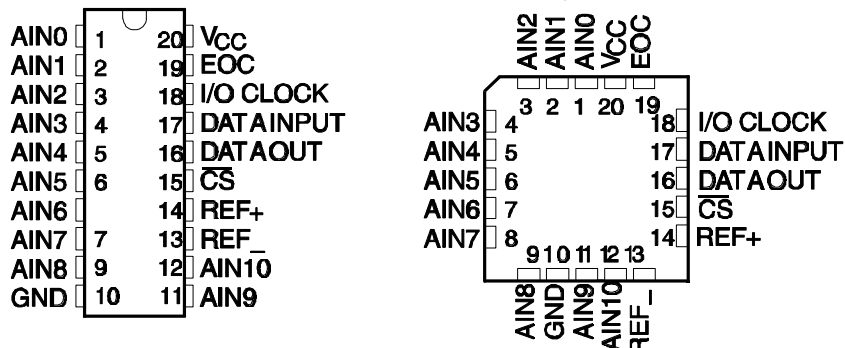
1.2 特点

- 12 位分辨率 A/D 转换器
- 在温度范围内 10 μs 转换时间
- 11 个模拟输入通道
- 3 路内置自测试方式
- 固有的采样与保持
- 线性误差 ± 1LSB Max
- 片内系统时钟
- 转换结束（End-of-Conversion，EOC）输出
- 单极性或双极性输出（有符号的双极性，相对于所加基准电压的 1/2）
- 可编程的 MSB 或 LSB 前导
- 可编程的输出数据长度
- 采用 CMOS 技术
- 可提供应用笔记*

* 使用 TLC2543 12 位串行输出 ADC 的微控制器基本数据采集系统（SLAA012）

1.3 引脚排列

TLC2543 有两种封装形式：DB、DW 或 N 封装以及 FN 封装，这两种封装的引脚排列如下图所示。

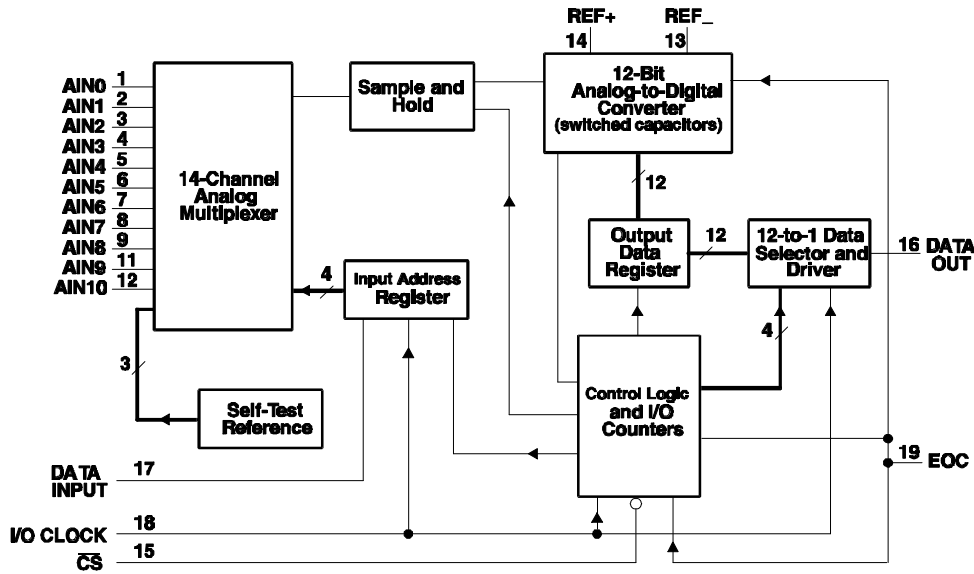


1.4 引脚说明

引脚号	名称	I/O	说 明
1 ~ 9 , 11 , 12	AIN0 ~ AIN10	I	模拟输入端。这 11 个模拟信号输入由内部多路器选择。对 4.1MHz 的 I/O CLOCK ,驱动源阻抗必须小于或等于 50 Ω 并且能够将模拟输入电压由 60pF 的电容器来限制其斜率
15	$\overline{\text{CS}}$	I	片选端。在 $\overline{\text{CS}}$ 端的一个由高至低变化将复位内部计数器并控制和使能 DATA OUT、DATA INPUT 和 I/O CLOCK。一个由低至高的变化将在一个设置时间内禁止 DATA INPUT 和 I/O CLOCK
17	DATA INPUT	I	串行数据输入端。一个 4 位的串行地址选择下一个即将被转换的所需的模拟输入或测试电压。串行数据以 MSB 为前导并在 I/O CLOCK 的前 4 个上升沿被移入。在 4 个地址位被读入地址寄存器后，I/O CLOCK 将剩下的几位依次输入
16	DATA OUT	O	用于 A/D 转换结果输出的 3 态串行输出端。DATA OUT 在 $\overline{\text{CS}}$ 为高时处于高阻抗状态，而当 $\overline{\text{CS}}$ 为低时处于激活状态。 $\overline{\text{CS}}$ 一旦有效，按照前一次转换结果的 MSB/LSB 值将 DATA OUT 从高阻抗状态转变成相应的逻辑电平。I/O CLOCK 的下一个下降沿将根据下一个 MSB/LSB 将 DATA OUT 驱动成相应的逻辑电平，剩下的各位依次移出
19	EOC	O	转换结束端。在最后的 I/O CLOCK 下降沿之后，EOC 从高电平变为低电平并保持低直到转换完成及数据准备传输
10	GND		地。GND 是内部电路的地回路端。除另有说明外，所有电压测量都相对于 GND
18	I/O CLOCK	I	输入/输出时钟端。I/O CLOCK 接收串行输入并完成以下四个功能： 1. 在 I/O CLOCK 的前 8 个上升沿，它将 8 个输入数据位键入输入数据寄存器。在第 4 个上升沿之后为多路器的地址 2. 在 I/O CLOCK 的第 4 个下降沿，在选定的多路器的输入端上的模拟输入电压开始向电容器充电并继续到 I/O CLOCK 的最后一个下降沿 3. 它将前一次转换的数据的其余 11 位移出 DATA OUT 端。在 I/O CLOCK 的下降沿时数据变化 4. 在 I/O CLOCK 的最后一个下降沿它将转换的控制信号传送到内部的状态控制位

14	REF+	I	正基准电压端。基准电压的正端（通常为 V _{CC} ）被加到 REF+。最大的输入电压范围取决于加于本端与加于 REF ₋ 端的电压差
13	REF ₋	I	负基准电压端。基准电压的低端（通常为地）被加到 REF ₋
20	V _{CC}		正电源端

1.5 功能方框图



二、特性

2.1 工作温度范围内（自然通风）的极限参数（除非另有说明）

电源电压范围，V _{CC} （见注释 1）	0.5V 至 6.5V
输入电压范围，V _I （任何输入端）	0.3V 至 V _{CC} +0.3V
输出电压范围，V _O	0.3V 至 V _{CC} +0.3V
正基准电压，V _{REF+}	V _{CC} +0.1V
负基准电压，V _{REF-}	0.1V
峰值输入电压，I _I （任何输入端）	± 20mA
峰值总输入电流，I _I （所有输入端）	± 30mA
工作温度范围（自然通风），T _A ：TLC2543C	0 至 70
TLC2543I	0 至 80
储存温度范围，T _{stg}	5 至 150
引线温度，离外壳 1.6mm（1/16 英寸），10 秒钟	260

强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限参数条件下或在任何其它超出推荐工作条件中所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

注释 1：所有电压值都相对于 GND 端，REF₋与 GND 连接在一起（除非另有说明）。

2.2 推荐工作条件

	最小	典型	最大	单位
电源电压，V _{CC}	4.75	5	5.5	V
正基准电压，V _{REF+} （见注 2）		V _{CC}		V
负基准电压，V _{REF-} （见注 2）		0		V
差分基准电压，V _{REF+} V _{REF-} （见注 2）	2.5		V _{CC}	V
	V _{CC} +0.1			
模拟输入电压（见注 2）	0		V _{CC}	V

高电平控制输入电压, V_{IH}	$V_{CC} = 4.5V$ 至 $5.5V$	2	V
低电平控制输入电压, V_{IL}	$V_{CC} = 4.5V$ 至 $5.5V$	0.8	V
建立时间, I/O CLOCK 上跳之前在数据输入端地址位, $t_{su(A)}$ (见图 5)		100	ns
保持时间, I/O CLOCK 上跳之后地址位, $t_{h(A)}$ (见图 5)		0	ns
保持时间, 最后 1 个 I/O CLOCK 下跳之后 $\overline{CS}$ 为低, $t_{h(CS)}$ (见图 6)		0	ns
建立时间, 在用时钟同步输入第 1 个地址位之前 $\overline{CS}$ 为低, $t_{su(CS)}$ (见注 3 和图 6)		1.425	μs
I/O CLOCK 时钟频率, f_{clock} (I/O)		0 4.1	MHz
I/O CLOCK 为高, $t_{WH(I/O)}$		120	ns
I/O CLOCK 为低, $t_{WL(I/O)}$		120	ns
I/O CLOCK 跳变时间, $t_{t(I/O)}$ (见注 4 和图 7)		1	μs
DATA INPUT 和 $\overline{CS}$ 跳变时间, $t_{t(CS)}$		10	μs
工作温度 (自然通风), T_A	TLC2543C	0 70	
	TLC2543I	0 85	

注释: 2. 大于加到 REF+端电压的模拟输入电压转换为全 1 (111111111111), 小于加到 REF-端电压的输入电压转换为全 0 (000000000000)。

3. 为了减小 $\overline{CS}$ 输入端的噪声引起的误差, 内部电路在 $\overline{CS}$ 下降沿后响应控制输入信号之前要等待一个设置时间。在最小的 $\overline{CS}$ 设置时间消逝之前还不可能输入地址。

4. 这是时钟输入信号从 V_{IHmin} 降至 V_{ILmax} 或从 V_{ILmax} 升到 V_{IHmin} 所需的时间。在正常室温附近, 对于远程数据采集应用 (在这种应用中传感器和 A/D 转换器离开控制微处理器数英尺), 器件在输入时钟跳变时间慢至 $1 \mu s$ 的情况下工作。

2.3 在推荐工作温度范围内 (自然通风) 的电特性, $V_{CC}=V_{ref+}=4.5V$ 至 $5.5V$, $f_{clock(I/O)}=4.1MHz$ (除非另有说明)

PARAMETER	TEST CONDITIONS	MIN	TYP ⁺	MAX	UNIT
VOH High-level output voltage	$V_{CC}=4.5V$, $I_{OH}=-1.6mA$	2.4			V
	$V_{CC}=4.5V$ to $5.5V$, $I_{OH}=-20\mu A$	$V_{CC}-0.1$			
VOL Low-level output voltage	$V_{CC}=4.5V$, $I_{OL}=1.6mA$			0.4	V
	$V_{CC}=4.5V$ to $5.5V$, $I_{OL}=20\mu A$			0.1	
IOZ High-impedance off-state output current	$V_O=V_{CC}$, CS at V_{CC}		1	2.5	μA
	$V_O=0$, CS at V_{CC}		1	-2.5	
IIH High-level input current	$V_I=V_{CC}$		1	2.5	μA
IIL Low-level input current	$V_I=0$		1	-2.5	μA
ICC Operating supply current	CS at 0 V		1	2.5	mA
ICC(PD) Power-down current	For all digital inputs, $0 \leq V_I \leq 0.5V$ or $V_I \geq V_{CC}-0.5V$		4	25	μA
Selected channel leakage current	Selected channel at V_{CC} , Unselected channel at 0 V			1	μA
	Selected channel at 0 V, Unselected channel at V_{CC}			-1	
Maximum static analog reference current into REF	$V_{ref+}=V_{CC}$, $V_{ref-}=GND$		1	2.5	μA
Q Input capacitance	Analog inputs		30	60	pF
	Control inputs		5	15	

+ 所有典型值是 $V_{CC}=5V$, $T_A=25$ 时的数据

2.4 在推荐工作温度范围内（自然通风）的工作特性， $V_{CC}=V_{REF}=4.5V$ 至 $5.5V$ ，

$$f_{\text{clock(I/O)}}=4.1\text{MHz}$$

PARAMETER	TEST CONDITIONS	MIN	TYP ⁺	MAX	UNIT
E_L Linearity error (see Note 5)	See Figure 2			± 1	LSB
E_D Differential linearity error	See Figure 2			± 1	LSB
E_O Offset error (see Note 6)	See Note 2 and Figure 2			± 1.5	LSB
E_G Gain error (see Note 6)	See Note 2 and Figure 2			± 1	LSB
E_T Total unadjusted error (see Note 7)				± 1.75	LSB
Self-test output code (see Table 3 and Note 8)	DATA INPUT = 1011		2048		
	DATA INPUT = 1100		0		
	DATA INPUT = 1101		4095		
t_{conv} Conversion time	See Figures 10- 5		8	10	μs
t_c Total cycle time (access, sample, and conversion)	See Figures 10- 5 and Note 9		$10 + \text{total I/O CLOCK periods} + t_{\text{d(I/O-EOC)}}$		μs
t_{acq} Channel acquisition time (sample)	See Figures 10- 5 and Note 9	4		12	I/O CLOCK periods
t_v Valid time, DATA OUT remains valid after I/O CLOCK $\downarrow$	See Figure 7	10			ns
$t_{\text{d(I/O-DATA)}}$ Delay time, I/O CLOCK $\downarrow$ to DATA OUT valid	See Figure 7			150	ns
$t_{\text{d(I/O-EOC)}}$ Delay time, last I/O CLOCK $\downarrow$ to EOC $\downarrow$	See Figure 8	1.5		2.2	μs
$t_{\text{d(EOC-DATA)}}$ Delay time, EOC $\uparrow$ to DATA OUT (MSB/LSB)	See Figure 9			100	ns
$t_{\text{PZH}}, t_{\text{PZL}}$ Enable time, $\overline{\text{CS}}\downarrow$ to DATA OUT (MSB/LSB driven)	See Figure 4		0.7	1.3	μs
$t_{\text{PHZ}}, t_{\text{PLZ}}$ Disable time, $\overline{\text{CS}}\uparrow$ to DATA OUT (high impedance)	See Figure 4		70	150	ns
$t_r(\text{EOC})$ Rise time, EOC	See Figure 9		15	50	ns
$t_f(\text{EOC})$ Fall time, EOC	See Figure 8		15	50	ns
$t_r(\text{bus})$ Rise time, data bus	See Figure 7		15	50	ns
$t_f(\text{bus})$ Fall time, data bus	See Figure 7		15	50	ns
$t_{\text{d(I/O-CS)}}$ Delay time, last I/O CLOCK $\downarrow$ to $\overline{\text{CS}}\downarrow$ to abort conversion (see Note 10)				5	μs

+ 所有典型值是 $V_{CC}=5V$ ， $T_A=25^\circ\text{C}$ 时的数据

注释：2.大于加到 REF+端电压的模拟输入电压转换为全 1（111111111111），小于加到 REF-端电压的输入电压转换为全 0（000000000000）。

- 线性度误差是在整个 A/D 变换特性中离开最佳直线的最大偏离值。
- 增益误差是在偏移误差已调整为零时转换图上规定的增益点上，实际中间值与额定中间值之间的差值。偏移误差是在偏移点上实际的中间值与额定中间值之间的差值。
- 总不可调整误差（total unadjusted error）是线性度，零度和满度误差之和。
- 输入地址和输出代码二者均用正逻辑表示。
- I/O CLOCK 周期（period）= $1/(I/O \text{ CLOCK 频率})$ （见图 7）。
- 只有当电平被保持一个设置时间， $\overline{\text{CS}}$ 的跳变才被认为有效。为了使一次转换无效， $\overline{\text{CS}}$ 必须在第 10 个 I/O CLOCK 下降沿后 $\leq 5 \mu\text{s}$ 时变低。在 $5 \mu\text{s}$ 到 $10 \mu\text{s}$ 之间，对于不管转换为失败或转换的结果为有效的情况其结果是不确定的。

三、详细说明

一开始，片选（ $\overline{\text{CS}}$ ）为高，I/O CLOCK 和 DATA INPUT 被禁止以及 DATA OUT 为高阻抗状态。 $\overline{\text{CS}}$ 变低开始转换过程，I/O CLOCK 和 DATA INPUT 使能，并使 DATA OUT 端脱离高阻抗状态。

输入数据是一个包括一个 4 位模拟通道地址（D7 ~ D4）、一个 2 位数据长度选择（D3 ~ D2）、一个输出 MSB 或 LSB 在前的位（D1）以及一个单极性或双极性输出选择位（D0）的 8 位数据流，这个数据流是从 DATA INPUT 端加入的。输入/输出时钟系列是加在 I/O CLOCK 端，以传送这个数据到输入数据寄存器。在这个传送的同时，输入/输出时钟系列也将前一次转换的结果从输出数据寄存器移到 DATA OUT 端。I/O CLOCK 接收输入系列的 8、12 或 16 个时钟长度取决于输入数据寄存器中的数据长度选择位。模拟输入的采样开始于输入 I/O CLOCK 的第 4 个下降沿而保持则在 I/O CLOCK 的最后一个下降沿之后。I/O CLOCK 的最后一个下降沿也使 EOC 变低并开始转换。

3.1 转换工作

转换器的工作分成连续的二个不同的周期：（1）I/O 周期，（2）实际转换周期。I/O 周期由外部提供的 I/O CLOCK 定义，延续 8、12 或 16 个时钟周期，这取决于选定的输出数据的长度。

1. I/O 周期

在 I/O 周期中，同时发生二种操作：

a. 一个包括地址和控制信息的 8 位数据流被送到 DATA INPUT。这个数据在前 8 个输入/输出时钟的上升沿被移入器件。当 12 或 16 个 I/O 时钟传送时，在前 8 个时钟之后 DATA INPUT 便无效。

b. 在 DATA OUT 端串行地提供 8、12 或 16 位长度的数据输出。当 $\overline{CS}$ 保持为低时，第一个输出数据位发生在 EOC 的上升沿。若转换是由 $\overline{CS}$ 控制，则第一个输出数据位发生在 $\overline{CS}$ 的下降沿。这个数据是前一次转换的结果，在第一个输出数据位之后的每个后续位由后续的 I/O 时钟每个下降沿输出。

2. 转换周期

转换周期对用户是透明的，它是由 I/O 时钟同步的内部时钟来控制的。当转换时，器件对模拟输入电压完成逐次逼近式的转换。在转换周期开始时 EOC 输出端变低而当转换完成时变高，并且输出数据寄存器被锁存。只有在 I/O 周期完成后才开始一次转换周期，这样可减小外部的数字噪声对转换精度的影响。

3.2 上电和初始化

在上电后， $\overline{CS}$ 必须从高变到低以开始一次 I/O 周期。EOC 开始为高，输入数据寄存器被置为全零。输出数据寄存器的内容是随机的，并且第一次转换的结果将被忽略。为了对器件初始化， $\overline{CS}$ 被转为高再回到低以开始下一次 I/O 周期。在器件从掉电状态返回后的第一次转换，由于器件的内部调整，读数可能不准确。

3.3 工作术语

当前（N）I/O 周期	全部的 I/O CLOCK 序列，在该序列中传送地址和控制数据进入数据寄存器并从 DATA OUT 引脚输出前一次转换的数字结果
当前（N）转换周期	在当前 I/O 周期之后立即开始的转换周期。当前 I/O 周期的末尾是在 I/O CLOCK 序列最后一个时钟的下降沿。当转换完成时，当前转换结果被装载到输出寄存器中
当前（N）转换结果	在下一个 I/O 周期中，当前转换结果被串行移出
前一个（N-1）转换周期	正在当前 I/O 周期之前的转换周期
下一个（N+1）I/O 周期	跟在当前转换周期后面的一个 I/O 周期

例：在 12 位方式中，当前转换周期的结果是一个 12 位串行数据流，这个数据流在下一个 I/O 周期中被输出。当前 I/O 周期必须是正好 12 位长以保持同步，否则由前一次转换的输出数据会不可靠。在当前 I/O 周期的第 12 个下降沿之后立即开始当前转换。

3.4 数据输入

数据输入端在内部被连接到一个 8 位的串行输入的地址和控制寄存器。该寄存器规定了转换器的工作和输出数据的长度。主机提供的数字字是以 MSB 为前导的。每个数据位都是在 I/O CLOCK 序列的上升沿被输入的（见表 1 中数据“输入寄存器格式”）。

表 1 输入寄存器格式

FUNCTION SELECT	INPUT DATA BYTE							
	ADDRESS BITS				L1	L0	LSBF	BIP
	D7 (MSB)	D6	D5	D4	D3	D2	D1	D0 (LSB)
Select input channel								
AIN0	0	0	0	0				
AIN1	0	0	0	1				
AIN2	0	0	1	0				
AIN3	0	0	1	1				
AIN4	0	1	0	0				
AIN5	0	1	0	1				
AIN6	0	1	1	0				
AIN7	0	1	1	1				
AIN8	1	0	0	0				
AIN9	1	0	0	1				
AIN10	1	0	1	0				
Select test voltage								
(Vref+ - Vref-)/2	1	0	1	1				
Vref+	1	1	0	0				
Vref-	1	1	0	1				
Software power down	1	1	1	0				
Output data length								
8 bits					0	1		
12 bits					X*	0		
16 bits					1	1		
Output data format								
MSB first							0	
LSB first							1	
Unipolar (binary)								0
Bipolar (2s complement)								1

* X 表示 “ 不关心 ” 条件

1. 数据输入地址位

数据寄存器的前四位 (D7 ~ D4) 是地址位, 它规定了从 11 个输入通道中选 1、基准测试电压或掉电方式。这些地址位影响紧跟在当前 I/O 周期后面的当前转换。基准电压的额定值等于 Vref+、Vref-。

2. 输出数据长度

数据寄存器的随后二位 (D3 和 D2) 选择输出数据的长度。数据长度选择对当前 I/O 周期有效 (在该周期中数据被读出)。已经对当前 I/O 周期有效的数据长度选择, 允许在不失去 I/O 同步的条件下启动器件。可以选择 8、12 或 16 位的数据长度。由于转换器的分辨率为 12 位, 因而建议用 12 位数据长度。

D3 和 D2 置为 00 或 10, 器件为 12 位数据长度方式, 当下一个 I/O 周期时, 当前转换的结果以 12 位串行数据流的方式输出。当前 I/O 周期必须正好是 12 位长以正确地同步, 即使这意味着前一次转换的数据输出将不可靠。在当前 I/O 周期的第 12 个下降沿之后立即开始当前转换。

D3 和 D2 置为 11 时, 选择 16 位长度方式, 这可以方便地与 16 位串行接口通信。在 16 位方式时, 当前转换的结果在下一个 I/O 周期中以 16 位串行数据流的方式输出, 而它的四个 LSB 位被置为 0 (填充位)。这时, 当前 I/O 周期必须正好是 16 位长以保持同步, 即使这样将要使前一次转换的输出数据不可靠。在当前 I/O 周期的第 16 个下降沿之后立即开始当前转换。

D3 和 D2 置为 01 时, 选择 8 位数据长度方式, 这可以与 8 位串行接口快速通信。在 8 位方式时, 当前转换的结果在下一个 I/O 周期中以 8 位串行数据流的方式输出。当前 I/O 周期必须正好是 8 位长以保持同步, 即使这样将使前一次转换的输出数据不可靠。转换结果的四个 LSB 位被截去和丢弃。在当前 I/O 周期的第 8 个下降沿之后立即开始当前转换。

当数据长度被编程时, 由于 D3 和 D2 影响当前 I/O 周期, 当数据字长与上一个周期有变化时, 这将与前一个周期有冲突。当数据格式是被选成最低有效位导前时这才可能发生, 因为在数据长度变化变得有效时 (I/O CLOCK 的 6 个上升沿), 前一次的转换结果已经开始移出。

在实际工作时, 一次应用中数据长度在二次转换间需要被改变, 而有不同的数据长度时, 使前次转换变得不可靠的结果不会多于一次而且只有当它是 LSB 导前的输出格式时。

3. 数据寄存器, LSB 导前

在输入数据寄存器中的 D1 位 (LSBF) 控制输出的二进制数的传送。当 D1 被置为 0 时, 转换结果以

MSB 导前格式输出。当 D1 置 1 时,数据以 LSB 导前格式输出。MSB 导前或 LSB 导前的选择总是影响下一个 I/O 周期而不是当前的 I/O 周期。当数据方向从一种变为另一种时,当前 I/O 周期总是不会被破坏的。

4. 数据寄存器, 双极性格式

在输入数据寄存器中的 D0 位 (BIP) 控制用来表示转换结果的二进制数据格式。当 D0 被置为 0 , 转换结果被表示成单极性 (无符号二进制) 数据。额定地, 一个等于 $V_{ref_}$ 的输入电压的转换结果是一个全零 (000 ... 0) 的代码, 一个等于 V_{ref+} 的输入电压的转换结果是一个全 1 (111 ... 1) 的代码, 而 ($V_{ref+} + V_{ref_}$) / 2 的转换结果则是一个 1 后面为 0 (100 ... 0) 的代码。

当 D0 被置 1 , 转换结果被表示成双极性 (有符号二进制) 数据。一个等于 $V_{ref_}$ 的输入电压的转换结果是一个 1 后面为 0 (100 ... 0) 的代码, 一个等于 V_{ref+} 的输入电压的转换结果是一个 0 后面跟全 1 (011 ... 1) 的代码而 ($V_{ref+} + V_{ref_}$) / 2 的转换结果则是一个全 0 (000 ... 0) 的代码。MSB 被表示为符号位。

单极性或双极性格式的选择总是影响当前转换周期, 而在下一个 I/O 周期中输出结果。当改变单极性和双极性之间的格式时, 对当前 I/O 周期的数据输出没有影响。

3.5 采样周期

在采样周期中, 一个模拟输入端从内部被连接到转换器的电容阵列以储存模拟输入信号。在 4 个地址已经输入到输入数据寄存器中后, 转换器立即开始对选定的输入端采样。采样开始于 I/O 时钟的第四个下降沿。转换器保持采样方式直到第 8、第 12 或第 16 个 I/O CLOCK 的下降沿, 这取决于数据长度的选择。从最后一个 I/O CLOCK 下降沿到 EOC 的延迟时间之后, EOC 输出端变低以表示采样周期已过去而转换周期开始。在 EOC 变低后, 模拟输入端可以变化而不影响转换结果。因为从最后的 I/O CLOCK 下降沿至 EOC 变低的延迟是固定的, 随时间变化的模拟输入信号可以以一个固定的采样率使其数字化, 从而不会由于时间的不确定而引入系统的谐波失真或噪声。

在 8 位数据流已被输入后, DATA INPUT 端必须被保持在一个固定的数字电平上直到 EOC 变高 (表示转换已完成) 以使采样的精度为最高而外部数字噪声的影响为最小。

3.6 EOC 输出

EOC 信号用以表示转换的开始和结束。在复位状态, EOC 总是为高。在采样周期 (从 I/O CLOCK 序列的第 4 个下降沿之后开始), EOC 保持高直到转换器的内部采样开关被断开。采样开关的断发生在第 8、第 12 或第 16 个 I/O CLOCK 下降沿之后, 取决于在输入数据寄存器中的数据长度选择。在 EOC 信号变低后, 模拟输入信号可以改变而不影响转换结果。

在转换完成后, EOC 信号再次变高而转换结果被锁存入输出数据寄存器。EOC 的上升沿将转换器返回到复位状态而一个新的 I/O 周期就开始了。在 EOC 的上升沿, 当 $\overline{CS}$ 为低时当前转换结果的第 1 位是在 DATA OUT 引脚上。当在转换过程中 $\overline{CS}$ 为无效时, 则在 $\overline{CS}$ 的下降沿时当前转换结果的第 1 位出现在 DATA OUT 引脚上。

3.7 数据格式和填充位

输入数据寄存器的 D3 和 D2 决定了代表转换结果的数字输出有效位的数目。LSB 导前决定了数据的传输的方向而 BIP 位则决定了数据的算法。在任何输出格式中数据总是向 MSB 右侧对齐的。

内部的转换结果总是 12 位长。当选择 8 位数据传送时, 内部结果的 4 个 LSB 位被截去以提供一种更快的单字节传送。当采用 12 位传送时, 所有的位都被传送。当采用 16 位传送时, 4 个 LSB 填充位总是被补充到内部转换结果中。在 LSB 导前方式, 4 个前导零被输出。而在 MSB 导前方式, 最后 4 位输出为零。

当 $\overline{CS}$ 被连续地保持为低时, 刚转换完成的第 1 个数据位在 EOC 的上升沿出现在 DATA OUT 引脚上。在 I/O CLOCK 的最后一个下降沿之后开始一次新的转换, EOC 变低而串行输出端被强制置为 0 直到 EOC 再次变高。

在转换中间 $\overline{CS}$ 失效, 则在 $\overline{CS}$ 的下降沿第 1 个数据位出现在 DATA OUT 端。在第 1 个数据位出现后的每个随后的 I/O CLOCK 的下降沿, 数据变为串行转换结果中的下一位, 直到所有的位都被输出为止。

3.8 片选输入 ($\overline{CS}$)

片选输入 ($\overline{CS}$) 使能或禁止器件。在正常工作时, $\overline{CS}$ 必须为低。虽然 $\overline{CS}$ 的使用不需要与数据传输同步, 它可以在转换中间被置高以协调几个器件共享同一个总线时的数据传送。

当 $\overline{CS}$ 被置高时, 串行数据输出端立即进入高阻抗状态, 为其它共享数据总线的器件让出它的输出数据线。在一个内部产生的去抖动时间之后, I/O CLOCK 被禁止, 这样避免内部状态任何变化。

当 $\overline{CS}$ 按序地被再次置低, 器件被复位。 $\overline{CS}$ 必须在复位操作发生以前的一个内部去抖动时间之内保持为低。在 $\overline{CS}$ 变低后, 在一个短时间内 I/O CLOCK 必须保持无效 (低状态), 才能开始一次新的 I/O 周期。

$\overline{CS}$ 能中断任何正在进行的数据传送和任何正在进行的转换。当 $\overline{CS}$ 在当前转换周期结束之前变低的时间足够长, 被保留在内部输出缓冲器中的前一次的转换结果将在下一个 I/O 周期中移出。

3.9 掉电特性

当一个 1110 的二进制地址在前四个 I/O CLOCK 周期中被送入输入数据寄存器时, 就选中了掉电方式。在第 4 个 I/O CLOCK 脉冲的下降沿时掉电方式被激活。

在掉电方式时, 所有的内部电路都被置为一种低电流待机方式。不进行转换, 内部输出缓冲器保持前一次转换周期的数据结果, 所有的数字输入端被保持为高于 $V_{CC} 0.5V$ 或低于 $V_{CC} 0.5V$ 。即使当选中了掉电方式, I/O 周期保持有效, 因而当前的 I/O 周期仍能完成。在上电复位和第 1 个 I/O 周期之前, 转换器通常开始于掉电方式。器件保持在掉电方式直到一个有效的 (不同于 1110) 输入地址被输入时。在 I/O 周期完成后, 即可完成一次正常的转换, 它的结果在下一个 I/O 周期中被移出器件。

3.10 模拟输入、测试和掉电方式

11 个模拟输入端、3 个内部电压和掉电方式都按照表 2、3 和 4 中所示的输入地址由输入多路器选择。输入多路器是一种断开先于接通式的多路开关, 以减小由通道开关所引入的输入与输入间耦合的噪声。模拟输入的采样开始于 I/O CLOCK 的第 4 个下降沿并且在以后的 I/O CLOCK 脉冲中继续进行。采样一直保持到最后的 I/O CLOCK 脉冲的下降沿。3 个内部测试输入端被加到多路器, 然后以与外部模拟输入同样的方式采样和转换。由于器件的内部调整, 从掉电方式返回后器件第一次转换结果的读数可能不准确。

表 2 模拟通道地址选择

模拟输入端选择	送入数据输入寄存器的值	
	二进制	十六进制
AIN0	0000	0
AIN1	0001	1
AIN2	0010	2
AIN3	0011	3
AIN4	0100	4
AIN5	0101	5
AIN6	0110	6
AIN7	0111	7
AIN8	1000	8
AIN9	1001	9
AIN10	1010	A

表 3 测试方式选择地址

内部自测试电压选择*	送入数据输入寄存器的值		单极性输出结果 (16 进制)**
	二进制	十六进制	
$\frac{V_{ref+} + V_{ref-}}{2}$	1011	B	800
V_{ref-}	1100	C	000
V_{ref+}	1101	D	FFF

* V_{ref+} 是加到 $REF+$ 端的电压, 而 V_{ref-} 是加到 $REF-$ 端的电压。

** 表中所示的输出结果为理想值, 它可能由于基准电压的稳定性和内部偏移而变化。

表 4 掉电方式选择地址

输入命令	送入数据输入寄存器的值		结果
	二进制	十六进制	
掉电	1110	E	$I_{cc} \leq 25 \mu A$

3.11 转换器和模拟输入端

在逐次逼近转换系统中的 CMOS 门限检测器通过检测在一系列二进制加权的电容器上的电荷来决定每一位的值（见图 1）。在转换过程的第一步，通过同时接通 S_C 开关和所有的 S_T 开关对模拟输入采样。这样使得所有电容器充电到输入电压。

在转换过程的第二步，所有 S_T 和 S_C 开关被断开并且门限检测器开始通过辨认每个电容器上相对于基准（REF）电压的电荷（电压）来确定每一位的值。在开系列中，12 个电容器分别被检测直到所有 12 位被确认，以后转换过程又重复进行。在辨认第一个电容上的电压时，门限检测器检查第一个电容（权重 = 4096）。这个电容的节点 4096 被切换到 REF+ 电压，而在这个多级连接中的所有其它电容器的相同节点被切换到 REF₋。如果在总和节点上的电压大于门限检测器的跳变点（近似 $1/2 V_{CC}$ ）时，那么位 0 被送入输出寄存器，并且这个 4096 权重的电容器被切换到 REF₋。如果在总和节点上的电压小于门限检测器的跳变点时，那么位 1 被送入寄存器，并且这个 4096 权重的电容器保持与 REF+ 的连接参与逐次逼近过程的后面几步。这个过程对 2048 权重的电容器、1024 权重的电容器以及沿线的其它电容依次检测直到所有位都被确定。对逐次逼近过程的每一步，初始的电荷在电容器间被重新分配。这个转换过程依靠电荷的重新分配来决定从 MSB 到 LSB 各位。

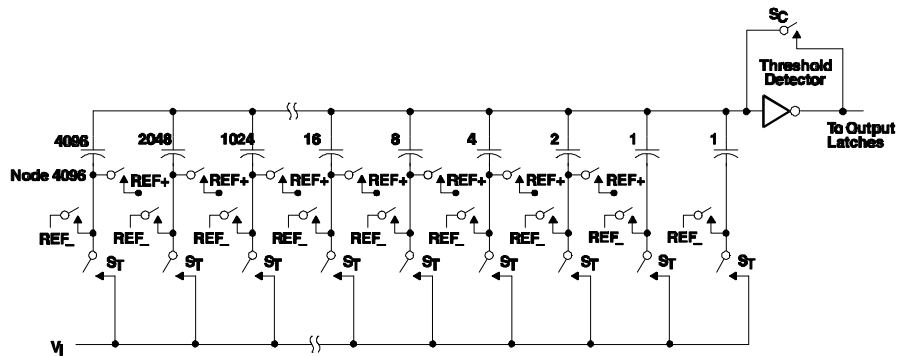
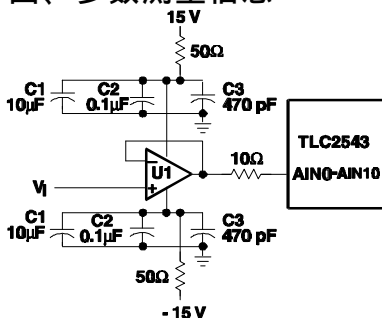


图 1 逐次逼近系统的简化电路图

3.12 基准电压输入

本器件使用二个基准电压输入端，加在 REF+ 和 REF₋ 端的二个电压。这些电压值建立了模拟输入的上限和下限以分别产生满度和零度读数。按照极限参数的规定，这些电压以及模拟输入一定不能超过正电源或低于地。当输入信号等于或高于 REF+ 端的电压时，数字输出为满度；当输入信号等于或低于 REF₋ 端电压时，输出为零。

四、参数测量信息



LOCATION	DESCRIPTION	PART NUMBER
U1	OP27	-
C1	10-μF 35-V tantalum capacitor	-
C2	0.1-μF ceramic NPO SMD capacitor	AVX 12105C104KA105 or equivalent
C3	470-pF porcelain HI-Q SMD capacitor	Johanson 201S420471JG4L or equivalent

图 2 模拟输入缓冲器至模拟输入端 AIN0 ~ AIN10

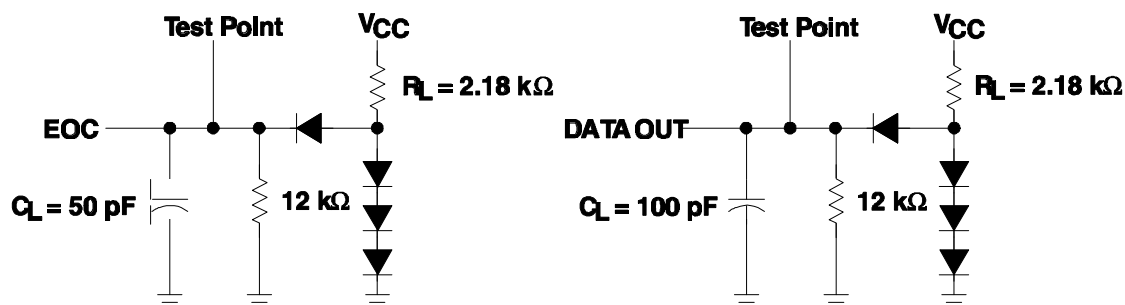


图3 负载电路

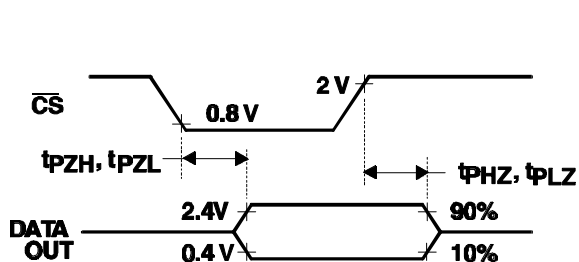


图4 DATA OUT 至高阻的电压波形

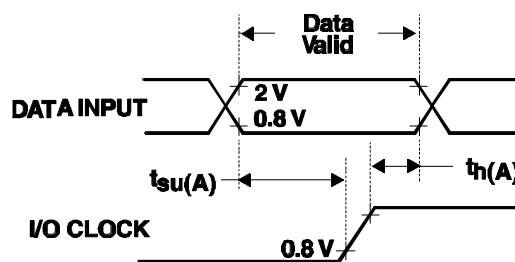


图5 DATA INPUT 和 I/O CLOCK 电压波形

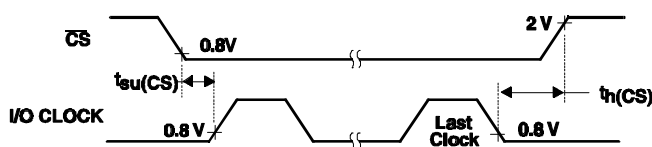


图6 CS 和 I/O CLOCK 的电压波形*

* 为保证全部转换的精确性，建议正在进行转换时输入信号不要发生变化。

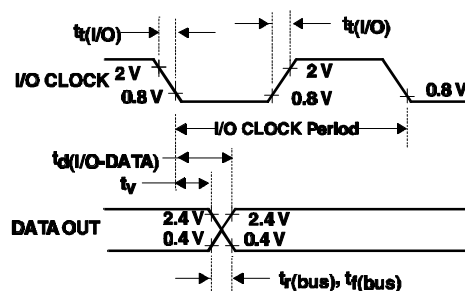


图7 I/O CLOCK 和 DATA OUT 的电压波形

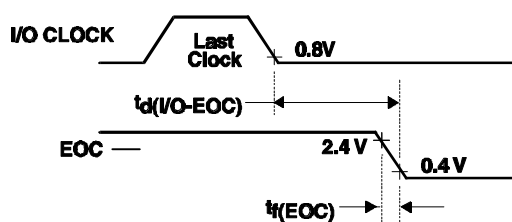


图8 I/O CLOCK 和 EOC 的电压波形

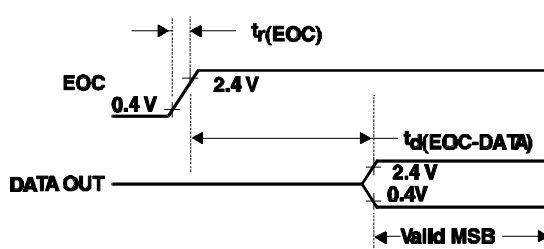
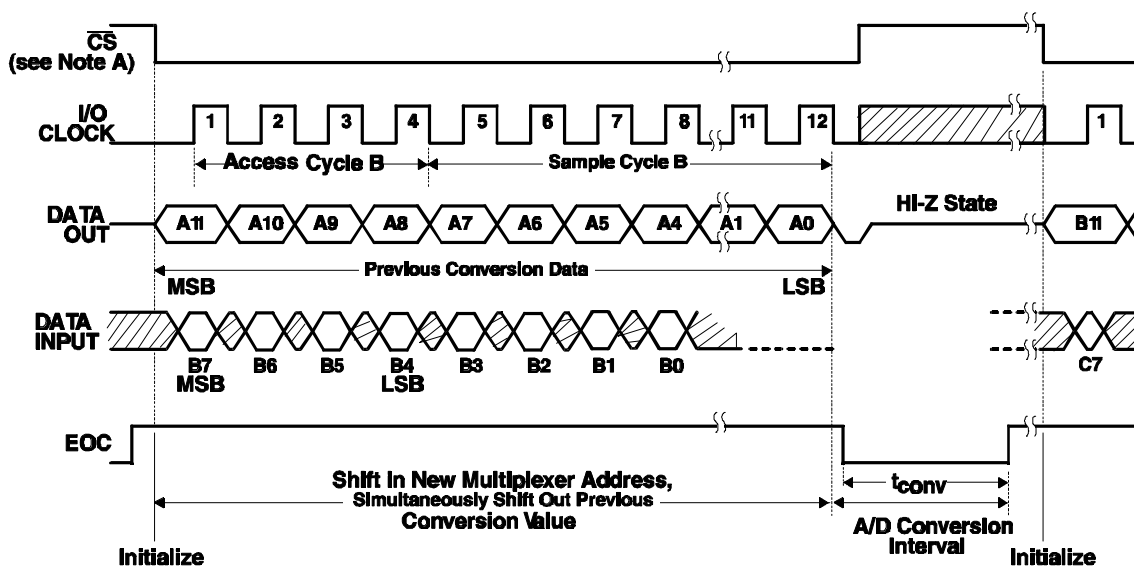
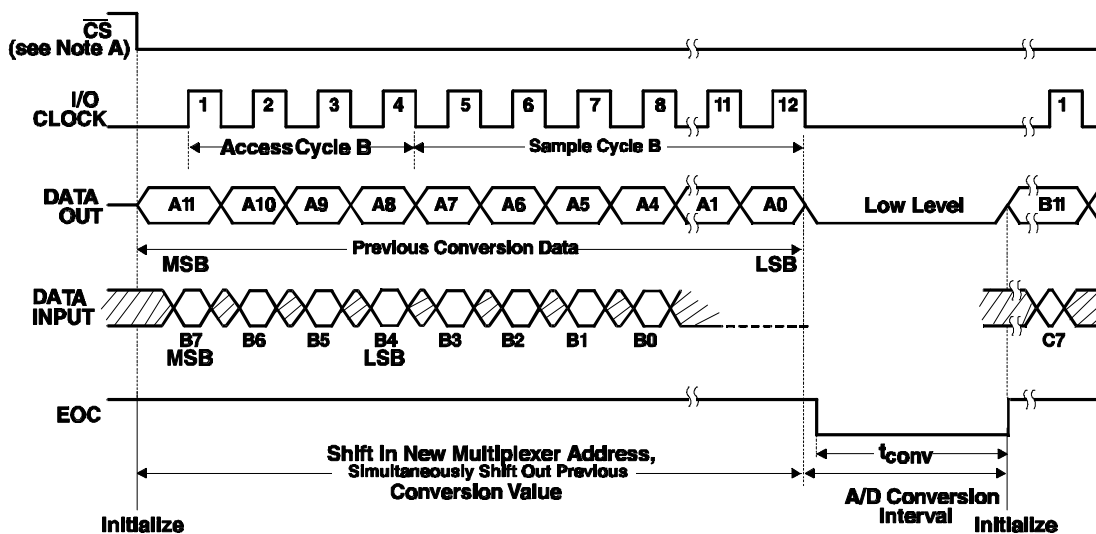
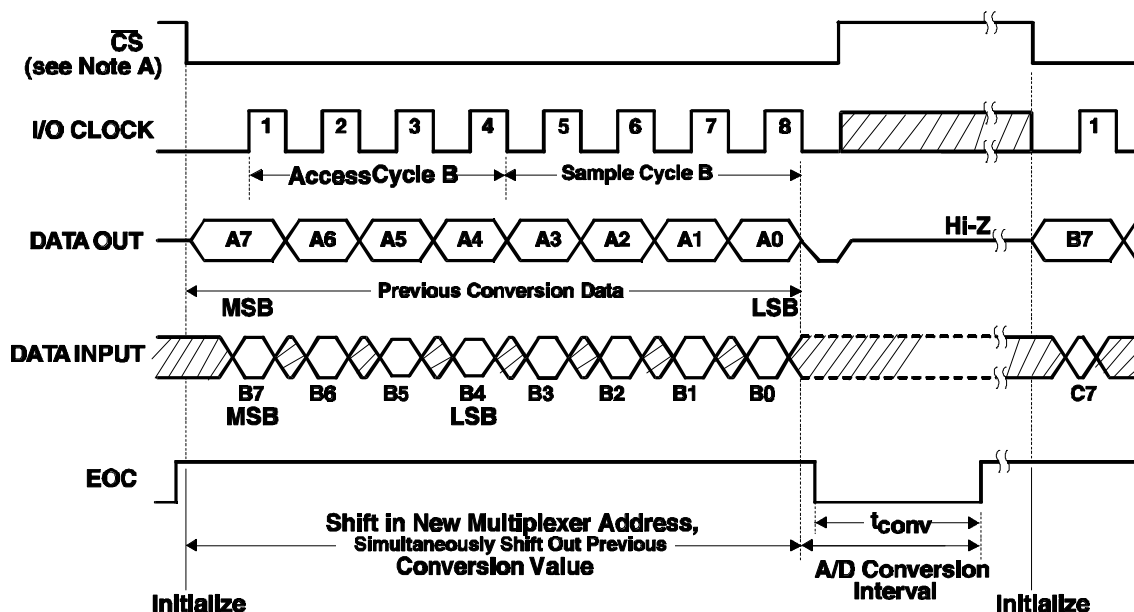
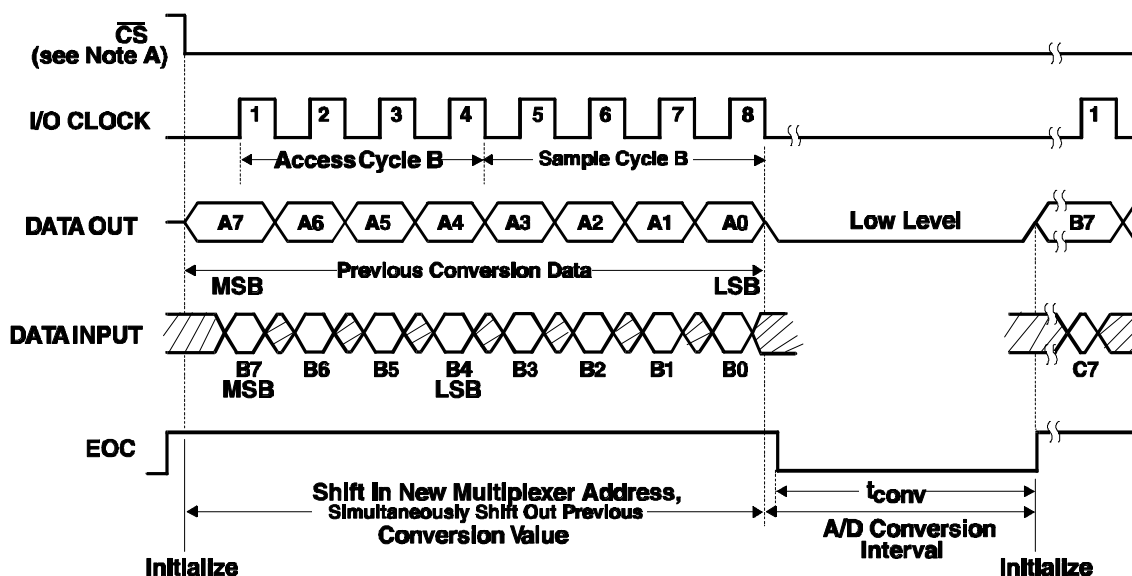


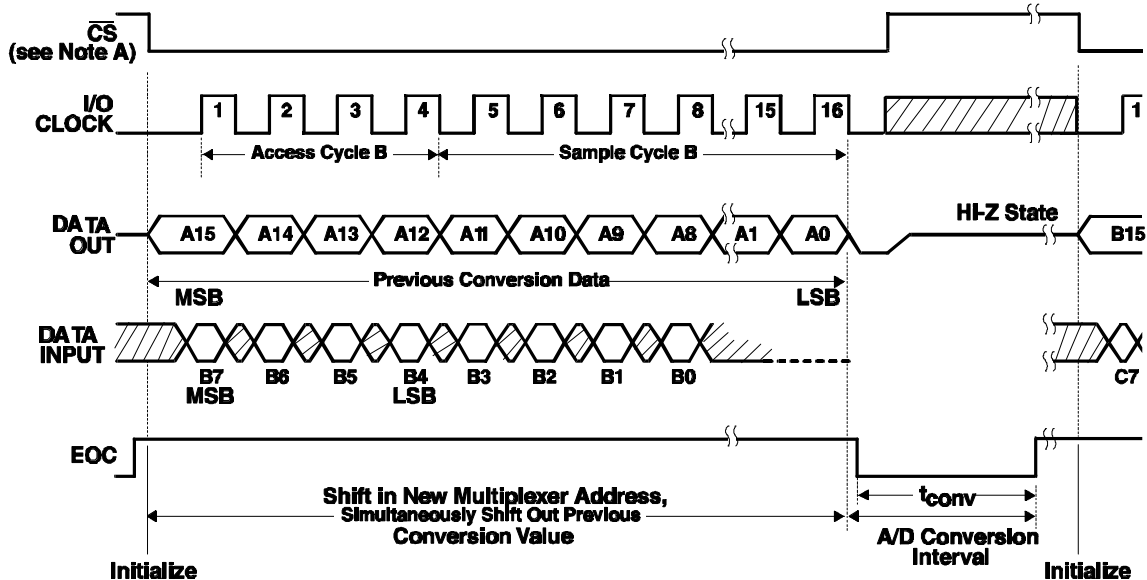
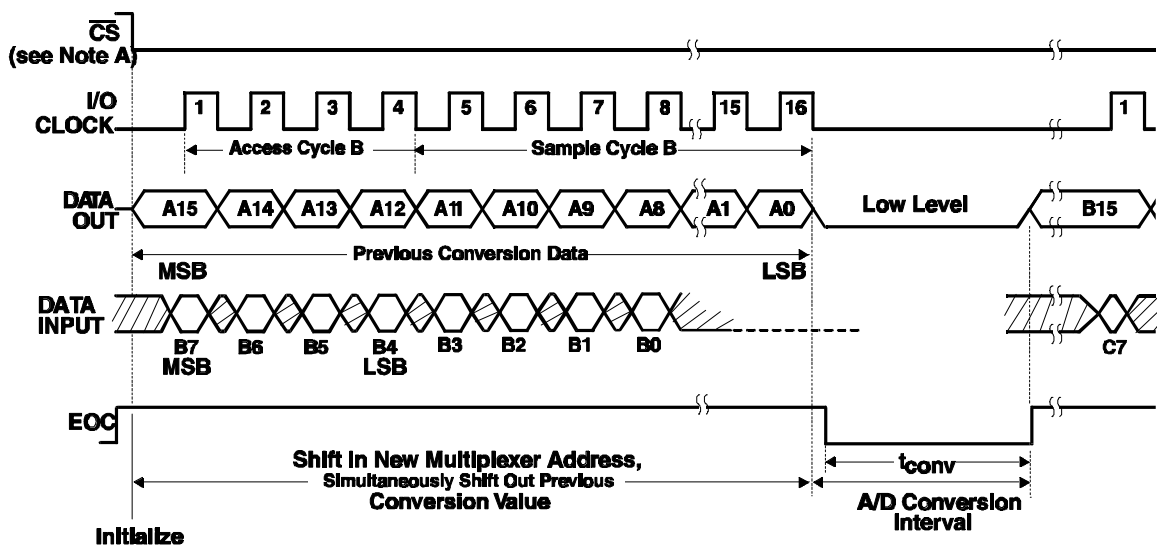
图9 EOC 和 DATA OUT 的电压波形

图 10 用 $\overline{\text{CS}}$ 进行 12 个时钟的传送，以 MSB 导前的时序图图 11 不用 $\overline{\text{CS}}$ 进行 12 个时钟的传送，以 MSB 导前的时序图

注释 A：为了减少由于 $\overline{\text{CS}}$ 的噪声引起的误差，在 $\overline{\text{CS}}$ ↓ 后内部电路在响应控制输入信号之前等待一个设置时间。所以，在最小的设置时间消逝以前不要企图输入地址。

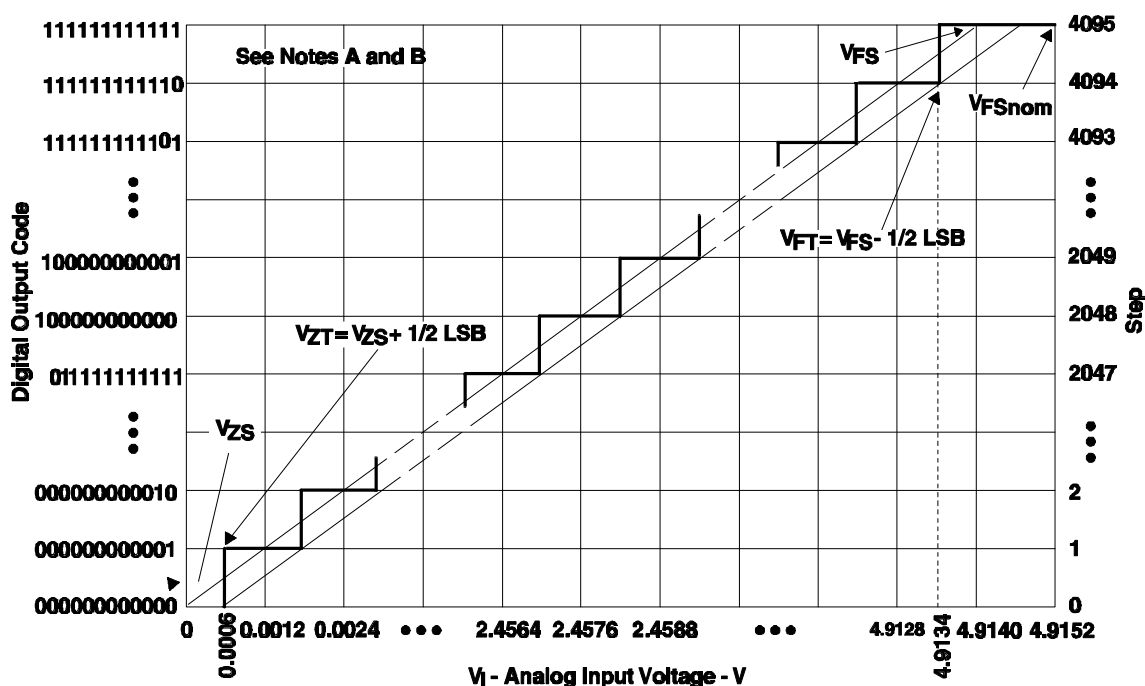
图 12 使用 $\overline{CS}$ 进行 8 个时钟的传送，以 MSB 导前的时序图图 13 不使用 $\overline{CS}$ 进行 8 个时钟的传送，以 MSB 导前的时序图

注释 A：为了减少由于 $\overline{CS}$ 的噪声引起的误差，在 $\overline{CS} \downarrow$ 后内部电路在响应控制输入信号之前等待一个设置时间。所以，在最小的设置时间消逝以前不要企图输入地址。

图 14 使用 $\overline{\text{CS}}$ 进行 16 个时钟的传送，以 MSB 导前的时序图图 15 不使用 $\overline{\text{CS}}$ 进行 16 个时钟的传送，以 MSB 导前的时序图

注释 A：为了减少由于 $\overline{\text{CS}}$ 的噪声引起的误差，在 $\overline{\text{CS}} \downarrow$ 后内部电路在响应控制输入信号之前等待一个设置时间。所以，在最小的设置时间消逝以前不要企图输入地址。

五、应用信息



注释 A 这个曲线是基于 V_{ref+} 和 V_{ref-} 已经被调整好的假设 因此从数字 0 至 1 的电压变化 (V_{ZT}) 是 0.0006V 而满度的电压变化 (V_{FT}) 是 4.9134V。1LSB=1.2mV。

图 16 理想的转换特性

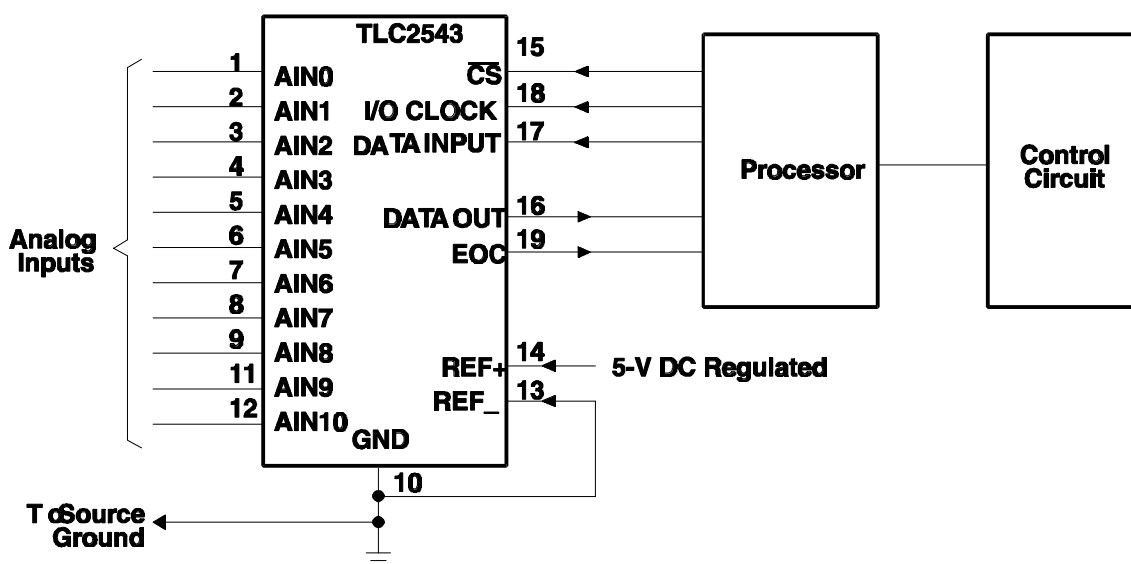


图 17 串行接口

5.1 简化的模拟输入分析

用图 18 中的等效电路，在 1/2 LSB 中将模拟输入电容从 0 充到 V_s 所需的时间可推导如下：

电容所充的电压由下式给出：

$$V_c = V_s (1 - e^{-t_c/R_t C_i}) \quad (1)$$

其中：

$$R_t = R_s + r_i$$

1/2 LSB 达到的最终电压由下式给出：

$$V_C (1/2 \text{ LSB}) = V_S - (V_S/8192) \quad (2)$$

将 (1) 式代入 (2) 式并解出 t_C 如下：

$$V_S - (V_S/8192) = V_S (1 - e^{-t_C/R_i C_i}) \quad (3)$$

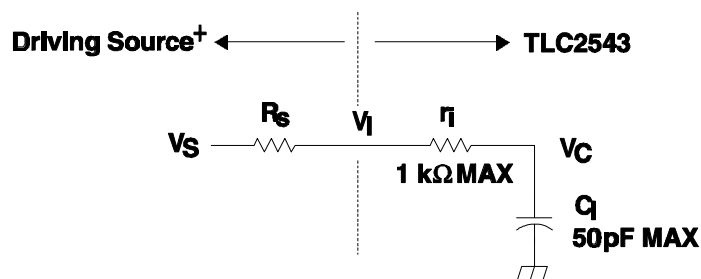
可得：

$$t_C (1/2 \text{ LSB}) = R_i \times C_i \times \ln (8192) \quad (4)$$

所以，在给定值的条件下，模拟输入信号的建立时间是：

$$t_C (1/2 \text{ LSB}) = (R_S + 1 \text{ k}\Omega) \times 60 \text{ pF} \times \ln (8192) \quad (5)$$

这个时间必须少于在时序图中所示的转换器采样时间。



V_I = 输入端 A0-A10 的输入电压

V_S = 外部驱动源电压

R_S = 源电阻

r_i = 输入电阻

C_i = 输入电容

+ 对驱动源的要求：

- 源的噪声与失真必须与转换器的分辨率同等
- 在输入频率上 R_S 必须为实数

图 18 包括驱动源的等效输入电路