

TLC5628C, TLC5628I

八路 8 位数模转换器

一、概述

1.1 一般说明

TLC5628C和TLC5628I是带有缓冲基准输入端(高阻抗)的八路8位电压输出数字-模拟转换器(DAC)。DAC产生范围在基准电压一或两倍与地(GND)之间的输出电压,且DAC是单调变化的。器件使用简单,用单5V电源工作。器件包含上电复位功能以确保可重复启动。

通过简单的3线串行总线可对TLC5628C和TLC5628I实现数字控制,此总线与CMOS兼容且易于与所有常用的微处理器和微控制器器件接口。12位的命令字由8位数据,3个DAC选择位以及1个范围(range)位组成。后者允许在1倍或2倍输出范围之间作出选择。DAC寄存器是双缓冲的,允许完整的新数值组写入器件,然后DAC输出通过LDAC端的控制同时更新。数字输出端的特点是带有斯密特触发器,该电路具有高的噪声抑制能力。

16引脚的小型(D)封装在空间受限的应用中实现模拟功能的数字控制。TLC5628C的工作温度范围为0至70。TLC5628I的工作温度范围为-40至85。二者都不需要外部微调。

可选项

封装		
T _A	小型(D)	塑料DIP(N)
0至70	TLC5628CD	TLC5628CN
-40至85	TLC5628ID	TLC5628IN

1.2 特点

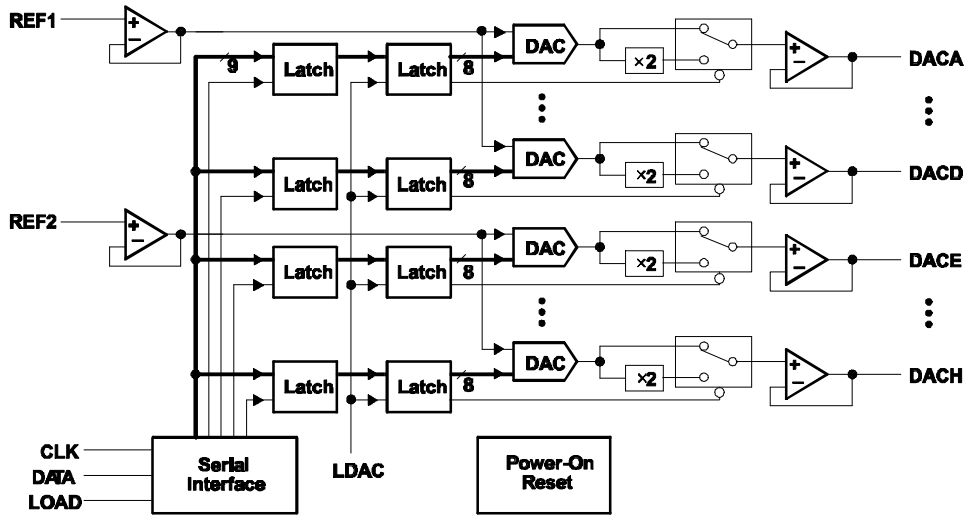
- 八路8位电压输出DAC
- 5V单电源工作
- 串行接口
- 高阻抗基准输入
- 可编程1至2倍输出范围
- 可方便地同时更新(Simultaneous-Update)
- 内部上电复位
- 低功耗
- 半缓冲(Half-Buffered)输出

1.3 应用范围

- 可编程电压源
- 数字控制放大器/衰减器
- 移动通信
- 自动测试设备
- 过程监视与控制
- 信号综合

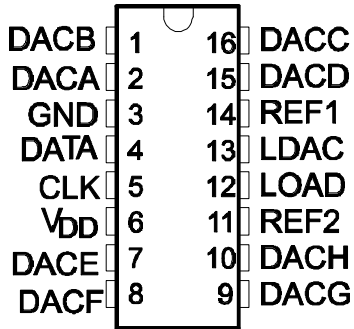
1.4 功能方框图及等效输入与输出电路

TLC5628C、TLC5628I的功能方框图及等效输入与输出电路分别如下面两图所示。



1.5 引脚排列与功能说明

N 或 D 封装的 TLC5628C、TLC5628I 的引脚排列与引脚功能说明分别如下图及下表所示。



引脚功能表

引脚名称	编号	I/O	说明
CLK	5	I	串行接口时钟，数据在负沿送入
DACA	2	O	DAC A 模拟输出
DACB	1	O	DAC B 模拟输出
DACC	16	O	DAC C 模拟输出
DACD	15	O	DAC D 模拟输出
DACE	7	O	DAC E 模拟输出
DACF	8	O	DAC F 模拟输出
DACG	9	O	DAC G 模拟输出
DACH	10	O	DAC H 模拟输出
DATA	4	I	串行接口数字数据输入
GND	3	I	地返回端与基准端
LDAC	13	I	DAC 更新锁存控制
LOAD	12	I	串行接口装载控制
REF1	14	I	至 DACA 基准电压输入
REF2	11	I	至 DACB 基准电压输入
V _{DD}	6	I	正电源电压

二、详细说明

TLC5628 使用八个电阻串 (resistor-string) DAC 来实现。每个 DAC 的核心是带有 256 个抽头的单电阻，它们对应于表 2 所列的 256 个可能的代码。每个电阻串的一端连接到 GND 端，另一端由基准输入缓冲器的输出供电。通过使用电阻串保持单调性。线性度取决于电阻元件的一致性以及输出缓冲器的性能。由于

输入端是经过缓冲的,所以 DAC 对于基准源总是呈现为高阻抗负载。有两个输入基准端; REF1 用于 DACA 至 DACD, REF2 用于 DACE 至 DACH。

每一个 DAC 的输出由可配置增益输出放大器缓冲,它可以配置为 1 倍或 2 倍增益。

上电时, DAC 被复位至代码 0。

每一输出电压由下式给出:

$$V_O (DACA|B|C|D|E|F|G|H) = REF \times CODE / 256 \times (1 + RNG \text{ 位的值})$$

其中 CODE 的范围为 0 至 255。范围 (RNG) 位是串行控制字内的 0 或 1。

2.1 数据接口

当 LOAD 为高电平时,数据在 CLK 每一下降沿由时钟同步送入 DATA 端。如图 1 所示,一旦所有的数据位送入, LOAD 变为脉冲低电平以便把数据从串行输入寄存器传送到所选择的 DAC。如果 LDAC 为低电平,所选择的 DAC 输出电压更新且 LOAD 变为低电平。而在图 2 中串行编程期间内 LDAC 为高电平,新数值被 LOAD 的低脉冲锁入第一级锁存器后再由 LDAC 脉冲低电平传送到 DAC 输出。数据输入时最高有效位 (MSB) 在前。使用两个 8 时钟周期的数据传送给图 3 和图 4。

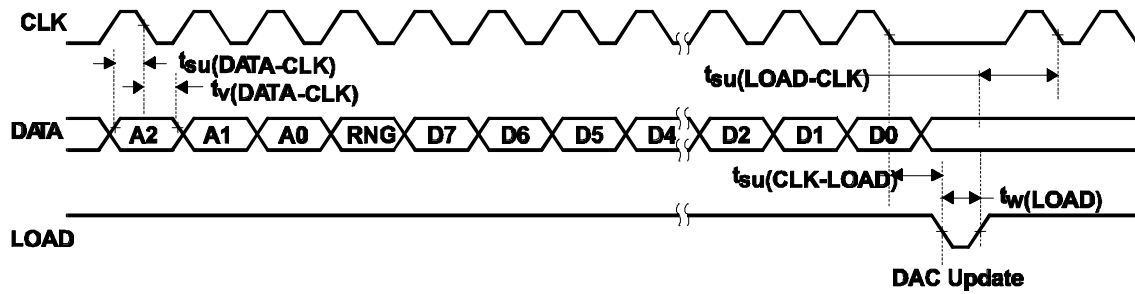


图 1 LOAD 控制的更新 (LDAC=低电平) CLK 5

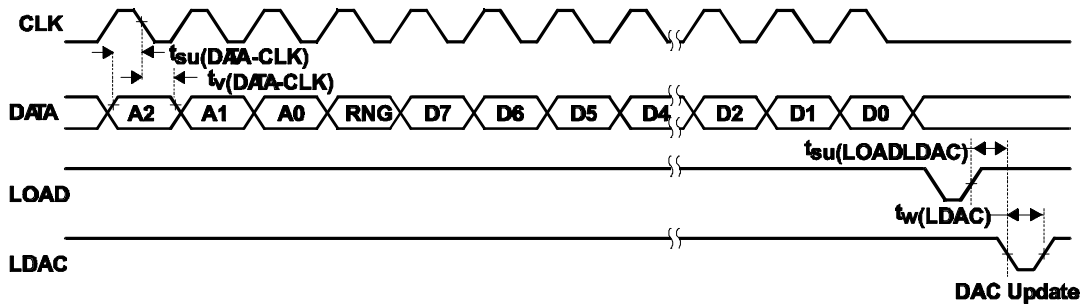


图 2 LDAC 控制的更新

表 1 列出 A2、A1 和 A0 位以及被更新 DAC 的选择。RNG 位控制 DAC 输出范围。当 RNG 为低电平时,输出范围在所加的基准电压与 GND 之间,当 RNG 为高电平时,输出范围在所加基准电压的两倍与 GND 之间。

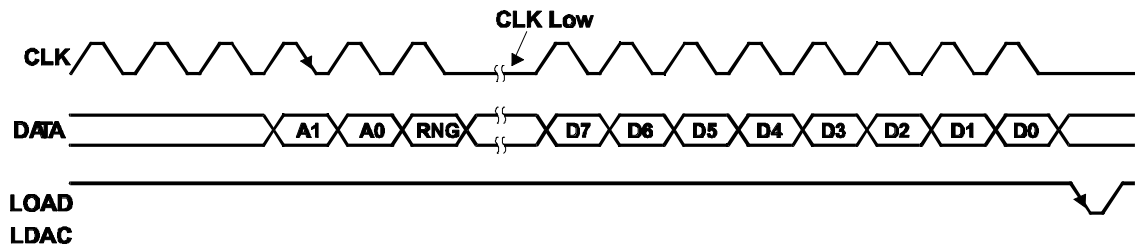


图 3 使用 8 位串行字 LOAD 控制的更新 (LDAC=低电平)

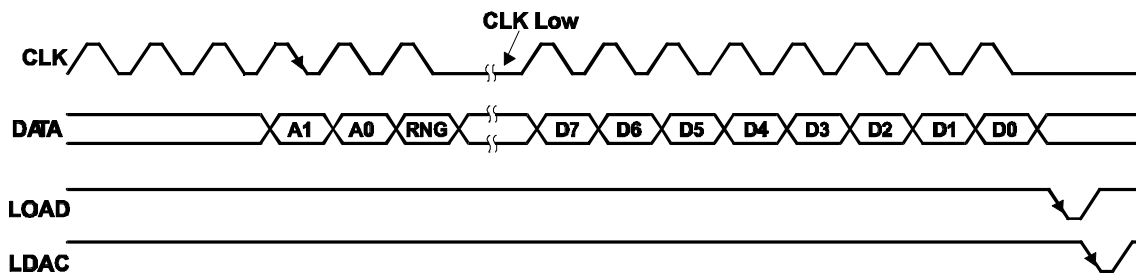


图 4 使用 8 位串行字 LDAC 控制的更新

表 1 串行输入译码

A2	A1	A0	所更新的 DAC
0	0	0	DACA
0	0	1	DACB
0	1	0	DACC
0	1	1	DACD
1	0	0	DACE
1	0	1	DACF
1	1	0	DACG
1	1	1	DACH

表 2 理想的输出变换

D7	D6	D5	D4	D3	D2	D1	D0	输出电压
0	0	0	0	0	0	0	0	GND
0	0	0	0	0	0	0	1	$(1/256) \times \text{REF} (1+\text{RNG})$
.
0	1	1	1	1	1	1	1	$(127/256) \times \text{REF} (1+\text{RNG})$
1	0	0	0	0	0	0	0	$(128/256) \times \text{REF} (1+\text{RNG})$
.
1	1	1	1	1	1	1	1	$(255/256) \times \text{REF} (1+\text{RNG})$

2.2 使用单端电源的线性度、失调以及增益误差

当放大器用单电源工作时，电压失调仍可为正或负。在正失调情况下，输出电压在第一个代码改变时发生变化。在负失调情况下，根据失调电压的大小，输出电压可能不随第一个代码而改变。

带有负电压失调的输出放大器试图把输出驱动至负电压。但是，由于最负电源电平为地，输出不可能驱动至负电压。

因此，当输出失调电压为负时，输出电压保持在 0V，直至输入代码值产生足够的输出电压以克服固有负失调电压的输出电压为止，所产生的转移函数如图 5 所示。

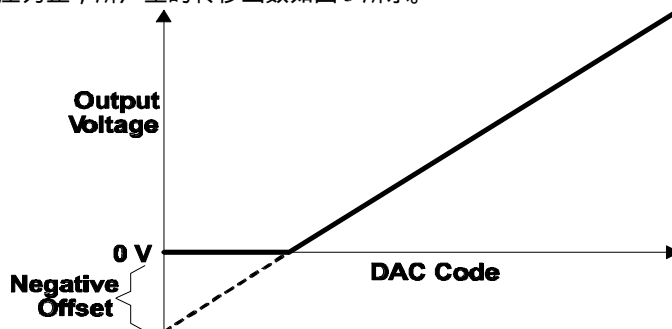


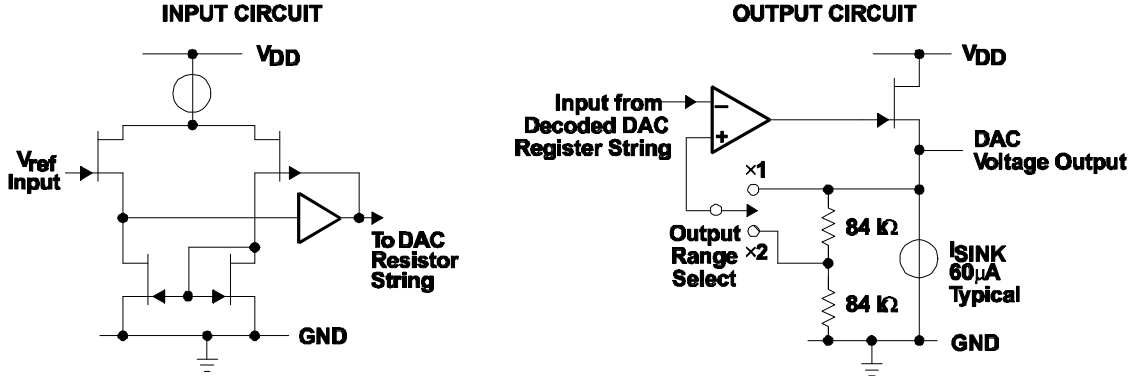
图 5 负失调电压的影响（单电源）

这种负失调电压，不是线性度误差，产生断点。如果输出缓冲器可驱动至负电压，那么转换函数将按虚线所示规律变化。

对于 DAC，在对失调和满度进行调整或从某种方式予以考虑之后，在零输入代码（所有输入为 0）和满度代码（所有输入为 1）之间测量线性度。但是，在失调为负时，由于转移函数中的断点，单电源工作不允许调整。因此，单极性方式的线性度在满度代码和产生正输出电压的最小代码之间测量。

根据负失调的最大值（maximum specification）计算代码。

2.3 等效的输入和输出电路



三、特性

3.1 在工作温度范围内（自然通风）的极限参数（除非另有说明）+

电源电压 (V _{DD} -GND)	7V
数字输入电压范围	GND - 0.3V 至 V _{DD} +0.3V
基准输入电压范围, V _{ID}	GND - 0.3V 至 V _{DD} +0.3V
工作温度范围（自然通风）, T _A :	
TLC5628C	0 至 70
TLC5628I	-40 至 85
储存温度范围, T _{stg}	-50 至 150
引线温度, 离外壳 1.6mm (1/16 英寸), 10 秒	230

+ 强度超过所列的极限参数可能导致器件的永久性损坏。这些仅仅是权限参数，并不意味着在极限参数条件下或在任何超出推荐工作条件中所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

3.2 推荐工作条件

	MIN	NOM	MAX	单位
电源电压, V _{DD}	4.75		5.25	V
高电平数字输入电压, V _{IH}	0.8V _{DD}			V
低电平数字输入电压, V _{IL}			0.08	V
基准电压, V _{ref[A B C D]}			V _{DD} - 1.5	V
模拟满度输出电压, R _L =10k		3.5		V
负载电阻, R _L	10			k
建立时间, 数据输入, t _{su(DATA-CLK)} (见图 1 和 2)	50			ns
有效时间, CLK 之后数据输入有效, t _{v(DATA-CLK)} (见图 1 和 2)	50			ns
建立时间, CLK 第 11 个下降沿至 LOAD, t _{su(CLK-LOAD)} (见图 1)	50			ns
建立时间, LOAD 至 CLK, t _{su(LOAD-CLK)} (见图 1)	50			ns
脉冲宽度, LOAD, t _{w(LOAD)} (见图 2)	250			ns
脉冲宽度, LDAC, t _{w(LDAC)} (见图 2)	250			ns
建立时间, LOAD 至 LDAC, t _{su(LOAD-LDAC)} (见图 2)	0			ns
CLK 频率			1	MHz
工作温度（自然通风）, T _A	TLC5628C	0	70	
	TLC5628I	-40	85	

3.3 电特性

3.3.1 在推荐工作温度范围内（自然通风）， $V_{DD}=5V \pm 5\%$ ， $V_{ref}=2V$ ，X1 增益输出范围内的电特性（除非另有说明）

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
I_{IH}	High-level digital input current $V_I = V_{DD}$			± 10	μA
I_{IL}	Low-level digital input current $V_I = 0V$			± 10	μA
$I_{O(sink)}$	Output sink current	20			μA
$I_{O(source)}$	Output source current	2			mA
C _I	Input capacitance		15		pF
	Reference input capacitance		15		
I_{DD}	Supply current $V_{DD} = 5V$			2	mA
I_{ref}	Reference input current $V_{DD} = 5V$ $V_{ref} = 2V$			± 10	μA
E_L	Linearity error (end point corrected) $V_{ref} = 2V$ $\times 2$ gain (see Note 1)			± 1	LSB
E_D	Differential-linearity error $V_{ref} = 2V$ $\times 1$ gain (see Note 2)			± 0.9	LSB
E_{ZS}	Zero-scale error $V_{ref} = 2V$ $\times 2$ gain (see Note 3)	0		30	mV
	Zero-scale-error temperature coefficient $V_{ref} = 2V$ $\times 2$ gain (see Note 4)		10		$\mu V/^\circ C$
E_{FS}	Full-scale error $V_{ref} = 2V$ $\times 2$ gain (see Note 5)			60	mV
	Full-scale-error temperature coefficient $V_{ref} = 2V$ $\times 2$ gain (see Note 6)		± 25		$\mu V/^\circ C$
PSRR	Power-supply rejection ratio See Notes 7 and 8			0.5	mV/V

注释：

- 积分非线性度（INL）是输出偏离零与满度之间直线的最大偏移量（除去零代码和满度误差的影响）。
 - 差分非线性度（DNL）是任何两个相邻代码的测量与理想 1LSB 幅度变化之间的差值。单调性意味着当数字输入代码变化时输出电压按相同的方向变化（或保持不变）。
 - 零点误差是当数字输入代码为零时偏离零电压输出的偏移量。
 - 零点误差温度系数由下式给出：

$$ZSETC = [ZSE(T_{max}) - ZSE(T_{min})] / V_{ref} \times 10^6 / (T_{max} - T_{min})$$
 - 满度误差是输出负载为 10k Ω 时偏离理想满度输出（ $V_{ref}-1LSB$ ）的偏移量。
 - 满度误差温度系数由下式给出：

$$FSETC = [FSE(T_{max}) - FSE(T_{min})] / V_{ref} \times 10^6 / (T_{max} - T_{min})$$
 - 零点误差抑制比（ZSE RR）通过把 V_{DD} 从 4.5V 变至 5.5V（直流），并测量此信号影响零代码输出电压的比例而测得。
 - 满度误差抑制比（FSE RR）通过把 V_{DD} 从 4.5V 变至 5.5V（直流），并测量此信号影响满度输出电压的比例而测得。
- 3.3.2 在推荐工作温度范围内（自然通风）， $V_{DD}=5V \pm 5\%$ ， $V_{ref}=2V$ ，X1 增益输出范围内的工作特性（除非另有说明）

	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Output slew rate	$C_L = 100 pF$ $R_L = 10 k\Omega$		1		V/ μs
Output settling time	To 0.5 LSB, $C_L = 100 pF$ $R_L = 10 k\Omega$, See Note 9		10		μs
Large signal bandwidth	Measured at -3dB point		100		kHz
Digital crosstalk	CLK = 1-MHz square wave measured at DACA-DACD		-50		dB
Reference feedthrough	See Note 10		-60		dB
Channel-to-channel isolation	See Note 11		-60		dB
Reference input bandwidth	See Note 12		100		kHz

- 注释：
- 建立时间是数字输入代码从 00hex 变至 FFhex 或从 FFhex 变至 00hex 时，输出信号保持在最终测量值的 $\pm 0.5LSB$ 之内的时间。对于 TLC5628C： $V_{DD}=5V$ ， $V_{ref}=2V$ 且 range = $\times 2$ 。对于 TLC5628I， $V_{DD}=3V$ ， $V_{ref}=1.25V$ 且 range = $\times 2$ 。
 - 基准馈通是在输入代码=00hex 且 V_{ref} 输入=1V（直流）+1V_{PP}（10kHz）的情况下，在任何 DAC 输出端测量。
 - 通道至通道的隔离通过把一个 DAC 输入代码设置为 FFhex，所有其余的 DAC 设为 00hex，且 V_{ref} 输入=1V（直流）+1V_{PP}（10kHz）的情况下测量。
 - 基准带宽是 V_{REF} 的输入=1.25V+2V_{PP}、满度数字输入代码情况下的-3dB 带宽。

3.4 参数测量资料

斜升建立时间与线性度测量电路如图 6 所示。

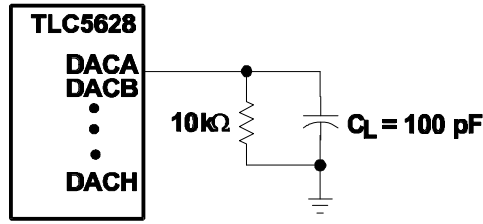


图 6 斜升建立时间与线性度的测量

3.5 典型特性曲线

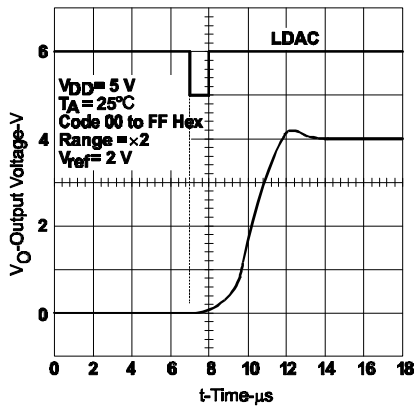


图 7 正上升与建立时间

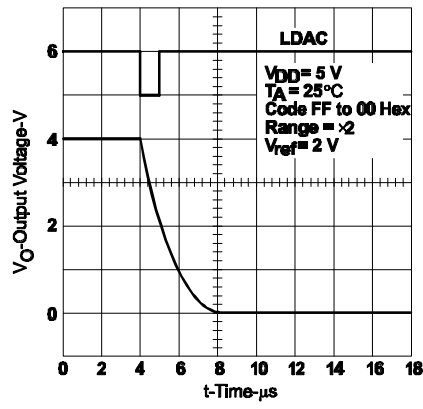


图 8 负向下降与建立时间

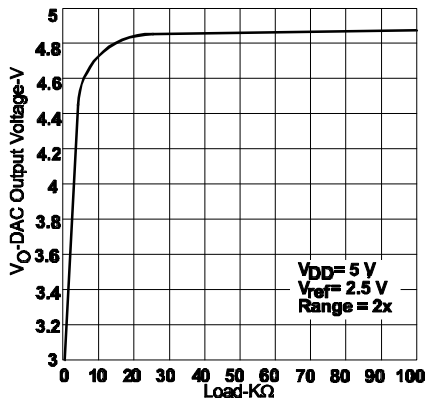


图 9 DAC 输出电压与负载的关系

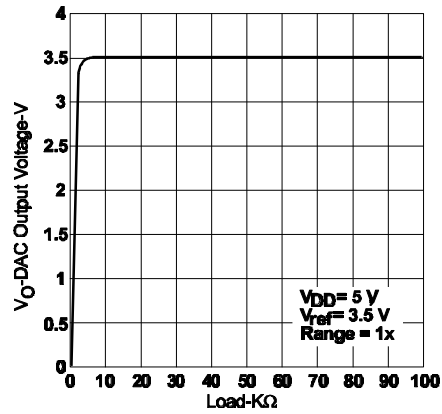


图 10 DAC 输出电压与负载的关系

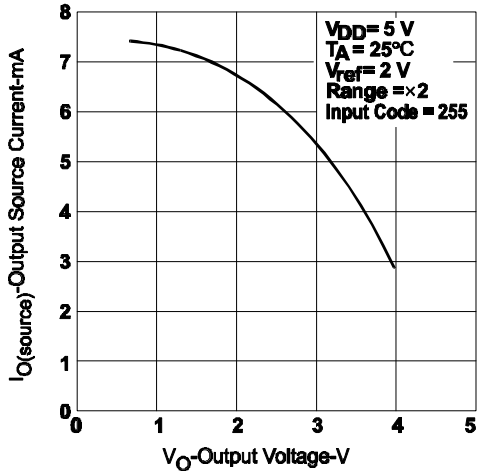


图 11 电源提供电流与输出电压的关系

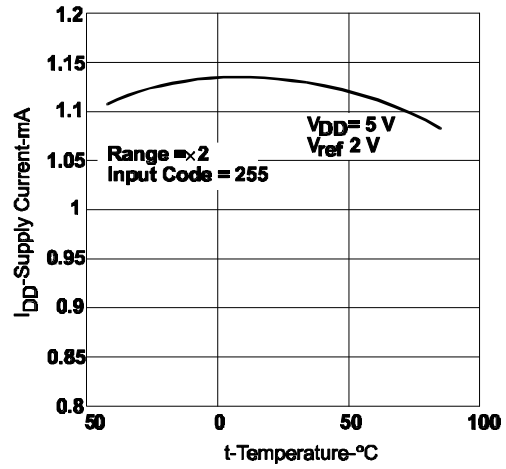


图 12 电源电流与温度的关系

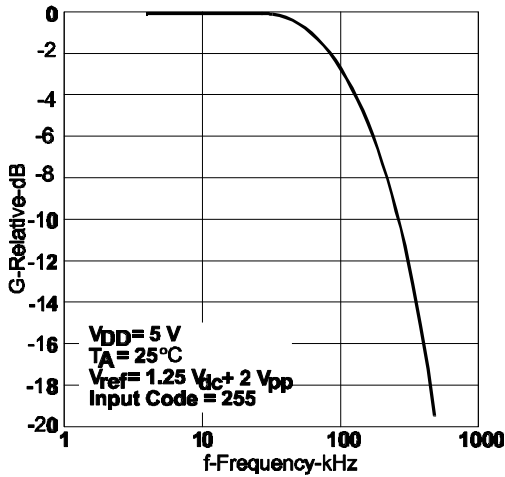


图 13 相对增益与频率的关系

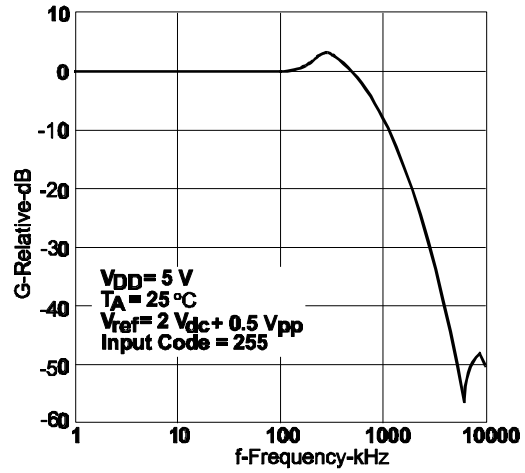
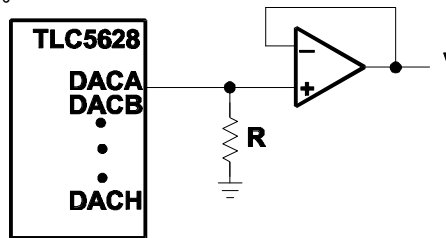


图 14 相对增益与频率的关系

四、应用资料

TLC5628 输出缓冲电路示于图 15。



注释 A：电阻 R 10k

图 15 输出缓冲电路