

TLC7225C TLC7225I

四路 8 位数模转换器

一、概述

1.1 一般说明

TLC7225C 包含四个 8 位电压输出数/模转换器 (DAC)，带有输出缓冲放大器和双寄存器缓冲的接口逻辑。

每个 DAC 有分离的片内锁存器。数据通过一个公共的 8 位 TTL/CMOS 兼容 (5V) 输入口送入这些数据寄存器之一。输入控制 A0 和 A1 决定 \overline{WR} 变低时哪个 DAC 被加载。只有保存在 DAC 寄存器中的数据决定转换器的模拟输出。双寄存器缓冲允许所有四个输出在 \overline{LDAC} 控制下同时更新。所有逻辑输入是与 TTL 和 CMOS 电平兼容的，控制逻辑与大多数 8 位微处理器速度兼容。每个 DAC 包含一个输出缓冲放大器，能驱动高达 5mA 的输出电流。

TLC7225 的性能是输入基准电压从 2V 至 $V_{DD} - 4V$ 且双电源工作下规定的。DAC 的电压型结构允许 TLC7225 在 0V 基准下单电源工作。

TLC7225 按 LinBiCMOS™ 工艺制造。这种工艺特地发展来允许高速数字逻辑电路和精密模拟电路被集成在同一芯片上。TLC7225 有一个带各个 DAC 锁存器的公共 8 位数据总线。这为简单地同微处理器接口提供了通用的控制结构。所有锁存使能信号都是电平触发。

把四个 DAC、四个输出放大器和接口逻辑组合到一个小的、0.3 英寸宽、24 脚的 SOIC 封装中，在使用多转换器系统中有效地减小了印刷板需要的空间和提供了更高的可靠性。引脚输出优化了电路板布局，所有模拟输入、输出在封装的一边，而所有数字输入在另一边。

TLC7225C 的工作温度范围为 0 至 70。TLC7225I 为 -40 至 85。

可选项

封装的器件	
T_A	小型 (DW)
0 至 70	TLC7225CDW
-40 至 85	TLC7225IDW

1.2 特点

- 四个带单独基准的 8 位数/模转换器
- 不用外部电平移动放大器的直接双极性工作
- 微处理器兼容
- TTL/CMOS 兼容
- 可单电源工作
- 同时更新的特性
- 二进制输入码

1.3 应用

- 过程控制
- 自动测试设备
- 大系统参数的自动校准，如增益/偏移

P&S 武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路 15 号

信箱：武汉市 70020 信箱

电话：(86) (027) 87493500 ~ 87493506

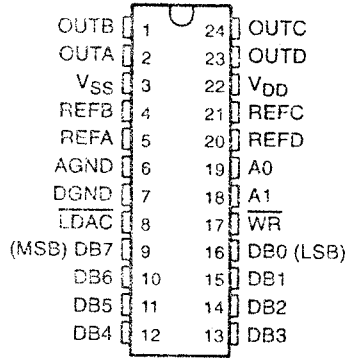
P&S 网网址：http://www.p8s.com

邮编：430079

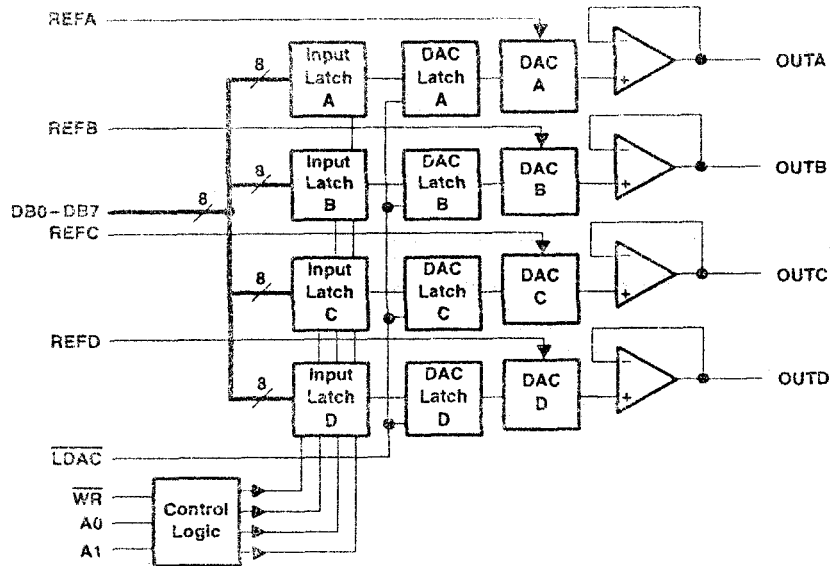
传真：(86) (027) 87491166, 87493493

1.4 引脚排列

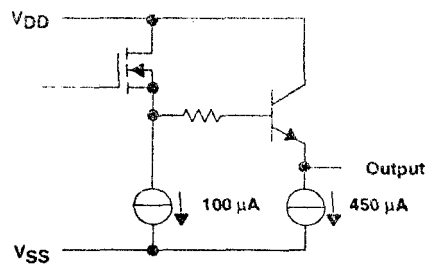
DW 封装 (顶视)



1.5 功能方框图



1.6 输出电路



1.7 引脚功能

引脚名称	引脚编号	I/O	说明
AGND	6		模拟地
A0, A1	18, 19	I	DAC 输入选择
DGND	7		数字地
DB0 ~ DB7	9 ~ 16	I	数字 DAC 输入
LDAC	8		加载 DAC。高电平同时加载全部四个 DAC 寄存器。当 LDAC 为低时 DAC 寄存器是透明的
OUTA	2	O	DAC A 输出
OUTB	1	O	DAC B 输出
OUTC	24	O	DAC C 输出
OUTD	23	O	DAC D 输出
REFA	5	I	DAC A 基准电压输入
REFB	4	I	DAC B 基准电压输入
REFC	21	I	DAC C 基准电压输入
REFD	20	I	DAC D 基准电压输入
V _{DD}	22		正电源电压
V _{SS}	3		负电源电压
WR	17	I	写输入选择 DAC 透明或锁存方式

二、特性

2.1 工作温度范围内（自然通风）的极限参数（除非另有说明）+

电源电压范围 V _{DD} : 对 AGND 或 DGND	-0.3V 至 17V
对 V _{SS}	-0.3V 至 24V
电源电压范围 V _{SS} : 对 AGND 或 DGND	-7V 至 V _{DD}
AGND 和 DGND 间电压范围	-0.3V 至 V _{DD}
输入电压范围 V _I (对 DGND)	-0.3V 至 V _{DD} +0.3V
基准电压范围 V _{ref} (对 AGND)	-0.3V 至 V _{DD}
输入电压范围 V _O (对 AGND) (见注 1)	V _{SS} 至 V _{DD}
T _A =25 (或更低) 的连续总功耗 (见注 2)	500mW
自然通风工作温度范围: C 后缀	0 至 70
I 后缀	-40 至 85
储存温度范围 T _{stg}	-65 至 150
10 秒钟距外壳 1.6mm(1/16 英寸)引线温度	260

+ 强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限条件下或在任何其它超出推荐工作条件下所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

- 注：1. 输出电压可短路到 AGND，只要不超过封装的功耗。典型情况下短路到 AGND 的电流为 50mA。
2. 工作在 T_A=25 以上按 2.0mW/ 的速度线性下降。

2.2 推荐工作条件

	MIN	MAX	UNIT	
Supply voltage, V _{DD}	11.4	16.5	V	
Supply voltage, V _{SS}	-5.5	0	V	
High-level input voltage, V _{IH}	2		V	
Low-level input voltage, V _{IL}		0.8	V	
Reference voltage, V _{ref}	2	V _{DD} -4	V	
Load resistance, R _L	2		kΩ	
Operating free-air temperature, T _A	C suffix	0	70	°C
	I suffix	-40	85	°C

2.3 时序要求 (见图 1)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{SU(AW)} Setup time, address valid before WR↓		0			ns
t _{SU(DW)} Setup time, data valid before WR↑	V _{DD} = 11.4 V to 16.5 V, V _{SS} = 0 or -5 V	45			ns
t _{H(AW)} Hold time, address valid after WR↑	V _{DD} = 11.4 V to 16.5 V, V _{SS} = 0 or -5 V	0			ns
t _{H(DW)} Hold time, data valid after WR↑	V _{DD} = 11.4 V to 16.5 V, V _{SS} = 0 or -5 V	10			ns
t _{w1} Pulse duration, WR low	V _{DD} = 11.4 V to 16.5 V, V _{SS} = 0 or -5 V	50			ns
t _{w2} Pulse duration, LDAC low	V _{DD} = 11.4 V to 16.5 V, V _{SS} = 0 or -5 V	50			ns

2.4 推荐自然通风工作温度范围内的电特性

基准输入 (所有电源范围)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
r _i Input resistance, REFA, REFB, REFC, REFD		1.5	4		kΩ
C _i Input capacitance, REFA, REFB, REFC, REFD	DAC loaded with all 1s			300	pF
	DAC loaded with all 0s	65			pF
Channel-to-channel isolation	V _{ref} = 10 V _{pp} sine wave at 10 kHz	60			dB
ac feedthrough		70			dB

双电源, 在推荐的电源和基准电压范围内, AGND=DGND=0V (除非另有说明)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
i _i Input current, digital	V _I = 0 or V _{DD}			±1	μA
I _{DD} Supply current, V _{DD}	V _I = V _{IL} or V _{IH} , No load		10	16	mA
I _{SS} Supply current, V _{SS}	V _I = V _{IL} or V _{IH} , No load		4	10	mA
Power supply sensitivity	ΔV _{DD} = ±5%			0.01	%/%
C _i Input capacitance	Digital inputs			6	pF

单电源, V_{DD}=14.25V 至 15.75V, V_{SS}=AGND=DGND=0V, V_{ref} (A, B, C, D) =10V

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
i _i Input current, digital	V _I = 0 or V _{DD}			±1	μA
I _{DD} Supply current, V _{DD}	V _I = V _{IL} or V _{IH} , No load		5	13	mA
Power supply sensitivity	ΔV _{DD} = ±5%			0.01	%/%
C _i Input capacitance	Digital inputs			8	pF

2.5 推荐的自然通风工作温度范围内的电特性

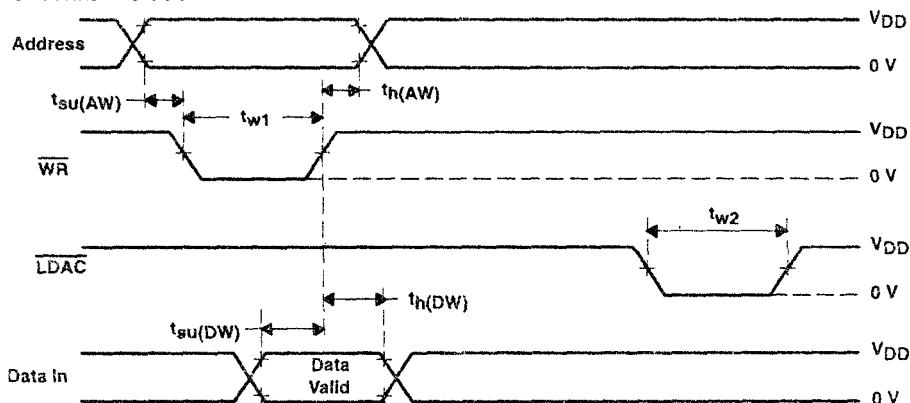
双电源，在推荐的电源和基准电压范围内，AGND=DGND=0V（除非另有说明）

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
Slew rate			2.5			V/ μ s
t_s	Settling time to 1/2 LSB	$V_{ref}(A, B, C, D) = 10\text{ V}$	Positive full scale			5
			Negative full scale			7
Resolution			8			Bits
Total unadjusted error		$V_{DD} = 15\text{ V} \pm 5\%$, $V_{ref}(A, B, C, D) = 10\text{ V}$				± 2 LSB
Integral nonlinearity (INL)		$V_{DD} = 15\text{ V} \pm 5\%$, $V_{ref}(A, B, C, D) = 10\text{ V}$				± 1 LSB
Differential nonlinearity (DNL)		$V_{DD} = 15\text{ V} \pm 5\%$, $V_{ref}(A, B, C, D) = 10\text{ V}$				± 1 LSB
EFS	Full-scale error	$V_{DD} = 15\text{ V} \pm 5\%$, $V_{ref}(A, B, C, D) = 10\text{ V}$				± 2 LSB
EG	Gain error	$V_{DD} = 15\text{ V} \pm 5\%$, $V_{ref}(A, B, C, D) = 10\text{ V}$	± 0.25			LSB
Temperature coefficient of gain	Full-scale error	$V_{DD} = 14\text{ V to } 16.5\text{ V}$, $V_{ref}(A, B, C, D) = 10\text{ V}$				± 20 ppm/ $^{\circ}\text{C}$
	Zero-code error					± 50 $\mu\text{V}/^{\circ}\text{C}$
Zero-code error			± 20	± 80	mV	
Digital crosstalk or feedthrough glitch impulse area		$V_{ref}(A, B, C, D) = 0$	50			nV-s

单电源， $V_{DD}=14.25\text{V}$ 至 15.75V ， $V_{SS}=\text{AGND}=\text{DGND}=0\text{V}$ ， $V_{ref}(A, B, C, D) = 10\text{V}$

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
Slew rate			2			V/ μ A
t_s	Settling time to 1/2 LSB	Positive full scale				5
		Negative full scale				20
Resolution			8			Bits
Total unadjusted error						± 2 LSB
EFS	Full-scale error					± 2 LSB
Temperature coefficient of gain	Full-scale error	$V_{DD} = 14\text{ V to } 16.5\text{ V}$, $V_{ref}(A, B, C, D) = 10\text{ V}$				± 20 ppm/ $^{\circ}\text{C}$
	Zero-code error					± 50 $\mu\text{V}/^{\circ}\text{C}$
Differential nonlinearity error (DNL)						± 1 LSB
Digital crosstalk or feedthrough glitch impulse area			50			nV-s

2.6 参数测量资料



注：A. 整个 V_{DD} 范围内 $t_r=t_f=20\text{ns}$ 。

B. 时序测量基准电平等于 $V_{IH}+V_{IL}$ 除以 2。

C. 如果 $\overline{\text{LDAC}}$ 先于 $\overline{\text{WR}}$ 的上升沿被激活，它必须在 $\overline{\text{WR}}$ 变高后至少 t_{w2} 时间内维持低。

图 1 写周期电压波形

2.7 典型特性曲线

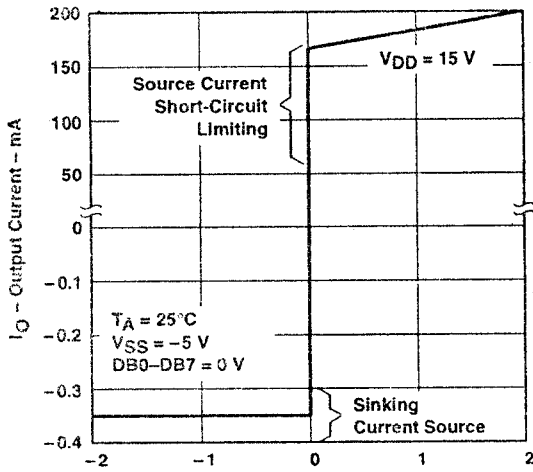


图2 输出电流与输出电压的关系

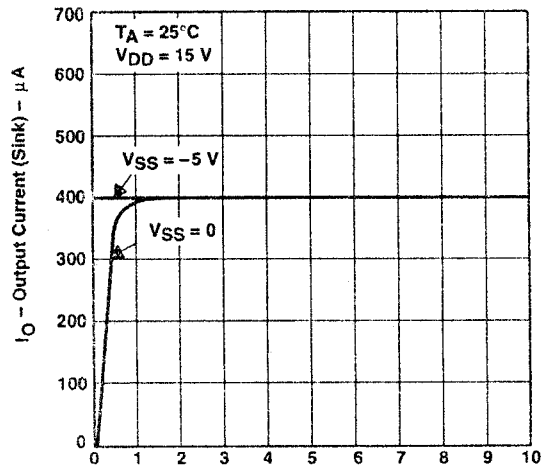


图3 输出电流（吸收）与输出电压的关系

三、应用资料

3.1 技术条件范围

为了 TLC7225 按额定特性工作，输入基准电压至少要低于 V_{DD} 端电源电压 4V。此电压差是输出放大器需要的额外消耗电压。

TLC7225 规定在 V_{DD} 从 $12V \pm 5\%$ 至 $15V \pm 10\%$ 范围（即从 11.4V 至 16.5V）且 V_{SS} 为 $-5V \pm 10\%$ 下工作。也可用 $15V \pm 5\%$ 的 V_{DD} 单电源工作。用 -5V 的 V_{SS} 可以改善零码误差，可以在输出接近 AGND 时改善输出吸收能力和改善负向稳定时间。

性能是按基准电压范围从 2V 至 $(V_{DD} - 4V)$ 双电源工作规定的。这就允许使用 TL1431 等标准基准电压产生器，带一个可调的 2.5V 带隙基准。注意：0V 至 10V 的输出电压范围需要标称值 $15V \pm 5\%$ 的电源电压。

3.2 DAC 部分

TLC7225 包含四个相同的 8 位电压型数/模转换器。每个转换器有一个单独的基准输入。转换器输出电压与基准电压极性相同，允许单电源工作。

A 通道的简化电路图示于图 4。注意 AGND（6 脚）是所有四个数/模转换器公用的。

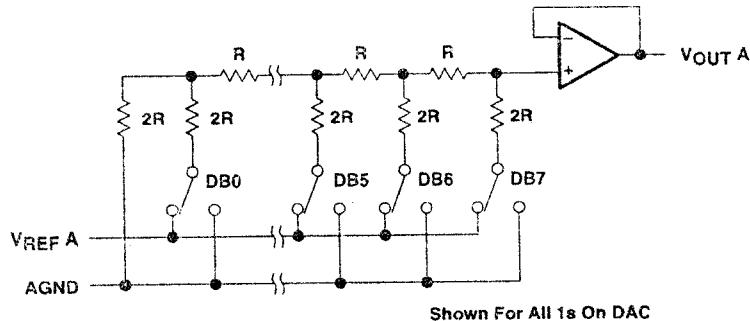


图4 DAC 简化电路图

任何基准输入端的阻抗由代码决定，可从最低值 1.4k 变化至开路。任何基准输入的最低输入阻抗出现在该 DAC 用数字码 01010101 加载时。因此，基准源在负载变化条件下提供低输出阻抗是重要的。基准脚

的结点电容也由代码决定，典型值从 60pF 至 300pF 变化。

每一 V_{OUT} 脚可看成一个数字可编程电压源，其输出电压为：

$$V_{OUTX} = D_X \times V_{REFX}$$

式中 D_X 是数字输入代码的分数表示法，可从 0 至 255/256 变化。输出阻抗是输出缓冲放大器的输出阻抗。

3.3 输出缓冲器

每一电压型 DAC 输出被一单位增益同相放大器缓冲。此缓冲放大器能在 2k Ω 负载上产生 10V 电压，可驱动 3300pF 电容负载。

TLC7225 可用单或双电源工作，用双电源工作某些参数可获得更好的性能，用单电源工作是不能达到的。在单电源工作（ $V_{SS}=0V=AGND$ ）时，放大器的吸收能力（正常值为 400 μA ）当输出电压接近 AGND 时减小。把 V_{SS} 接到 -5V，在整个输出电压范围内可保持全部 400 μA 的吸收能力。趋于 AGND 的负向输出信号的稳定时间同样受 V_{SS} 影响。单电源工作的负向稳定时间长于双电源工作。正向稳定时间不受 V_{SS} 影响。

另外，负的 V_{SS} 给予放大器更多的余地，比用单电源能在输出端获得更好的零码性能和改善的转换速率。

3.4 数字输入

TLC7225 数字输入是与 TTL 或 CMOS 电平兼容的。为使电源电流最小，建议数字输入电压的驱动尽可能接近电源满度（ V_{DD} 和 DGND）。

3.5 接口逻辑信息

TLC7225 每个 DAC 包含两个寄存器，输入寄存器和 DAC 寄存器。地址线 A0 和 A1 选择哪个输入寄存器从输入口接收数据。当 \overline{WR} 信号为低时，选中的 DAC 的输入锁存是透明的。在 \overline{WR} 的上升沿，数据被锁存到被寻址的输入寄存器。表 1 表示 TLC7225 上输入寄存器的寻址。

表 1 TLC7225 寻址

控制输入		选中的输入寄存器
A1	A0	
L	L	DAC A 输入寄存器
L	H	DAC B 输入寄存器
H	L	DAC C 输入寄存器
H	H	DAC D 输入寄存器

仅由锁存在 DAC 寄存器中的数据决定变换器的模拟输出。 \overline{LDAC} 信号是所有四个 DAC 所共有的，控制从输入寄存器到 DAC 寄存器的信息传输。在 \overline{LDAC} 的上升沿，数据被同时锁存到所有四个 DAC 寄存器。 \overline{LDAC} 信号是电平触发的，因此，可将 \overline{LDAC} 连接到低电平而使 DAC 寄存器透明（转换器的输出响应于保持在相应输入锁存器中的数据）。 \overline{LDAC} 是非同步信号，独立于 \overline{WR} 。这在许多应用中有用。然而，在非同步信号 \overline{LDAC} 会在写周期出现的系统中（反之亦然），必须注意保证不正确的数据不致锁存而被输出。换句话说，如果 \overline{LDAC} 先于 \overline{WR} 的上升沿被激活（或 \overline{WR} 在 \overline{LDAC} 期间出现），那么， \overline{LDAC} 必须在 \overline{WR} 变高之后维持时间 t_{w2} 或更长的低电平，保证正确数据被锁存直到输出。表 2 表示 TLC7225 工作的真值表。图 5 表示器件的输入控制逻辑，写周期时序图示于图 1。

表 2 TLC7225 真值表

控制输入		功 能
\overline{WR}	\overline{LDAC}	
H	H	无操作，器件未被选中
L	H	选定的 DAC 的输入寄存器是透明的
	H	选定的 DAC 的输入寄存器被锁定
H	L	所有四个 DAC 寄存器是透明于（即：输出响应于保持在相应的输入寄存器中的数据）输入寄存器中锁存的数据
H		所有四个 DAC 寄存器被锁定
L	L	DAC 寄存器及选定的输入寄存器是透明的。输出信号随选定通道的输入数据变

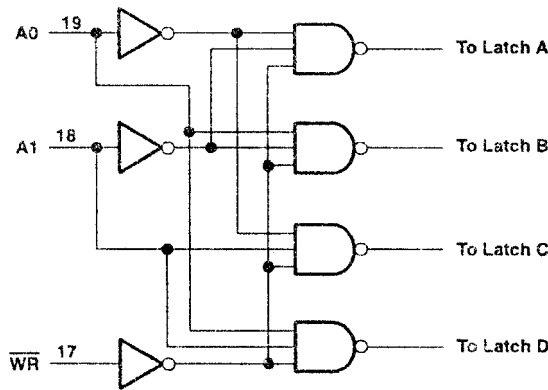


图 5 输入控制逻辑

3.6 接地处理和布局

TLC7225 包含四个可用交流电源驱动的基准输入（见乘法 DAC 用 AC 输入 RFF 脚一节），因而细心地布局和接地对减小四个通道之间的串扰是重要的。四个 DAC 的动态性能取决于印刷板布局的最佳选择。图 6 表示输入频率和通道与通道间隔离的关系。图 7 表示减小串扰和耦合的印刷电路板布局。四个输入信号用 AGND 屏蔽。V_{ref} 限制在 2V 和 3.24V 之间，以避免测量期间输出放大器的转换速率限制效应。

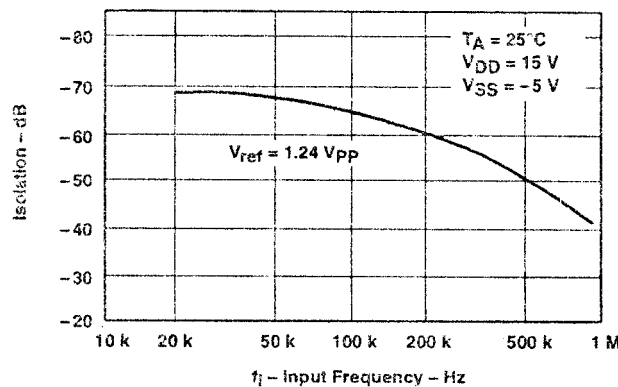


图 6 通道与通道间的隔离

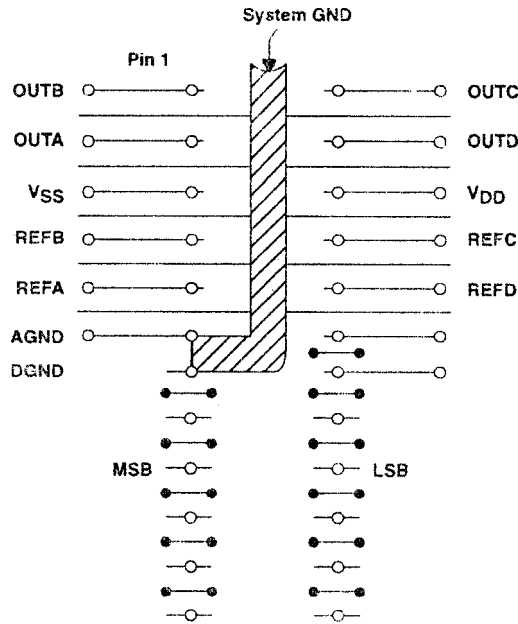


图 7 建议的印刷板布局 (顶视)

3.7 单极性输出工作

单极性输出工作是 TLC7225 每个通道的基本工作方式，输出电压有与 V_{ref} 相同的正极性。TLC7225 可用单电源 ($V_{SS}=AGND$) 或正或负电源工作。 V_{ref} 的电压决不能比 DGND 负，以防止寄生晶体管导通。单极性输出工作的连接示于图 8。转换值示于表 3。

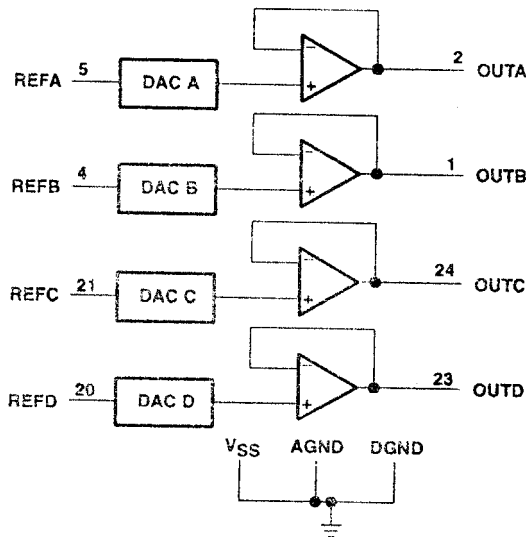


图 8 单极性输出电路

表 3 单极性码

DAC LATCH CONTENTS		ANALOG OUTPUT
MSB	LSB	
1111	1111	$+ V_{ref} \left(\frac{255}{256} \right)$
1000	0001	$+ V_{ref} \left(\frac{129}{256} \right)$
1000	0000	$+ V_{ref} \left(\frac{128}{256} \right) = + \frac{V_{ref}}{2}$
0111	1111	$+ V_{ref} \left(\frac{127}{256} \right)$
0000	0001	$+ V_{ref} \left(\frac{1}{256} \right)$
0000	0000	0 V

NOTE 3: $1 \text{ LSB} = (V_{ref} 2^{-8}) = V_{ref} \left(\frac{1}{256} \right)$

3.8 直接双极性输出工作的 AGND 偏置

将 AGND 偏置到 V_{SS} ，TLC7225 无需增加另外的外部运算放大器即可用于双极性工作，如图 9 所示。这种结构提供一种不需别的元件而提供直接的双极性输出的极好方法。转换值示于表 4。

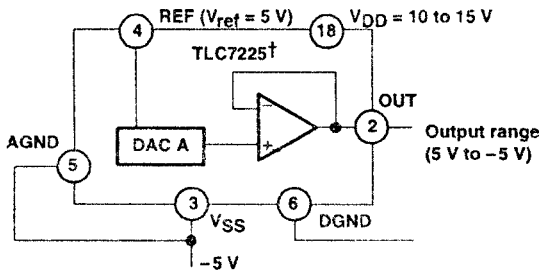


图 9 直接双极性输出工作的 AGND 偏置

表 4 双极性 (偏移二进制) 码

DAC LATCH CONTENTS		ANALOG OUTPUT
MSB	LSB	
1111	1111	$+V_{ref} \left(\frac{127}{128} \right)$
1000	0001	$+V_{ref} \left(\frac{1}{128} \right)$
1000	0000	0 V
0111	1111	$-V_{ref} \left(\frac{1}{128} \right)$
0000	0001	$-V_{ref} \left(\frac{127}{128} \right)$
0000	0000	$-V_{ref} \left(\frac{128}{128} \right) = -V_{ref}$

3.9 正输出失调的 AGND 偏置

TLC7225 AGND 脚可偏置到高于或低于系统地端 (DGND)，以提供零失调模拟输出电压电平。图 10 表示 TLC7225 通道 A 达到这一目的的电路结构。OUTA 的输出电压可表示为：

$$V_O = V_{bias} + D_A(V_i)$$

式中 D_A 是数字输入字的分数表示法 ($0 \leq D \leq 255/256$)。

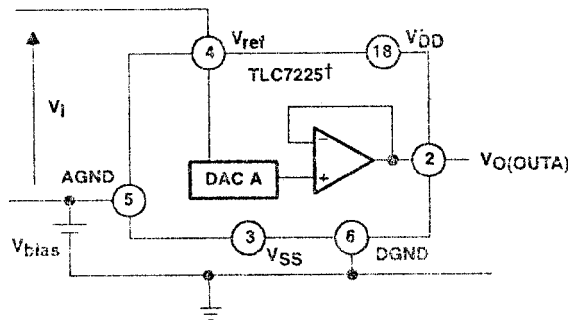


图 10 AGND 偏置电路

增加 AGND 高于系统将减小输出范围。 $V_{DD} - V_{ref}$ 必须至少为 4V 以保证规定的工作。因为 AGND 脚是所有四个 DAC 所共有的，因而这种方法偏置 TLC7225 中所有 DAC 的输出电压。电源电压 V_{DD} 和 V_{SS} 应以 DGND 为基准。

3.10 用外部放大器的双极性输出工作

TLC7225 的每个 DAC 也可单独构成，每通道用一个外部放大器和两个电阻实现双极性输出工作。图 11 表示 TLC7225 的 DAC 用于实现偏移二进制码 (双极性工作) 的电路。在这种情况下 (见方程 1)：

$$V_o = 1 + \frac{R_2}{R_1} (D_A V_{ref}) - \frac{R_2}{R_1} (V_{ref}) \quad (1)$$

当 $R_1=R_2$ 时，

$$V_o = (2D_A - 1) V_{ref}$$

式中 D_A 是锁存器 A 中数字字的分数表示法。

R1 与 R2 不匹配会造成增益和失调误差。因此，这些电阻必须在温度范围内匹配和跟踪。TLC7225 可用单电源或正负电源工作。

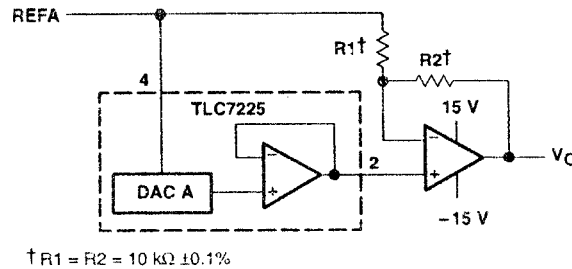


图 11 双极性输出电路

3.11 REF 脚用交流输入的乘法 DAC

当基准信号维持在 2V 和 $V_{DD}-4V$ 之间时，TLC7225 可用作乘法 DAC。当用这种结构时， V_{DD} 应为 14.25V 至 15.75V。应使用低输出阻抗的缓冲器，以使输入信号不被电阻梯形网络加载。图 12 表示通用的电路。

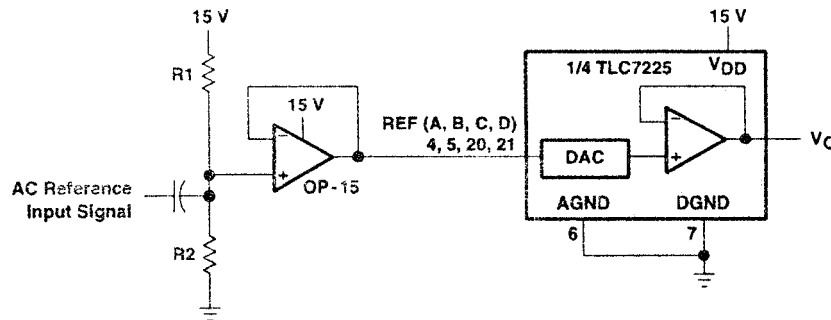


图 12 AC 信号输入电路

3.12 数字字乘法

因为 TLC7225 的每个 DAC 有分离的基准输入，所以一个 DAC 的输出可用作另一个 DAC 的基准输入。因而可完成数字字乘法（结果以模拟形式给出）。例如，当 DAC A 的输出被加到 $V_{REF B}$ 时，DAC B 的输出 $V_{OUT B}$ 可表示为方程 2 给出的结果：

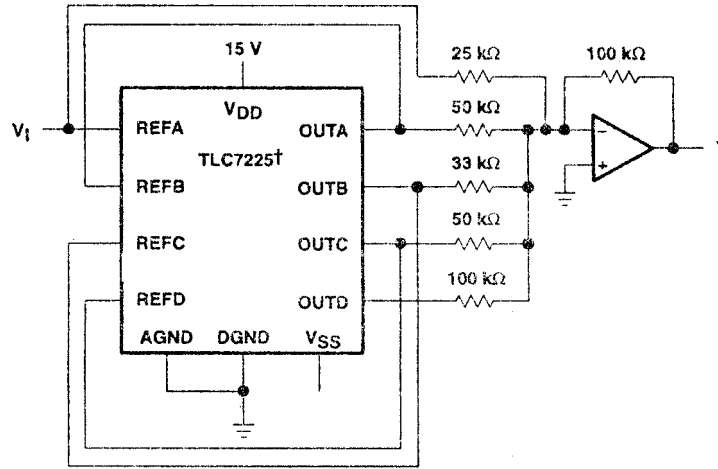
$$V_{OUT B} = (D_A)(D_B)(V_{REF A}) \quad (2)$$

式中 D_A 和 D_B 为相应于 DAC 锁存器 A 和 B 中数字字的分数表示法。如果 $D_A = D_B = D$ ，则结果为 $D^2 (V_{REF A})$ 。

在这种状态，四个 DAC 可自己或与外部求和放大器结合应用以产生复杂的波形。图 13 表示这样的应用，其输出波形 Y 用方程 3 表示：

$$Y = -(X^4 + 2X^3 + 3X^2 + 2X + 4) V_{IN} \quad (3)$$

式中 X 是加到到所有四个 DAC 锁存器的数字码。

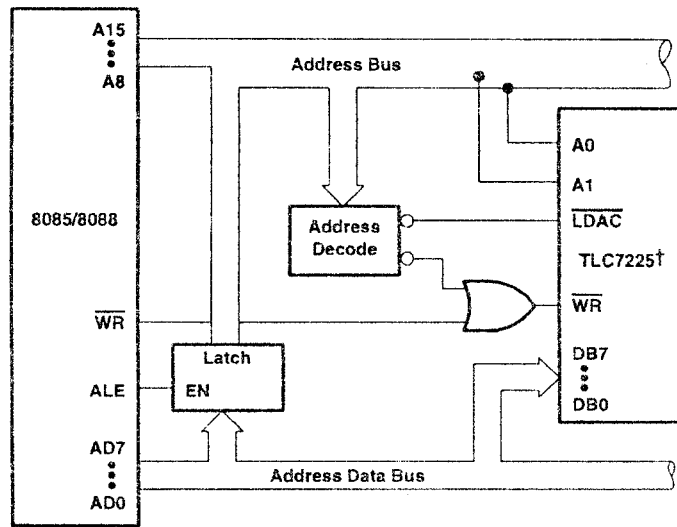


† Digital inputs omitted for clarity

图 13 复杂波形产生

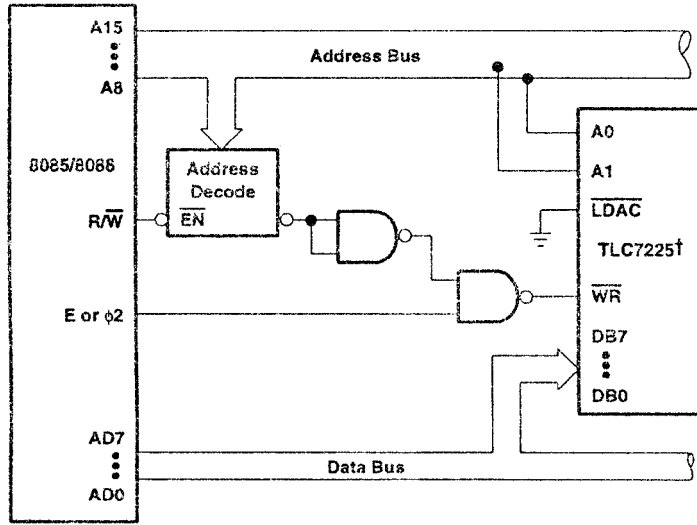
3.13 微处理器接口

图 14、15、16 和 17 表示同一些标准微处理器的硬件接口。



† Linear circuitry omitted for clarity

图 14 TLC7225 同 8085A/8088 接口，双缓冲模式



† Linear circuitry omitted for clarity

图 15 TLC7225 同 6809/6502 接口，单缓冲模式

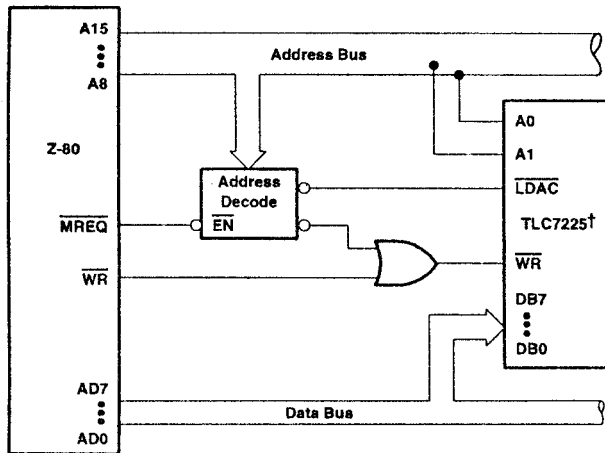


图 16 TLC7225 同 Z-80 接口，双缓冲模式

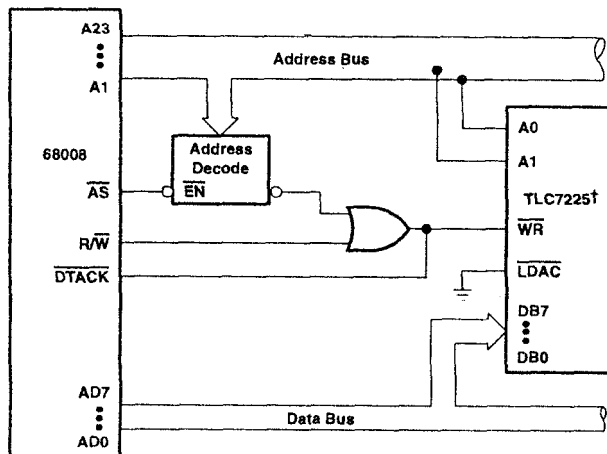


图 17 TLC7225 同 68008 接口，单缓冲模式

3.14 用单端电源的线性、偏移和增益误差

当放大器用单电源工作时，电压偏移仍可是正的或负的。正偏移时，输出电压在第一个码变化时变化。负偏移时，输出电压可能不随第一个码变化，取决于偏移电压的幅度。

输出放大器企图驱动输出到负电压。然而，因为最负电源值是地，输出不能驱动到负电压。

所以当输出偏移电压为负时，输出电压保持为零，直至输入码值产生足够的输出电压以克服固有的负偏移电压，导致传输函数如图 18 所示。

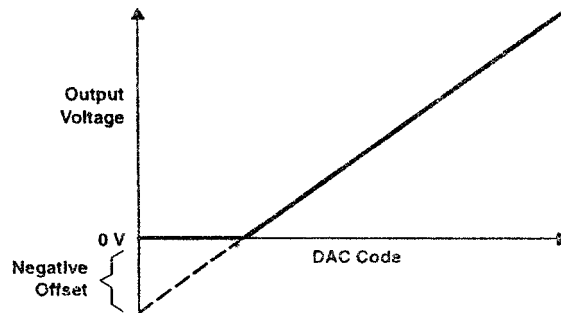


图 18 负偏移效应（单电源）

这种偏移误差（非线性误差）产生断点。如果输出缓冲器能驱动到低于地，传输函数将遵循虚线。

对于 DAC，线性是在偏移和满度被调整好或按某种方法计算之后在零输入码（所有输入为零）和满度码（所有输入为 1）之间测量的。然而，当由于传输函数的断点使偏移为负时，单电源工作不允许调整。因而单极性模式的线性是在满度码和最低码之间测量的，它产生正的输出电压。

代码根据零偏移误差的最大规格计算。