

TLV1570

2.7V至5.5V，8通道，10位，1.25MSPS串行模数转换器

一、概述

1.1 一般说明

TLV1570是一个将8通道输入多工器（MUX）、高速10位ADC、片内基准和高速串行接口组合而成的10位数据采集系统。器件还包含一个片内控制寄存器可以通过串行口控制通道选择、转换启动、基准电压电平和电源掉电。多工器是独立存取的，如果需要，用户可在MUX和ADC之间插入一个信号调整电路，如抗混叠滤波器和放大器。这样的信号调整电路被所有八个通道共用。

TLV1570用2.7V至5.5V单电源工作。器件接收范围从0V至 AV_{DD} 的模拟输入并以最大1.25MSPS的通过率将输入数字化。功耗用2.7V电源时仅为8mW，用5.5V电源时为40mW。器件具有自动掉电模式，在执行转换后10ns，会自动掉电至300 μ A。当使用软件掉电方式时，其电源电流更低至10 μ A。

TLV1570通过简单的4或5线串行口与数字微处理器通讯，而串行口直接与德州仪器公司的TMS320 DSP及SPI、QSPI兼容的微控制器接口，无需使用另外的联结逻辑。

极高的通过率、简单的串行接口和低功耗使TLV1570成为需要多个模拟输入端的高速数字信号处理应用的理想选择。

可选项

T_A	封 装	
	小型（DW）	小型（PW）
0 至70	TLV1570CDW	TLV1570CPW
-40 至85	TLV1570IDW	TLV1570IPW

1.2 特点

- 快通过率：5V时1.25MSPS
3V时625kSPS
- 较宽的模拟通道输入：0V至 AV_{DD}
- 8个模拟输入通道
- 通道自动扫描
- 差分非线性度误差： $< \pm 1\text{LSB}$
积分非线性度误差： $< \pm 1\text{LSB}$
- 信噪比+失真：57dB
- 2.7V至5.5V单电源工作
- 极低功耗：5.5V时40mW
2.7V时8mW
- 自动掉电方式：电流最大300 μ A
- 软件掉电方式：电流最大10 μ A

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com

邮编：430079

传真：(86) (027) 87491166, 87493497

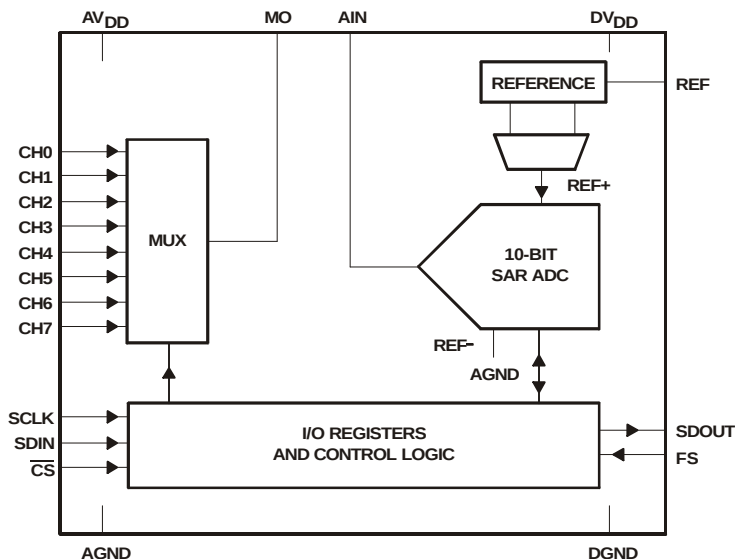
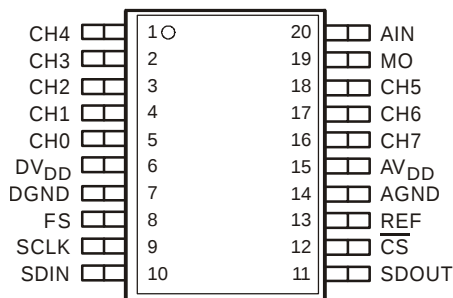
- 同TMS320 DSP和 (Q) SPI兼容的微控制器串行接口而无需联结逻辑
- 可编程的内部基准电压：3.8V (5V工作)
2.3V (3V工作)

1.3 应用范围

- 大容量存储和硬盘驱动器
- 汽车
- 数字伺服装置
- 过程控制
- 通用DSP
- 图象传感器处理

1.4 引脚排列及功能方框图

DW或PW封装 (顶视)



功能方框图

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

P&S网网址：http://www.p8s.com

信箱：武汉市70020信箱

邮编：430079

电话：(86) (027) 87493500 ~ 87493506

传真：(86) (027) 87491166, 87493497

1.5 引脚功能

引脚		I/O	说 明
名称	编号		
AGND	14		模拟地
AIN	20	I	ADC模拟输入端
AV _{DD}	15		模拟电源电压：2.7V至5.5V
CH0-CH7	5,4,3,2,1,18,17,16	I	模拟输入通道0-7
CS	12	I	片选。CS端的低电平信号使能TLV1570。CS端的高电平信号禁止器件并断开TLV1570的电源
DGND	7		数字地
DV _{DD}	6		数字电源电压：2.7V至5.5V
FS	8	I	帧同步。来自DSP的帧同步脉冲的下降沿指示将开始从TLV1570移出串行数据帧。当与微控制器接口时，FS被拉至高电平
MO	19	O	片内MUX的模拟输出端
REF	13	I	基准电压输入端。加至REF的电压确定TLV1570的输入范围。在外部基准模式下，必须在基准和AGND之间加一个0.1 μ F的去耦电容。在内部基准模式下则不需如此
SCLK	9	I	串行时钟输入端。SCLK与串行数据的发送同步，并也可用于内部数据转换
SDIN	10	I	串行数据输入端用于配置内部控制寄存器
SDOUT	11	O	串行数据输出端。A/D转换结果在SDOUT端输出

二、详细说明

2.1 模数转换器

TLV1570 ADC采用的SAR结构将在本节描述。在逐次逼近转换系统中的CMOS门限检测器通过检测在一系列二进制加权电容器上的电荷来决定每一位的值（见图1）。在转换过程的第一步，通过同时接通Sc开关和所有的S_T开关对模拟输入采样。这样使得所有电容器充电到输入电压。

在转换过程的第二步，所有S_T和Sc开关被断开并且门限检测器开始通过辨认每个电容器上相对于基准（REF₋）电压（REF₋连接至AGND）的电荷（电压）来确定每一位的值。在开关序列中，10个电容器分别被检测直到所有10位被确认，以后转换过程又重复进行。在转换过程的第一步，门限检测器检查第一个电容（权重=512）。这个电容的节点512被切换到REF₊电压，而在这个多级连接中的所有其它电容器的相同节点被切换到REF₋。如果在总和节点上的电压大于门限检测器的跳变点（近似1/2 V_{CC}）时，那么位0被送入输出寄存器，并且这个512权重的电容器被切换到REF₋。如果在总和节点上的电压小于门限检测器的跳变点时，那么位1被送入寄存器，并且这个512权重的电容器通过逐次逼近过程的后面几步保持与REF₊的连接。这个过程对256权重的电容器、128权重的电容器以及沿线的其它电容依次检测直到所有位都被确定。对逐次逼近过程的每一步，初始的电荷在电容器间被重新分配。这个转换过程依靠电荷的重新分配来决定从MSB到LSB各位。

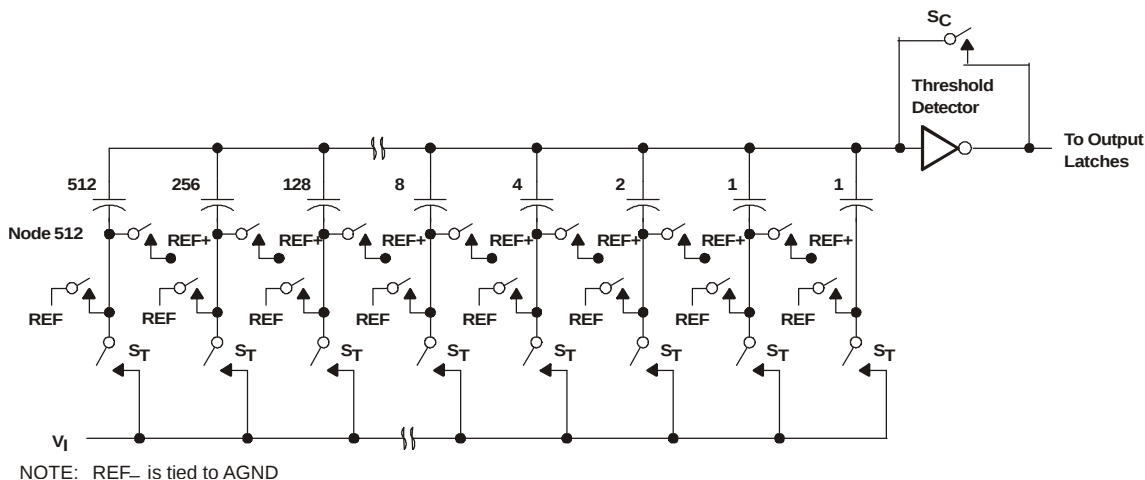


图1 逐次逼近系统的简化电路图

对于TLV1570，REF-连接至地而REF+则连至REF输入端。

TLV1570可编程使用片内内部基准（D16=1）。用户可利用控制位D15在两个内部基准值2.3V或3.8V中进行选择。

在内部基准模式期间，基准电压未在REF脚输出。因此，它不能对模拟地（AGND）去耦，AGND使用一个外部电容用作ADC的负基准电压。所以这种模式要求接地噪声非常低。在该模式下，REF脚可以被悬空。

2.2 采样频率， f_s

TLV1570的每次采样和转换需要16个SCLKs，所以当给定SCLK频率时，相应的最大采样频率为： $f_{S(MAX)} = (1/16) f_{SCLK}$ 。

2.3 掉电

TLV1570提供两种不同的掉电选项。在自动掉电方式使能的情况下（D14=0），如果在DSP方式中一个周期的第17个SCLK下降沿（在SCLK的下降沿检测到FS将开始一个周期）和在 μC 方式中的16个SCLKs之后未检测到FS，那么ADC就发生掉电。在DSP方式中当FS变为高电平或在 μC 方式中当后续SCLK出现时，TLV1570将从自动掉电状态中恢复。而对于软件掉电方式，ADC则在CR.DI15被置为1后一个周期变为软件掉电状态。和自动掉电方式在1个SCLK后即可恢复不一样，软件掉电方式需要16个SCLKs才能恢复。

说明		自动掉电方式	软件掉电方式CS=DV _{DD}
掉电时最大电流		300 μA	10 μA
比较器		掉电	掉电
时钟缓冲器 ⁺		掉电	掉电
基准		有效	掉电
寄存器		不保存内容	不保存内容
最小掉电时间		1SCLK	1 μs
最小恢复时间		1SCLK	800 μs
掉电	DSP方式	在上一次转换完成后一个SCLK无FS出现	CD.DI15置为1
	微处理器方式（FS=1）	在上一次转换完成后SCLK停止	CD.DI15置为1
上电	DSP方式	FS出现	CD.DI15置为1
	微处理器方式（FS=1）	SCLK出现	CD.DI15置为1

+仅在DSP方式时，时钟的输入缓冲器处在掉电方式。

2.4 配置TLV1570

将控制位写入SDIN可配置TLV1570，该配置直到下一个周期才会起作用。而每次转换又需要新的配置。一旦选择好通道输入和其它选项，转换就在下一个周期发生。当转换进行时，转换结果就被移出（见图2）。

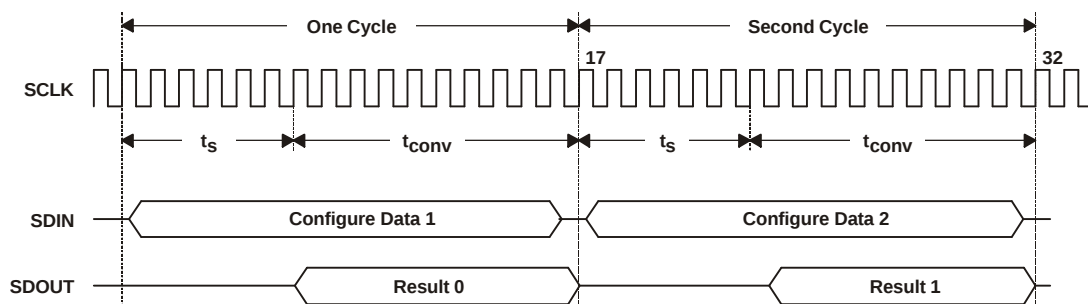


图2 TLV1570的配置周期时序

配置寄存器（CR）的定义

位	说 明	5V	3V
DI15	软件掉电： 0：正常 1：掉电使能	X X X	X X X
DI14	读出内部寄存器的值，1——读。仅DI15-DI1被读出	X	X
DI13,DI12	这两位选择下一时钟周期加至ADC的自测电压： 00：使AIN在内部连接 01：将AGND加至AIN 10：将VREF/2加至AIN 11：N/A	X	X
DI11	选择速度 0：高速（功耗较高） 1：低速（功耗较低）	X	X
DI10	该位使能通道自动扫描功能：0：自动扫描禁止 1：自动扫描使能	X	X
DI9,DI8,DI7	DI9-DI7这三位选择将使用八个通道中的哪一个通道（如果DI10=0）	X	X
	000：通道0被选为输入 001：通道1被选为输入 010：通道2被选为输入 011：通道3被选为输入 100：通道4被选为输入 101：通道5被选为输入 110：通道6被选为输入 111：通道7被选为输入		
	DI9、DI8这两位选择用于自动扫描方式的通道前后次序（如果DI10=1） 00：依次选择模拟输入端CH0、CH1、CH2到H7 01：依次选择模拟输入端CH1、CH3、CH5、CH7 10：依次选择模拟输入端CH0、CH2、CH4、CH6 11：依次选择模拟输入端CH7、CH6、CH5到H0		
	DI7自动扫描复位 0：不复位 1：复位自动扫描顺序		
DI6	选择内部或外部基准电压： 0：外部 1：内部	X	X

DI5	选择在下一转换周期加至ADC的内部基准电压： 0：2.3V 1：3.8V	X	X
DI4	使能/禁止自动掉电功能： 1：使能 0：禁止	X	X
DI3	性能优化器—线性： 0：AV _{DD} =5.5V至3.6V 1：AV _{DD} =3.5V至2.7V	X	X
DI2	总是写0（保留位）	X	X
DI1	总是写0（保留位）	X	X
DI0	总是写0（保留位）	X	X

2.5 软件初始化序列

除非另有说明，该序列显示了缺省的设置。ADC需要用户每个周期写入。在控制位执行完后，有一个周期的延迟。

例1 具有内部基准的正常采样方式

CYCLE	WRITE TO SDIN	CHANNEL SAMPLED	OUTPUT FROM SDOUT	COMMENT
1st	0040h	N/A	Invalid	No analog input channel sampled
2nd	01C0h	N/A	Invalid	No analog input channel sampled
3rd	0040h	3	From Channel 3	
4th	8040h	0	From Channel 0	Software power down enabled
5th	0040h	N/A	Invalid	Software power down mode, no analog input channel sampled
Wait 800 ns				Recovery time, no analog input channel sampled (16 SCLKs if AV _{DD} = 5 V and f _{CLK} = 20 MHz)
6th	0140h	N/A	Invalid	Recovery time, no analog input channel sampled
7th	0040h	2	From Channel 2	

例2 自动扫描方式

CYCLE	WRITE TO SDIN	CHANNEL SAMPLED	OUTPUT FROM SDOUT	COMMENT
1st	0480h	N/A	Invalid	Auto-scan reset enabled, no analog input channel sampled
2nd	0480h	N/A	Invalid	No analog input channel sampled
3rd	0400h	0	From Channel 0	
4th	0400h	1	From Channel 1	
5th	0400h	2	From Channel 2	
6th	0400h	3	From Channel 3	
7th	0400h	4	From Channel 4	
8th	0400h	5	From Channel 5	
9th	0400h	6	From Channel 6	
10th	0400h	7	From Channel 7	
11th	0400h	0	From Channel 0	

注：如果在自动扫描方式期间使能软件掉电方式，则序列中的下一个通道被跳过。

例3 自动扫描方式

CYCLE	WRITE TO SDIN	CHANNEL SAMPLED	OUTPUT FROM SDOUT	COMMENT
1st	0480h	N/A	N/A	No analog input channel sampled
2nd	0480h	N/A	N/A	Auto-scan reset enabled, no analog input channel sampled
3rd	0400h	0	From Channel 0	Start of sequence 0
4th	0700h	1	From Channel 1	Enable channel sequence 3 (no auto-scan reset required)
5th	0700h	7	From Channel 7	Start of sequence 3
6th	0700h	6	From Channel 6	
7th	0700h	5	From Channel 5	
8th	0700h	4	From Channel 4	
9th	0700h	3	From Channel 3	
10th	0700h	2	From Channel 2	
11th	0700h	1	From Channel 1	
12th	0700h	0	From Channel 0	

此例显示出现在当前序列的中间发生的次序变化。下表显示出在初始的自动扫描复位后，在切换通道序列时没有必要再次复位。

例4 自动扫描方式

CYCLE	WRITE TO SDIN	CHANNEL SAMPLED	OUTPUT FROM SDOUT	COMMENT
1st	0480h	N/A	N/A	No analog input channel sampled
2nd	0480h	N/A	N/A	Auto-scan reset enabled, no analog input channel sampled
3rd	0400h	0	From Channel 0	
4th	0400h	1	From Channel 1	
5th	0400h	2	From Channel 2	
6th	0400h	3	From Channel 3	
7th	0400h	4	From Channel 4	
8th	0480h	5	From Channel 5	Auto-scan reset enabled
9th	0400h	0	From Channel 0	Sequence is reset to channel 0
10th	0400h	1	From Channel 1	
11th	0400h	2	From Channel 2	

此例显示出在一个序列中的次序变化。下表显示出如果剩下的通道不需要被采样，那么也不必继续特定的次序（即：只有通道1至通道5被采样，不包括通道6、7、8）。

TLV1570是一个800ns、10位、具有8个模拟输入通道的模数转换器，其通过率在5V和3V时分别高达1.25MSPS和625kSPS。为了使转换速率最快，在5V时必须时钟输入20MHz或在3V时输入10MHz。TLV1570易于和微控制器、ASIC、DSP或移位寄存器接口。TLV1570的串行接口设计成与SPI及TMS320DSP的串行口完全兼容。在TLV1570和微控制器（ μC s）间用SPI串行口或TMS320DSP接口时不需要额外的硬件。但是，其速率受到 μC 或DSP的SCLK速率限制。

TLV1570通过五条线与DSP接口： $\overline{CS}$ 、SCLK、SDOUT、SDIN和FS，而通过四条线与 μC 接口： $\overline{CS}$ 、SCLK、SDOUT和SDIN。在 μC 方式下，FS输入端应该拉至高电平。当 $\overline{CS}$ 为高电平时，器件处于三态及掉电方式。当 $\overline{CS}$ 降为低电平后，TLV1570在 $\overline{CS}$ 下降沿检测FS输入端以确定工作方式。如果FS为低电平，DSP方式被设置，否则， μC 方式被设置。

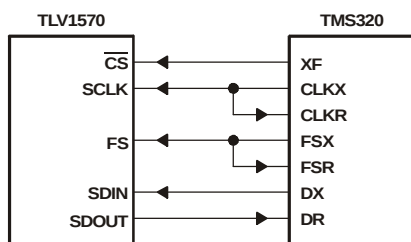


图3 DSP和TLV1570接口

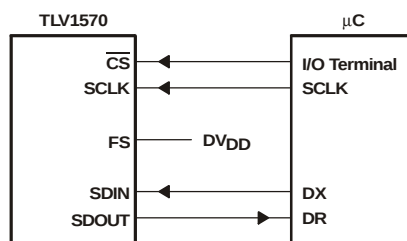


图4 μC和TLV1570接口

2.6 接地和去耦考虑

为了限制反馈到电源和基准线的高频瞬变和噪声，应该对PCB设计进行一般性试验（见图5）。这要求电源和基准端被完全旁路。在大多数情况下，0.1 μF的陶瓷晶片电容就足以在一个较宽的频率范围内保持低阻抗。由于电容作用有效与否在很大程度上取决于其与单个电源引脚的距离，因为应该尽可能将电容放置在靠近电源引脚的地方。

为了降低高频和噪声耦合，推荐将数字地平面和模拟地平面立即在封装外短路，可在封装下面，DGND和AGND之间接一条低阻抗的线来达到此目的。

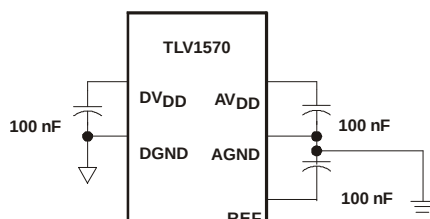


图5 去耦电容的放置

2.7 电源地的布局

采用分离的模拟地平面和数字地平面的印制电路板将使系统性能最佳。绕线板由于其性能欠佳而不应采用。两个地平面应该在低阻抗电源处连接在一起。最佳的连接方式是将ADC的AGND端和系统的模拟地平面连接起来以确保模拟地电流流动良好。

2.8 简化的模拟输入分析

使用图6的等效电路，把模拟输入电容从0充电到 V_S （1/2LSB以内）所需的时间 t_{ch} （1/2LSB）可推导如下：

电容充电电压由下式给出：

$$V_{C(t)} = V_S (1 - e^{-t_c/RtCi}) \quad (1)$$

其中： $R_t = R_s + R_i$ ， $R_j = R_j(ADC) + R_j(MUX)$ ， t_{ch} =充电时间

输入阻抗 Z_i 在5V时为718 Ω，在2.7V时较大（~1.25k Ω）。最终电压（至1/2LSB）由下式给出： $V_C(1/2LSB) = V_S - (V_S/2048)$ (2)

令(1)式与(2)式相等并求解时间 t_c 可得：

$$V_S - (V_S/2048) = V_S (1 - e^{-t_c/RtCi}) \quad (3)$$

变化至1/2LSB（最小采样时间）的时间为：

$$t_{ch}(1/2LSB) = R_t \times C_i \times \ln(2048)$$

其中： $\ln(2048) = 7.625$

因此，采用给定的数值，模拟输入信号建立的时间为：

$$t_{ch}(1/2LSB) = (R_s + 718\Omega) \times 15pF \times \ln(2048) \quad (4)$$

此时间必须小于时序图中所示的转换器采样时间：

$$t_{ch}(1/2LSB) \leq 6 \times 1/f_{(SCLK)} \quad (5)$$

所以，最大SCLK频率为：

$$\begin{aligned} \text{Max}(f_{(SCLK)}) &= 6/t_{ch}(1/2LSB) \\ &= 6/(\ln(2048)/R_t \times C_j) \end{aligned} \quad (6)$$

V_i =AIN端输入电压

V_s =外部驱动源电压

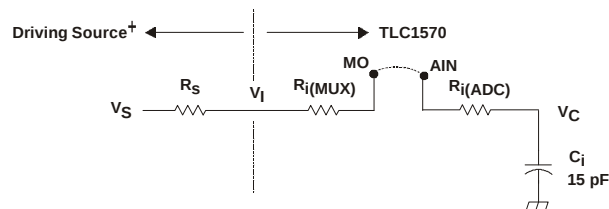
R_s =源电阻

$R_{j(ADC)}$ =ADC的输入电阻

$R_{j(MUX)}$ =输入电阻(MUX导通电阻)

C_i =输入电容

V_C =电容充电电压



+ 驱动源要求：

- 源的噪声和失真必须与转换器的分辨率相当。
- 在输入频率下 R_s 必须为实数。

图6 包括驱动源的等效输入电路

2.9 特性定义和术语

积分非线性度 (INL)

积分非线性度指的是各个单独的码对于从零至满度所画直线的偏离。用作零的点出现在第一个码转换之前 $1/2LSB$ 。满度点定义为超过最后一个码转换 $1/2LSB$ 的水平。偏离是从每个特定码的中心到这两点间直线来量度的。

差分非线性度 (DNL)

理想ADC呈现的码转换是能精确区分 $1LSB$ 的。DNL是对理想值的偏离。低于 $\pm 1LSB$ 的差分非线性度误差保证不丢失码。

零失调

主要码的转换应出现在模拟输入为零时。零失调误差定义为实际转换与此点的偏移。

增益误差

第一个码转换应出现在负满度之上 $1/2LSB$ 的模拟值处。最后一个转换应出现在低于标称满度 $1/2LSB$ 的模拟值处。增益误差是第一个和最后一个码转换之间的实际差值对第一个和最后一个码转换之间的理想差值的偏离。

信噪比加失真 (S/N+D)

S/N+D是被测输入信号的均方根值 (rms) 和所有其它低于奈奎斯特 (Nyquist) 频率的频谱成分之和的均方根值之比，包括谐波但不包括dc。S/N+D的值用分贝 (dB) 表示。

有效位数 (ENOB)

对于正弦波，S/N+D可用位数表示。用如下公式：

$$N = (S/N+D - 1.76) / 6.02$$

可得到表示成有效位数N的性能度量。这样，对于给定输入频率的正弦波输入的器件有效位数可直接从测得的S/N+D进行计算。

总谐波失真 (THD)

THD是前六个谐波之和的均方根值与被测输入信号均方根值之比，表示为百分比或分贝。

寄生自由动态范围 (SFDR)

SFDR是以dB表示的输入信号均方根幅值与峰值寄生信号之差。

三、特性

3.1 自然通风工作温度范围内的极限参数 (除非另有说明) +

电源电压范围，AGND至AV _{DD} ，DGND至DV _{DD}	-0.3V至6.5V
模拟输入电压范围	-0.3V至AV _{DD} +0.3V
基准输入电压	AV _{DD} +0.3V
数字输入电压范围	-0.3V至DV _{DD} +0.3V
工作虚拟结温范围，T _j	-40 至150
自然通风工作温度范围，T _A ：TLV1570C	0 至70
TLV1570I	-40 至85
存储温度范围，T _{stg}	-65 至150
距外壳1.6mm (1/16英寸) 引线温度，10秒	260

+ 强度超过所列的极限参数可能导致器件的永久性损坏。这些仅仅是权限参数，并不意味着在极限参数条件下或在任何超出推荐工作条件中所列参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

3.2 推荐工作条件

3.2.1 电源

	MIN	TYP	MAX	UNIT
Analog supply voltage, AV _{DD} (see Note 1)	2.7		5.5	V
Digital supply voltage, DV _{DD} (see Note 1)	2.7		5.5	V

注1：Abs (AV_{DD} - DV_{DD}) <0.5V

3.2.2 模拟输入

	MIN	TYP	MAX	UNIT
Analog input voltage, AIN	AGND		V _{REF}	V
Reference input voltage, REF	DV _{DD} = 3.3 V to 2.7 V	55% AV _{DD}	AV _{DD}	V
	DV _{DD} = 5.5 V to 4.5 V	60% AV _{DD}	AV _{DD}	

3.2.3 数字输入

	MIN	TYP	MAX	UNIT
High-level input voltage, V _{IH}	DV _{DD} = 2.7 V to 5.5 V	2.1		V
Low-level input voltage, V _{IL}	DV _{DD} = 2.7 V to 5.5 V		0.8	V
Input SCLK frequency	DV _{DD} = 5.5 V to 4.5 V		20	MHz
	DV _{DD} = 3.6 V to 2.7 V	1	10	
SCLK pulse duration, clock high, t _w (SCLKH)	DV _{DD} = 5.5 V to 4.5 V	23		ns
	DV _{DD} = 3.6 V to 2.7 V	46		
SCLK pulse duration, clock low, t _w (SCLKL)	DV _{DD} = 5.5 V to 4.5 V	23		ns
	DV _{DD} = 3.6 V to 2.7 V	46		
I/O and control rise time, SCLK, FS, $\overline{\text{CS}}$, SDIN		4		ns
I/O and control fall time, SCLK, FS, $\overline{\text{CS}}$, SDIN		4		ns

3.3 在推荐的自然通风工作温度范围、电源电压、基准电压时的电特性（除非另有说明）

3.3.1 数字特性（25pF时的SDOUT）

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Logic inputs					
I_{IH} High-level input current	$DV_{DD} = 5\text{ V}$, $V_I = 5\text{ V}$			1	μA
I_{IL} Low-level input current	$DV_{DD} = 5\text{ V}$, $V_I = 0\text{ V}$			-1	μA
C_I Input capacitance	Control inputs		5	15	pF
Logic outputs					
V_{OH} High-level output voltage	$I_{OH} = 50\text{ }\mu\text{A} - 0.5\text{ mA}$	$DV_{DD} - 0.4$			V
V_{OL} Low-level output voltage	$I_{OL} = 50\text{ }\mu\text{A} - 0.5\text{ mA}$			0.4	V
I_{OZH} High-impedance-state output current				1	μA
I_{OZL} Low-impedance-state output current				-1	μA
C_O Output capacitance			5		pF

3.3.2 直流特性

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Resolution			10		Bits
Accuracy					
Integral nonlinearity, INL	Best fit	± 0.6		± 1	LSB
Differential nonlinearity, DNL		± 0.65		± 1	LSB
E_O Offset error		± 0.1	± 0.15		%FSR
E_G Gain error		± 0.1	± 0.2		%FSR
Analog input					
C_i Input capacitance			15	20	pF
I_{lkg} Input leakage current	$V_{AIN} = 0\text{ V}$ to AV_{DD}			± 1	μA
$R_i(\text{MUX})$ Input MUX ON resistance	$DV_{DD} = 3\text{ V}$, $AV_{DD} = 3\text{ V}$		265	780	Ω
	$DV_{DD} = 5\text{ V}$, $AV_{DD} = 5\text{ V}$		235	450	Ω
$R_i(\text{ADC})$ Input MUX ON resistance	$DV_{DD} = 3\text{ V}$, $AV_{DD} = 3\text{ V}$		158	465	Ω
	$DV_{DD} = 5\text{ V}$, $AV_{DD} = 5\text{ V}$		140	268	Ω
Voltage reference					
REF Internal reference voltage	Internal reference mode, $V_{DD} = 3\text{ V}$	2.08	2.26	2.48	V
	Internal reference mode, $V_{DD} = 5\text{ V}$	3.48	3.82	4.15	V
Temperature coefficient			100		ppm/ $^{\circ}\text{C}$
r_i Input resistance	External reference mode	3			k Ω
$C_i(\text{VR})$ Input capacitance	External reference mode		300		pF

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
Power supply							
I _{DD} + I _{REF} Operating supply current		AV _{DD} = 2.7 V, DV _{DD} = 2.7 V, f _{SCLK} = 10 MHz *		3	5		mA
		AV _{DD} = 5.5 V, DV _{DD} = 5.5 V, f _{SCLK} = 20 MHz**		7.2	8.5		mA
P _D Power dissipation		AV _{DD} = 2.7 V, DV _{DD} = 2.7 V		8	13		mW
		AV _{DD} = 5.5 V, DV _{DD} = 5.5 V		40	47		mW
Supply current in power down		Software	I _{DD} + I _{REF}	AVDD = 2.7V CS = AV _{DD}	3	10	μA
				CS = AGND	500		
			AVDD = 5.5V	CS = AV _{DD}	3	10	μA
				CS = AGND	2000		
		Auto	I _{DD} + I _{REF}	AVDD = 2.7V	175	275	μA
				AVDD = 5.5V	200	300	μA

* $I_{REF} = 0.7\text{ mA}$ （典型值）

** $I_{REF} = 1.5\text{ mA}$ （典型值）

3.3.3 交流特性

PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
SNR Signal-to-noise ratio	$f_i = 100\text{ kHz}$ 70% of FS	$f_s = 1.25\text{ MSPS}$, $AV_{DD} = 5\text{ V}$	External reference	58	61		dB
			Internal reference	53	56		
		$f_s = 625\text{ KSPS}$, $AV_{DD} = 3\text{ V}$	External reference	56	61		
			Internal reference	53	55		
	$f_i = 50\text{ kHz}$ 90% of FS	$f_s = 1.25\text{ MSPS}$, $AV_{DD} = 5\text{ V}$	External reference		61		
			Internal reference		56		
		$f_s = 625\text{ KSPS}$, $AV_{DD} = 3\text{ V}$	External reference		61		
			Internal reference		55		
SINAD Signal-to-noise ratio + distortion	$f_i = 100\text{ kHz}$ 70% of FS	$f_s = 1.25\text{ MSPS}$, $AV_{DD} = 5\text{ V}$	External reference	55	58		dB
			Internal reference	53	55		
		$f_s = 625\text{ KSPS}$, $AV_{DD} = 3\text{ V}$	External reference	53	58		
			Internal reference	52	54		
	$f_i = 50\text{ kHz}$ 90% of FS	$f_s = 1.25\text{ MSPS}$, $AV_{DD} = 5\text{ V}$	External reference		59		
			Internal reference		55		
		$f_s = 625\text{ KSPS}$, $AV_{DD} = 3\text{ V}$	External reference		60		
			Internal reference		55		
THD Total harmonic distortion	$f_i = 100\text{ kHz}$ 70% of FS	$f_s = 1.25\text{ MSPS}$, $AV_{DD} = 5\text{ V}$	External reference	-60	-55		dB
			Internal reference	-70	-58		
		$f_s = 625\text{ KSPS}$, $AV_{DD} = 3\text{ V}$	External reference	-60	-55		
			Internal reference	-66	-58		
	$f_i = 50\text{ kHz}$ 90% of FS	$f_s = 1.25\text{ MSPS}$, $AV_{DD} = 5\text{ V}$	External reference		-64		
			Internal reference		-72		
		$f_s = 625\text{ KSPS}$, $AV_{DD} = 3\text{ V}$	External reference		-63		
			Internal reference		-68		

PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
SNR Signal-to-noise ratio	$f_i = 100\text{ kHz}$ 70% of FS	$f_s = 1.25\text{ MSPS}$, $AV_{DD} = 5\text{ V}$	External reference	58	61		dB
			Internal reference	53	56		
		$f_s = 625\text{ KSPS}$, $AV_{DD} = 3\text{ V}$	External reference	56	61		
			Internal reference	53	55		
	$f_i = 50\text{ kHz}$ 90% of FS	$f_s = 1.25\text{ MSPS}$, $AV_{DD} = 5\text{ V}$	External reference		61		
			Internal reference		56		
		$f_s = 625\text{ KSPS}$, $AV_{DD} = 3\text{ V}$	External reference		61		
			Internal reference		55		
SINAD Signal-to-noise ratio + distortion	$f_i = 100\text{ kHz}$ 70% of FS	$f_s = 1.25\text{ MSPS}$, $AV_{DD} = 5\text{ V}$	External reference	55	58		dB
			Internal reference	53	55		
		$f_s = 625\text{ KSPS}$, $AV_{DD} = 3\text{ V}$	External reference	53	58		
			Internal reference	52	54		
	$f_i = 50\text{ kHz}$ 90% of FS	$f_s = 1.25\text{ MSPS}$, $AV_{DD} = 5\text{ V}$	External reference		59		
			Internal reference		55		
		$f_s = 625\text{ KSPS}$, $AV_{DD} = 3\text{ V}$	External reference		60		
			Internal reference		55		
THD Total harmonic distortion	$f_i = 100\text{ kHz}$ 70% of FS	$f_s = 1.25\text{ MSPS}$, $AV_{DD} = 5\text{ V}$	External reference	-60	-55		dB
			Internal reference	-70	-58		
		$f_s = 625\text{ KSPS}$, $AV_{DD} = 3\text{ V}$	External reference	-60	-55		
			Internal reference	-66	-58		
	$f_i = 50\text{ kHz}$ 90% of FS	$f_s = 1.25\text{ MSPS}$, $AV_{DD} = 5\text{ V}$	External reference		-64		
			Internal reference		-72		
		$f_s = 625\text{ KSPS}$, $AV_{DD} = 3\text{ V}$	External reference		-63		
			Internal reference		-68		

3.3.4 时序特性+

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{c(SCLK)}$ SCLK cycle time	$DV_{DD} = 5.5\text{ V to }4.5\text{ V}$	50			ns
	$DV_{DD} = 3.6\text{ V to }2.7\text{ V}$	100			
t_{w1} Pulse duration, chip select		100			ns
t_s Sampling period			6		SCLK cycles
t_{conv} Conversion period			10		SCLK cycles
t_{s1} Setup time, FS to SCLK falling edge in DSP mode		5			ns
t_{h1} Hold time, FS to SCLK falling edge in DSP mode		2			ns
t_{s2} Setup time, FS to $\overline{CS}$ falling edge in DSP mode		5.5			ns
t_{h2} Hold time, FS to $\overline{CS}$ falling edge in DSP mode		9			ns
t_{d1} Delay time, FS falling edge to next SCLK falling edge in DSP mode		6			ns
t_{d2} Delay time, SCLK rising edge after $\overline{CS}$ falling edge in μC mode		4			ns
t_{d3} Delay time, output after SCLK rising edge in μC mode and DSP mode			10	20	ns
t_{s3} Setup time, serial input data to SCLK falling edge		10			ns
t_{h3} Hold time, serial input data to SCLK falling edge		4			ns
t_r Rise time		3		200	ns

+ 未经通知有权修改此特性。

3.4 参数测量信息

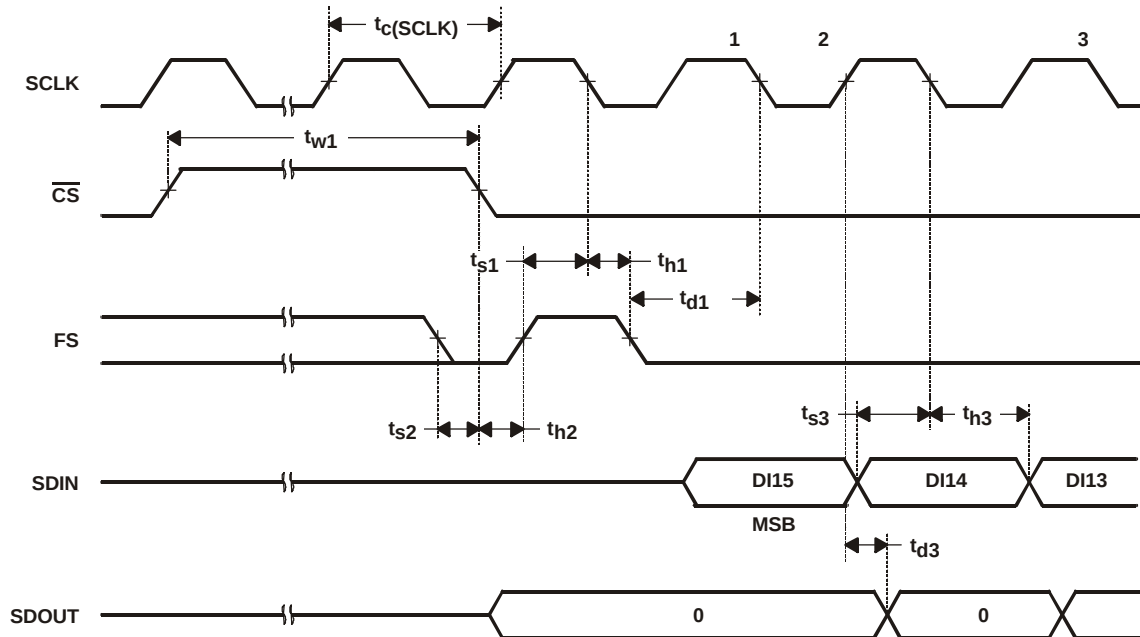
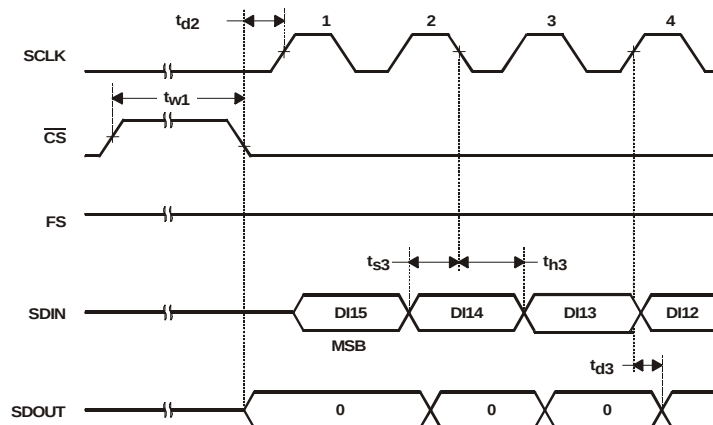


图7 DSP方式时序图

图8 μ C方式时序图

3.5 典型特性曲线

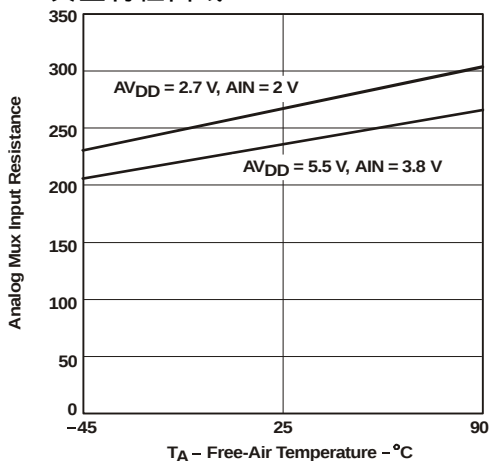
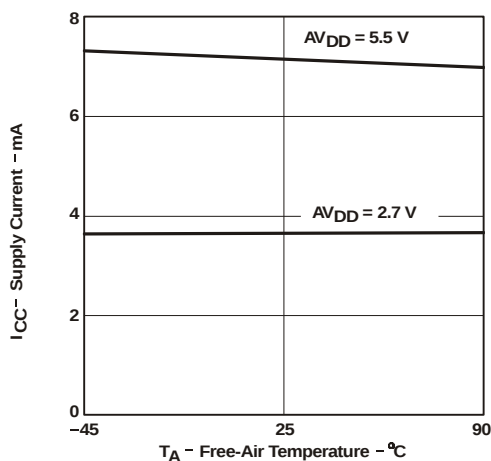
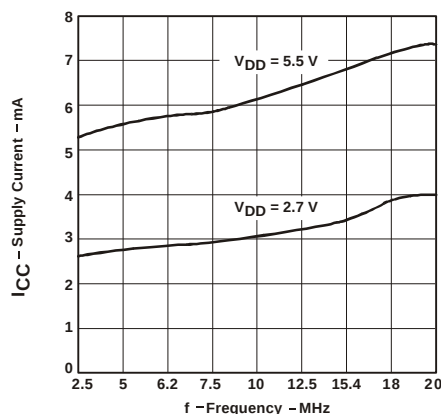
图9 模拟MUX输入电阻和温度
(自然通风)的关系图10 总电源电流和温度
(自然通风)的关系

图11 电源电流和时钟频率 (SCLK) 的关系

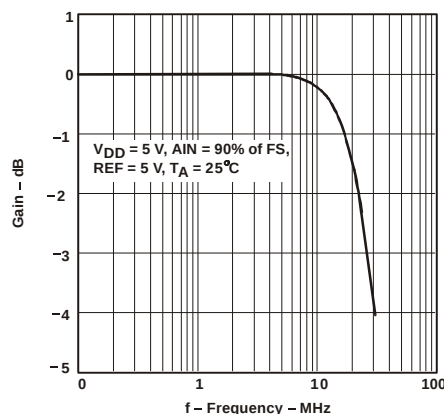


图12 增益和输入频率的关系

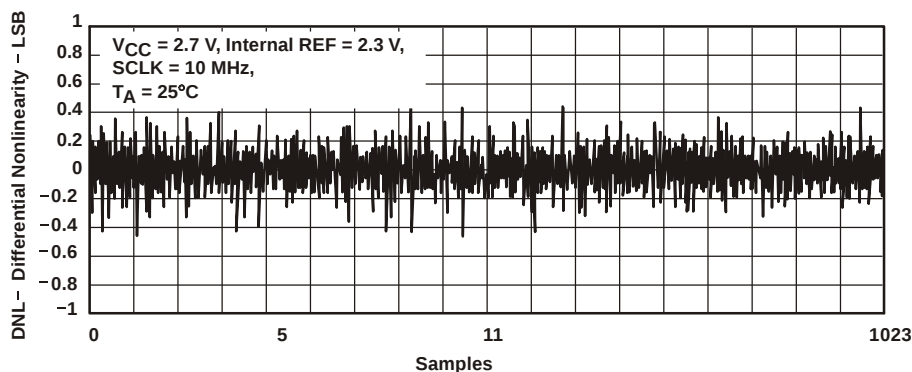


图13 差分非线性度误差和数字输出代码的关系

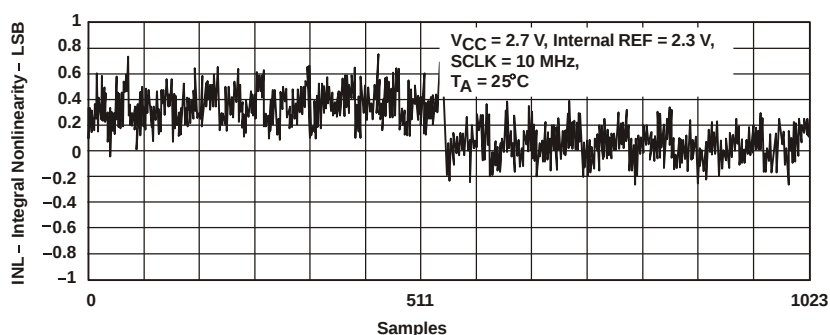


图14 积分非线性度误差和数字输出代码的关系

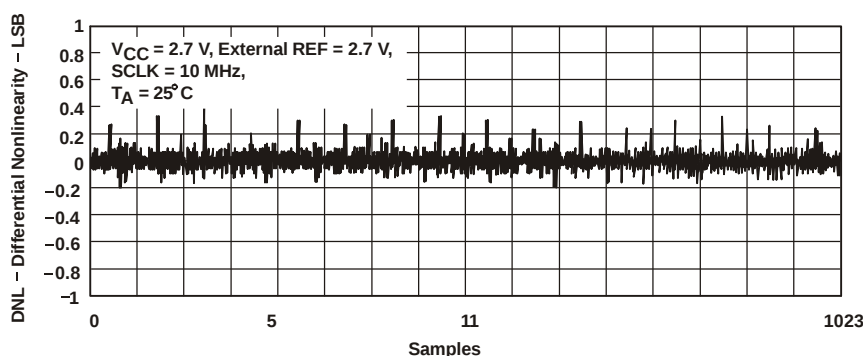


图15 差分非线性度误差和数字输出代码的关系

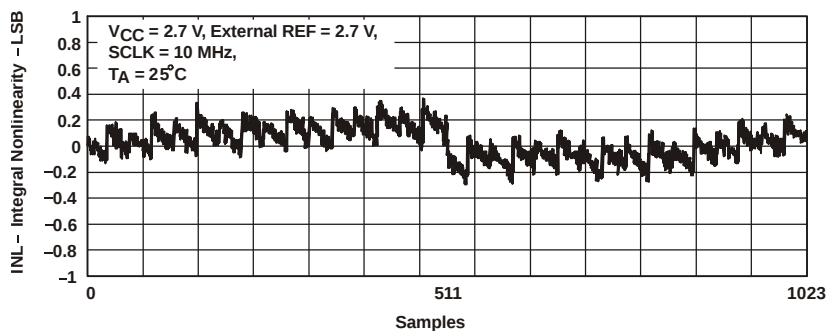


图16 积分非线性度误差和数字输出代码的关系

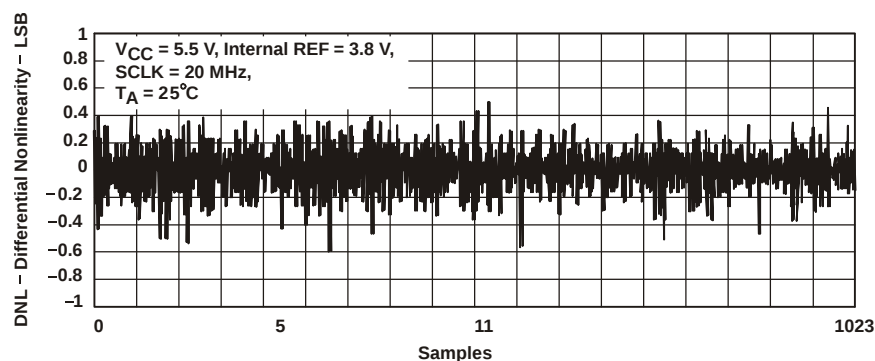


图17 差分非线性度误差和数字输出代码的关系

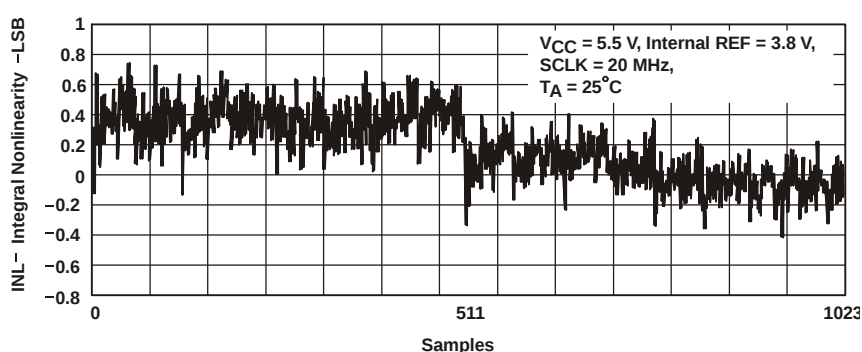


图18 积分非线性度误差和数字输出代码的关系

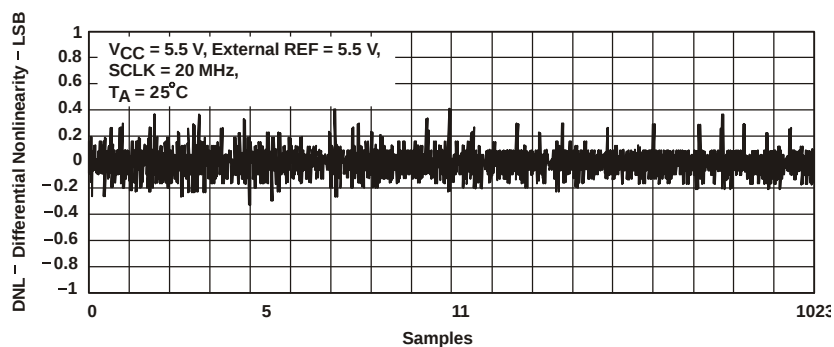


图19 差分非线性度误差和数字输出代码的关系

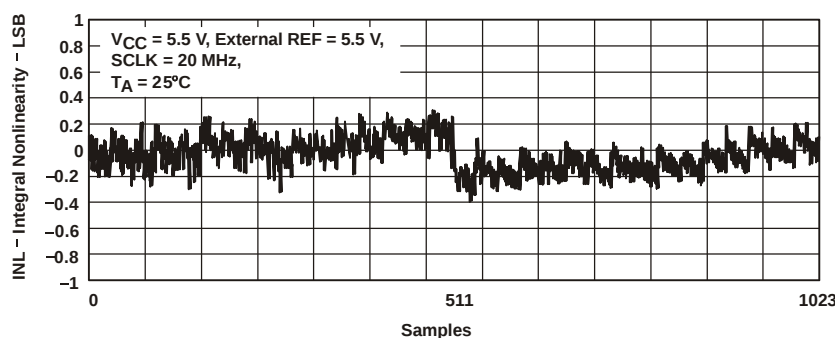


图20 积分非线性度误差和数字输出代码的关系

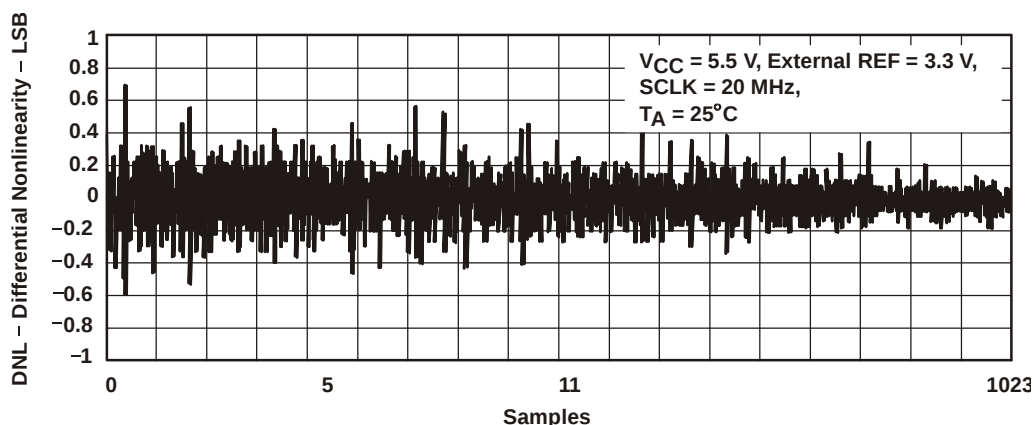


图21 差分非线性度误差和数字输出代码的关系

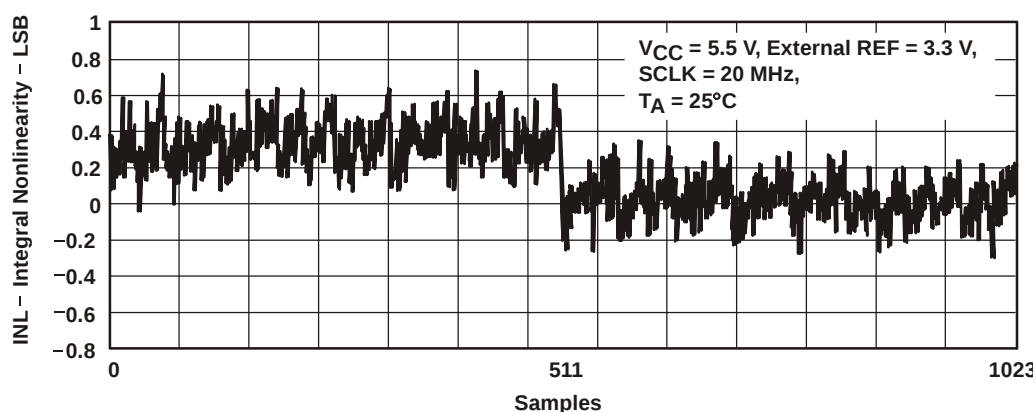


图22 积分非线性度误差和数字输出代码的关系

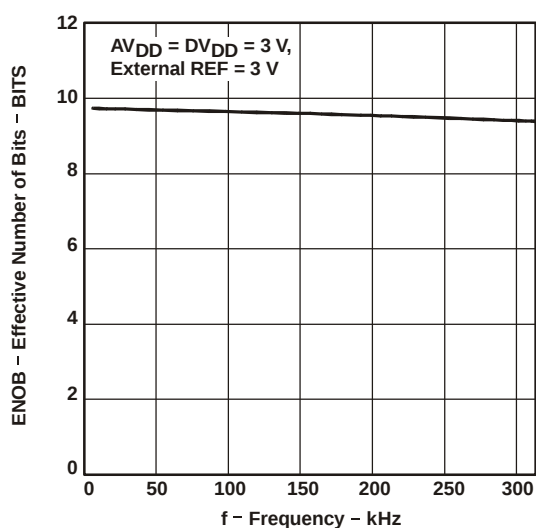


图23 有效位数和输入频率的关系

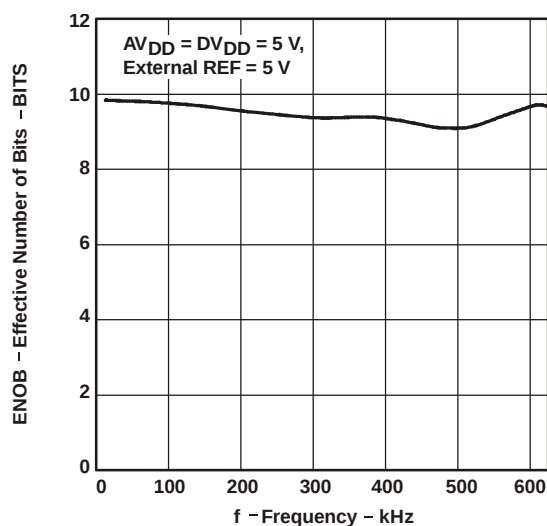


图24 有效位数和输入频率的关系

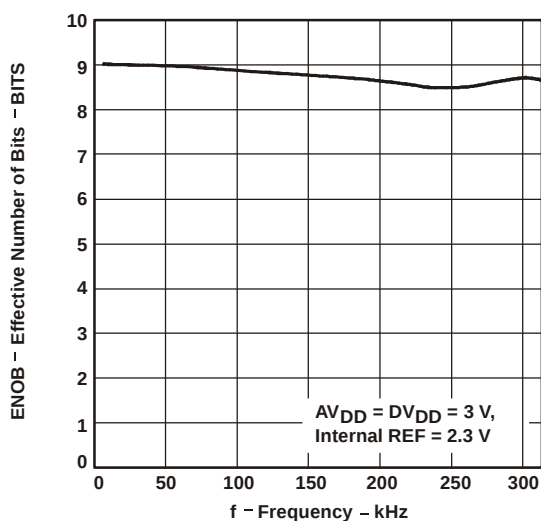


图25 有效位数和输入频率的关系

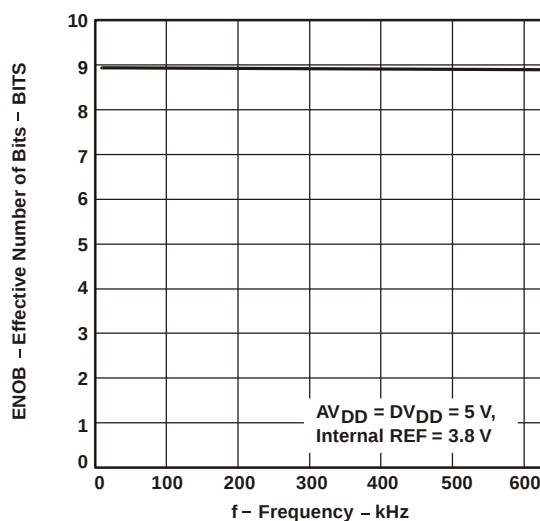


图26 有效位数和输入频率的关系

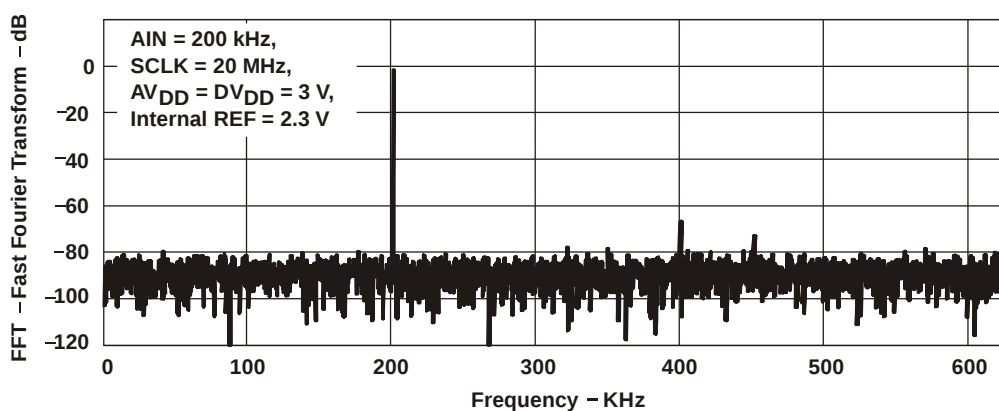


图27 快速付里叶变换和频率的关系

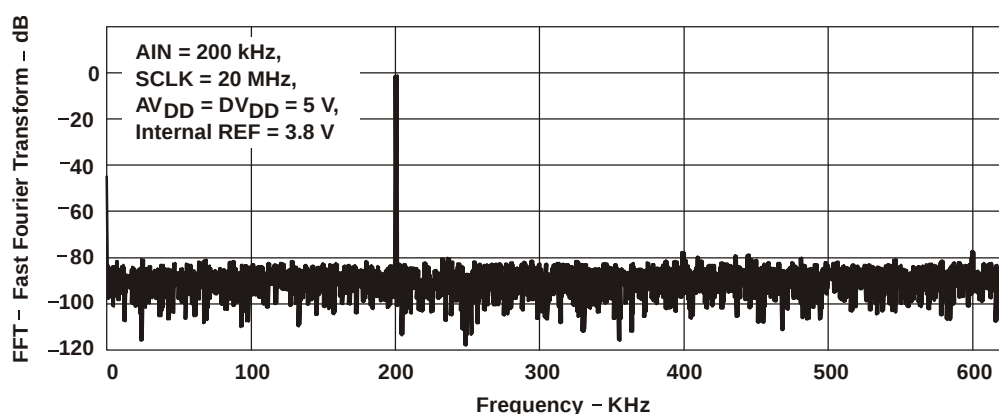


图28 快速付里叶变换和频率的关系

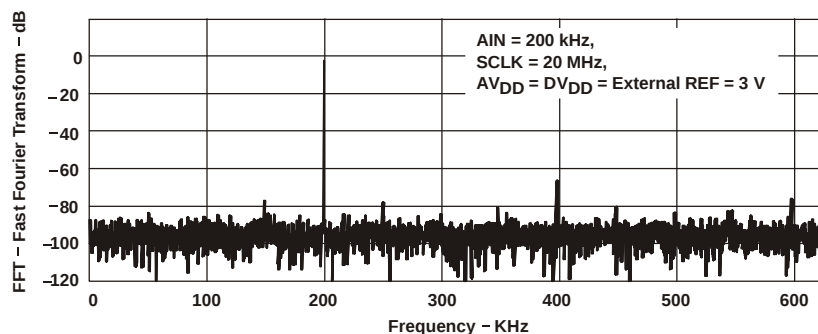


图29 快速付里叶变换和频率的关系

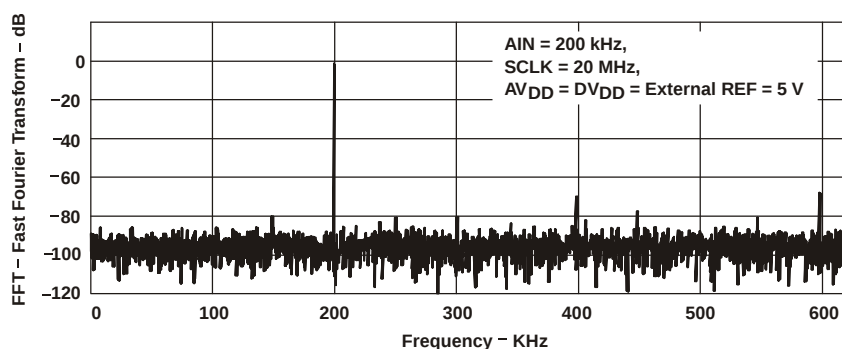


图30 快速付里叶变换和频率的关系

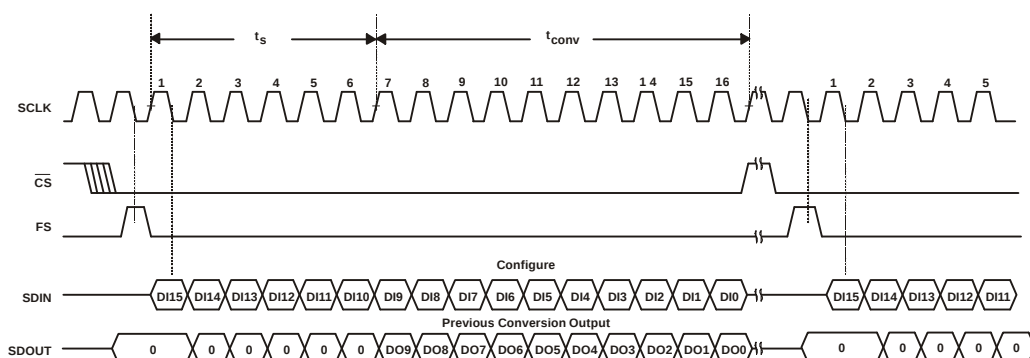


图31 DSP应用的典型时序图

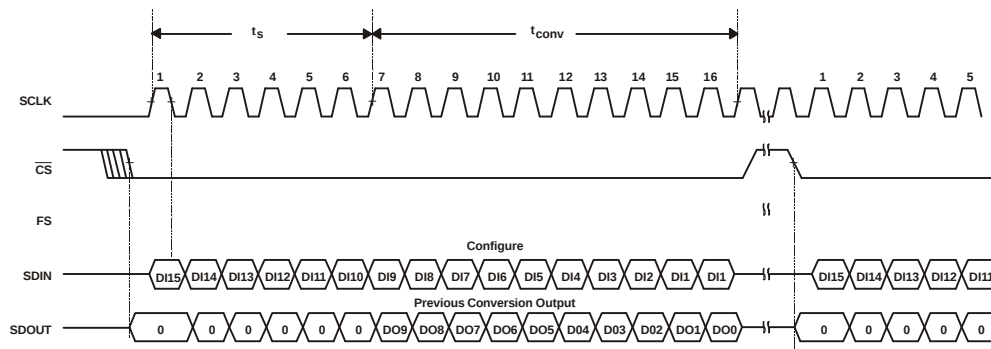


图32 μC应用的典型时序图