

高性能DDS芯片AD9954

摘要：AD9954是美国AD公司采用先进的DDS技术生产的高集成度频率合成器，它能产生200MHz的模拟正弦波。文章介绍了AD9954的基本特点和引脚功能，分析了其内部结构和工作原理，给出AD9954在高速调制信号系统中的应用方案。

1 概述

AD9954是采用先进的DDS技术开发的高集成度DDS器件。它内置高速、高性能D/A转换器及超高速比较器，可作为数字编程控制的频率合成器，能产生200MHz的模拟正弦波。AD9954内含1024X 32静态RAM，利用该RAM可实现高速调制，并支持几种扫频模式。AD9954可提供自定义的线性扫频操作模式，通过AD9954的串行I/O口输入控制字可实现快速变频且具有良好的频率分辨率。其应用范围包括灵敏频率合成器、可编程时钟发生器、雷达和扫描系统的FM调制源以及测试和测量装置等。AD9954的内部结构如图1所示，其主要特性如下：

- 内置400MSPs时钟；
- 内含14位DAC；
- 相位、幅度可编程；
- 有32位频率转换字；
- 可用串行I/O控制；
- 内置超高速模拟比较器
- 可自动线性和非线性扫频
- 内部集成有1024 X 32位RAM；
- 采用1.8V电源供电；
- 可4-20倍倍频；
- 支持大多数数字输入中的5V，输入电平；
- 可实现多片同步。

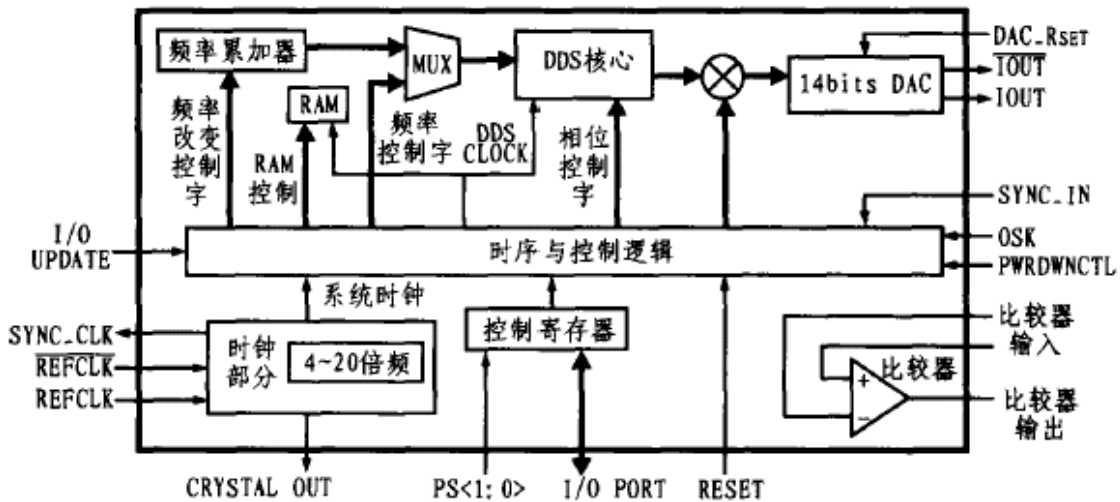


图1 AD9954的内部结构图

2 引脚说明

AD9954采用48脚TQFP/EP封装，其引脚排列如图2所示，各引脚定义如下：I/O UPDATE：在该引脚的上升沿可把内部缓冲存储器中的内容送到I/O寄存器中。引脚电平的建立和保持与SYNC-CLK输出信号有关；

DVDD和AVDD：数字与模拟电源引脚，电压值为1.8V；

DGND和AGND：数字地与模拟地；

OSC / RE~CLK和OSC / REFCLK：参考时钟或振荡输入端；
 限srAI。OUT：振荡器输出端；
 CLKMODESEt . ECT：振荡器控制端，为1时使能振荡器，为0时不使能振荡器；
 LOOP—FILTER：该引脚应与AVDD间串联一个1k Ω 电阻和一个0.1 μ F电容；
 IOUT和IOUT：DAC输出端，使用时应接一个上拉电阻；
 DACBP：DAC去耦端，使用时应接一个0.01 μ F的旁路电容；
 DAC—R脚：DAC复位端，使用时应通过一个3.92k Ω 的电阻接至AGND端；
 CO oUT：比较器输出端，可以输出方波或脉冲信号；
 COMP_IN和COMP—IN：比较器输入端；
 PWRDWNCTL：外部电源掉电控制输入引脚；
 砒蕊r：芯片复位端；
 IOSYNC：异步串行端口控制复位引脚；为1时，当前I / O操作立即停止；为0时开始新的I / O操作；不用时，此引脚必须接地；
 SDO：采用3线串口操作时，SDO为串行数据输出端。
 采用2线串口操作时，SDO不用，可以不连；

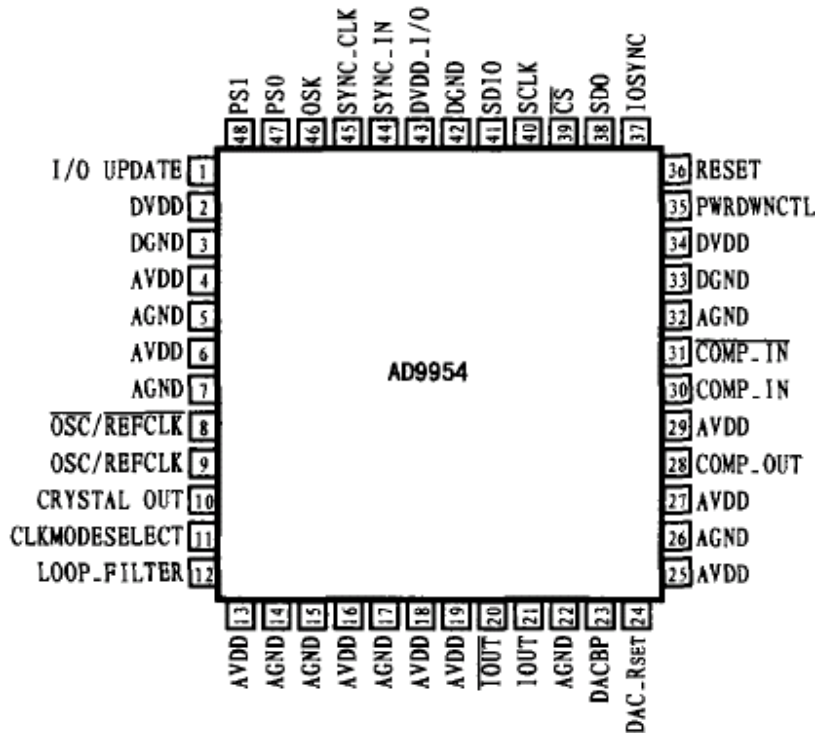


图 2 AD9954 的引脚图

C—S：片选端，低电平有效，允许多芯片共用I / O总线；
 SCLK：I / O操作的串行数据时钟输入端；sD10：采用3线串口操作时，SD0为串行数据输入端，采用2线操作时，SD0为双向串行数据端；
 DVDD_I / o：I / O电源，可以是1.8v或3.3V；
 SYNC—IN：同步多片AD9954的输入信号，使用时与主AD9954的SYNC—CLK的输出相连；
 SYNC—CLK：时钟输出脚，为内部时钟的1 / 4，可用作外围硬件同步；
 OSK：在编程操作时可用该脚来控制幅度与时间斜率，与SYNC-CLK同步；当OSK不能被编程时，此脚接DGND；
 PS1和PS0：可用来选择4个RAM段控制字区中的一个。

3 AD9954的串行操作

在AD9954的串行操作中，指令字节用来指定读/写操作和寄存器地址。由于串行操作是在寄存器级别上发生的，因此串行端口控制器应能识别指令字节寄存器地址和自动产生适当的寄存器字节地址。在串行操作指令阶段和通信阶段，一般先传送指令阶段的指令字，指令阶段对应于SCLK的前8个上升沿，其对应的指令字(8比特)包含了以下信息：

MSB	D6	D5	D4	D3	D2	D1	LSB
R/ \overline{W}	X	X	A4	A3	A2	A1	A0

其中R/ \overline{W} 位用于决定指令字后的操作是读还是写，高电平为读出，低电平为写入；6、5位的电平高低与操作无关；4~0位则对应于A4~A0，表示操作串行寄存器地址，该地址信息同时包含了与该指令字所在指令段对应的通信段的传送字节数。指令阶段后接着是通讯阶段，传送对应于字节数的几个通信周期。

通信周期完成后，AD9954的串口控制器即认为接下来的8个SCLK的上升沿对应的是下一个通信周期的指令字。IOSYNC引脚为高时将立即终止当前的通信周期，而当IOSYNC引脚状态回到低电平时，AD9954串口控制器即认为接下来的8个系统时钟的上升沿对应的是下一个通信周期的指令字，从而保持通信的同步。

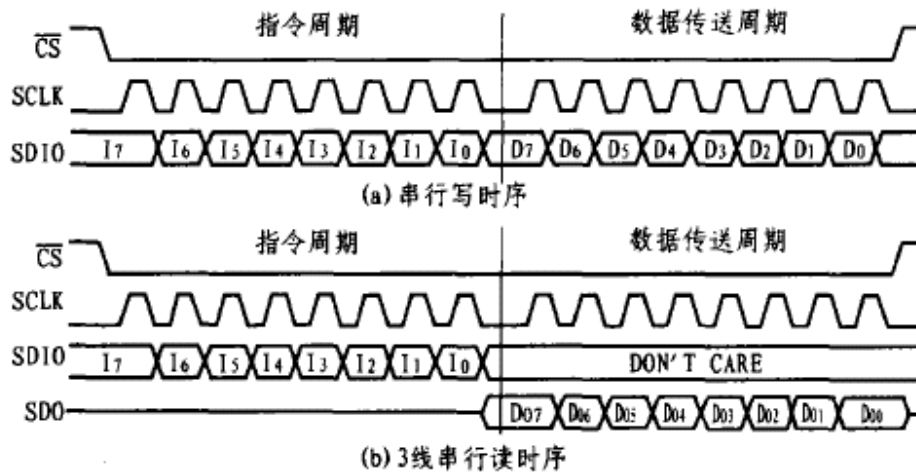


图3 串行读、写时序

AD9954的串行操作有两种数据传送方式，即从最高位开始传送和从最低位开始传送，这是由控制寄存器0的第8位来决定的。默认状态为低电平，此时先传送最高位，若为高电平则先传送最低位。串行操作的读/写时序如图3所示。

4 AD9954的RAM

AD9954内部的1024 × 32静态RAM具有双向单人口，对它进行的读/写操作不能同时进行，写操作优先。RAM的使能位是CFR<31> (控制功能寄存器的31位)，此位为低时，对RAM的操作只能通过串行端口；此位为高且CFR<30> 为逻辑0时，RAM的输出为相位累加器的输入，此时给芯片提供的是频率转换字；此位为高且CFR<30> 为逻辑1时，RAM的输出可作为相位偏移加法器的输入给芯片提供相位偏移控制字。写RAM的操作首先通过控制PSI、PSO来选择RAM段，然后再对相应的RAM控制寄存器写RAM操作的地址变化率、起始地址、终止地址、模式控制和停留方式位。RAM段控制寄存器的5、6、7位可用来指示RAM操作的5种模式，即直接转换模式、上斜坡模式、双向斜坡模式、连续双向斜坡模式和连续循环模式。其中连续循环模式是使能RAM，RAM模式控制字为100，这种模式可提供自动、连续、单向的扫频，地址发生器从起始地址

开始，当其增加到终止地址后会自动回到起始地址重新开始下次循环。

RAM段控制寄存器的39 24位可定义RAM控制器在每个地址停留的SYNC-CLK的周期数，取值范围是1—65535；9、8、23—16位用于定义10位终止地址；3—0、15—10位则用于定义10位起始地址。