

第五章 AVR 单片机 AT90 系列介绍

说明:

在第二章以 AT90S8515 为例,详细叙述了 AVR 单片机的硬件结构,第四章详细叙述了 AVR 单片机的指令系统,相关器件简明指令表在附录 4。本章重点叙述 AT90S1200 及 AT90S8535 单片机,与 AT90S8515 相同的内容这里省略。其它 AVR 单片机,简要介绍其性能特点,引脚图及硬件结构框图,更详细资料(中、英文)可上网下载,WWW.SL.COM.CN 或向广州天河双龙电子公司邮购<<双龙 AVR 电子书>>光盘,有整套开发工作软件,大量实用实验程序,AT90 系列器件最新中英文资料。

5.1 AT90S1200

特点

AVR RISC 结构

AVR—高性能、低功耗 RISC 结构

—89 条指令——大多数为单指令周期(见附录 4)

—32 个 8 位通用(工作)寄存器

—工作在 12MHz 时具有 12MIPS 的性能

数据和非易失性程序内存

—1K 字节的在线可编程 FLASH(擦除次数: 1000 次)

—64 字节在线可编程 E2PROM(寿命: 100000 次)

—程序加密位

外围(Peripheral)特点

—一个可预分频(Prescale)的 8 位定时器/计数器

—片内模拟比较器

—可编程的看门狗定时器(由片内振荡器生成)

—用于下载程序的 SPI 口

特别的 MCU 特点

—低功耗空闲和掉电模式

—内外部中断源

—可选的片内 RC 振荡器

规范(Specification)

—低功耗、高速 CMOS 工艺

—全静态工作

4MHz、3V、25℃条件下的功耗:

—工作模式: 2.0mA

—空闲模式: 0.4mA

—掉电模式: <1μA

I/O 和封装

—15 个可编程的 I/O 脚

—20 脚 PDIP 和 SOIC 封装

工作电压

—2.7V-6.0V(AT90S1200-4)

—4.0V-6.0V(AT90S1200-12)

速度

—0-4MHz(AT90S1200-4)

—0-8MHz (AT90S1200-12)

描述

AT90S1200 是一款基于 AVR RISC 的低功耗 CMOS 的 8 位单片机。通过在一个时钟周期内执行一条指令，AT90S1200 可以取得接近 1MIPS/MHz 的性能，从而使得设计人员可以在功耗和执行速度之间取得平衡。

AVR 核将 32 个工作寄存器和丰富的指令集联结在一起。所有的工作寄存器都与 ALU (算逻单元) 直接相连，允许在一个时钟周期内执行的单条指令同时访问两个独立的寄存器。这种结构提高了代码效率，使 AVR 得到了比普通 CISC 单片机高将近 10 倍的性能。

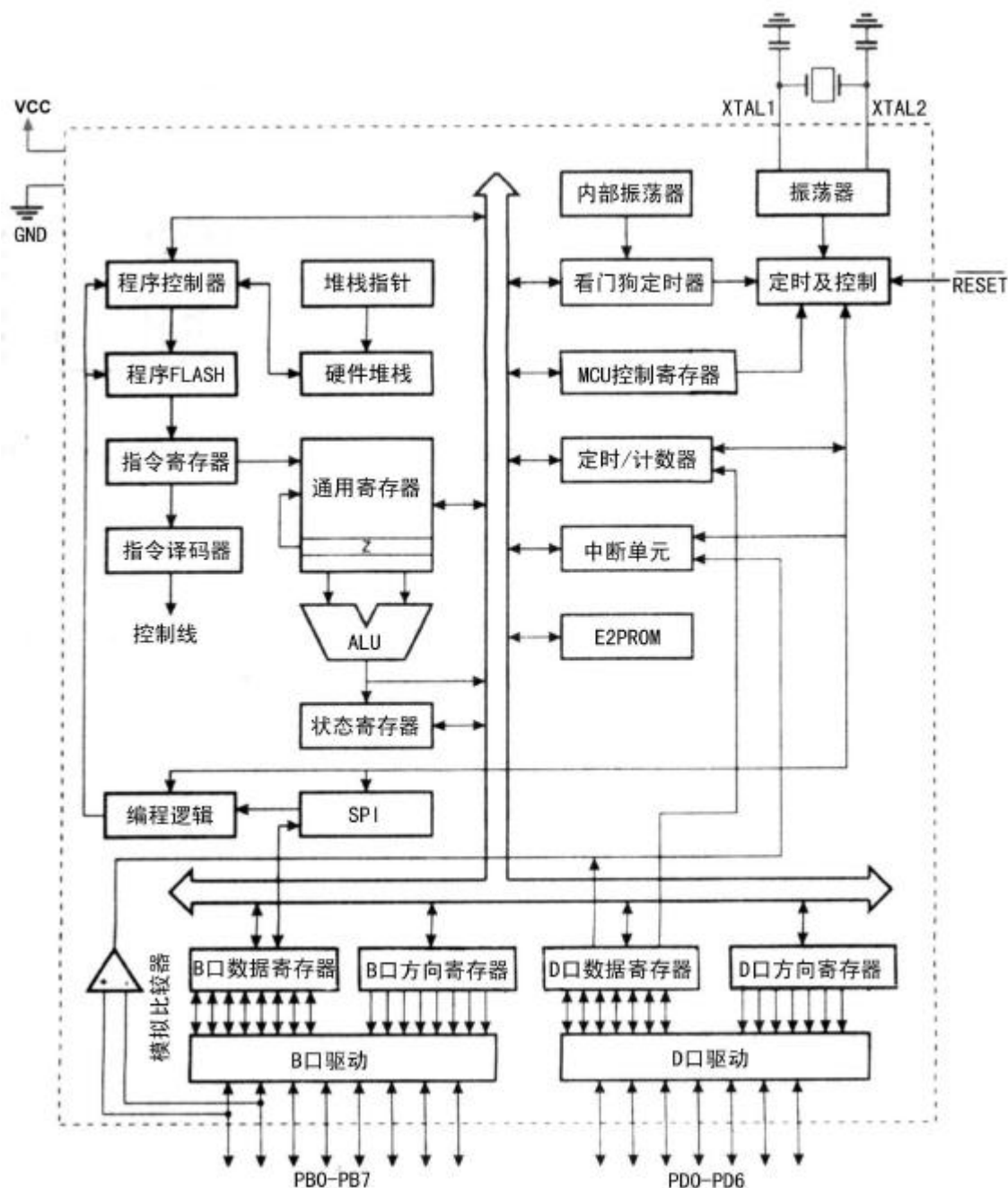


图 1 AT90S1200 结构方框图

这种结构可以有效地支持高级语言编程，同时保持代码密度紧凑。AT90S1200 具有以下特点：1K 字节 FLASH，64 字节 E2PROM，15 个通用 I/O 口，32 个通用工作寄存器，内外中断源，可编程

程的看门狗定时器，下载程序用的 SPI 口以及两种可通过软件选择的省电模式。工作于空闲模式时，CPU 将停止运行，而寄存器、定时器/计数器、看门狗和中断系统继续工作；掉电模式时振荡器停止工作，所有功能都被禁止，而寄存器内容得到保留。只有外部中断或硬件复位才可以退出此状态。

器件是以 ATMEL 的高密度非易失性内存技术生产的。片内 FLASH 允许多次编程。通过将增强的 RISC 8 位 CPU 与 FLASH 集成在一个芯片内，1200 为许多嵌入式控制应用提供了灵活而低成本方案。

AT90S1200 具有一整套的编程和系统开发工具：宏汇编、调试/仿真器、在线仿真器和 SL-AVR 编程开发实验器。

管脚配置 图 2

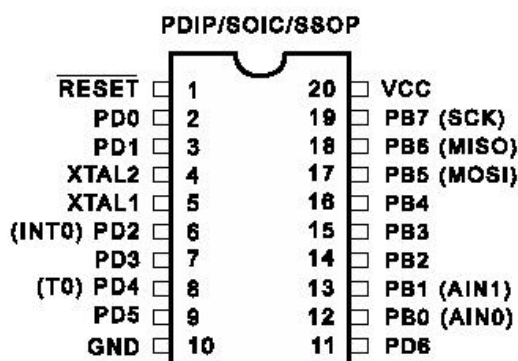


图 2 AT90S1200 管脚配置

管脚定义

VCC、GND: 电源

B 口 (PB7.PB0):

B 口是一个 8 位双向 I/O 口，每一个管脚都有内部上拉电阻（可单独选择）。PB0 和 PB1 还可作为片内模拟比较器的正（AIN0）负（AIN1）输入端。B 口的输出缓冲器能够吸收 20mA 的电流，可直接驱动 LED。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，B 口为三态，即使此时时钟还未起振。

B 口作为特殊功能口的使用方法见以后章节。

D 口 (PD6.PD0):

D 口是一个带内部上拉电阻的 7 位双向 I/O 口。输出缓冲器能够吸收 20mA 的电流。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，D 口为三态，即使此时时钟还未起振。

D 口作为特殊功能口的使用方法见以后章节。

/RESET: 复位输入。超过 50ns 的低电平将引起系统复位。低于 50ns 的脉冲不能保证可靠复位。

XTAL1: 振荡器放大器的输入端。

XTAL2: 振荡器放大器的输出端。

晶体振荡器:

XTAL1 和

XTAL2 分别是片内振荡器的输入、输出端，可使用晶体振荡器或是陶瓷振荡器。当使用外部时钟时，XTAL2 应悬空。

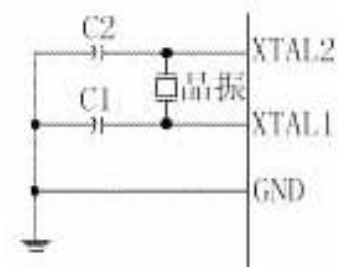


图 3 振荡器连接

注：若要利用 MCU 的振荡器作为外围器件的时钟，应该如上图一样连接一个 HC 缓冲器。

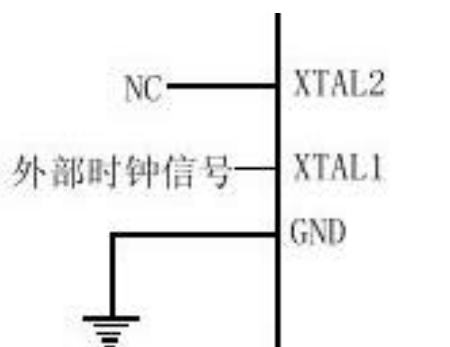


图 4 外部时钟驱动配置

片内 RC 振荡器

可以选择片内的 RC 振荡器（频率为 1M）作为 MCU 的时钟。从而 AT90S1200 可以在“零外围”的情况下工作。当 RCEN 位编程为“0”时 RC 振荡器即成为 MCU 时钟。RCEN 位只能在并行编程模式下改变。所以如果要利用 RC 振荡器来进行串行下载的话，首先要并行改变 RCEN。为了客户方便起见，产品 AT90S1200A 在出厂时已经将 RCEN 编程。

结构纵览

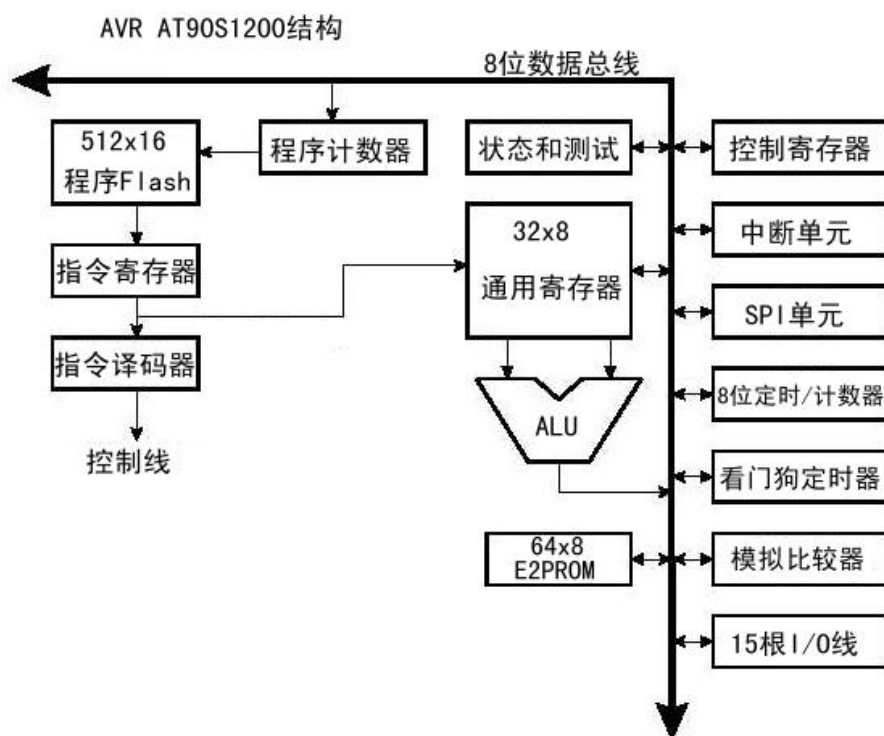


图 5 AT90S1200 AVR RISC 结构

快速访问寄存器堆包含 32 个 8 位可单周期访问的通用寄存器。这意味着在一个时钟周期内，ALU 可以完成一次如下操作：读取寄存器堆中的两个操作数，执行操作，将结果存回到寄存器堆。ALU 支持两个寄存器之间、寄存器和常数之间的算术和逻辑操作，以及单寄存器的操作。AVR

采用了 HARVARD 结构：程序和数据总线分离。程序内存通过两段式的管道 (Pipeline) 进行访问：当 CPU 在执行一条指令的同时，就去取下一条指令。这种预取指的概念使得指令可以在一个时钟完成。

相对跳转和相对调用指令可以直接访问 512 个地址空间。所有的 AVR 指令都为 16 位长，也就是说，每一个程序内存地址都包含一条 16 位的指令。

当执行中断和子程序调用时，返回地址存储于堆栈中。1200 的堆栈为 3 级硬件堆栈。I/O 内存空间包含 64 个 CPU 外围的地址，如控制寄存器，T/C，A/D 等。AVR 结构的内存空间是线性的。

中断模块由 I/O 空间中的控制寄存器和状态寄存器中的全局中断触发位组成。每个中断都具有一个中断向量，由中断向量组成的中断向量表位于程序存储区的最前面。中断向量地址低的中断具有高的优先级。

通用工作寄存器堆

图 6 AVR CPU 通用工作寄存器

通用 工 作 寄 存 器	R0
	R1
	R2
	...
	...
	R28
	R29
	R30(Z)
	R31

所有的寄存器操作指令都可以单指令的形式直接访问所有的寄存器。例外情况为 5 条涉及常数操作的指令：带进位位减立即数 SBCI、减立即数 SUBI、与立即数比较 CPI、与立即数 ANDI 和或立即数 ORI。这些与立即数有关的指令只能访问通用寄存器堆的后半部分：R16 到 R31。

寄存器 R30 也用为寄存器间接寻址的 8 位指针。

ALU 算术、逻辑操作部件

AVR ALU 与 32 个通用工作寄存器直接相连。ALU 操作分为 3 类：算术、逻辑和位操作。

在线可编程 FLASH

AT90S1200 具有 1K 字节的 FLASH。因为所有的指令为 16 位宽，故其 FLASH 结构为 512×16。FLASH 的擦除次数至少为 1000 次。

AT90S1200 的程序计数器 (PC) 为 9 位宽，可以寻址到 512 个字的 FLASH 程序区。

程序和数据寻址方式(参阅第四章 4.2 寻址方式)

AT90S1200 AVR 单片机,只有五种寻址方式,89 条指令,是 AVR 系列最基本的单片机。

- 1、单寄存器直接寻址
- 2、单寄存器间接寻址
- 3、双寄存器直接寻址
- 4、I/O 直接寻址
- 5、程序相对寻址

子程序和中断硬件堆栈

AT90S1200 使用 3 级硬件堆栈，宽度为 9 位。

RCALL 相对调用指令和中断将 PC 推入堆栈 0，而原有的堆栈 0 和 1 的内容进入深一级的位置。执行子程序返回 RET 或中断返回 RETI 后,堆栈 0 的 PC 将出栈，而堆栈 1 和 2 的内容上升一级。

如果有多于 3 个的子程序或中断连续（嵌套）发生，则第一个进栈的内容将丢失。这是使用 AT90S1200 特别要注意的地方。

E2PROM

AT90S1200 包含 64 字节的 E2PROM，其写寿命为 100000 次。具体操作见第二章 2.12。

指令操作时序

指令执行和内存访问时序。见第二章 2.3.4 存储器访问和指令时序。

表 1 AT90S1200 的 I/O 空间

地址 (16 进制)	名称	功 能
\$3F	SREG	状态寄存器
\$3B	GIMSK	通用中断屏蔽寄存器
\$39	TIMSK	T/C 屏蔽寄存器
\$38	TIFR	T/C 中断标志寄存器
\$35	MCUCR	MCU 控制寄存器
\$33	TCCR0	T/C0 控制寄存器
\$32	TCNT0	T/C0 (8 位)
\$21	WDTCR	看门狗控制寄存器
\$1E	EEAR	E2PROM 地址寄存器
\$1D	EEDR	E2PROM 数据寄存器
\$1C	EEDR	E2PROM 控制寄存器
\$18	PORTB	B 口数据寄存器
\$17	DDRB	B 口数据方向寄存器
\$16	PINB	B 口输入引脚
\$12	PORTD	D 口数据寄存器
\$11	DDRD	D 口数据方向寄存器
\$10	PIND	D 口输入引脚
\$08	ACSR	模拟比较器控制及状态寄存器

AVR1200 的所有 I/O 和外围都被放置在 I/O 空间。IN 和 OUT 指令用来访问不同的 I/O 地址，以及在 32 个通用寄存器之间传输数据。地址为 \$00-\$1F 的 I/O 寄存器还可用置位 I/O 位 SBI 和清零 I/O 位 CBI 指令进行位寻址，而 SBIC(I/O 位清零跳过一条指令)和 SBIS(I/O 位置位跳过一条指令)则用来检查单个位置位与否。

为了与后续产品兼容，保留未用的位应写“0”，而保留的 I/O 寄存器则不应写。

一些状态标志位的清除是通过写“1”来实现的。清零 I/O 位 CBI 和置位 I/O 位 SBI 指令读取已置位的标志位时，会回写“1”，因此会清除这些标志位。

I/O 寄存器和外围控制寄存器在后续章节介绍。

状态寄存器 SREG (Status Register)

BIT	7	6	5	4	3	2	1	0
\$3F	I	T	H	S	V	N	Z	C
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

I: 全局中断触发

置位时触发全局中断。单独的中断触发由中断屏蔽寄存器 GIMSK/TIMSK 控制。如果 I 清零，则不论单独中断标志置位与否，都不会产生中断。I 在复位时清零，RETI 指令执行后置位。

T: 位拷贝存储

位拷贝指令 BLD(T 送 Rr 的 b 位)和 BST(Rr 的 b 位送 T)利用 T 作为目的或源地址。BST 把寄

寄存器的某一位拷贝到 T，而 BLD 把 T 拷贝到寄存器的某一位。

H: 半加标志位 运算中低四位向高位进位时,H 置位 1。

S: 符号位 总是 N 与 V 的异或。

V: 二进制补码溢出标志位

N: 负数标志位

Z: 零标志位

C: 进位标志位

状态寄存器在进入中断和退出中断时并不自动进行存储和恢复。这项工作由软件完成。

复位和中断处理

AT90S1200 有 3 个中断源。每个中断源在程序空间都有一个独立的中断向量。这 3 个中断事件有自己的触发位。当触发位置位，且 I 也置位的情况下，中断可以发生。

器件复位后，程序空间的最低位置自动定义为中断向量。完整的中断表见图 2。在中断向量表中处于低地址的中断具有高的优先级。所以，RESET 具有最高的优先级。

表 2 复位与中断向量

向量号	程序地址	来源	中断定义
1	\$000	RESET	硬件管脚，上电复位和看门狗复位
2	\$001	INT0	外部中断 0
3	\$002	TIMER0, OVFO	T/C0 溢出
4	\$003	ANA_COMP	模拟比较器

设置中断向量地址最典型的方法如下：

地址	标号	代码	注释
\$000		RJMP RESET	; 复位
\$001		RJMP EXT_INT0	; IRQ0
\$002		RJMP TIM0_OVF	; T0 溢出
\$003		RJMP ANA_COMP	; 模拟比较器
;			
\$004	MAIN:	<指令> XXX	; 主程序开始

复位源 见第二章 2.4AVR 单片机系统复位

AT90S1200 有 3 个复位源：

上电复位。当电源电压低于上电门限 V_{POT} 时 MCU 复位。

外部复位。当/RESET 引脚上的低电平超过 50ns 时 MCU 复位。

看门狗复位。看门狗定时器超时时 MCU 复位。

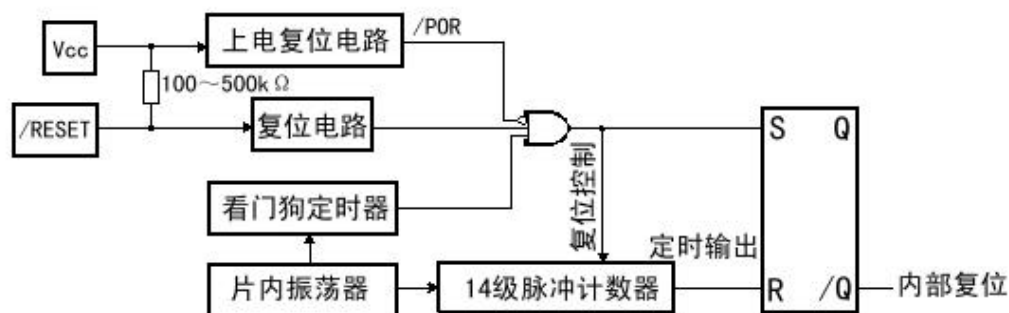


图 7 复位逻辑

在复位期间，所有的 I/O 寄存器被设置为初始值，程序从地址\$000 开始执行。\$000 地址中放置的指令必须为 RJMP—相对跳转指令—跳转到复位处理例程。若程序永远不需中断，则中断向量就可放置通常的程序代码。图 7 为复位电路的逻辑图。表 3 定义了复位电路的时序和电参数。

表 3 复位电参数 ($V_{CC} = 5.0V$)

符号	参数	最	典	最大	单
		小值	型值	值	
$V_{POT}^{(1)}$	上电复位电压门限 (上升)	0.8	1.2	1.6	V
	上电复位电压门限 (下降)	0.2	0.4	0.6	V
V_{RST}	管脚门限电压	-	$V_{CC}/2$	$0.85V_{CC}$	V
t_{POR}	上电复位周期	2	3	4	ms
t_{TOUT}	复位延迟周期 (等于 16K 个 WDT 时钟)	11	16	21	ms

注：1.除非电源电压低于 V_{POT} ，否则上电复位不会发生。

中断处理：

AT90S1200 有 2 个中断屏蔽控制寄存器 GIMSK—通用中断屏蔽寄存器和 TIMSK—T/C 中断屏蔽寄存器。

一个中断产生后，全局中断触发位 I 将被清零，后续中断被屏蔽。用户可以在中断例程里对 I 置位，从而开放中断。执行 RETI 后 I 重新置位。

当程序计数器指向实际中断向量开始执行相应的中断例程时，硬件清除对应的中断标志。一些中断标志位也可以通过软件写“1”来清除。

当一个符合条件的中断发生后，如果相应的中断触发位为“0”，则中断标志位置位，并一直保持到中断执行，或者被软件清除。

如果全局中断标志被清零，则所有的中断都不会被执行，直到 I 置位。

注意：外部电平中断没有中断标志位，因此当电平变为非中断电平后，中断条件即终止。进入中断和退出中断时 MCU 不会自动保存或恢复状态寄存器，故尔需由软件处理。

通用中断屏蔽寄存器—GIMSK

BIT	7	6	5	4	3	2	1	0
\$3B	-	INT0	-	-	-	-	-	-
读/写	R	R/W	R	R	R	R	R	R
初始值	0	0	0	0	0	0	0	0

位 7、5、0：保留

INT0：外部中断 0 请求触发

当 INT0 和 I 都为“1”时，外部引脚中断触发。MCU 通用控制寄存器 (MCUCR) 中的中断检测控制位 I/O (ISC01 和 ISC00) 定义中断 0 是上升沿中断还是下降沿中断，或者是低电平中断。即使管脚被定义为输出，中断仍可产生。

T/C 中断屏蔽寄存器—TIMSK

BIT	7	6	5	4	3	2	1	0
\$39	-	-	-	-	-	-	TOIE0	-
读/写	R	R	R	R	R	R	R/W	R
初始值	0	0	0	0	0	0	0	0

位 7..2、0：保留

TOIE0：T/C0 溢出中断触发

当 TOIE0 和 I 都为“1”时，T/C0 溢出中断触发。当 T/C0 溢出，或 TIFR 中的 TOV0 位置位时，中断例程（\$002）得到执行。

T/C 中断标志寄存器—TIFR

BIT	7	6	5	4	3	2	1	0
\$38	-	-	-	-	-	-	TOV0	-
读/写	R	R	R	R	R	R	R/W	R
初始值	0	0	0	0	0	0	0	0

位 7..2、0：保留

TOV0：T/C0 溢出中断标志位

当 T/C0 溢出时，TOV0 置位。执行相应的中断例程后此位硬件清零。此外，TOV0 也可以通过写“1”来清零。当 SREG 中的位 I、TOIE0 和 TOV0 一同置位时，中断例程得到执行。

外部中断：

外部中断由 INT0 引脚触发。触发方式可以为上升沿，下降沿或低电平。这些设置由 MCU 控制寄存器 MCUCR 决定。当 INT0 设置为低电平触发时，只要电平为低，中断就一直挂起。

即使 INT0 配置为输出中断也会发生。这种特性可以用来实现软件中断。

用户不能直接访问中断标志位。如果怀疑有一个边沿触发中断被挂起，则标志位可以通过如下步骤清除：

清除 GIMSK 的 INT0 位以禁止外部中断。

选择电平触发中断方式。

选择需要的中断沿。

置位 INT0，重新触发外部中断。

中断响应时间：

AVR 中断响应时间最少为 4 个时钟周期。在这 4 个时钟期间，PC 自动入栈。在通常情况下，中断向量为一个相对跳转指令，此跳转要花 2 个时钟周期。如果中断在一个多周期指令执行期间发生，则在此多周期指令执行完后 MCU 才会执行中断程序。

中断返回亦需 4 个时钟。在此期间，PC 将被弹出栈，SREG 的位 I 被置位。如果在中断期间发生了其他中断，则 AVR 在退出中断程序后，要执行一条主程序指令之后才能再响应被挂起的中断。

要注意 AT90S1200 只有一个 3 级硬件堆栈。如果 3 个以上例程嵌套发生，则只有最后的 3 个返回地址得到保留，其他的将丢失。

MCU 控制寄存器—MCUCR

BIT	7	6	5	4	3	2	1	0
\$35	-	-	SE	SM	-	-	ISC01	ISC00
读/写	R	R	R/W	R/W	R	R	R/W	R/W
初始值	0	0	0	0	0	0	0	0

位 7、6、3、2：保留

SE：休眠触发

执行 SLEEP 指令时，SE 必须置位才能使 MCU 进入休眠模式。为了防止无意间使 MCU 进入休眠，建议与 SLEEP 指令相连使用。

SM：休眠模式

此位用于选择休眠模式。SM 为“0”时为闲置模式；SM 为“1”时为掉电模式。

ISC01, ISC00: 中断检测控制位

选择 INTO 中断的边沿或电平, 如下表所示:

表 4 中断 0 检测控制

ISC01	ISC00	描述
0	0	低电平中断
0	1	保留
1	0	下降沿中断
1	1	上升沿中断

注意: 改变 ISC01/ISC00 时, 首先要禁止 INTO (清除 GIMSK 的 INTO 位), 否则可能引发不必要的中断。

INT0 引脚的电平在检测边沿之前采样。如果边沿中断触发, 则大于一个 MCU 时钟的脉冲将触发中断。如果选择了低电平触发, 则此电平必须保持到当前执行的指令结束。

节电方式: 见第二章 2.6AVR 单片机节电方式

定时器/计数器 0 (T/C0): 见第二章 2.7AVR 单片机定时器/计数器

E2PROM 读/写: 见第二章 2.8AVR 单片机 E2PROM 读/写访问

写 EEP 的时间与电压有关, 大概在 2.5~4ms 之间。自定时功能可以让用户监测何时开始写下一字节。如果用户要操作 E2PROM, 应当注意如下问题: 在电源滤波时间常数比较大的电路中, 上电/下电时 V_{cc} 上升/下降会比较慢。此时 MCU 将工作于低于晶振所要求的电源电压。在这种情况下, 程序指针有可能跑飞, 并执行 EEP 写指令。为了保证 EEP 的数据完整性, 建议使用低电压复位电路。

模拟比较器: 见第二章 2.10 AVR 单片机模拟比较器

模拟比较器比较正输入端 PB0 (AIN0) 和负输入端 PB1 (AIN1) 的值。如果 PB0 (AIN0) 的电压高于 PB1 (AIN1) 的值, 比较器的输出 ACO 将置位。此输出可用来触发模拟比较器中断 (上升沿、下降沿或电平变换)。应用实例见第七章 7.3. 廉价的 A/D 转换器及 7.3.6 高精度廉价的 A/D 转换器。

I/O 口: I/O 口操作见第二章 2.11 AVR 单片机 I/O 端口

所有的 AVR I/O 端口都具有真正的读-修改-写功能。这意味着用 SBI 或 CBI 指令改变某些管脚的方向 (值、禁止/触发、上拉) 时不会无意地改变其他管脚的方向 (值、禁止/触发、上拉)。

B 口

B 口是 8 位双向 I/O 口。

B 口有 3 个 I/O 地址: 数据寄存器—PORTB (\$18), 数据方向寄存器—DDRB (\$17) 和输入引脚—PINB (\$16)。PORTB 和 DDRB 可读可写, PINB 只可读。

所有的管脚都可以单独选择上拉电阻。引脚缓冲器可以吸收 20mA 的电流, 能够直接驱动 LED。当管脚被拉低时, 如果上拉电阻已经激活, 则引脚会输出电流。

B 口的第二功能如下表所示:

表 8 B 口第二功能

管脚	第二功能
PB0	AIN0 (模拟比较器正输入端)
PB1	AIN1 (模拟比较器负输入端)
PB5	MOSI (程序下载时的数据输入线)
PB6	MISO (程序下载时的数据输出线)
PB7	SCK (串行时钟)

当使用 B 口的第二功能时，DDRB 和 PORTB 要设置成对应的值。

D 口

D 口有 3 个 I/O 地址：数据寄存器—PORTD (\$12)，数据方向寄存器—DDRD (\$11) 和输入引脚—PIND (\$10)。PORTD 和 DDRD 可读可写，PIND 只可读。

D 口有 7 个带上拉电阻的双向 I/O 管脚，PD6~PD0。引脚缓冲器可以吸收 20mA 的电流，能够直接驱动 LED。当管脚被拉低时，如果上拉电阻已经激活，则引脚会输出电流。

D 口的第二功能如下表所示：

表 10 D 口第二功能

管脚	第二功能
PD2	INT0 (外部中断 0 输入)
PD4	T0 (T/C0 的外部输入)

程序编程 见第二章 2.12 AVR 单片机存储编程

程序和数据锁定位

AT90S1200 具有两个锁定位，如表 12 所示。锁定位只能通过片擦除命令擦除。

表 12 锁定保护模式

程序锁定位			保护类型
模式	LB1	LB2	
1	1	1	无锁定功能
2	0	1	禁止编程 ¹⁾
3	0	0	禁止校验

注：1、在并行编程模式下，熔断位编程也被禁止。要先编程熔断位，然后编程锁定位。

5.2 AT90S2313

特点:

1. AVR RISC 结构
2. AVR—高性能、低功耗 RISC 结构
 - 118 条指令——大多数为单指令周期
 - 32 个 8 位通用（工作）寄存器
 - 工作在 10MHz 时具有 10MIPS 的性能
3. 数据和非易失性程序内存
 - 2K 字节的在线可编程 FLASH（擦除次数：1000 次）
 - 128 字节 SRAM
 - 128 字节在线可编程 E2PROM（寿命：100000 次）
 - 程序加密位
4. 外围（Peripheral）特点
 - 一个可预分频（Prescale）的 8 位定时器/计数器
 - 一个可预分频、具有比较、捕捉和 8-, 9-, 10 位 PWM 功能的 16 位定时器/计数器
 - 片内模拟比较器
 - 可编程的看门狗定时器（由片内振荡器生成）
 - 用于下载程序的 SPI 口
 - 全双工 UART
5. 特别的 MCU 特点
 - 低功耗空闲和掉电模式
 - 内外部中断源
6. 规范（Specification）
 - 低功耗、高速 CMOS 工艺
 - 全静态工作
7. 4MHz、3V、25°C 条件下的功耗：
 - 工作模式：2.8mA
 - 空闲模式：0.8mA
 - 掉电模式：<1 μ A
8. I/O 和封装
 - 15 个可编程的 I/O 脚
 - 20 脚 PDIP 和 SOIC 封装
9. 工作电压
 - 2.7V-6.0V（AT90S2313-4）
 - 4.0V-6.0V（AT90S2313-10）
10. 速度
 - 0-4MHz（AT90S2313-4）
 - 0-10MHz（AT90S2313-10）

描述

AT90S2313 是一款基于 AVR RISC 的低功耗 CMOS 的 8 位单片机。通过在一个时钟周期内执行一条指令，AT90S2313 可以取得接近 1MIPS/MHz 的性能，从而使得设计人员可以在功耗和执行速度之间取得平衡。

AVR 核将 32 个工作寄存器和丰富的指令集联结在一起。所有的工作寄存器都与 ALU（算逻单

元) 直接相连, 允许在一个时钟周期内执行的单条指令同时访问两个独立的寄存器。这种结构提高了代码效率, 使 AVR 得到了比普通 CISC 单片机高将近 10 倍的性能。

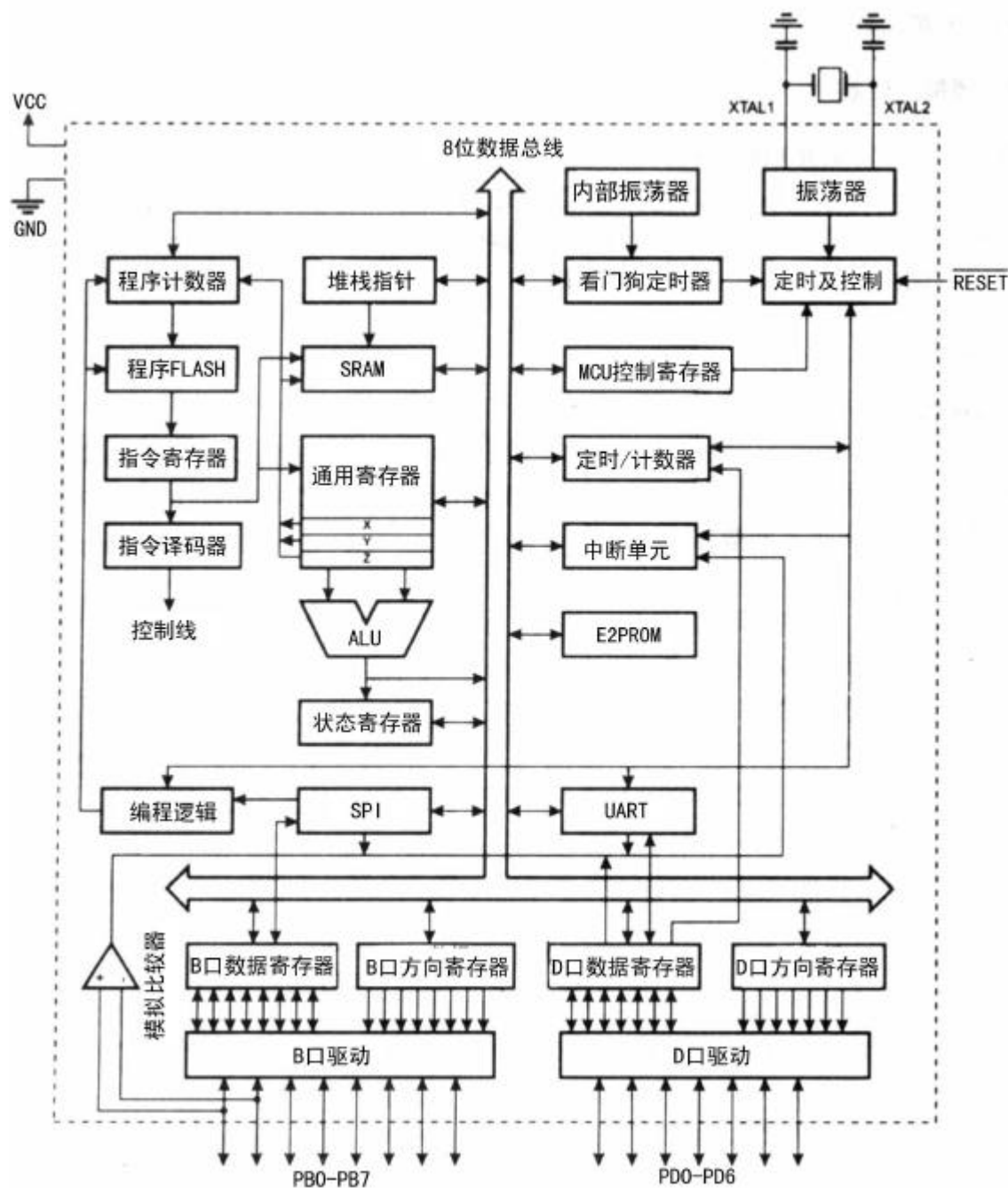


图 1 AT90S2313 结构方框图

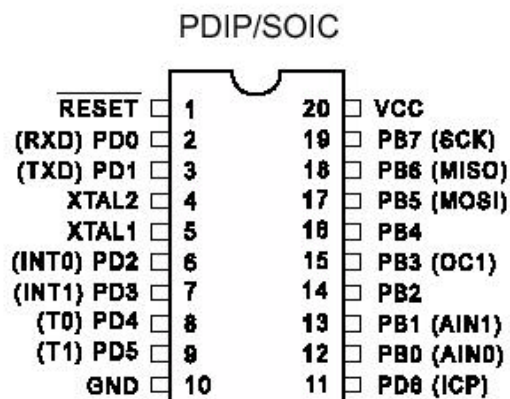
AT90S2313 具有以下特点: 2K 字节 FLASH, 128 字节 E2PROM, 128 字节 SRAM, 15 个通用 I/O 口, 32 个通用工作寄存器, 具有比较模式的灵活的定时器/计数器, 内外中断源, 可编程的 UART, 可编程的看门狗定时器, 下载程序用的 SPI 口以及两种可通过软件选择的省电模式。工作于空闲模式时, CPU 将停止运行, 而寄存器、定时器/计数器、看门狗和中断系统继续工作; 掉电模式时振荡器停止工作, 所有功能都被禁止, 而寄存器内容得到保留。只有外部中断或硬件复位才可以退出此状态。

器件是以 ATMEL 的高密度非易失性内存技术生产的。片内 FLASH 可以通过 ISP 接口或通用

编程器多次编程。通过将增强的 RISC 8 位 CPU 与 FLASH 集成在一个芯片内，2313 为许多嵌入式控制应用提供了灵活而低成本方案。

AT90S2313 具有一整套的编程和系统开发工具：宏汇编、调试/仿真器、在线仿真器和 SL-AVR 编程开发实验器。

管脚配置



管脚定义

VCC、GND: 电源

B 口 (PB7.PB0):

B 口是一个 8 位双向 I/O 口，每一个管脚都有内部上拉电阻（可单独选择）。PB0 和 PB1 还可作为片内模拟比较器的正（AIN0）负（AIN1）输入端。B 口的输出缓冲器能够吸收 20mA 的电流，可直接驱动 LED。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，B 口为三态，即使此时时钟还未起振。

B 口作为特殊功能口的使用方法见光盘文件。

D 口 (PD6.PD0):

D 口是一个带内部上拉电阻的 7 位双向 I/O 口。输出缓冲器能够吸收 20mA 的电流。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，D 口为三态，即使此时时钟还未起振。

D 口作为特殊功能口的使用方法见光盘文件。

/RESET: 复位输入。超过 50ns 的低电平将引起系统复位。低于 50ns 的脉冲不能保证可靠复位。

XTAL1: 振荡器放大器的输入端。

XTAL2: 振荡器放大器的输出端。

5.3 AT90S2323/2343

特点:

1. AVR RISC 结构
2. AVR—高性能、低功耗 RISC 结构
 - 118 条指令——大多数为单指令周期
 - 32 个 8 位通用 (工作) 寄存器
 - 工作在 10MHz 时具有 10MIPS 的性能
3. 数据和非易失性程序内存
 - 2K 字节的在线可编程 FLASH (擦除次数: 1000 次)
 - 128 字节 SRAM
 - 128 字节在线可编程 E2PROM (寿命: 100000 次)
 - 程序加密位
4. 外围 (Peripheral) 特点
 - 一个可预分频 (Prescale) 的 8 位定时器/计数器
 - 可编程的看门狗定时器 (由片内振荡器生成)
 - 用于下载程序的 SPI 口
5. 特别的 MCU 特点
 - 低功耗空闲和掉电模式
 - 内外部中断源
 - 上电复位电路
 - 可选择的片内 RC 振荡器
6. 规范 (Specification)
 - 低功耗、高速 CMOS 工艺
 - 全静态工作
7. 4MHz、3V、25℃条件下的功耗:
 - 工作模式: 2.4mA
 - 空闲模式: 0.5mA
 - 掉电模式: <1 μ A
8. I/O 和封装
 - 3 个可编程的 I/O 脚 (AT90S/LS2323)
 - 5 个可编程的 I/O 脚 (AT90S/LS2343)
 - 8 脚 PDIP 和 SOIC 封装
9. 工作电压
 - 2.7V-6.0V (AT90LS2323/AT90LS2343)
 - 4.0V-6.0V (AT90S2323/AT90S2343)
10. 速度
 - 0-4MHz (AT90LS2323/2343/AT90LS2343)
 - 0-10MHz (AT90S2323/2343/AT90S2343)

描述:

AT90S2323/2343 是一款基于 AVR RISC 的低功耗 CMOS 的 8 位单片机。通过在一个时钟周期内执行一条指令, AT90S2323/2343 可以取得接近 1MIPS/MHz 的性能, 从而使得设计人员可以在功耗和执行速度之间取得平衡。

AVR 核将 32 个工作寄存器和丰富的指令集联结在一起。所有的工作寄存器都与 ALU (算逻

单元) 直接相连, 允许在一个时钟周期内执行的单条指令同时访问两个独立的寄存器。这种结构提高了代码效率, 使 AVR 得到了比普通 CISC 单片机高将近 10 倍的性能。

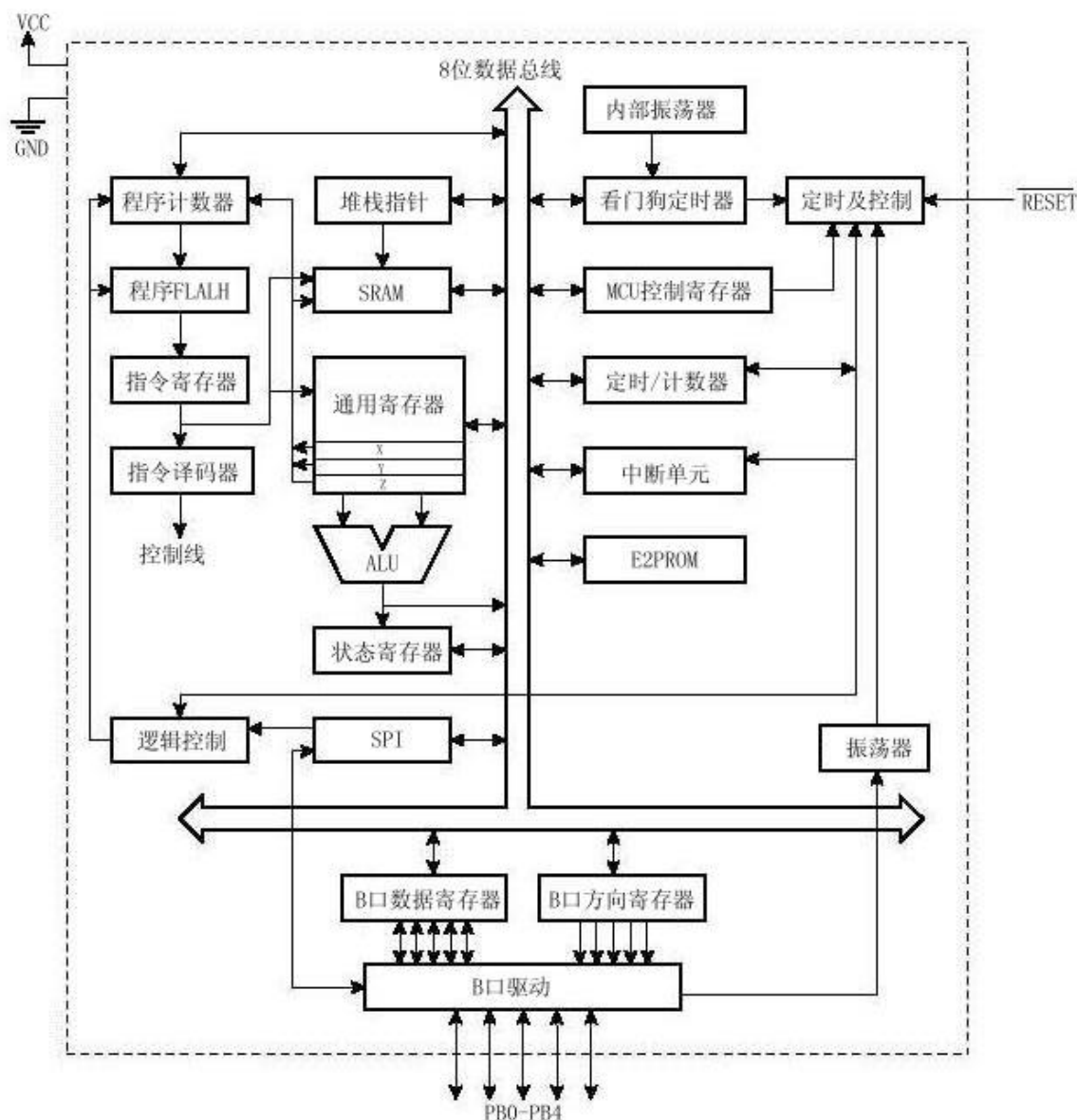


图 1 AT90S/LS2323 结构方框图

AT90S2323/2343 具有以下特点: 2K 字节 FLASH, 128 字节 E2PROM, 128 字节 SRAM, 3 (AT90S/LS2323) / 5 (AT90S/LS2343) 个通用 I/O 口, 32 个通用工作寄存器, 8 位定时器/计数器, 内外中断源, 可编程的看门狗定时器, 下载程序用的 SPI 口以及两种可通过软件选择的省电模式。工作于空闲模式时, CPU 将停止运行, 而寄存器、定时器/计数器、看门狗和中断系统继续工作; 掉电模式时振荡器停止工作, 所有功能都被禁止, 而寄存器内容得到保留。只有外部中断或硬件复位才可以退出此状态。

器件是以 ATMEL 的高密度非易失性内存技术生产的。片内 FLASH 可以通过 ISP 接口或通用编程器多次编程。通过将增强的 RISC 8 位 CPU 与 FLASH 集成在一个芯片内, 2323/2343 为许多嵌入式控制应用提供了灵活而低成本方案。

AT90S2323/2343 具有一整套的编程和系统开发工具: 宏汇编、调试/仿真器、在线仿真器和

SL-AVR 编程开发实验器。

AT90S/LS2323 和 AT90S/LS2343 的比较

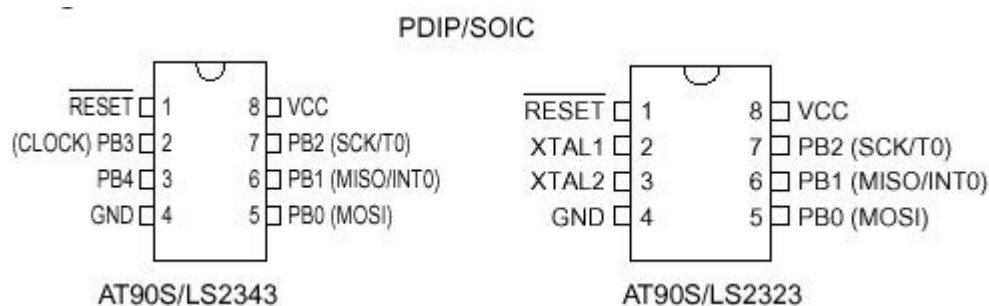
AT90S/LS2323 适用于外接晶振或陶瓷振荡器。起动时间可选 1ms（晶振）或 16ms（陶瓷振荡器）。有 3 个 I/O 口。

AT90S/LS2343 适用于外接振荡源或选择片内振荡器作为时钟。有 5 个 I/O 口。

表 1 差异表

型号	AT90S/LS2323	AT90S/LS2343
片内振荡器放大器	有	无
内部 RC 时钟	无	有
PB3 可作为 I/O	不行	内部振荡模式时
PB4 可作为 I/O	不行	是
起动时间	1ms/16ms	固定的 16 μ s

管脚配置



AT90S/LS2323 的管脚定义

VCC、GND: 电源

B 口 (PB2、PB0):

B 口是一个 3 位双向 I/O 口，每一个管脚都有内部上拉电阻（可单独选择）。在复位过程中，B 口为三态，即使此时时钟还未起振。

/RESET: 复位输入。超过 50ns 的低电平将引起系统复位。低于 50ns 的脉冲不能保证可靠复位。

XTAL1: 振荡器放大器的输入端。

XTAL2: 振荡器放大器的输出端。

AT90S/LS2343 的管脚定义

VCC、GND: 电源

B 口 (PB4、PB0):

B 口是一个 5 位双向 I/O 口，每一个管脚都有内部上拉电阻（可单独选择）。当选用外部时钟源时，PB3 作为时钟输入端。在复位过程中，B 口为三态，即使此时时钟还未起振。

/RESET: 复位输入。超过 50ns 的低电平将引起系统复位。低于 50ns 的脉冲不能保证可靠复位。

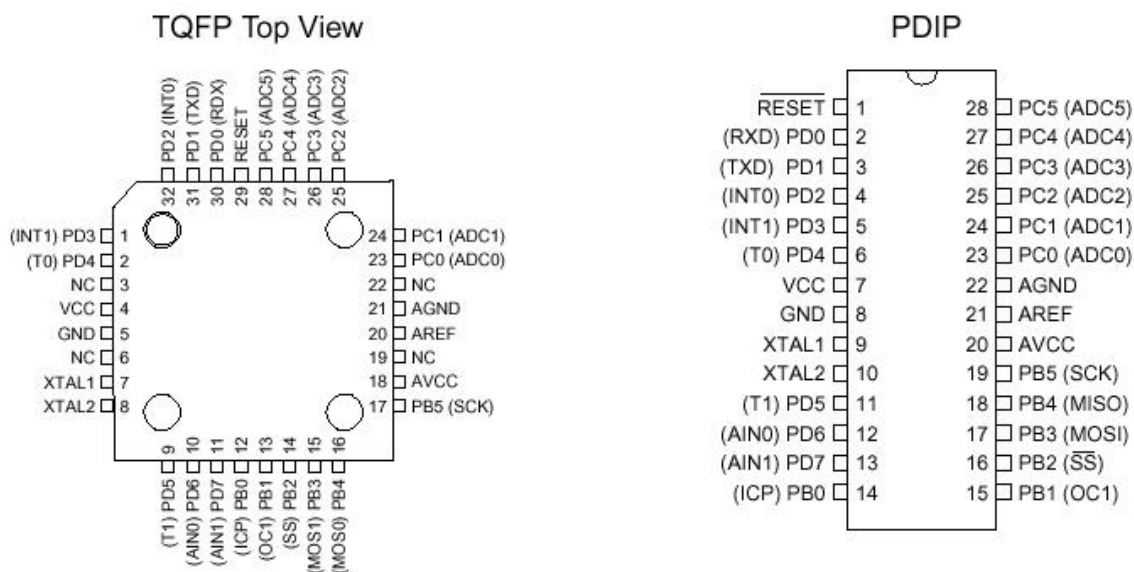
CLOCK: 外部时钟模式时的时钟信号输入。

5.4 AT90S2333/4433

特点:

1. 高性能、低功耗 AVR RISC 结构
 - 118 条指令——大多数为单指令周期
 - 32 个 8 位通用（工作）寄存器
 - 工作在 8MHz 时具有 8MIPS 的性能
2. 数据和非易失性程序内存
 - 2K/4K 字节的在线可编程 FLASH（擦除次数：1000 次）
 - 128 字节 SRAM
 - 128/256 字节在线可编程 E2PROM（寿命：100000 次）
 - 程序、E² 加密位
3. 外围（Peripheral）特点
 - 一个可预分频（Prescale）8 位定时器/计数器
 - 一个可预分频、具有比较、捕捉和 8/9/10 位 PWM 功能的 16 位定时器/计数器
 - 片内模拟比较器
 - 可编程的看门狗定时器（由片内振荡器生成）
 - 可编程 UART
 - 6 通道 10 位 ADC
 - 主/从 SPI 接口
4. 特别的 MCU 特点
 - 电源检测（Brown-Out-Detection）功能
 - 增强的上电复位电路
 - 低功耗空闲和掉电模式
 - 内外部中断源
5. 指标
 - 低功耗，高速度 COMS 工艺
 - 全静态工作
6. 4MHz、3V、20℃ 条件下的功耗：
 - 工作模式：3.4mA
 - 空闲模式：1.4mA
 - 掉电模式：<1μA
7. I/O 和封装
 - 20 个可编程的 I/O 脚
 - 28 脚 PDIP、32 脚 TQFP 封装
8. 工作电压
 - 2.7V-6.0V（AT90LS2333 和 AT90LS4433）
 - 4.0V-6.0V（AT90S2333 和 AT90S4433）
9. 速度
 - 0-4MHz（AT90LS2333 和 AT90LS4433）
 - 0-8MHz（AT90S2333 和 AT90S4433）

管脚配置



描述

AT90S2333/4433 是一款基于 AVR RISC 的低功耗 CMOS 的 8 位单片机。通过在一个时钟周期内执行一条指令，AT90S2333/4433 可以取得接近 1MIPS/MHz 的性能，从而使得设计人员可以在功耗和执行速度之间取得平衡。

AVR 核将 32 个工作寄存器和丰富的指令集联结在一起。所有的工作寄存器都与 ALU（算逻单元）直接相连，允许在一个时钟周期内执行的单条指令同时访问两个独立的寄存器。这种结构提高了代码效率，使 AVR 得到了比普通 CISC 单片机高将近 10 倍的性能。

AT90S2333/4433 具有以下特点：2K/4K 字节 FLASH，128/256 字节 E2PROM，128 字节 SRAM，20 个通用 I/O 口，32 个通用工作寄存器，两个具有比较模式的灵活的定时器/计数器，内外中断源，可编程的 UART，6 通道 10 位 ADC，可编程的看门狗定时器，SPI 口以及 2 种可通过软件选择的节电模式。工作于空闲模式时，CPU 将停止运行，而寄存器、定时器/计数器、SPI、看门狗和中断系统继续工作；掉电模式时振荡器停止工作，所有功能都被禁止，而寄存器内容得到保留。只有外部中断或硬件复位才可以退出此状态。

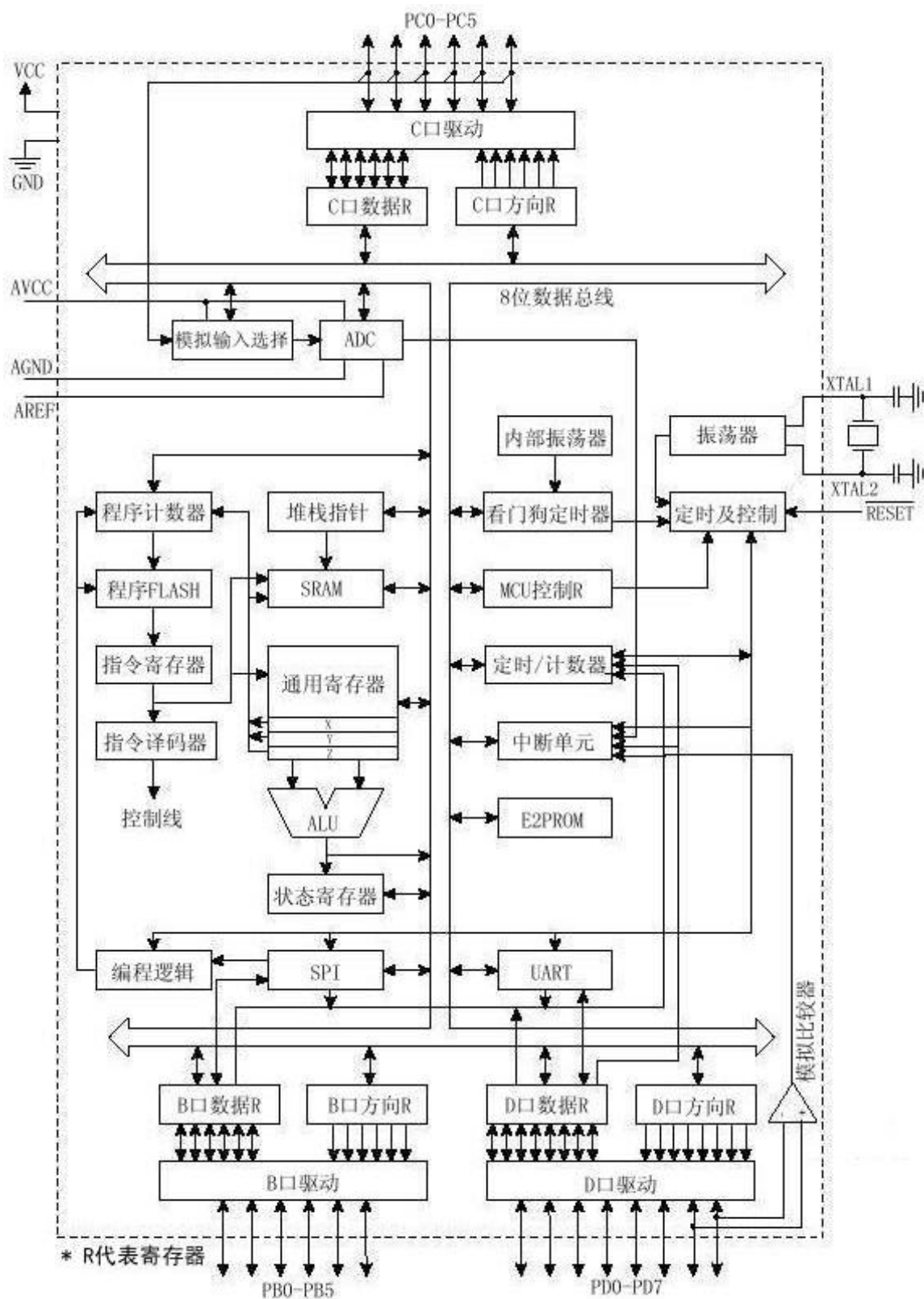
器件是以 ATMEL 的高密度非易失性内存技术生产的。片内 FLASH 可以通过 SPI 接口或通用编程器多次编程。通过将增强的 RISC 8 位 CPU 与 FLASH 集成在一个芯片内，2333/4433 为许多嵌入式控制应用提供了灵活而低成本方案。

AT90S2333/4433 具有一整套的编程和系统开发工具：宏汇编、调试/仿真器、在线仿真器和评估板。

表 1 存储器比较

型号	FLASH	E2PROM	SRAM	电压范围	频率
AT90S2333	2K 字节	128 字节	128 字节	4.0V - 6.0V	0 - 8MHz
AT90LS2333	2K 字节	128 字节	128 字节	2.7V - 6.0V	0 - 4MHz
AT90S4433	4K 字节	256 字节	128 字节	4.0V - 6.0V	0 - 8MHz
AT90LS4433	4K 字节	256 字节	128 字节	2.7V - 6.0V	0 - 4MHz

图 1 AT90S2333/4433 结构方框图



管脚定义

VCC、GND: 电源

B 口 (PB5..PB0):

B 口是一个 6 位双向 I/O 口，每一个管脚都有内部上拉电阻。B 口的输出缓冲器能够吸收 20mA 的电流。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。

B 口作为特殊功能口的使用方法见光盘文件。

在复位过程中，B 口为三态，即使此时时钟还未起振。

C 口 (PC5..PC0):

C 口是一个 6 位双向 I/O 口，每一个管脚都有内部上拉电阻。C 口的输出缓冲器能够吸收 20mA 的电流。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。C 口还用作 ADC 的模拟输入。在复位过程中，C 口为三态，即使此时时钟还未起振。

D 口 (PD7..PD0):

D 口是一个带内部上拉电阻的 8 位双向 I/O 口。输出缓冲器能够吸收 20mA 的电流。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，D 口为三态，即使此时时钟还未起振。

D 口作为特殊功能口的使用方法见光盘文件。

/RESET: 复位输入。超过 50ns 的低电平将引起系统复位。低于 50ns 的脉冲不能保证可靠复位。

XTAL1/2: 振荡器放大器的输入/出端。

AVCC: A/D 转换器的电源。应该通过一个低通滤波器与 V_{CC} 连接。

AREF: A/D 转换器的参考电源，介于 AGND 与 AVCC 之间。

AGND: 模拟地。

5.5 AT90S4414/8515

特点

1. AVR RISC 结构
2. AVR—高性能、低功耗 RISC 结构
 - 118 条指令——大多数为单指令周期
 - 32 个 8 位通用（工作）寄存器
 - 工作在 8MHz 时具有 8MIPS 的性能
3. 数据和非易失性程序内存
 - 4K/8K 字节的在线可编程 FLASH（擦除次数：1000 次）
 - 256/512 字节 SRAM
 - 256/512 字节在线可编程 E2PROM（寿命：100000 次）
 - 程序加密位
4. 外围（Peripheral）特点
 - 一个可预分频（Prescale）的 8 位定时器/计数器
 - 一个可预分频、具有比较、捕捉和 8-, 9-, 10 位 PWM 功能的 16 位定时器/计数器
 - 片内模拟比较器
 - 可编程的看门狗定时器（由片内振荡器生成）
 - 用于下载程序的 SPI 口
 - 全双工 UART
5. 特别的 MCU 特点
 - 低功耗空闲和掉电模式
 - 内外部中断源
6. 规范（Specification）
 - 低功耗、高速 CMOS 工艺
 - 全静态工作
7. 4MHz、3V、25℃条件下的功耗：
 - 工作模式：3.0mA
 - 空闲模式：1.0mA
 - 掉电模式：<1 μ A
8. I/O 和封装
 - 32 个可编程的 I/O 脚
 - 40 脚 PDIP、PLCC 和 TQFP 封装
9. 工作电压
 - 2.7V-6.0V（AT90S4414-4 和 AT90S8515-4）
 - 4.0V-6.0V（AT90S4414-8 和 AT90S8515-8）
10. 速度
 - 0-4MHz（AT90S4414-4 和 AT90S8515-4）
 - 0-8MHz（AT90S4414-8 和 AT90S8515-8）

AVR 核将 32 个工作寄存器和丰富的指令集联结在一起。所有的工作寄存器都与 ALU（算逻单元）直接相连，允许在一个时钟周期内执行的单条指令同时访问两个独立的寄存器。这种结构提高了代码效率，使 AVR 得到了比普通 CISC 单片机高将近 10 倍的性能。

AT90S4414/8515 具有以下特点：4K/8K 字节 FLASH，256/512 字节 E2PROM，256/512 字节 SRAM，32 个通用 I/O 口，32 个通用工作寄存器，具有比较模式的灵活的定时器/计数器，内外中

断源，可编程的 UART，可编程的看门狗定时器，SPI 口以及两种可通过软件选择的省电模式。工作于空闲模式时，CPU 将停止运行，而寄存器、定时器/计数器、看门狗和中断系统继续工作；掉电模式时振荡器停止工作，所有功能都被禁止，而寄存器内容得到保留。只有外部中断或硬件复位才可以退出此状态。

器件是以 ATMEL 的高密度非易失性内存技术生产的。片内 FLASH 可以通过 ISP 接口或通用编程器多次编程。通过将增强的 RISC 8 位 CPU 与 FLASH 集成在一个芯片内，4414/8515 为许多嵌入式控制应用提供了灵活而低成本方案。

AT90S4414/8515 具有一整套的编程和系统开发工具：宏汇编、调试/仿真器、在线仿真器和 SL-AVR 编程开发实验板。

AT90S4414 和 AT90S8515 的比较

AT90S4414 具有 4K 字节程序 FLASH，256 字节 E2PROM，256 字节 SRAM。

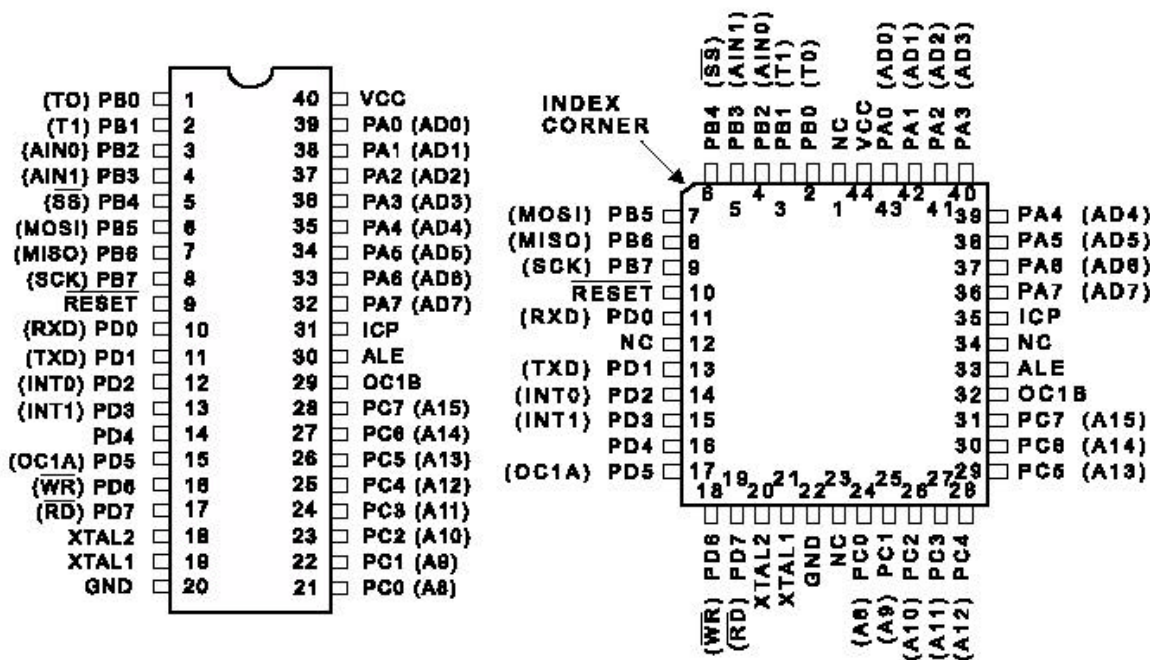
AT90S8515 具有 8K 字节程序 FLASH，512 字节 E2PROM，512 字节 SRAM。

表 1 是两个器件存储器的简单比较。

表 1 存储器比较

型号	FLASH	E2PROM	SRAM
AT90S4414	4K 字节	256 字节	256 字节
AT90S8515	8K 字节	512 字节	512 字节

管脚配置



更详细资料见第二章 AVR 单片机总体结构

5.6 AT90S4434/8535

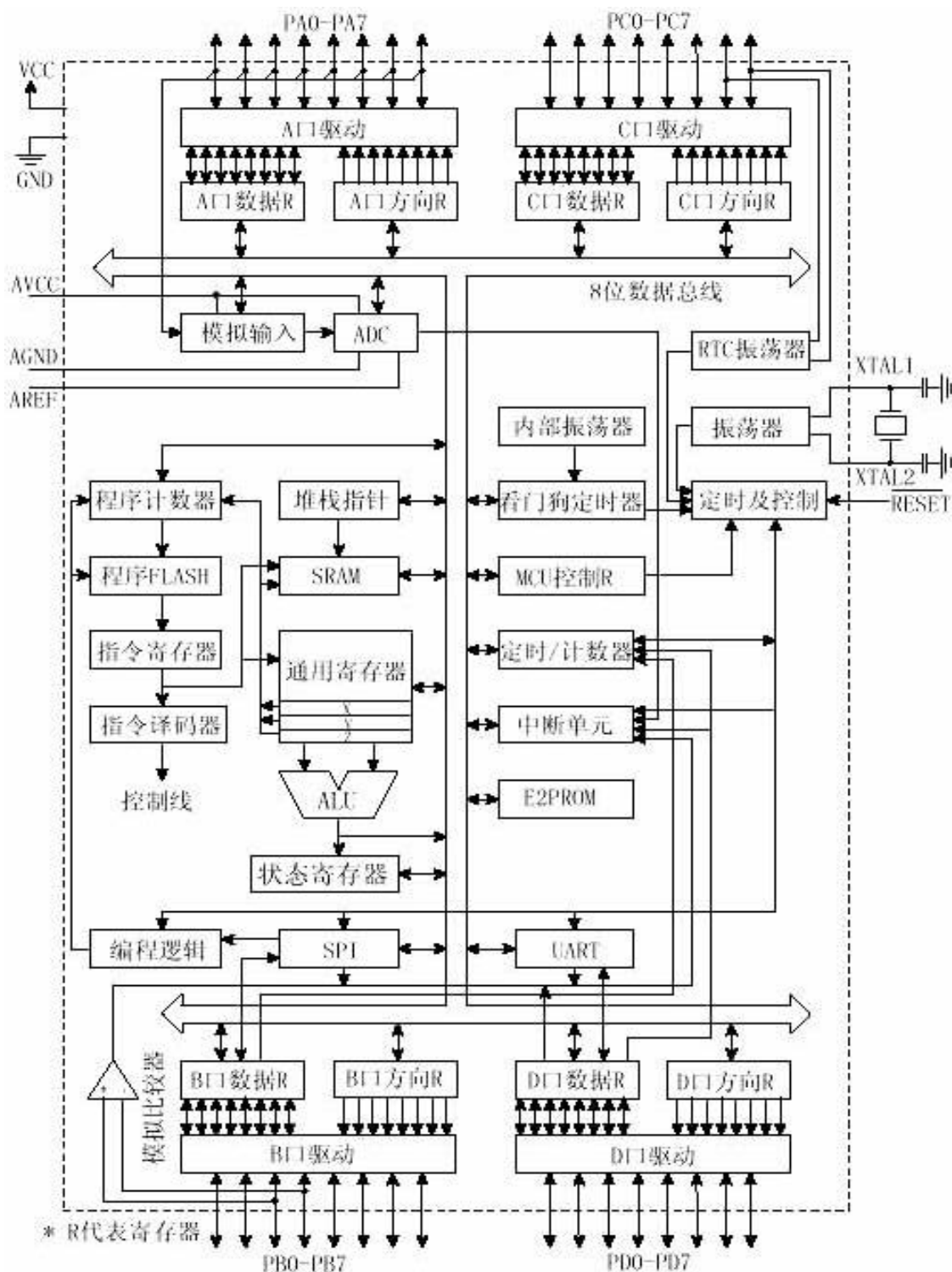
特点

10. AVR RISC 结构
11. AVR—高性能、低功耗 RISC 结构
 - 118 条指令——大多数为单指令周期
 - 32 个 8 位通用（工作）寄存器
 - 工作在 8MHz 时具有 8MIPS 的性能
12. 数据和非易失性程序内存
 - 4K/8K 字节的在线可编程 FLASH（擦除次数：1000 次）
 - 256/512 字节 SRAM
 - 256/512 字节在线可编程 E2PROM（寿命：100000 次）
 - 程序加密位
13. 外围（Peripheral）特点
 - 两个具有比较模式的可预分频（Prescale）8 位定时器/计数器
 - 一个可预分频、具有比较、捕捉和两个 8/9/10 位 PWM 功能的 16 位定时器/计数器
 - 片内模拟比较器
 - 可编程的看门狗定时器（由片内振荡器生成）
 - 8 通道 10 位 ADC
 - 全双工 UART
14. 特别的 MCU 特点
 - 上电复位电路
 - 具有记数功能、有独立振荡器的实时时钟（RTC）
 - 低功耗空闲、省电和掉电模式
 - 内外部中断源
15. 4MHz、3V、20℃条件下的功耗：
 - 工作模式：6.4mA
 - 空闲模式：1.9mA
 - 掉电模式：<1 μ A
16. I/O 和封装
 - 32 个可编程的 I/O 脚
 - 40 脚 PDIP、PLCC 和 TQFP 封装
17. 工作电压
 - 2.7V-6.0V（AT90LS4434 和 AT90LS8535）
 - 4.0V-6.0V（AT90S4434 和 AT90S8535）
18. 速度
 - 0-4MHz（AT90LS4434 和 AT90LS8535）
 - 0-8MHz（AT90S4434 和 AT90S8535）

描述

AT90S4434/8535 是一款基于 AVR RISC 的低功耗 CMOS 的 8 位单片机。通过在一个时钟周期内执行一条指令，AT90S4434/8535 可以取得接近 1MIPS/MHz 的性能，从而使得设计人员可以在功耗和执行速度之间取得平衡。

图 1 AT90S4434/8535 结构方框图



AVR 核将 32 个工作寄存器和丰富的指令集联结在一起。所有的工作寄存器都与 ALU（算逻单元）直接相连，允许在一个时钟周期内执行的单条指令同时访问两个独立的寄存器。这种结构提高了代码效率，使 AVR 得到了比普通 CISC 单片机高将近 10 倍的性能。

AT90S4434/8535 具有以下特点：4K/8K 字节 FLASH，256/512 字节 E2PROM，256/512 字节 SRAM，32 个通用 I/O 口，32 个通用工作寄存器，具有比较模式的灵活的定时器/计数器，内外中

断源，可编程的 UART，可编程的看门狗定时器，SPI 口以及三种可通过软件选择的节电模式。工作于空闲模式时，CPU 将停止运行，而寄存器、定时器/计数器、看门狗和中断系统继续工作；掉电模式时振荡器停止工作，所有功能都被禁止，而寄存器内容得到保留。只有外部中断或硬件复位才可以退出此状态。省电模式与掉电模式只有一点差别：省电模式下 T/C2 继续工作以维持时间基准。

器件是以 ATMEL 的高密度非易失性内存技术生产的。片内 FLASH 可以通过 SPI 接口或通用编程器多次编程。通过将增强的 RISC 8 位 CPU 与 FLASH 集成在一个芯片内，4434/8535 为许多嵌入式控制应用提供了灵活而低成本方案。

AT90S4434/8535 具有一整套的编程和系统开发工具：宏汇编、调试/仿真器、在线仿真器和 SL-AVR 编程开发实验器。

AT90S4434 和 AT90S8535 的比较

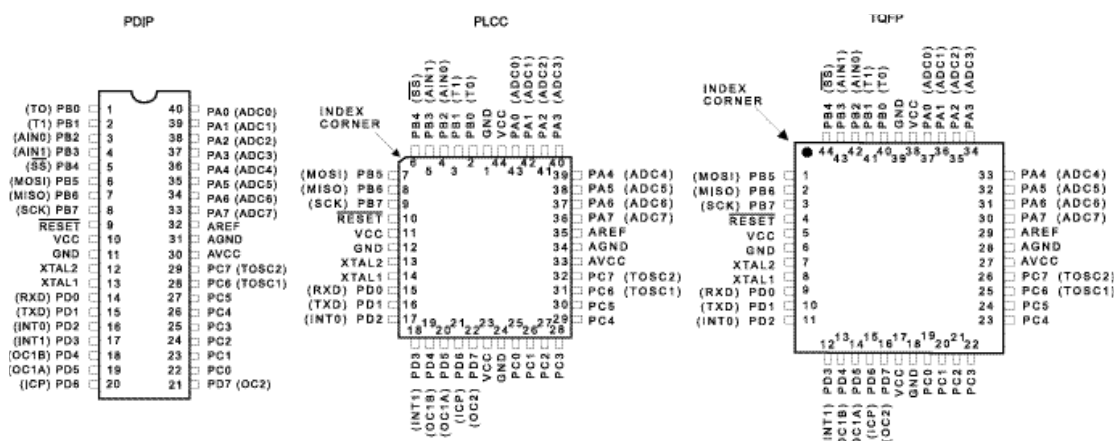
AT90S4434 具有 4K 字节程序 FLASH，256 字节 E2PROM，256 字节 SRAM。

AT90S8535 具有 8K 字节程序 FLASH，512 字节 E2PROM，512 字节 SRAM。

表 1 存储器比较

型号	FLASH	E2PROM	SRAM
AT90S4434	4K 字节	256 字节	256 字节
AT90S8535	8K 字节	512 字节	512 字节

管脚配置



管脚定义

VCC、GND: 电源

A 口 (PA7.PA0):

A 口是一个 8 位双向 I/O 口，每一个管脚都有内部上拉电阻。A 口的输出缓冲器能够吸收 20mA 的电流，可直接驱动 LED。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，A 口为三态，即使此时时钟还未起振。

A 口还可以用作 ADC 的模拟输入口。

B 口 (PB7.PB0):

B 口是一个 8 位双向 I/O 口，每一个管脚都有内部上拉电阻。B 口的输出缓冲器能够吸收 20mA 的电流，可直接驱动 LED。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，B 口为三态，即使此时时钟还未起振。

B 口作为特殊功能口的使用方法见光盘文件。

C 口 (PC7..PC0):

C 口是一个 8 位双向 I/O 口，每一个管脚都有内部上拉电阻。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。C 口的两个引脚还可以用作 T/C2 的振荡器。在复位过程中，C 口为三态，即使此时时钟还未起振。

D 口 (PD7..PD0):

D 口是一个带内部上拉电阻的 8 位双向 I/O 口。输出缓冲器能够吸收 20mA 的电流。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，D 口为三态，即使此时时钟还未起振。

D 口作为特殊功能口的使用方法见光盘文件。

/RESET: 复位输入。超过 50ns 的低电平将引起系统复位。低于 50ns 的脉冲不能保证可靠复位。

XTAL1: 振荡器放大器的输入端。

XTAL2: 振荡器放大器的输出端。

AVCC: A/D 转换器的电源。应该通过一个低通滤波器与 V_{CC} 连接。

AREF: A/D 转换器的参考电源，介于 AGND 与 AVCC 之间。

AGND: 模拟地。

晶体振荡器:

XTAL1 和 XTAL2 分别是片内振荡器的输入、输出端，可使用晶体振荡器或是陶瓷振荡器。当使用外部时钟时，XTAL2 应悬空。

图 2 振荡器连接

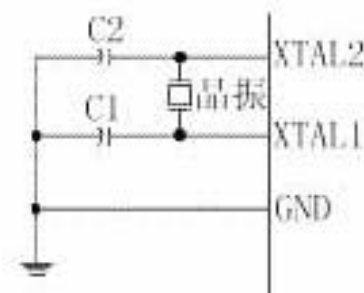
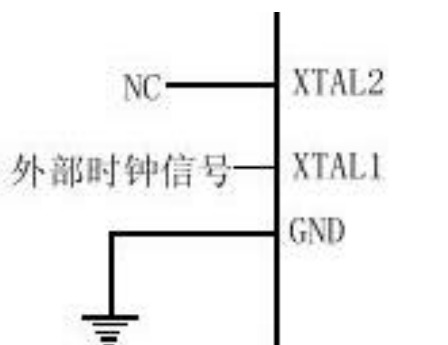
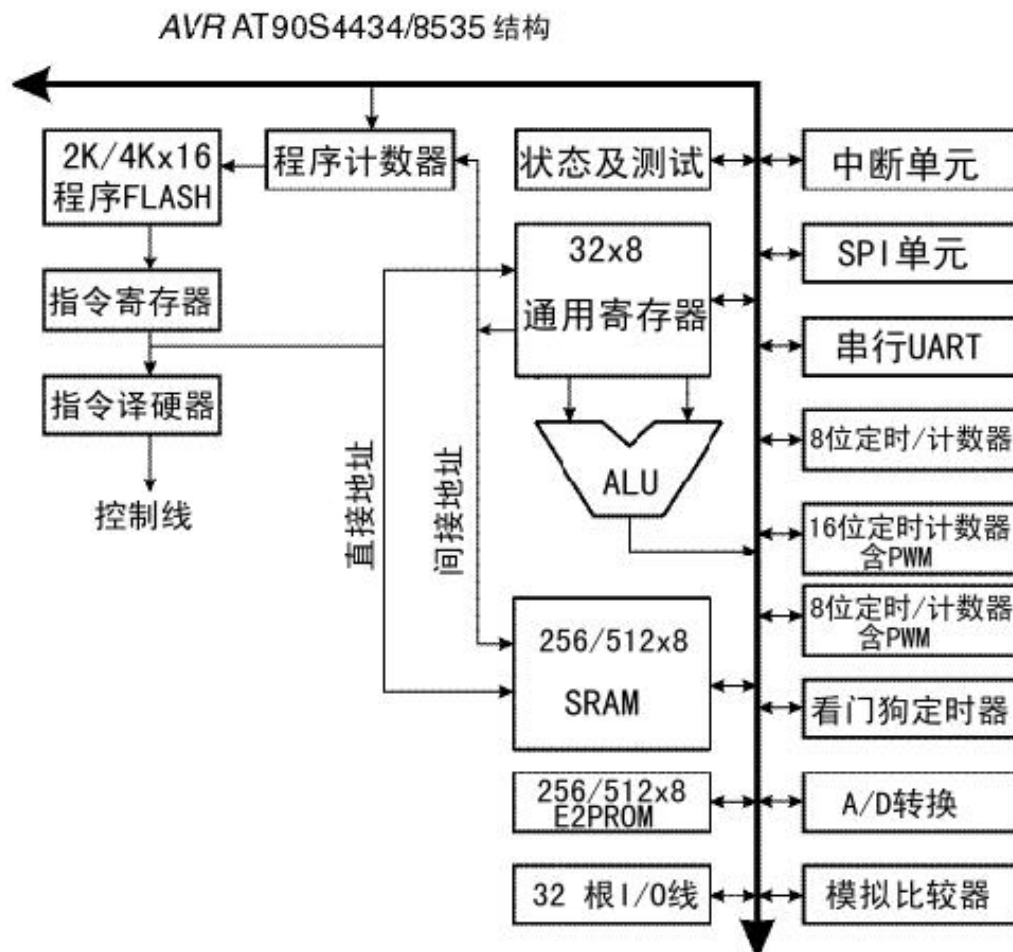


图 3 外部时钟驱动配置

**定时器振荡器:**

晶振可以直接连接到振荡器的引脚 PC6 (TOSC1) 和 PC7 (TOSC2) 而无需外部电容。振荡器已经对 32768Hz 的晶振作了优化。对外加信号的带宽为 256KHz。



结构纵览

图 4 AT90S4434/8535 AVR RISC 结构

快速访问寄存器堆包含 32 个 8 位可单周期访问的通用寄存器。这意味着在一个时钟周期内，ALU 可以完成一次如下操作：读取寄存器堆中的两个操作数，执行操作，将结果存回到寄存器堆。寄存器堆中的 6 个可以组成 3 个 16 位用于数据寻址的间接寻址寄存器指针，以提高地址运算能力。其中 Z 指针还用于查表功能。

ALU 支持两个寄存器之间、寄存器和常数之间的算术和逻辑操作，以及单寄存器的操作。除了寄存器操作模式，通常的内存访问模式也适用于寄存器堆。这是因为 AT90S4434/8535 为寄存器堆分配了 32 个最低的数据空间地址（\$00 - \$1F），允许其象普通内存地址一样访问。

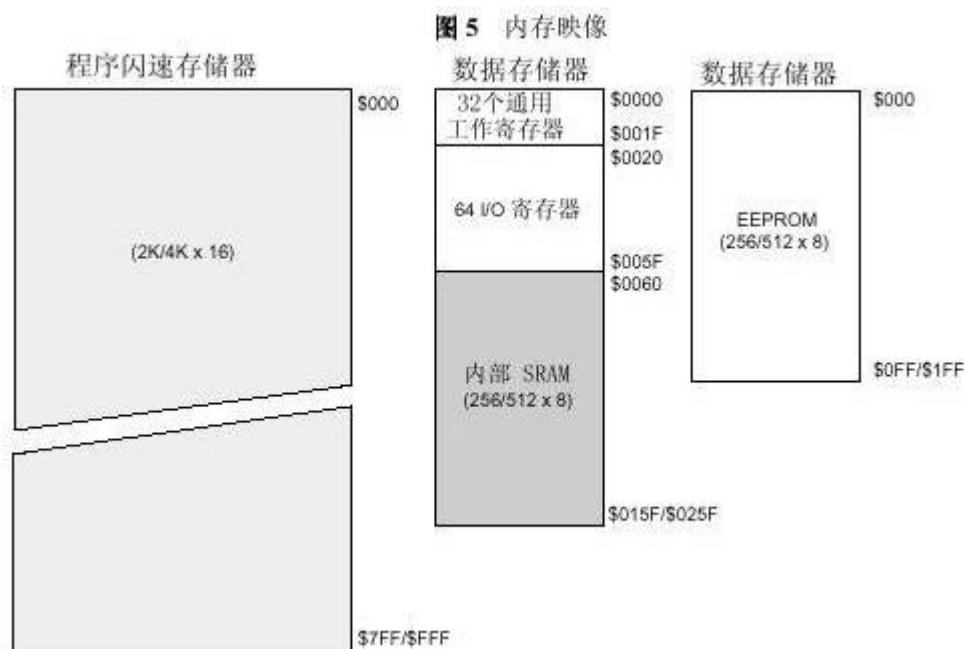
I/O 内存空间包括 64 个地址作为 CPU 外设的控制寄存器，T/C，A/D 转换器，以及其他 I/O 功能。I/O 内存可以直接访问，也可以作为数据地址（\$20 - \$5F）来访问。

AVR 采用了 HARVARD 结构：程序和数据总线分离。程序内存通过两段式的管道（Pipeline）进行访问：当 CPU 在执行一条指令的同时，就去取下一条指令。这种预取指的概念使得指令可以在一个时钟完成。

相对跳转和相对调用指令可以直接访问 2K/4K 地址空间。多数 AVR 指令都为 16 位长。每个程序内存地址都包含一条 16 位或 32 位的指令。

当执行中断和子程序调用时，返回地址存储于堆栈中。堆栈分布于通用数据 SRAM 之中，堆栈大小只受 SRAM 数量的限制。用户应该在复位例程里就初始化 SP。SP 为可读写的 16 位堆栈指针。

256/512 个 SRAM 可以通过 5 种不同的寻址方式很容易地进行访问。AVR 结构的内存空间是线性的。



中断模块由 I/O 空间中的控制寄存器和状态寄存器中的全局中断触发位组成。每个中断都具有一个中断向量，由中断向量组成的中断向量表位于程序存储区的最前面。中断向量地址低的中断具有高的优先级。

通用工作寄存器堆

图 6 通用工作寄存器

		7	0	地址	
通用 工作 寄存 器	R0			\$00	
	R1			\$01	
	R2			\$02	
	...				
	R13			\$0D	
	R14			\$0E	
	R15			\$0F	
	R16			\$10	
	R17			\$11	
	...				
	R26			\$1A	X 寄存器低字节
	R27			\$1B	X 寄存器高字节
	R28			\$1C	Y 寄存器低字节
	R29			\$1D	Y 寄存器高字节
	R30			\$1E	Z 寄存器低字节
R31			\$1F	Z 寄存器高字节	

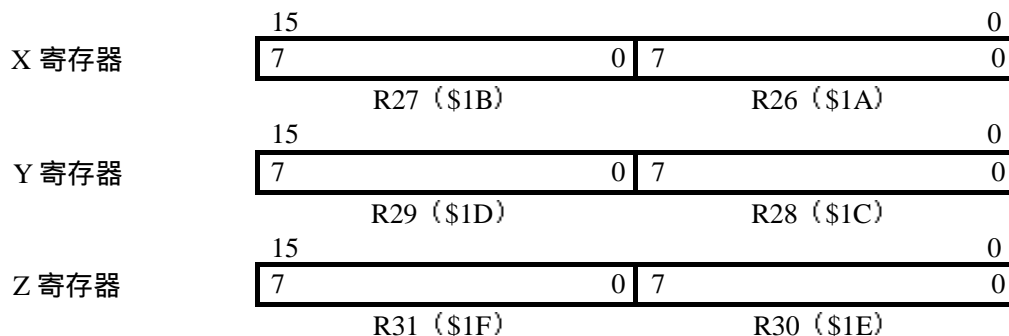
所有的寄存器操作指令都可以单指令的形式直接访问所有的寄存器。例外情况为 5 条涉及常数操作的指令：SBCI、SUBI、CPI、ANDI 和 ORI。这些指令只能访问通用寄存器堆的后半部分：R16 到 R31。

如图 6 所示，每个寄存器都有一个数据内存地址，将他们直接映射到用户数据空间的头 32 个地址。虽然寄存器堆的实现与 SRAM 不同，这种内存组织方式在访问寄存器方面具有极大的灵活性。

X、Y、Z 寄存器：

寄存器 R26~R31 除了用作通用寄存器外，还可以作为数据间接寻址用的地址指针。

图 7 X、Y、Z 寄存器



ALU

AVR ALU 与 32 个通用工作寄存器直接相连。ALU 操作分为 3 类：算术、逻辑和位操作。

在线可编程 FLASH

AT90S4434/8535 具有 4K/8K 字节的 FLASH。因为所有的指令为 16 位宽，故其 FLASH 结构为 2K×16/4K×16。FLASH 的擦除次数至少为 1000 次。

AT90S4434/8535 的程序计数器 (PC) 为 11/12 位宽，可以寻址到 2048/4096 个字的 FLASH 程序区。

SRAM

图 8 SRAM 分布

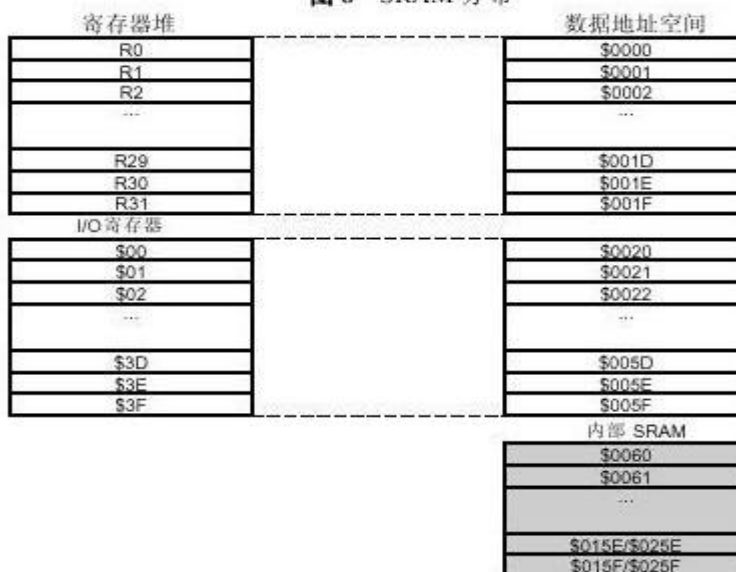


图 8 表明了 ST90S4434/8535 的数据组织方式。

352/608 个数据地址用于寻址寄存器堆，I/O 和 SRAM。起始的 96 个地址为寄存器堆+I/O，其后的 256/512 个地址用于寻址 SRAM。

数据寻址模式分为 5 种：直接，带偏移量的间接，间接，预减的间接，后加的间接。寄存器 R26 到 R31 为间接寻址的指针寄存器。

直接寻址范围可达整个数据空间。

带偏移量的间接寻址模式寻址到 Y、Z 指针给定地址附近的 63 个地址。

带预减和后加的间接寻址模式要用到 X、Y、Z 指针。

32 个通用寄存器，64 个 I/O 寄存器，256/512 字节的 SRAM 和最大可达 64K 的外部 SRAM 可以被所有的寻址模式访问。

程序和数据寻址模式 见第四章 4.2 寻址方式

AT90S4434/8535 支持强大而有效的寻址模式。

1. 单寄存器直接寻址
2. 双寄存器直接寻址
3. I/O 直接寻址
4. 数据直接寻址
5. 带偏移的数据间接寻址
6. 数据间接寻址
7. 带预减的数据间接寻址
8. 带后加的数据间接寻址
9. 使用 LPM 指令寻址常数
10. 程序直接寻址
11. 间接程序寻址，IJMP 和 ICALL
12. 相对程序寻址，RJMP 和 RCALL

E2PROM

AT90S4434/8535 包含 256/512 字节的 E2PROM。它是作为一个独立的数据空间而存在的，可以按字节读写。E2PROM 的寿命至少为 100000 次（擦除）。E2PROM 的访问由地址寄存器，数据寄存器和控制寄存器决定。

内存访问和指令执行时序 见第二章 2.3.4 存储器访问和指令执行时序

AVR CPU 由系统时钟中驱动。此时钟由外部晶体直接产生。

I/O 内存

表 2 AT90S4434/8535 的 I/O 空间

地址 (16 进制)	名称	功能
\$3F(\$5F)	SREG	状态寄存器
\$3E(\$5E)	SPH	堆栈指针高字节
\$3D(\$5D)	SPL	堆栈指针低字节
\$3B(\$5B)	GIMSK	通用中断屏蔽寄存器
\$3A(\$5A)	GIFR	通用中断标志寄存器
\$39(\$59)	TIMSK	T/C 屏蔽寄存器
\$38(\$58)	TIFR	T/C 中断标志寄存器
\$35(\$55)	MCUCR	MCU 控制寄存器
\$34(\$54)	MCUSR	MCU 状态寄存器
\$33(\$53)	TCCR0	T/C0 控制寄存器
\$32(\$52)	TCNT0	T/C0 (8 位)
\$2F(\$4F)	TCCR1A	T/C1 控制寄存器 A

\$2E(\$4E)	TCCR1B	T/C1 控制寄存器 B
\$2D(\$4D)	TCNT1H	T/C1 高字节
\$2C(\$4C)	TCNT1L	T/C1 低字节
\$2B(\$4B)	OCR1AH	T/C1 输出比较寄存器 A 高字节
\$2A(\$4A)	OCR1AL	T/C1 输出比较寄存器 A 低字节
\$29(\$49)	OCR1BH	T/C1 输出比较寄存器 B 高字节
\$28(\$48)	OCR1BL	T/C1 输出比较寄存器 B 低字节
\$27(\$47)	ICR1H	T/C1 输入捕捉寄存器高字节
\$26(\$46)	ICR1L	T/C1 输入捕捉寄存器低字节
\$25(\$45)	TCCR2	T/C2 控制寄存器
\$24(\$44)	TCNT2	T/C2 (8 位)
\$23(\$43)	OCR2	T/C2 输出比较寄存器
\$22(\$42)	ASSR	异步模式状态寄存器
\$21(\$41)	WDTCR	看门狗控制寄存器
\$1F(\$3F)	EEARH	E2PROM 高地址寄存器
\$1E(\$3E)	EEARL	E2PROM 低地址寄存器
\$1D(\$3D)	EEDR	E2PROM 数据寄存器
\$1C(\$3C)	EECR	E2PROM 控制寄存器
\$1B(\$3B)	PORTA	A 口数据寄存器
\$1A(\$3A)	DDRA	A 口数据方向寄存器
\$19(\$39)	PINA	A 口输入引脚
\$18(\$38)	PORTB	B 口数据寄存器
\$17(\$37)	DDRB	B 口数据方向寄存器
\$16(\$36)	PINB	B 口输入引脚
\$15(\$35)	PORTC	C 口数据寄存器
\$14(\$34)	DDRC	C 口数据方向寄存器
\$13(\$33)	PINC	C 口输入引脚
\$12(\$32)	PORTD	D 口数据寄存器
\$11(\$31)	DDRD	D 口数据方向寄存器
\$10(\$30)	PIND	D 口输入引脚
\$0F(\$2F)	SPDR	SPI 数据寄存器
\$0E(\$2E)	SPSR	SPI 状态寄存器
\$0D(\$2D)	SPCR	SPI 控制寄存器
\$0C(\$2C)	UDR	UART 数据寄存器
\$0B(\$2B)	USR	UART 状态寄存器
\$0A(\$2A)	UCR	UART 控制寄存器
\$09(\$29)	UBRR	UART 波特率寄存器
\$08(\$28)	ACSR	模拟比较器控制及状态寄存器
\$07(\$27)	ADMUX	ADC 多路选择寄存器
\$06(\$26)	ADCSR	ADC 控制和状态寄存器
\$05(\$25)	ADCH	ADC 数据寄存器高字节
\$04(\$24)	ADCL	ADC 数据寄存器低字节

AVR4434/8535 的所有 I/O 和外围都被放置在 I/O 空间。IN 和 OUT 指令用来访问不同的 I/O 地址，以及在 32 个通用寄存器之间传输数据。地址为 \$00-\$1F 的 I/O 寄存器还可用 SBI 和 CBI 指令进行位寻址，而 SIBC 和 SIBS 则用来检查单个位置位与否。当使用 IN 和 OUT 指令时地址必须在 \$00-\$3F 之间。如果要象 SRAM 一样访问 I/O 寄存器，则相应地址要加上 \$20。在本文档里所有 I/O 寄存器

的 SRAM 地址写在括号中。

为了与后续产品兼容，保留未用的未应写“0”，而保留的 I/O 寄存器则不应写。

一些状态标志位的清除是通过写“1”来实现的。CBI 和 SBI 指令读取已置位的标志位时，会回写“1”，因此会清除这些标志位。CBI 和 SBI 指令只对\$00-\$1F 有效。

I/O 寄存器和外围控制寄存器在后续章节介绍。

状态寄存器 SREG (Status Register)

BIT	7	6	5	4	3	2	1	0
\$3F (\$5F)	I	T	H	S	V	N	Z	C
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

I: 全局中断触发

置位时触发全局中断。单独的中断触发由个独立控制寄存器控制。如果 I 清零，则不论单独中断标志置位与否，都不会产生中断。I 在复位时清零，RETI 指令执行后置位。

T: 位拷贝存储

位拷贝指令 BLD 和 BST 利用 T 作为目的或源地址。BST 把寄存器的某一位拷贝到 T，而 BLD 把 T 拷贝到寄存器的某一位。

H: 半加标志位

S: 符号位

总是 N 与 V 的异或。

V: 二进制补码溢出标志位

N: 负数标志位

Z: 零标志位

C: 进位标志位

状态寄存器在进入中断和退出中断时并不自动进行存储和恢复。这项工作由软件完成。

堆栈指针 SP

BIT	15	14	13	12	11	10	9	8
\$3E(\$5E)	-	-	-	-	-	-	SP9	SP8
\$3D(\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
读/写	R	R	R	R	R	R	R/W	R/W
初始值	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0

堆栈指针指向位于 SRAM 的函数及中断堆栈。堆栈空间必须在调用函数或中断触发之前定义。指针必须指向高于\$60 的地址。用 PUSH 指令推数据入栈时，堆栈指针将减一，而当调用函数或中断时，指针将减二。使用 POP 指令时，堆栈指针将加一，而用 RET 或 RETI 返回时，指针将加二。

复位和中断处理

AT90S4434/8535 有 16 个中断源。每个中断源在程序空间都有一个独立的中断向量。所有的中断事件都有自己的触发位。当触发位置位，且 I 也置位的情况下，中断可以发生。

器件复位后，程序空间的最低位置自动定义为复位及中断向量。完整的中断表见表 3。在中断向量表中处于低地址的中断具有高的优先级。所以，RESET 具有最高的优先级。

表 3 复位与中断向量

向量号	程序地址	来源	定义
1	\$000	RESET	硬件管脚, 上电复位和看门狗复位
2	\$001	INT0	外部中断 0
3	\$002	INT1	外部中断 1
4	\$003	TIMER2 COMP	T/C2 比较匹配
5	\$004	TIMER2 OVF	T/C2 溢出
6	\$005	TIMER1 CAPT	T/C1 捕捉事件
7	\$006	TIMER1 COMPA	T/C1 比较匹配 A
8	\$007	TIMER1 COMPB	T/C1 比较匹配 B
9	\$008	TIMER1 OVF	T/C1 溢出
10	\$009	TIMER0 OVF	T/C0 溢出
11	\$00A	SPI, STC	串行传输结束
12	\$00B	UART, RX	UART 接收结束
13	\$00C	UART, UDRE	UART 数据寄存器空
14	\$00D	UART, TX	UART 发送结束
15	\$00E	ADC	ADC 转换结束
16	\$00F	EE_RDY	E2PROM 准备好
17	\$010	ANA_COMP	模拟比较器

设置中断向量地址最典型的方法如下:

地址	标号	代码	注释
\$000		RJMP RESET	; 复位
\$001		RJMP EXT_INT0	; IRQ0
\$002		RJMP EXT_INT1	; IRQ1
\$003		RJMP TIM2_COMP	; T2 比较匹配
\$004		RJMP TIM2_OVF	; T2 溢出
\$005		RJMP TIM1_CAPT	; T1 捕捉
\$006		RJMP TIM1_COMPA	; T1 比较 A 匹配
\$007		RJMP TIM1_COMPB	; T1 比较 B 匹配
\$008		RJMP TIM1_OVF	; T1 溢出
\$009		RJMP TIM0_OVF	; T0 溢出
\$00a		RJMP SPI_STC	; SPI 传输结束
\$00b		RJMP UART_RXC	; UART 接收结束
\$00c		RJMP UART_DRE	; UART 数据空
\$00d		RJMP UART_TXC	; UART 发送结束
\$00e		RJMP ADC	; AD 转换结束
\$00f		RJMP EE_RDY	; EEP 准备好
\$010		RJMP ANA_COMP	; 模拟比较器
;			
\$011	MAIN:	LDI R16, HIGH(REMEND)	; 主程序开始
\$012		OUT SPH, R16	
\$013		LDI R16, LOW(REMEND)	
\$014		RJMP	
\$015		<指令> XXX	
—	—	—	—

复位源 见第二章 2.4 AVR 单片机系统复位

AT90S4434/8535 有 3 个复位源:

- 上电复位。当电源电压低于上电门限 V_{POT} 时 MCU 复位。
- 外部复位。当/RESET 引脚上的低电平超过 50ns 时 MCU 复位。
- 看门狗复位。看门狗定时器超时时 MCU 复位。

中断处理:

AT90S4434/8535 有 2 个中断屏蔽控制寄存器 GIMSK—通用中断屏蔽寄存器和 TIMSK—T/C 中断屏蔽寄存器。

一个中断产生后, 全局中断触发位 I 将被清零, 后续中断被屏蔽。用户可以在中断例程里对 I 置位, 从而开放中断。执行 RETI 后 I 重新置位。

当程序计数器指向实际中断向量开始执行相应的中断例程时, 硬件清除对应的中断标志。一些中断标志位也可以通过软件写“1”来清除。

当一个符合条件的中断发生后, 如果相应的中断触发位为“0”, 则中断标志位挂起, 并一直保持到中断执行, 或者被软件清除。

如果全局中断标志被清零, 则所有的中断都不会被执行, 直到 I 置位。然后被挂起的各个中断按中断优先级依次中断。

注意: 外部电平中断没有中断标志位, 因此当电平变为非中断电平后, 中断条件即终止。

通用中断屏蔽寄存器—GIMSK

BIT	7	6	5	4	3	2	1	0
\$3B(\$5B)	INT1	INT0	-	-	-	-	-	-
读/写	R/W	R/W	R	R	R	R	R	R
初始值	0	0	0	0	0	0	0	0

位 5.0: 保留

INT1: 外部中断 1 请求触发

当 INT0 和 I 都为“1”时, 外部引脚中断触发。MCU 通用控制寄存器 (MCUCR) 中的中断检测控制位 1/0 (ISC11 和 ISC10) 定义中断 1 是上升沿中断还是下降沿中断, 或者是低电平中断。即使管脚被定义为输出, 中断仍可产生。

INT0: 外部中断 0 请求触发

当 INT0 和 I 都为“1”时, 外部引脚中断触发。MCU 通用控制寄存器 (MCUCR) 中的中断检测控制位 1/0 (ISC01 和 ISC00) 定义中断 0 是上升沿中断还是下降沿中断, 或者是低电平中断。即使管脚被定义为输出, 中断仍可产生。

通用中断标志寄存器—GIFR

BIT	7	6	5	4	3	2	1	0
\$3A(\$5A)	INTF1	INTF0	-	-	-	-	-	-
读/写	R/W	R/W	R	R	R	R	R	R
初始值	0	0	0	0	0	0	0	0

位 5.0: 保留

INTF1: 外部中断标志 1

当 INT1 管脚有事件触发中断请求时, INTF1 置位 (“1”)。如果 SREG 中的 I 及 GIMSK 中的 INT1 都为“1”, 则 MCU 将跳转到中断地址\$002。中断例程执行后, 此标志被清除。另外, 标志也可以通过对其写“1”来清除。

INTF0: 外部中断标志 0

当 INT0 管脚有事件触发中断请求时, INTF0 置位 (“1”)。如果 SREG 中的 I 及 GIMSK 中的 INT0 都为 “1”, 则 MCU 将跳转到中断地址 \$001。中断例程执行后, 此标志被清除。另外, 标志也可以通过对其写 “1” 来清除。

T/C 中断屏蔽寄存器—TIMSK

BIT	7	6	5	4	3	2	1	0
\$39(\$59)	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	-	TOIE0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
初始值	0	0	0	0	0	0	0	0

位 1: 保留

OCIE2: T/C2 输出比较匹配中断触发

当 TOIE2 和 I 都为 “1” 时, 输出比较匹配中断触发。当 T/C2 的比较匹配发生, 或 TIFR 中的 OCF2 置位, 中断例程 (\$003) 将执行。

TOIE2: T/C2 溢出中断触发

当 TOIE2 和 I 都为 “1” 时, T/C2 溢出中断触发。当 T/C2 溢出, 或 TIFR 中的 TOV2 位置位时, 中断例程 (\$004) 得到执行。

TICIE1: T/C1 输入捕捉中断触发

当 TICIE1 和 I 都为 “1” 时, 输入捕捉中断触发。当 T/C1 的输入捕捉事件发生 (ICP), 或 TIFR 中的 ICF1 置位, 中断例程 (\$005) 将执行。

OCIE1A: T/C1 输出比较 A 匹配中断触发

当 TOIE1A 和 I 都为 “1” 时, 输出比较 A 匹配中断触发。当 T/C1 的比较 A 匹配发生, 或 TIFR 中的 OCF1A 置位, 中断例程 (\$006) 将执行。

OCIE1B: T/C1 输出比较 B 匹配中断触发

当 TOIE1B 和 I 都为 “1” 时, 输出比较 B 匹配中断触发。当 T/C1 的比较 B 匹配发生, 或 TIFR 中的 OCF1B 置位, 中断例程 (\$007) 将执行。

TOIE1: T/C1 溢出中断触发

当 TOIE1 和 I 都为 “1” 时, T/C1 溢出中断触发。当 T/C1 溢出, 或 TIFR 中的 TOV1 位置位时, 中断例程 (\$008) 得到执行。

TOIE0: T/C0 溢出中断触发

当 TOIE0 和 I 都为 “1” 时, T/C0 溢出中断触发。当 T/C0 溢出, 或 TIFR 中的 TOV0 位置位时, 中断例程 (\$009) 得到执行。

T/C 中断标志寄存器—TIFR

BIT	7	6	5	4	3	2	1	0
\$38(\$58)	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	-	TOV0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
初始值	0	0	0	0	0	0	0	0

位 1: 保留

OCF2: T/C2 输出比较标志

当 T/C2 与 OCR2 的值匹配时, OCF2 置位。此位在中断例程里硬件清零, 或者通过对其写 “1” 来清零。当 SREG 中的位 I、OCIE2 和 OCF2 一同置位时, 中断例程得到执行。

TOV2: T/C2 溢出中断标志位

当 T/C2 溢出时, TOV2 置位。执行相应的中断例程后此位硬件清零。此外, TOV2 也可以通过写 “1” 来清零。当 SREG 中的位 I、TOIE2 和 TOV2 一同置位时, 中断例程得到执行。在 PWM

模式中，当 T/C2 在 \$0000 改变记数方向时，TOV2 置位。

ICF1: 输入捕捉标志位

当输入捕捉事件发生时，ICF1 置位，表明 T/C1 的值已经送到输入捕捉寄存器 ICR1。此位在中断例程里硬件清零，或者通过对其写“1”来清零。当 SREG 中的位 I、TICIE1A 和 ICF1 一同置位时，中断例程得到执行。

OCF1A: 输出比较标志 1A

当 T/C1 与 OCR1A 的值匹配时，OCF1A 置位。此位在中断例程里硬件清零，或者通过对其写“1”来清零。当 SREG 中的位 I、OCIE1A 和 OCF1A 一同置位时，中断例程得到执行。

OCF1B: 输出比较标志 1B

当 T/C1 与 OCR1B 的值匹配时，OCF1B 置位。此位在中断例程里硬件清零，或者通过对其写“1”来清零。当 SREG 中的位 I、OCIE1B 和 OCF1B 一同置位时，中断例程得到执行。

TOV1: T/C1 溢出中断标志位

当 T/C1 溢出时，TOV1 置位。执行相应的中断例程后此位硬件清零。此外，TOV1 也可以通过写“1”来清零。当 SREG 中的位 I、TOIE1 和 TOV1 一同置位时，中断例程得到执行。在 PWM 模式中，当 T/C1 在 \$0000 改变记数方向时，TOV1 置位。

TOV0: T/C0 溢出中断标志位

当 T/C0 溢出时，TOV0 置位。执行相应的中断例程后此位硬件清零。此外，TOV0 也可以通过写“1”来清零。当 SREG 中的位 I、TOIE0 和 TOV0 一同置位时，中断例程得到执行。

外部中断:

外部中断由 INT0 和 INT1 引脚触发。应当注意，如果中断触发，则即使 INT0/INT1 配置为输出，中断照样会被触发。此特点提供了一个产生软件中断的方法。触发方式可以为上升沿，下降沿或低电平。这些设置由 MCU 控制寄存器 MCUCR 决定。当设置为低电平触发时，只要电平为低，中断就一直触发。

中断响应时间:

AVR 中断响应时间最少为 4 个时钟周期。在这 4 个时钟期间，PC (2 个字节) 自动入栈，而 SP 减 2。在通常情况下，中断向量为一个相对跳转指令，此跳转要花 2 个时钟周期。如果中断在一个多周期指令执行期间发生，则在此多周期指令执行完后 MCU 才会执行中断程序。

中断返回亦需 4 个时钟。在此期间，PC 将被弹出栈，SREG 的位 I 被置位。如果在中断期间发生了其他中断，则 AVR 在退出中断程序后，要执行一条主程序指令之后才能再响应被挂起的中断。

要注意 AVR 硬件在中断或子程序中并不操作状态寄存器—SREG。SREG 的存储由用户软件完成。

对于那些由可以保持为静态的事件（如输出比较寄存器 1 与 T/C1 值相匹配）驱动的中断，事件发生后中断标志将置位。如果中断标志被清除而中断条件仍然存在，则标志只有在新事件发生后才会置位。外部电平中断会一直保持到中断条件结束。

MCU 控制寄存器—MCUCR

BIT	7	6	5	4	3	2	1	0
\$35(\$55)	-	SE	SM1	SM0	ISC11	ISC10	ISC01	ISC00-
读/写	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

位 1: 保留

SE: 休眠触发

执行 SLEEP 指令时，SE 必须置位才能使 MCU 进入休眠模式。为了防止无意间使 MCU 进入休眠，建议与 SLEEP 指令相连使用。

SM1/0: 休眠模式

此位用于选择休眠模式。

表 8 睡眠模式选择

SM1	SM0	睡眠模式
0	0	空闲
0	1	保留
1	0	掉电
1	1	省电

ISC11, ISC10: 中断检测控制 1 位 1 和位 0

选择 INT1 中断的边沿或电平，如下表所示：

表 9 中断 1 检测控制

ISC11	ISC10	描述
0	0	低电平中断
0	1	保留
1	0	下降沿中断
1	1	上升沿中断

注意：改变 ISC11/ISC10 时，首先要禁止 INT1（清除 GIMSK 的 INT1 位），否则可能引发不必要的中断。

ISC01, ISC00: 中断检测控制 0 位 1 和位 0

表 10 中断 0 检测控制

ISC01	ISC00	描述
0	0	低电平中断
0	1	保留
1	0	下降沿中断
1	1	上升沿中断

注意：改变 ISC01/ISC00 时，首先要禁止 INT0（清除 GIMSK 的 INT0 位），否则可能引发不必要的中断。

INT_n 引脚的电平在检测边沿之前采样。如果边沿中断触发，则大于一个 MCU 时钟的脉冲将触发中断。如果选择了低电平触发，则此电平必须保持到当前执行的指令结束。

节电方式 见第二章 2.6 AVR 单片机节电方式

休眠模式

闲置模式：

掉电模式：

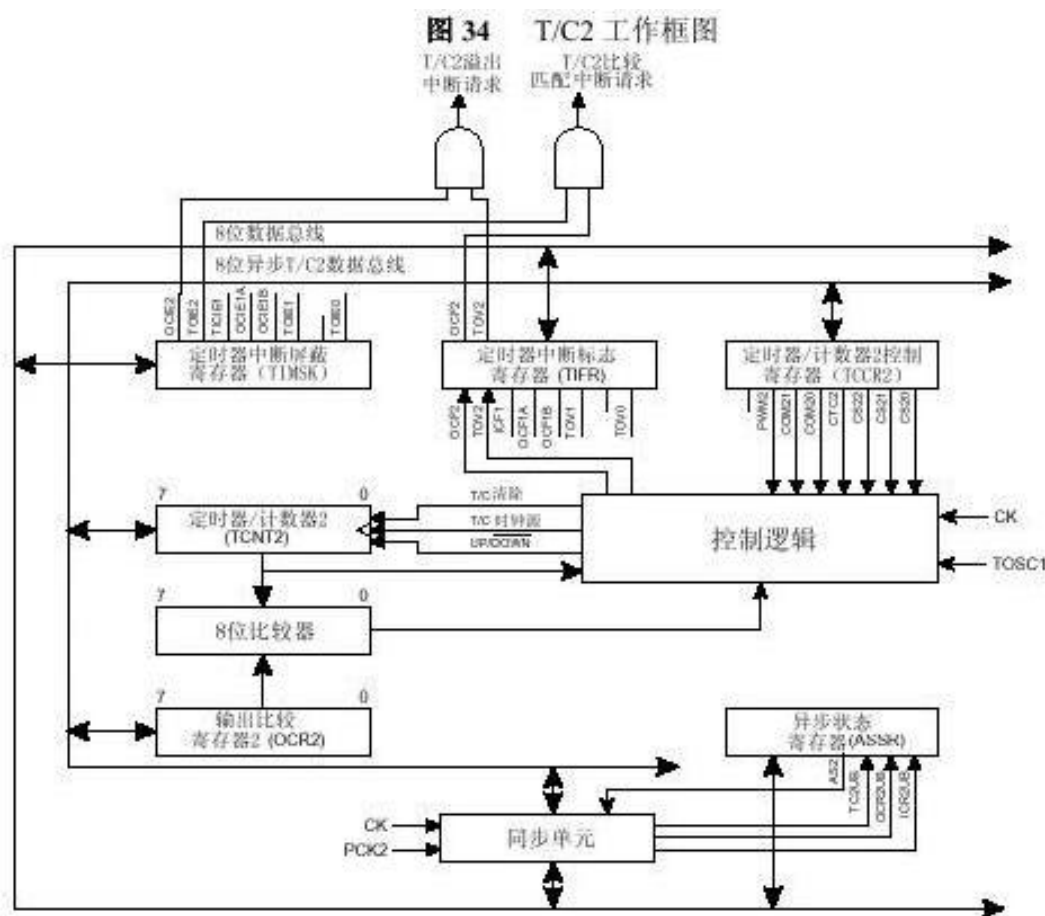
省电模式：

定时器/计数器

8 位 T/C0 和 16 位 T/C1 见第二章 2.7 AVR 单片机定时器/计数器

8 位 T/C2

图 34 为 T/C2 的框图。



T/C2 的时钟可以选择 PCK2 或预分频的 PCK2。另外还可以由 T/C2 控制寄存器 TCCR2 来停止它。TIFR 为状态标志寄存器，TCCR2 为控制寄存器，而 TIMSK 控制 T/C2 的中断屏蔽。在低预分频条件下，T/C2 具有高分辨率和高精度的特点；而在高预分频条件下，T/C2 非常适用于低速功能，如计时。

利用输出比较寄存器 OCR2 作为数据源，T/C2 还可以实现输出比较的功能。此功能包括比较匹配发生时清除计数器和比较输出引脚 PD7 (OC2) 的动作。

T/C1 还可以用作 8 位 PWM 调制器。在此模式下，计数器和 OCR2 寄存器用于无尖峰干扰的中心对称的 PWM。

T/C0 控制寄存器—TCCR2

BIT	7	6	5	4	3	2	1	0
\$25(\$45)	-	PWM2	COM21	COM20	CTC2	CS22	CS21	CS20
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

位 7: 保留

PWM2: PWM 触发

COM21/20: 比较匹配模式位 1/0

表 18 比较模式选择

COM21	COM20	OC2
0	0	不用作 PWM 功能
0	1	OC2 输出变换
1	0	OC2 清零
1	1	OC2 置位

CTC2: 比较匹配时清除 T/C2

CTC2 为“1”时，比较匹配事件发生后，T/C2 将复位为 0。若 CTC2 为“0”，则 T/C2 将继续计数而不受比较匹配的影响。由于比较匹配事件的检测发生在匹配发生之后的一个 CPU 时钟，故而定时器的预分频比率的不同将引起此功能有不同的表现。当预分频为 1，比较匹配寄存器的值设置为 C 时，定时器的记数方式为：

..|.C-2 | C-1 | C | 0 | 1 | ...

而当预分频为 8 时，定时器的记数方式则为：

..|. C-2, C-2, C-2, C-2, C-2, C-2, C-2, C-2 | C-1, C-1, C-1, C-1, C-1, C-1, C-1, C-1 | C, 0, 0, 0, 0, 0, 0, 0 | ...

在 PWM 模式下，这一位没有作用。

CS02、CS01、CS00: 时钟选择

表 19 T/C2 预分频选择

CS02	CS01	CS00	描述
0	0	0	停止
0	0	1	PCK2
0	1	0	PCK2/8
0	1	1	PCK2/32
1	0	0	PCK2/64
1	0	1	PCK2/128
1	1	0	PCK2/256
1	1	1	PCK2/1024

停止条件提供了一个定时器触发/禁止的功能。预分频的 PCK2 直接由时钟振荡器分频而来。

T/C2—TCNT2

BIT	7	6	5	4	3	2	1	0
\$24(\$44)	MSB							LSB
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

T/C2 是可以进行读/写访问的向上计数器。只要有时钟输入，T/C2 就会在写入的值基础上向上计数。

T/C2 输出比较寄存器—OCR2

BIT	7	6	5	4	3	2	1	0
\$23(\$43)	MSB							LSB
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

T/C2 输出比较寄存器包含与 T/C2 值连续比较的数据。如果 T/C2 的值与 OCR2 相等，则比较匹配发生。结果由 TCCR2 决定。用软件写操作将 TCNT2 和 OCR2 设置为相等不会引发比较匹配。匹配发生后匹配中断标志置位。

PWM 模式下的 T/C2:

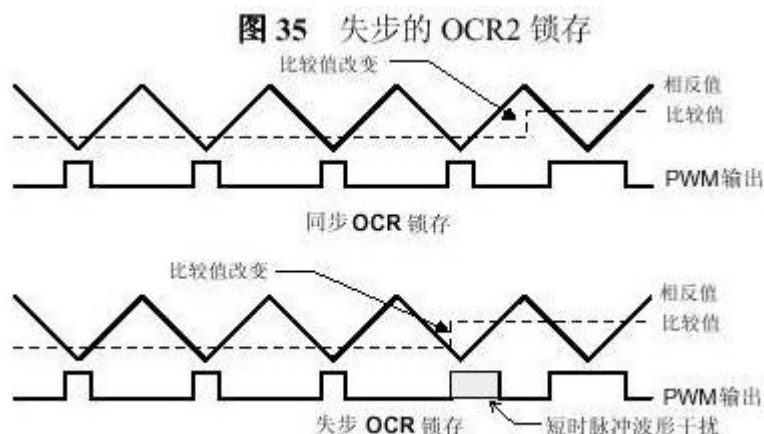
选择 PWM 模式后，T/C2 和输出比较寄存器 OCR2 共同组成一个 8 位的无尖峰的自由运行的 PWM。T/C2 作为上/下计数器，从 0 记数到 TOP，然后反向记数回到 0。当计数器中的数值和 OCR2 的数

值一致时，OCR2 引脚按照 COM21/COM20 的设置动作。

表 20 PWM 模式下的比较模式选择

COM21	COM20	OC2
0	0	不用作 PWM 功能
0	1	不用作 PWM 功能
1	0	向上记数时的匹配清除 OC2; 而向下记数时的匹配置位 OC2 (正向 PWM)
1	1	向下记数时的匹配清除 OC2; 而向上记数时的匹配置位 OC2 (反向 PWM)

注意：在 PWM 模式下，OCR2 首先存储在一个临时的位置，等到 T/C2 达到 TOP 时才真正存入 OCR2。这样可以防止在写 OCR2 时由于失步而出现奇数长度的 PWM 脉冲。



如果在执行写和锁存操作的时候读取 OCR2，读到的是临时位置的数据。

OCR2 的值为 \$0000 或 TOP 时 OC1 的输出见表 21。

表 21 OCR2=\$0000 或 TOP 时的 PWM 输出

COM21	COM20	OCR2	输出
1	0	\$0000	L
1	0	TOP	H
1	1	\$0000	H
1	1	TOP	L

在 PWM 模式下，当计数器达到 \$00 时将置位 TOV2。此时发生的中断与正常情况下的中断是完全一样的。

异步状态寄存器—ASSR

BIT	7	6	5	4	3	2	1	0
\$22(\$42)	-	-	-	-	AS2	TCN2UB	OCR2UB	TCR2UB
读/写	R	R	R	R	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

位 7.4: 保留

AS2: 异步 T/C2

当 AS2 置位时，T/C2 由 TOSC1 驱动。PC6 和 PC7 连接到晶体振荡器，不能用作普通 I/O。若 AS2 为“0”，则 T/C2 由内部系统时钟驱动。这一位变化时有可能 TCNT2，OCR2 和 TCCR2 的数据破坏。

TCN2UB: T/C2 更新忙

T/C2 工作于异步模式时，写 TCNT2 将引起 TCN2UB 置位。当 TCNT2 从暂存寄存器更新完毕后 TCN2UB 由硬件清零。TCN2UB 为“0”表明 TCNT2 可以写入新值了。

OCR2UB: 输出比较寄存器 2 更新忙

T/C2 工作于异步模式时，写 OCR2 将引起 OCR2UB 置位。当 OCR2 从暂存寄存器更新完毕后 OCR2UB 由硬件清零。OCR2UB 为“0”表明 OCR2 可以写入新值了。

TCR2UB: T/C 控制寄存器 2 更新忙

T/C2 工作于异步模式时，写 TCCR2 将引起 TCR2UB 置位。当 TCCR2 从暂存寄存器更新完毕后 TCR2UB 由硬件清零。TCR2UB 为“0”表明 TCCR2 可以写入新值了。

如果在更新忙标志置位的时候写上述任何一个寄存器都将引起数据的破坏，并引发不必要的中断。

对 TCNT2, OCR2 和 TCCR2 进行读取的机制是不同的。读到的 TCNT2 为实际的值，而 OCR2 和 TCCR2 则是从暂存寄存器中读取的。

T/C2 的异步操作

T/C2 异步工作时要考虑如下几点。

警告：在同步和异步模式之间的转换有可能造成 TCNT2、OCR2、TCCR2 数据的损毁。安全的步骤应该是：

- 1、关闭 T/C2 的中断 OCIE2 和 TOIE2。
 - 2、设置 AS2 以选择合适的时钟源。
 - 3、TCNT2, OCR2 和 TCCR2 写入新的数值。
 - 4、等待 TCN2UB, OCR2UB 和 TCR2UB 清零。
 - 5、必要的话，开启中断。
- 振荡器对 32768Hz 的晶振进行了优化，其对外部输入时钟信号的带宽为 256kHz。因此对外部输入的时钟信号不能高于 256kHz。另外，此信号还不能高于系统主时钟的 1/4。
 - 写 TCNT2, OCR2 和 TCCR2 时数据首先传到暂存寄存器，两个 TOSC1 正跳变后才锁存。用户在数据从暂存寄存器写入目的寄存器之前不能写入新的数值。3 个寄存器具有各自独立的暂存寄存器，因此写 TCNT2 不会干扰写 OCR2。可以通过 ASSR 检查数据是否已经写入到目的寄存器。
 - 如果要用 T/C2 作为 MCU 的唤醒条件，则在 TCNT2, OCR2 和 TCCR2 更新结束之前不能进入省电模式，否则 MCU 可能会在 T/C2 设置生效之前进入休眠模式。这对于用 T/C2 的比较匹配中断唤醒 MCU 尤其重要。因为在更新 OCR2 或 TCNT2 时比较匹配时禁止的。如果在更新过程中 MCU 进入休眠模式，则比较匹配中断永远不会发生。
 - 如果要用 T/C2 作为省电模式的唤醒条件，必须注意重新进入省电模式的过程。中断逻辑需要一个 TOSC1 周期进行复位。如果从唤醒到重新进入休眠的时间小于一个 TOSC1 周期，中断将不再发生，器件再也无法唤醒。如果用户怀疑自己程序是否满足这一条件，则可以采取如下方法：
 - 1、对 TCNT2, OCR2 和 TCCR2 写入一个合适的值
 - 2、等待更新忙标志变低
 - 3、进入省电模式
 - 若选择了异步工作模式，T/C2 的振荡器将一直工作，除非进入掉电模式。用户应该注意，此振荡器的稳定时间可能长达 1 秒钟。因此，建议用户在器件从掉电模式唤醒或上电时至少等待 1 秒钟后再使用 T/C2。
 - 省电模式唤醒过程：中断条件满足后，在下一个定时器时钟里唤醒过程启动。在 MCU 时钟启动后的 3 个周期，中断标志置位。在此期间，MCU 执行其他指令，但中断条件还不可读，

中断例程也不会执行。

- 在异步模式下，中断标志的同步需要 3 个处理器周期加一个定时器周期。输出比较引脚的变化与定时器时钟同步，而不是处理器时钟。

看门狗定时器 见第二章 2.7.4 看门狗定时器

看门狗定时器由片内独立的振荡器驱动。

E2PROM 读/写 见第二章 2.8 AVR 单片机 E2PROM 读写访问

E2PROM 访问寄存器位于 I/O 空间。

写 EEP 的时间与电压有关，大概在 2.5~4ms 之间。自定时功能可以让用户监测何时开始写下一字节。如果用户要操作 E2PROM，应当注意如下问题：在电源滤波时间常数比较大的电路中，上电/下电时 V_{CC} 上升/下降会比较慢。此时 MCU 将工作于低于晶振所要求的电源电压。在这种情况下，程序指针有可能跑飞，并执行 EEP 写指令。为了保证 EEP 的数据完整性，建议使用电压复位电路。

串行外设接口—SPI 见第二章 2.9 AVR 单片机串行接口

串行外设接口 SPI 允许 AT90S4434/8535 和外设之间进行高速的同步数据传输。AT90S4434/8535 SPI 的特点如下：

- 全双工，3 线同步数据传输
- 主从操作
- LSB 在先或 MSB 在先
- 4 种可编程的比特率
- 传输结束中断
- 写碰撞标志检测
- 可以从闲置模式唤醒（作为从机工作时）

UART 见第二章 2.9.2 通用串行接口 UART

AT90S4434/8535 具有全双工通用异步收发器。其主要特点为：

- 波特率发生器可以产生大量的波特率（bps）
- 在低时钟下仍然可以得到高的波特率
- 8 或 9 位数据
- 噪声滤波
- 过速检测
- 帧错误检测
- 错误起始位检测
- 3 个独立的中断：发送结束，发送数据寄存器空，接收结束

模拟比较器 见第二章 2.10 AVR 单片机模拟比较器

模拟比较器比较正输入端 PB2（AIN0）和负输入端 PB3（AIN1）的值。如果 PB2（AIN0）的

电压高于 PB3 (AIN1) 的值, 比较器的输出 ACO 将置位。此输出可用来触发模拟比较器中断 (上升沿、下降沿或电平变换), 也可以触发 T/C1 的输入捕捉功能。

模数转换器

AT90S8535 的 10 位 A/D 转换应用程序实例见第七章 7.4.1 10 位 A/D 转换及 7.4.8 AT90S8535 的 0-7 通道 A/D 转换。

特点:

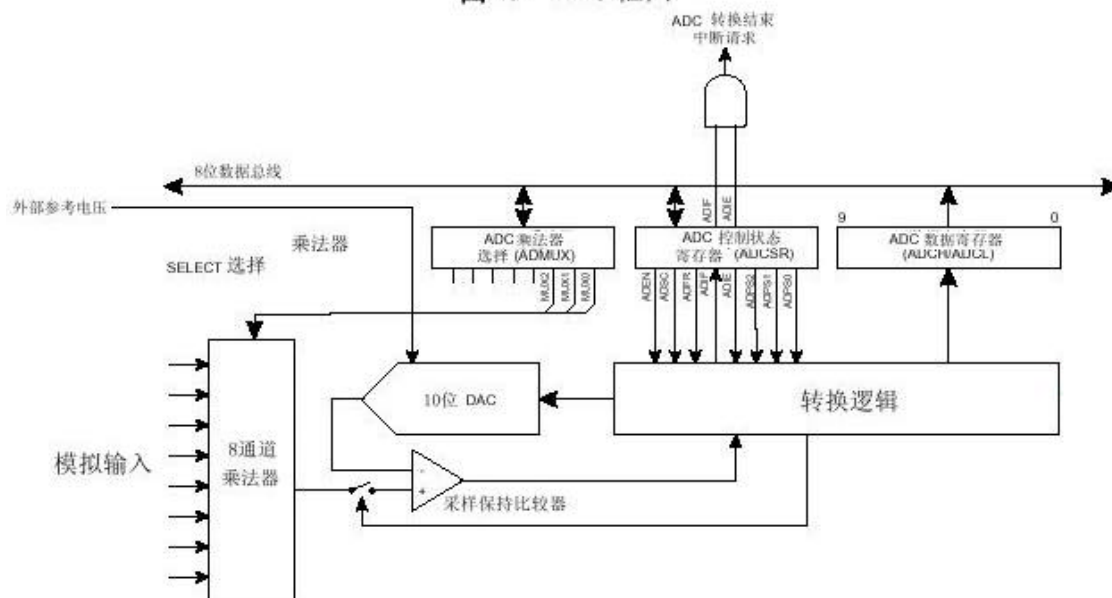
- 10 位精度
- $\pm 2\text{LSB}$ 精确度
- 0.5LSB 集成非线性度
- 65 - 260 μs 转换时间
- 8 通道
- 轨到轨输入范围
- 自由运行模式和单次转换模式
- ADC 转换结束中断
- 睡眠模式噪声消除

AT90S4434/8535 具有 10 位精度的逐次逼近型 AD 转换器。ADC 与一个 8 通道的模拟多路器相连, 这样就允许 A 口作为 ADC 的输入引脚。ADC 包含一个采保放大器。ADC 框图见图 45。

ADC 具有两个电源引脚 AV_{CC} 和 $AGND$ 。AGND 必须与 GND 相连, AV_{CC} 与 V_{CC} 的差别不能大于 $\pm 0.3\text{V}$ 。

AREF 为外部参考电压输入端。此电压介于 $AGND - AV_{CC}$ 。

图 45 ADC 框图



操作

ADC 可以工作于两种模式—单次转换及自由运行方式。在单次转换模式下，用户必须启动每一次转换；而在自由运行方式下，ADC 会连续采样并更新 ADC 数据寄存器。ADCSR 的 ADFR 位用于选择模式。

ADC 由 ADCSR 的 ADEN 位控制触发。触发 ADC 后，第一次转换将引发一次哑转换过程以初始化 ADC，然后才真正进行 AD 转换。对用户而言，此次转换过程比其他转换过程要多 12 个 ADC 时钟周期。

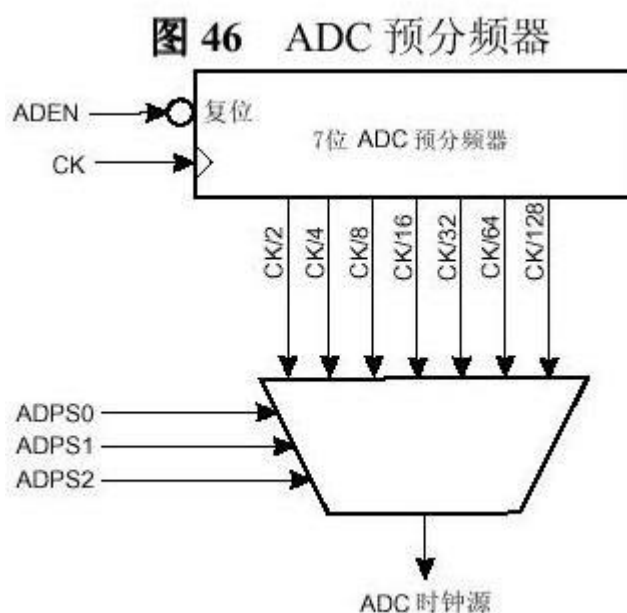
ADSC 置位将启动 AD 转换。在转换过程中 ADSC 一直保持为高；转换结束后 ADSC 硬件清零。如果在转换过程当中通道改变了，ADC 首先要完成当前的转换，然后通道才会改变。

ADC 产生 10 位的结果，ADCH 和 ADCL。为了保证正确读取数据，系统采用了如下保护逻辑：

读数据时，首先要读 ADCL。一旦开始读 ADCL，ADC 对数据寄存器的访问就被禁止了。也就是说，如果读取了 ADCL，那么即使在读 ADCH 之前另一次 ADC 结束了，两个寄存器的值也不会被新的 ADC 结果更新，此次转换的数据将丢失。当读完 ADCH 之后，ADC 才能继续对 ADCH 和 ADCL 进行访问。

ADC 结束后会置位 ADIF。即使发生如上所说的由于 ADCH 未被读取而丢失转换数据的情况，ADC 结束中断仍将触发。

预分频器



ADC 有一个预分频器，可以将系统时钟调整到可接受的 ADC 时钟（50 – 200kHz）。过高的频率将导致低的采样精度。

ADCSR 的 ADPS0 – ADPS2 用于产生合适的 ADC 时钟。一旦 ADCSR 的 ADEN 置位，预分频器就开始连续不断地记数，直到 ADEN 清零。ADSC 的作用是对 ADC 进行初始化。AD 转换在 ADC 时钟的上升沿启动。采样-保持要花费 1.5 倍 ADC 时钟。在第 13 个时钟 ADC 转换结束，数据进入 ADC 数据寄存器。对于单次转换模式，在进行下一次转换时需要一个额外的 ADC 时钟，如图 47 所示。然后转换可继续进行，如果此时 ADSC 为“1”的话。而在自由运行模式下，ADC

结果写入寄存器后立即进行下一次转换。工作于 200kHz 的自由运行模式具有最快的转换速度： $65\mu s$ ，亦即 15.4kSPS (Samplings Per Second)。转换时序见表 27。

图 47 首次转换的时序 (单次转换模式)

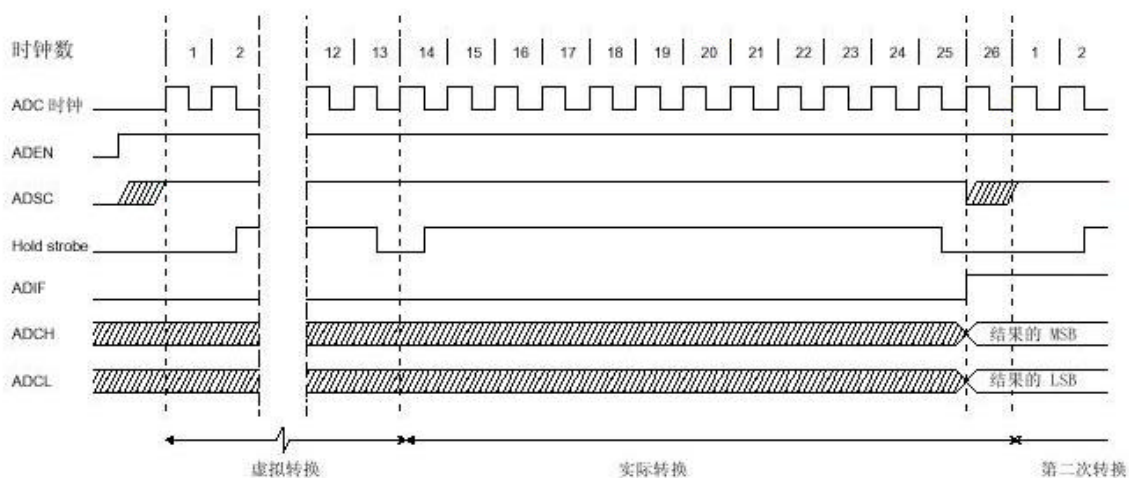


表 27 ADC 时序

条 件	采样周期	得到结果的周期	总的转换周期数	总的转换时间* (μs)
第一次转换, 自由运行	14	25	25	125 - 500
第一次转换, 单次转换	14	25	26	130 - 520
自由运行模式	2	13	13	65 - 260
单次转换模式	2	13	14	70 - 280

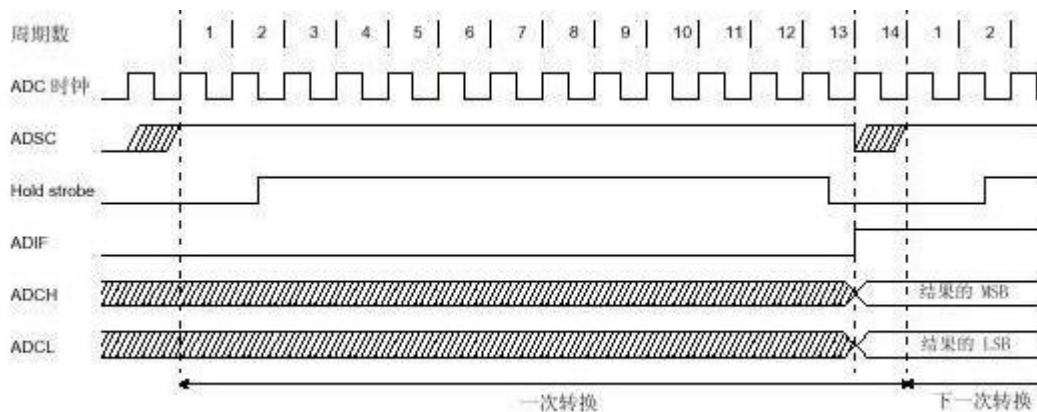
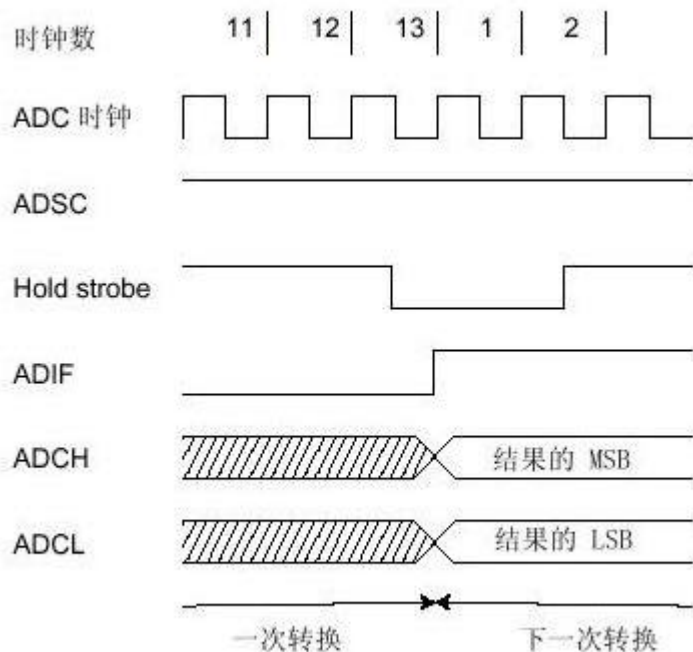


图 48 单次转换的时序

图 49 自由运行的时序



ADC 噪声抑制功能

ADC 具有消除由 CPU 核引入的噪声的功能。实现过程如下：

- 1、 触发 ADC，选择单次转换模式，并触发转换结束中断

ADEN = 1

ADSC = 0

ADFR = 0

ADIE = 1

- 2、 进入空闲状态。一旦 CPU 停止，ADC 将开始转换。

- 3、 如果在 ADC 转换结束中断之前没有发生其他中断，则 ADC 转换结束中断将唤醒

MCU 并执行中断例程。

ADC 多址选择寄存器—ADMUX

BIT	7	6	5	4	3	2	1	0
\$07(\$27)	-	-	-	-	-	MUX2	MUX1	MUX0
读/写	R	R	R	R	R	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

位 7.3：保留

MUX2.MUX0：模拟通道选择位

用于选择 ADC 的模拟输入通道 0 - 7

ADC 控制和状态寄存器—ADCSR

BIT	7	6	5	4	3	2	1	0
\$06(\$26)	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS 2	ADPS 1	ADPS 0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

ADEN: ADC 触发

ADSC: ADC 开始转换

当 ADC 工作于单次转换模式时，这一位必须设置为“1”以启动每一次转换。而对于自由运行模式，则只需在第一次转换时设置一次。不论设置动作是在 ADEN 置位之后还是一同进行，ADC 都将进行一次哑转换以初始化 ADC。

转换过程中 ADSC 保持为高。实际转换过程结束后，但在转换结果进入 ADC 数据寄存器之前（差一个 ADC 时钟），ADSC 变为低。这样就允许在当前转换完成之前（ADSC 变低之时）对下一次转换进行初始化，一旦当前转换彻底完成立即就可以进行新的一次转换过程。在哑转换过程当中，ADSC 保持为高。

对 ADSC 写零没有意义。

ADFR: ADC 自由运行模式选择

这一位置位后 ADC 工作于自由运行模式。ADC 将连续不断地进行采样和数据更新。

ADIF: ADC 中断标志

ADC 完成及数据更新完成后 ADIF 置位。如果 I 和 ADIE 置位，则 ADC 结束中断发生。在中断例程里 ADIF 硬件清零。写“1”也可以对其清零。因此要注意对 ADCSR 执行读-修改-写操作时会挂起的中断

ADIE: ADC 中断触发

ADPS2.ADPS0: ADC 预分频器选择

表 28 ADC 预分频器选择

ADPS2	ADPS1	ADPS0	分频因子
0	0	0	2
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

ADC 数据寄存器—ADCL 和 ADCH

BIT	15	14	13	12	11	10	9	8
\$05(\$25)	-	-	-	-	-	-	ADC9	ADC8
\$04(\$24)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
	7	6	5	4	3	2	1	0
读/写	R	R	R	R	R	R	R	R
	R	R	R	R	R	R	R	R
初始值	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0

ADCL 要先于 ADCH 读取。

扫描多个通道

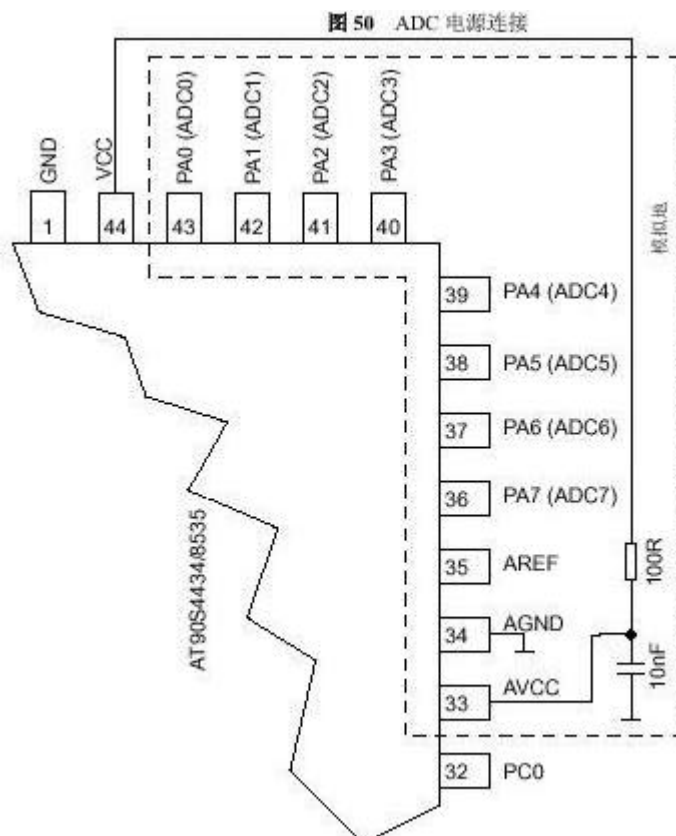
由于模拟通道的转换总是要延迟到转换结束，因此自由运行模式可以用来扫描多个通道而不中断转换器。一般情况下，ADC 转换结束中断用于修改通道，但需注意：

中断在转换结果可读时触发。在自由运行模式下，下一次转换在中断触发的同时启动。在 ADC 中断触发/新一次转换开始后改变 ADMUX 将不起作用。

ADC 噪声消除技术

AT90S4434/8535 的内外部数字电路会产生 EMI，从而影响模拟测量精度。如果转换精度要求很高，则需要应用如下技术以减少噪声：

- 1、 AT90S4434/8535 的模拟部分及其他模拟器件在 PCB 上要有独立的地线层。模拟地线与数字地线单点相连。
- 2、 使模拟信号通路尽量短。要使模拟走线在模拟地上通过，并尽量远离高速数字通路。
- 3、 AV_{CC} 要通过一个 RC 网络连接到 V_{CC} 。
- 4、 利用 ADC 的噪声消除技术减少 CPU 引入的噪声。
- 5、 如果 A 口的一些引脚用作数字输出口，则在 ADC 转换过程中不要改变其状态。



注意：由于 AV_{CC} 同时也为 A 口输出驱动提供电源，因此，如果 A 口有输出引脚，则 RC 网络不要使用。

ADC 特性 ($T_A = -40^{\circ}\text{C} - 85^{\circ}\text{C}$)

符号	参数	条件	Min	典型值	Max	单位
	精度			10		Bit
	绝对精度	$V_{REF} = 4V_{ADC}$ 时钟 = 200kHz		1	2	LSB
	绝对精度	$V_{REF} = 4V_{ADC}$ 时钟 = 1MHz		4		LSB
	绝对精度	$V_{REF} = 4V_{ADC}$ 时钟 = 2MHz		16		LSB
	整体非线性	$V_{REF} > 2V$		0.5		LSB
	差分非线性	$V_{REF} > 2V$		0.5		LSB
	零误差 (偏移)			1		LSB
	转换时间		65		260	μs
	时钟频率		50		2	kHz

					00	
V_{CC}	模拟电源		$V_{CC} - 3^{(1)}$		$V_{CC} + 0.3^{(2)}$	V
V_{REF}	参考电源		AGND		V_{CC}	V
R_{REF}	参考输入电阻		6	10	13	K Ω
R_{AIN}	模拟输入电阻			100		M Ω

注：1、 V_{CC} 的最小值为 2.7V

2、 V_{CC} 的最大值为 6.0V

I/O 口 见第二章 2.11 AVR 单片机 I/O 口

所有 AVR I/O 端口都具有真正的读-修改-写功能。这意味着用 SBI 或 CBI 指令改变某些管脚的方向（值、禁止/触发、上拉）时不会无意地改变其他管脚的方向（值、禁止/触发、上拉）。

A 口

A 口是 8 位双向 I/O 口。A 口有 3 个 I/O 地址：数据寄存器—PORTA，\$1B (\$3B)，数据方向寄存器—DDRA，\$1A (\$3A) 和输入引脚—PINA，\$19 (\$39)。PORTA 和 DDRA 可读可写，PINA 只可读。所有的管脚都可以单独选择上拉电阻。引脚缓冲器可以吸收 20mA 的电流，能够直接驱动 LED。当管脚被拉低时，如果上拉电阻已经激活，则引脚会输出电流。A 口的第二功能是 ADC 的模拟输入端。如果 A 口的一些引脚用作数字输出口，则在 ADC 转换过程中不要改变其状态，否则会破坏转换结果。在掉电模式时，数字输入的施密特触发器与引脚相断开。这样接近 $V_{CC}/2$ 的模拟输入就不会造成大的功耗。

A 口数据寄存器—PORTA

BIT	7	6	5	4	3	2	1	0
\$1B(\$3B)	PORTA7							PORTA0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

A 口数据方向寄存器—DDRA

BIT	7	6	5	4	3	2	1	0
\$1A(\$3A)	DDA7							DDA0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

A 口输入引脚地址—PINA

BIT	7	6	5	4	3	2	1	0
\$19(\$39)	PINA7							PINA0
读/写	R	R	R	R	R	R	R	R
初始值	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

PINA 不是一个寄存器，这个地址用来访问 A 口的物理值。读取 PORTA 时，读到的是 A 口锁存的数据；而读取 PINA 时，读到的是施加于引脚上的逻辑数值。

A 口用作通用数字 I/O

作为通用数字 I/O 时，A 口的 8 个管脚具有相同的功能。

PAn ，通用 I/O 引脚； $DDAn$ 中的 $DDAn$ 选择引脚的方向。如果 $DDAn$ 为“1”，则 PAn 为输出脚；如果 $DDAn$ 为“0”，则 PAn 为输入脚。在复位期间，A 口为三态口。

表 29 A 口的配置

DDAn	PORTAn	I/O	上拉	注释
0	0	输入	N	三态（高阻）
0	1	输入	Y	外部拉低时会输出电流
1	0	输出	N	推挽 0 输出
1	1	输出	N	推挽 1 输出

n: 7, 6, 0, 引脚号

B 口

B 口是 8 位双向 I/O 口。B 口有 3 个 I/O 地址：数据寄存器—PORTB，\$18 (\$38)，数据方向寄存器—DDRB，\$17 (\$37) 和输入引脚—PINB，\$16 (\$36)。PORTB 和 DDRB 可读可写，PINB 只可读。所有的管脚都可以单独选择上拉电阻。引脚缓冲器可以吸收 20mA 的电流，能够直接驱动 LED。当管脚被拉低时，如果上拉电阻已经激活，则引脚会输出电流。

B 口的第二功能如下表所示：

表 30 B 口第二功能

管脚	第二功能
PB0	T0 (T/C0 外部记数输入)
PB1	T1 (T/C1 外部记数输入)
PB2	AIN0 (模拟比较器正输入端)
PB3	AIN1 (模拟比较器负输入端)
PB4	/SS (SPI 从机选择)
PB5	MOSI (程序下载时的数据输入线)
PB6	MISO (程序下载时的数据输出线)
PB7	SCK (串行时钟)

当使用 B 口的第二功能时，DDRB 和 PORTB 要设置成对应的值。

B 口数据寄存器—PORTB

BIT	7	6	5	4	3	2	1	0
\$18(\$38)	PORTB7							PORTB0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

B 口数据方向寄存器—DDRB

BIT	7	6	5	4	3	2	1	0
\$17(\$37)	DDB7							DDB0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

B 口输入引脚地址—PINB

BIT	7	6	5	4	3	2	1	0
\$16(\$36)	PINB7							PINB0
读/写	R	R	R	R	R	R	R	R
初始值	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

PINB 不是一个寄存器，这个地址用来访问 B 口的物理值。读取 PORTB 时，读到的是 B 口锁存的数据；而读取 PINB 时，读到的是施加于引脚上的逻辑数值。

B 口用作通用数字 I/O

作为通用数字 I/O 时，B 口的 8 个管脚具有相同的功能。

PBn，通用 I/O 引脚；DDRB 中的 DDBn 选择引脚的方向。如果 DDBn 为“1”，则 PBn 为输出脚；如果 DDBn 为“0”，则 PBn 为输入脚。在复位期间，B 口为三态口。

表 31 B 口的配置

DDBn	PORTBn	I/O	上拉	注释
0	0	输入	N	三态（高阻）
0	1	输入	Y	外部拉低时会输出电流
1	0	输出	N	推挽 0 输出
1	1	输出	N	推挽 1 输出

n: 7, 6, 0, 引脚号

B 口的第二功能

- SCK—PB7
SPI 的主机时钟输出，从机时钟输入。配置为从机时，此引脚配置为输入而不管 DDB7 的值。而当 SPI 为主机时，SCK 的配置由 PB7 和 DDB7 控制。
- MISO—PB6
SPI 的主机数据输入，从机数据输出。配置为主机时，此引脚配置为输入而不管 DDB6 的值。而当 SPI 为主机时，MISO 的配置由 PB6 和 DDB6 控制。
- MOSI—PB5
SPI 的主机数据输出，从机数据输入。配置为从机时，此引脚配置为输入而不管 DDB5 的值。而当 SPI 为主机时，MOSI 的配置由 PB5 和 DDB5 控制。
- /SS—PB4
从机选择信号。配置为从机时，此引脚配置为输入而不管 DDB4 的值。/SS 为低将激活 SPI。配置为主机时，此引脚的方向由 DDB4 控制。如果 DDB4 为“1”，则上拉仍然可以由 PORTB4 控制。
- AIN1—PB3
当配置为输入（DDB2=3），无上拉电阻（PB3=0）时，为模拟比较器的负输入端
- AIN0—PB2
当配置为输入（DDB2=0），无上拉电阻（PB2=0）时，为模拟比较器的正输入端
- T1—PB1 T/C1 的外部记数输入
- T0—PB0 T/C0 的外部记数输入

C 口

C 口是 8 位双向 I/O 口。

C 口有 3 个 I/O 地址：数据寄存器—PORTC，\$15 (\$35)，数据方向寄存器—DDRC，\$14 (\$34) 和输入引脚—PINC，\$13 (\$33)。PORTC 和 DDRC 可读可写，PINC 只可读。

所有的管脚都可以单独选择上拉电阻。引脚缓冲器可以吸收 20mA 的电流，能够直接驱动 LED。当管脚被拉低时，如果上拉电阻已经激活，则引脚会输出电流。

C 口数据寄存器—PORTC

BIT	7	6	5	4	3	2	1	0
\$15(\$35)	PORTC7							PORTC0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

C 口数据方向寄存器—DDRC

BIT	7	6	5	4	3	2	1	0
\$14(\$34)	DDC7							DDC0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

C 口输入引脚地址—PINC

BIT	7	6	5	4	3	2	1	0
\$13(\$33)	PINC7							PINC0
读/写	R	R	R	R	R	R	R	R
初始值	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

PINC 不是一个寄存器，这个地址用来访问 C 口的物理值。读取 PORTC 时，读到的是 C 口锁存的数据；而读取 PINC 时，读到的是施加于引脚上的逻辑数值。

C 口用作通用数字 I/O

作为通用数字 I/O 时，C 口的 8 个管脚具有相同的功能。

PC_n，通用 I/O 引脚：DDRC 中的 DDC_n 选择引脚的方向。如果 DDC_n 为“1”，则 PC_n 为输出脚；如果 DDC_n 为“0”，则 PC_n 为输入脚。在复位期间，C 口为三态口。

表 32 C 口的配置

DDC _n	PORTC _n	I/O	上拉	注释
0	0	输入	N	三态（高阻）
0	1	输入	Y	外部拉低时会输出电流
1	0	输出	N	推挽 0 输出
1	1	输出	N	推挽 1 输出

n: 7, 6, 0, 引脚号

D 口

D 口是 8 位双向 I/O 口。

D 口有 3 个 I/O 地址：数据寄存器—PORTD，\$12 (\$32)，数据方向寄存器—DDRD，\$11 (\$31) 和输入引脚—PIND，\$10 (\$30)。PORTD 和 DDRD 可读可写，PIND 只可读。

D 口的引脚缓冲器可以吸收 20mA 的电流，能够直接驱动 LED。当管脚被拉低时，如果上拉电阻已经激活，则引脚会输出电流。

D 口的第二功能如下表所示：

表 33 D 口第二功能

管脚	第二功能
PD0	RXD (UART 接收引脚)
PD1	TXD (UART 发送引脚)
PD2	INT0 (外部中断 0 输入)
PD3	INT1 (外部中断 1 输入)
PD5	OC1A (T/C1 输出比较 A 匹配输出)
PD6	/WR
PD7	/RD

D 口数据寄存器—PORTD

BIT	7	6	5	4	3	2	1	0
\$12(\$32)	PORTD7							PORTD0

读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
D 口数据方向寄存器—DDRD								
BIT	7	6	5	4	3	2	1	0
\$11(\$31)	DDD7							DDD0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
D 口输入引脚地址—PIND								
BIT	7	6	5	4	3	2	1	0
\$10(\$30)	PIND7							PIND0
读/写	R	R	R	R	R	R	R	R
初始值	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z

PIND 不是一个寄存器，这个地址用来访问 D 口的物理值。读取 PORTD 时，读到的是 D 口锁存的数据；而读取 PIND 时，读到的是施加于引脚上的逻辑数值。

D 口用作通用数字 I/O

PD_n，通用 I/O 引脚：DDRD 中的 DDD_n 选择引脚的方向。如果 DDD_n 为“1”，则 PD_n 为输出脚；如果 DDD_n 为“0”，则 PD_n 为输入脚。在复位期间，D 口为三态口。

表 34 D 口的配置

DDD _n	PORTD _n	I/O	上拉	注释
0	0	输入	N	三态（高阻）
0	1	输入	Y	外部拉低时会输出电流
1	0	输出	N	推挽 0 输出
1	1	输出	N	推挽 1 输出

n: 6..0, 引脚号

D 口的第二功能

- /RD—PD7
- /WR—PD6
- OC1A—PD5
PD5 可以用作 T/C1 比较匹配的外部输出。此时 PD5 必须配置为输出。OC1A 也是 PWM 的输出引脚。
- INT1—PD3
外部中断源 1
- INT0—PB2
外部中断源 0
- TXD—PD1
发送数据引脚。发送器触发后，引脚自动配置为输出而不管 DDR1。
- RXD—PD0
接收数据引脚。接收器触发后，引脚自动配置为输入而不管 DDR0。若此时 PORTD0 为“1”，则上拉有效。

程序编程 见第二章 2.12 AVR 单片机存储器编程

指令系统 见附录 4

5.7 ATmega83/163

特点

1. 高性能，低功耗的 AVR 结构
2. 先进的 RISC 结构
 - ATmega83: 128 条指令——大多数为单指令周期
 - Atmega163: 130 条指令——大多数为单指令周期
 - 32 个 8 位通用（工作）寄存器
 - 工作在 8MHz 时具有 8MIPS 的性能
 - 2 个周期的硬件乘法器
3. 数据和非易失性程序内存
 - ATmega83: 8K 字节的在线可编程 FLASH（擦除次数：1000 次）
 - ATmega163: 16K 字节的在线可编程 FLASH（擦除次数：1000 次）
 - Boot 代码区具有独立的 Lock Bits，In-System-Programming 可通过 Boot 代码完成（自编程的概念）
 - 512 字节在线可编程 E2PROM（寿命：100,000 次）
 - ATmega83: 512 字节 SRAM
 - ATmega163: 1024 字节 SRAM
 - 程序加密位
4. 外围（Peripheral）特点
 - 两个具有比较模式的可预分频（Prescale）8 位定时器/计数器
 - 1 个可预分频、具有比较、捕捉功能的 16 位定时器/计数器
 - 具有独立振荡器的实时时钟
 - 3 个 PWM 通道
 - 8 通道，10 位 ADC
 - 8 个单端通道
 - 7 个差分通道
 - 2 个具有可编程增益（1, 10, 200）的差分通道
 - I²C 接口
 - 可编程的 UART
 - 主/从 SPI 接口
 - 可编程的看门狗定时器（由片内振荡器生成）
 - 片内模拟比较器
5. 特别的 MCU 特点
 - 上电复位及可编程的掉电检测电路
 - 可标度的内部 RC 振荡器
 - 内外部中断源
 - 4 种睡眠模式：空闲、ADC 噪声抑制、省电和掉电模式
6. I/O 和封装
 - 32 个可编程的 I/O 脚
 - 40 脚 PDIP、44 脚 PLCC 和 TQFP 封装
7. 工作电压
 - 2.7V-5.5V（ATmega83L/163L）

—4.0V-5.5V (ATmega83/163)

8. 速度

—0-4MHz (ATmega83L/163L)

—0-8MHz (ATmega83/163)

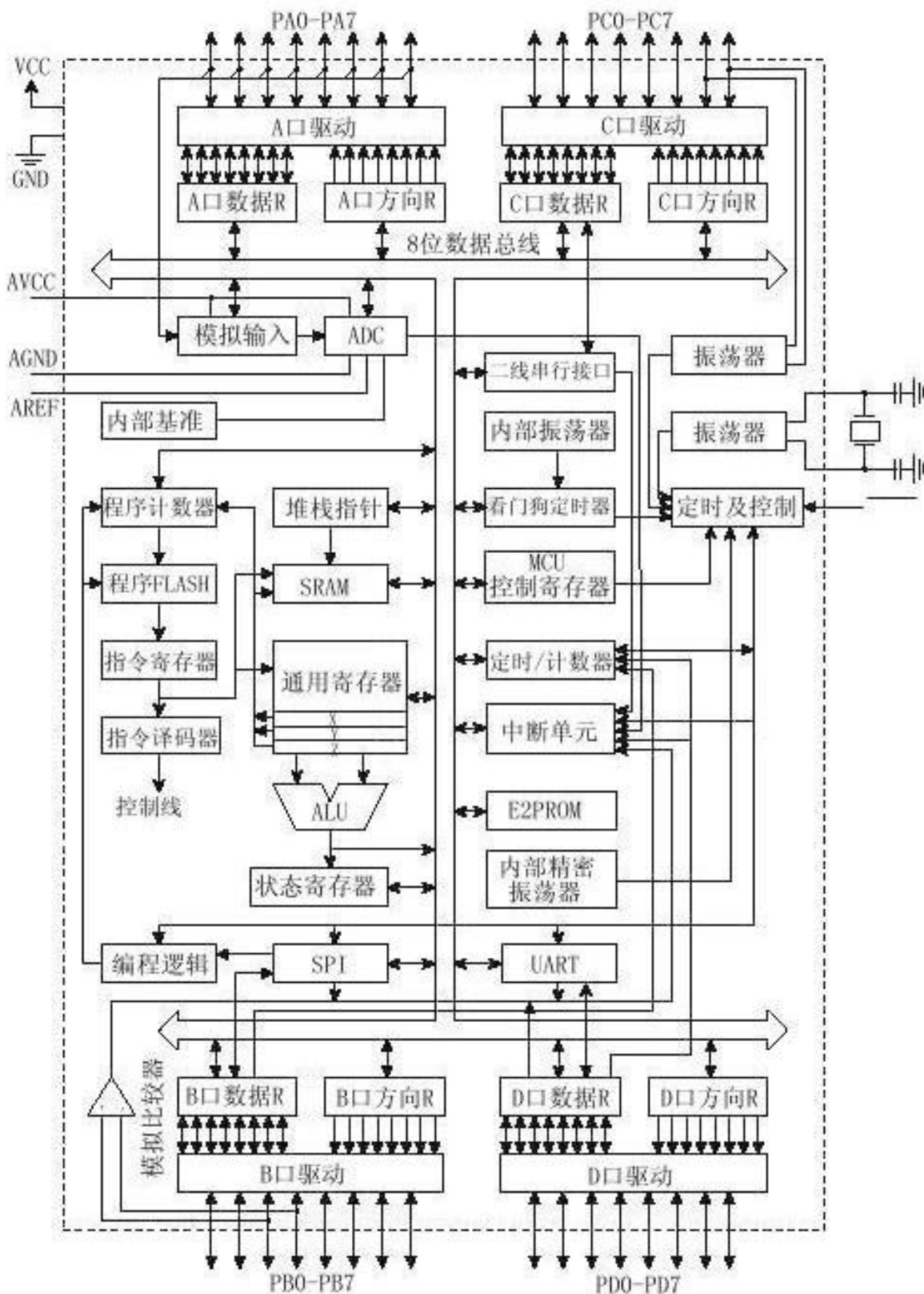


图 1 ATmega83/163 结构方框图

描述

ATmega83/163 是一款基于 AVR RISC 的低功耗 CMOS 的 8 位单片机。通过在一个时钟周期内执行一条指令，ATmega83/163 可以取得接近 1MIPS/MHz 的性能，从而使得设计人员可以在功耗和执行速度之间取得平衡。AVR 核将 32 个工作寄存器和丰富的指令集联结在一起。所有的工作寄存器都与 ALU（算逻单元）直接相连，允许在一个时钟周期内执行的单条指令同时访问两个独立的寄存器。这种结构提高了代码效率，使 AVR 得到了比普通 CISC 单片机高将近 10 倍的性能。

ATmega83/163 具有以下特点：

8K/16K 字节在线编程/自编的 FLASH，512 字节 E2PROM，512/1024 字节存储器，32 个通用 I/O 口，32 个通用工作寄存器，实时时钟 RTC，3 个具有比较模式的灵活的定时器/计数器，内外中断源，8 位的 I²C 总线接口，8 通道 10 位 ADC（1 个为差分输入，增益可调），可编程的看门狗定时器，SPI 口以及四种可通过软件选择的节电模式。工作于空闲模式时，CPU 将停止运行，而 SRAM、定时器/计数器、看门狗和中断系统继续工作；掉电模式时振荡器停止工作，所有功能都被禁止，而寄存器内容得到保留。只有外部中断或硬件复位才可以退出此状态。

省电模式与掉电模式只有一点差别：省电模式下 T/C2 继续工作以维持时间基准。在 ADC 噪声抑制模式下 CPU 及其他 I/O 模块停止，只有 ADC 和异步定时器 T/C2 工作，以减小 ADC 转换过程中的开关噪声。

器件是以 ATMEL 的高密度非易失性内存技术生产的。片内 FLASH 可以通过 SPI 接口、通用编程器及 BOOT 程序进行编程。BOOT 程序可以利用任一接口来下载应用程序到应用 FLASH 区。通过将增强的 RISC 8 位 CPU 与 FLASH 集成在一个芯片内，ATmega83/163 为许多嵌入式控制应用提供了灵活而低成本方案。

ATmega83/163 具有一整套的编程和系统开发工具：宏汇编、调试/仿真器、在线仿真器和 SL-AVR 编程开发实验器。

ATmega83 与 ATmega163 的比较

ATmega83 具有 8K 字节的系统内可编程 Flash 和 512 字节的 SRAM。ATmega163 具有 16K 字节的系统内可编程 Flash 和 1024 字节的 SRAM。二者都有 512 字节的 E2PROM。由于 ATmega163 的 FLASH 大于 8K，故而需要 JMP 和 CALL 指令。由于 JMP 指令占用两个字，因此，ATmega163 的中断向量为两个字长，而 ATmega83 的中断向量为一个字长。

表 1 列出了两者的异同。

Table 1 存储器大小及特点

Feature	ATmega83	ATmega163
Flash	8K 字节	16K 字节
E2PROM	512 字节	512 字节
SRAM	512 字节	1024 字节
JMP/CALL	不支持	支持
中断向量	1 个字	2 个字

管脚配置

管脚同 AT90S4434/8535

管脚定义

VCC、GND: 电源

A 口 (PA7.PA0):

A 口为 ADC 的模拟输入。如果 AD 功能禁止, 则 A 口是一个 8 位双向 I/O 口, 每一个管脚都有内部上拉电阻。A 口的输出缓冲器能够吸收 20mA 的电流, 可直接驱动 LED。当作为输入时, 如果外部被拉低, 由于上拉电阻的存在, 管脚将输出电流。在复位过程中, A 口为三态, 即使此时时钟还未起振。

B 口 (PB7.PB0):

B 口是一个 8 位双向 I/O 口, 每一个管脚都有内部上拉电阻。B 口的输出缓冲器能够吸收 20mA 的电流, 可直接驱动 LED。当作为输入时, 如果外部被拉低, 由于上拉电阻的存在, 管脚将输出电流。在复位过程中, B 口为三态, 即使此时时钟还未起振。

B 口作为特殊功能口的使用方法见光盘文件。

C 口 (PC7.PC0):

C 口是一个 8 位双向 I/O 口, 每一个管脚都有内部上拉电阻。C 口的输出缓冲器能够吸收 20mA 的电流。当作为输入时, 如果外部被拉低, 由于上拉电阻的存在, 管脚将输出电流。C 口的两个引脚还可以作为 T/C2 的振荡器引脚。在复位过程中, C 口为三态, 即使此时时钟还未起振。

D 口 (PD7.PD0):

D 口是一个带内部上拉电阻的 8 位双向 I/O 口。输出缓冲器能够吸收 20mA 的电流。当作为输入时, 如果外部被拉低, 由于上拉电阻的存在, 管脚将输出电流。在复位过程中, D 口为三态, 即使此时时钟还未起振。

D 口作为特殊功能口的使用方法见光盘文件。

/RESET: 复位输入。在振荡器起振的前提下, 超过两个时钟的低电平将产生复位信号。

XTAL1: 振荡器放大器的输入端。

XTAL2: 振荡器放大器的输出端。

AVCC: A/D 转换器的电源。应该通过一个低通滤波器与 V_{CC} 连接。

AREF: A/D 转换器的参考电源, 介于 AGND 与 AVCC 之间。

AGND: 模拟地。

时钟选择

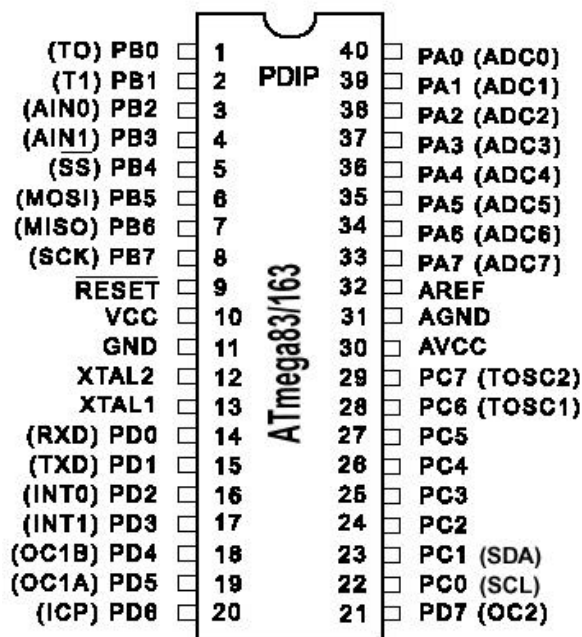
在熔丝位的控制下, 器件可有如下的时钟选项:

表2 时钟选项

时钟选项	CKSEL3..0
外部晶振/陶瓷振荡器	1111 - 1010
外部低频晶振	1001 - 1000
外部RC振荡器	0111 - 0101
内部RC振荡器	0100 - 0010
外部时钟	0001 - 0000

注意: “1” 表示未编程, “0” 表示编程。

不同的选项决定了不同的起启动时间。



5.8 ATtiny10/11/12

特点

1. AVR RISC 结构
2. AVR—高性能、低功耗 RISC 结构
 - 90 条指令——大多数为单指令周期
 - 32 个 8 位通用（工作）寄存器
 - 工作在 8MHz 时具有 8MIPS 的性能
3. 数据和非易失性程序内存
 - 1K 字节的 FLASH
 - QuickFlash™（ATtiny10）
 - ISP（ATtiny12）
 - 擦除次数：1000 次（ATtiny11/12）
 - 64 字节在线可编程 E2PROM（ATtiny12）
 - 寿命：100000 次
 - 程序加密位
4. 外围（Peripheral）特点
 - 引脚电平变化中断及唤醒
 - 一个可预分频（Prescale）的 8 位定时器/计数器
 - 片内模拟比较器
 - 可编程的看门狗定时器（由片内振荡器生成）
5. 特别的 MCU 特点
 - 低功耗空闲和掉电模式
 - 内外部中断源
 - 通过 SPI 口的 ISP（ATtiny12）
 - 增强的上电复位电路（ATtiny12）
 - 可标度的片内 RC 振荡器（）
6. 规范（Specification）
 - 低功耗、高速 CMOS 工艺
 - 全静态工作
7. 4MHz、3V、25℃条件下的功耗：
 - 工作模式：2.2mA
 - 空闲模式：0.5mA
 - 掉电模式：<1μA
8. I/O 和封装
 - 8 脚 PDIP 和 SOIC 封装
9. ATtiny10 是 ATtiny11 的 QuickFlash 版本
10. 工作电压
 - 1.8V-5.5V（ATtiny12V-1）
 - 2.7V-5.5V（ATtiny11L-2 和 ATtiny11L-4）
 - 4.0V-5.5V（ATtiny11-6 和 ATtiny12-8）
11. 速度
 - 0-1 MHz（ATtiny12V-1）
 - 0-2 MHz（ATtiny11L-2）

- 0.4 MHz (ATtiny12L-4)
- 0.6MHz (ATtiny11-6)
- 0.8MHz (ATtiny12-8)

管脚配置



描述

ATtiny10/11/12 是一款基于 AVR RISC 的低功耗 CMOS 的 8 位单片机。通过在一个时钟周期内执行一条指令，ATtiny10/11/12 可以取得接近 1MIPS/MHz 的性能，从而使得设计人员可以在功耗和执行速度之间取得平衡。

AVR 核将 32 个工作寄存器和丰富的指令集联结在一起。所有的工作寄存器都与 ALU（算逻单元）直接相连，允许在一个时钟周期内执行的单条指令同时访问两个独立的寄存器。这种结构提高了代码效率，使 AVR 得到了比普通 CISC 单片机高将近 10 倍的性能。

表 1 器件描述

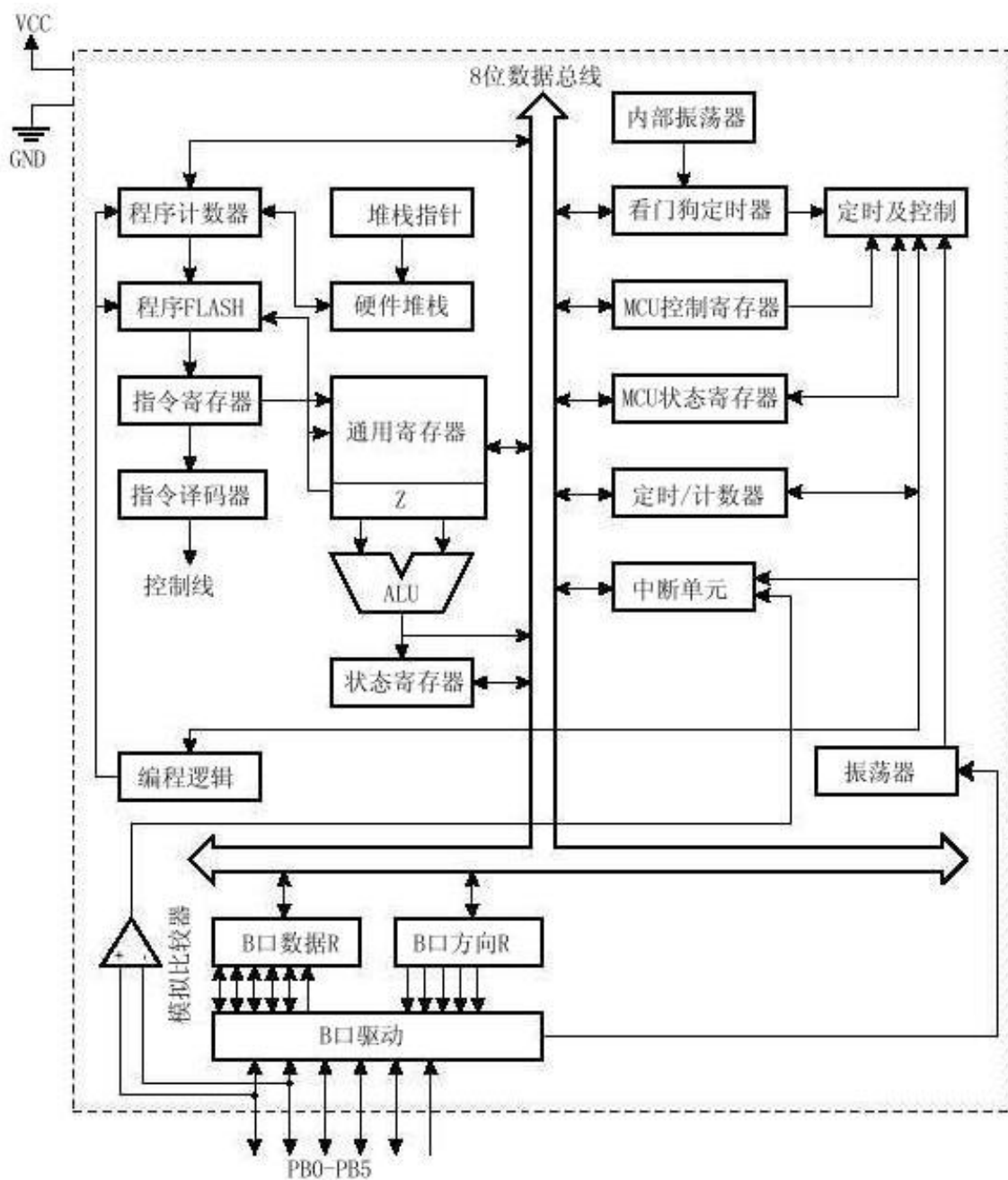
器件	FLASH	E2PROM	寄存器	电压范围	频率
ATtiny10/11L	1K	-	32	2.7V-5.5V	0-2 MHz
ATtiny10/11	1K	-	32	4.0V-5.5V	0-6 MHz
ATtiny12V	1K	64B	32	1.8V-5.5V	0-1 MHz
ATtiny12L	1K	64B	32	2.7V-5.5V	0-4 MHz
ATtiny12	1K	64B	32	4.0V-5.5V	0-8 MHz

ATtiny10/11 具有以下特点：1K 字节 FLASH，多达 5 个通用 I/O 口，1 个输入口，32 个通用工作寄存器，一个 8 位 T/C，内外中断源，可编程的看门狗定时器，以及两种可通过软件选择的省电模式。工作于空闲模式时，CPU 将停止运行，而定时器/计数器和中断系统继续工作；掉电模式时振荡器停止工作，所有功能都被禁止，而寄存器内容得到保留。只有中断或硬件复位才可以退出此状态。引脚电平变化中断的特点使得 ATtiny10/11 对外部事件有很高的响应性，同时具有掉电模式的低功耗的优点。

器件是以 ATMEL 的高密度非易失性内存技术生产的。片内 FLASH 允许多次编程。通过将增强的 RISC 8 位 CPU 与 FLASH 集成在一个芯片内，ATtiny10/11 为许多嵌入式控制应用提供了灵活而低成本方案。

ATtiny10/11 具有一整套的编程和系统开发工具：宏汇编、调试/仿真器、在线仿真器和 SL-AVR 编程开发实验器。

图 1 ATtiny10/11 结构方框图



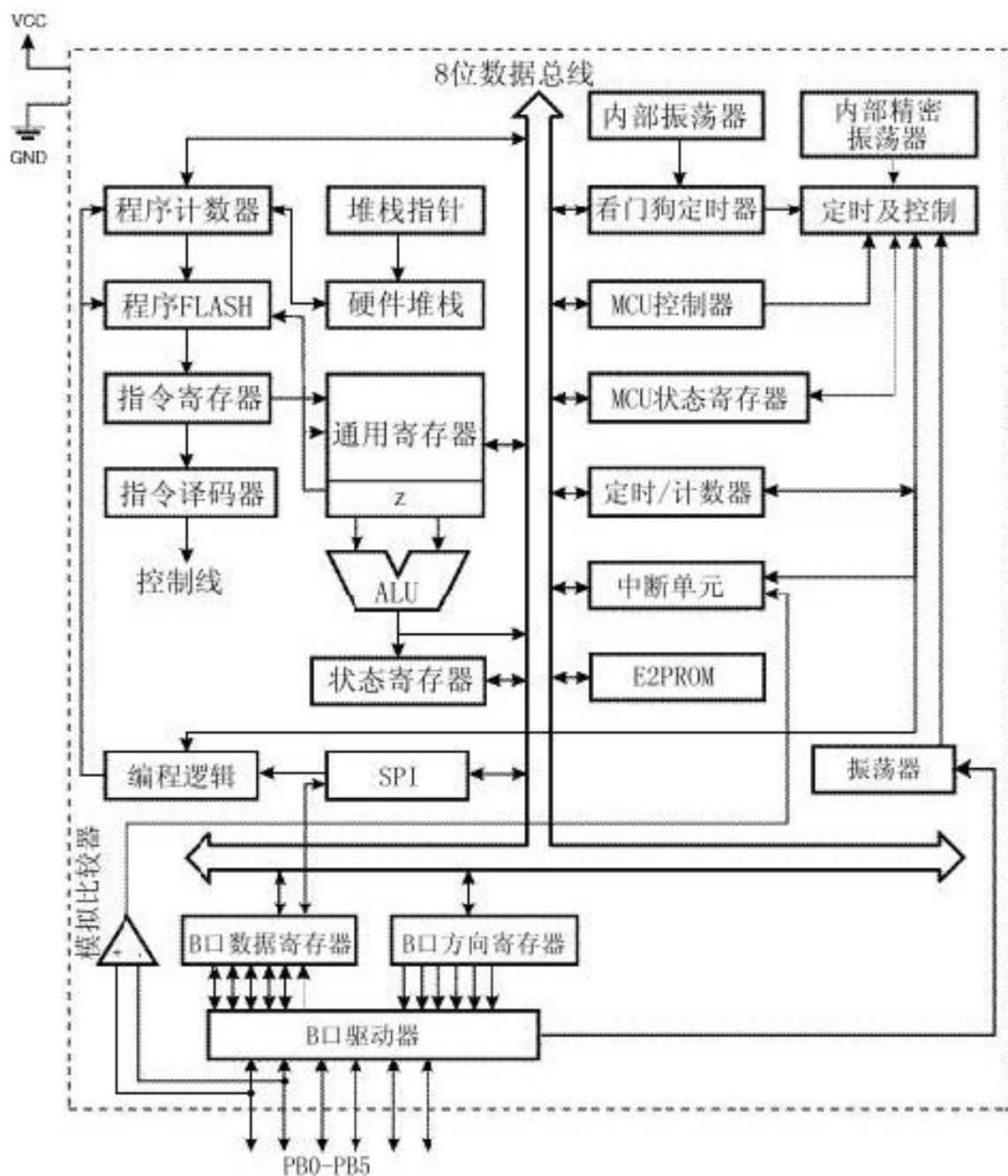


图2 ATtiny12 结构方框图

ATtiny12 具有以下特点：1K 字节 FLASH，64 字节 E2PROM，多达 6 个通用 I/O 口，32 个通用工作寄存器，一个 8 位 T/C，可编程的看门狗定时器，以及两种可通过软件选择的省电模式。工作于空闲模式时，CPU 将停止运行，而定时器/计数器和中断系统继续工作；掉电模式时振荡器停止工作，所有功能都被禁止，而寄存器内容得到保留。只有外部中断或硬件复位才可以退出此状态。引脚电平变化中断的特点使得 ATtiny10/11 对外部事件有很高的响应性，同时具有掉电模式的低功耗的优点。

器件是以 ATMEL 的高密度非易失性内存技术生产的。片内 FLASH 允许多次编程。通过将增强的 RISC 8 位 CPU 与 FLASH 集成在一个芯片内，ATtiny12 为许多嵌入式控制应用提供了灵活而低成本方案。

ATtiny12 具有一整套的编程和系统开发工具：宏汇编、调试/仿真器、在线仿真器和 SL-AVR 编程开发实验器。

管脚定义

VCC、GND: 电源

B 口 (PB5..PB0):

B 口是一个 6 位 I/O 口，PB4..PB0 有内部上拉电阻（可单独选择）。对于 ATtiny10/11，PB5 是输入口，而对于 ATtiny12，PB5 可以是输入口或是开漏输出口。在复位过程中，B 口为三态，即使此时时钟还未起振。PB5..PB3 是用作输入还是 I/O 取决于复位和时钟设置，如下表所示。

表 2 PB5..PB3 功能与时钟设定的关系

时钟选择	PB5	PB4	PB3
外部复位使能	已用	-	-
外部复位禁止	输入/I/O ¹⁾	-	-
外部晶振	-	已用	已用
外部低频晶振	-	已用	已用
外部陶瓷振荡器	-	已用	已用
外部 RC 振荡器	-	I/O	已用
外部时钟	-	I/O	已用
内部 RC 振荡器	-	I/O	I/O

（1）对于 ATtiny10/11，PB5 是输入口，而对于 ATtiny12，PB5 可以是输入口或是开漏输出口。

XTAL1: 振荡器放大器的输入端。

XTAL2: 振荡器放大器的输出端。

晶体振荡器:

XTAL1 和 XTAL2 分别是片内振荡器的输入、输出端，可使用晶体振荡器或是陶瓷振荡器。当使用外部时钟时，XTAL2 应悬空。

时钟选择

器件具有多种时钟选择，由熔丝位控制。

表 3 器件时钟选择

器件时钟选择	ATtiny10/11 CKSEL2..0	ATtiny12 CKSEL3..0
外部晶振/陶瓷振荡器	111	1111 - 1010
外部低频晶振	110	1001 - 1000
外部 RC 振荡器	101	0111 - 0101
内部 RC 振荡器	100	0100 - 0010
外部时钟	000	0001 - 0000
保留	其他选择	-

注：“1”代表未编程，“0”代表已编程。

内部 RC 振荡器

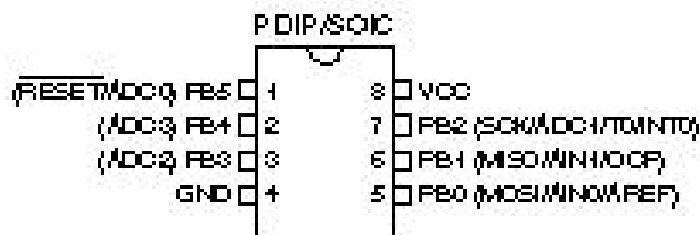
内部 RC 振荡器的频率固定为 1MHz。器件出厂时已经选择了这项功能。对于 ATtiny10/11，看门狗振荡器用作为时钟，而对于 ATtiny12 则使用了单独的可标度振荡器。

5.9 ATtiny15/L

特点

1. 高性能，低功耗，8 位 AVR 结构
2. 先进的 RISC 结构
 - 90 条指令——大多数为单指令周期
 - 32 个 8 位通用（工作）寄存器
 - 全静态工作
3. 数据和非易失性程序内存
 - 1K 字节的在线可编程 FLASH
擦除次数：1000 次
 - 64 字节在线可编程 E2PROM
寿命：100000 次
 - 程序加密位
4. 外围（Peripheral）特点
 - 两个可预分频（Prescale）的 8 位定时器/计数器
 - 一个高速（100kHz）PWM 输出
 - 4 通道 10 位 ADC
—一个具有可选 20 倍增益的差分通道
 - 片内模拟比较器
 - 可编程的看门狗定时器（由片内振荡器生成）
5. 特别的 MCU 特点
 - 通过 SPI 口的 ISP
 - 内外部中断源
 - 低功耗空闲和掉电模式
 - 低功耗，减噪和掉电模式
 - 增强的上电复位电路
 - 可编程的 BOD 电路
 - 内部 1.6MHz 可调谐振荡器
 - 内部 T/C1 25.6MHz 时钟发生器
6. I/O 和封装
 - 8 脚 PDIP/SOIC：6 个可编程 I/O
7. 工作电压
 - 2.7V-5.5V（ATtiny15/L1L）
 - 4.0V-5.5V（ATtiny15/L）
8. 内部系统时钟
 - 0.8 - 1.6MHz
9. 商业及工业温度范围

管脚配置

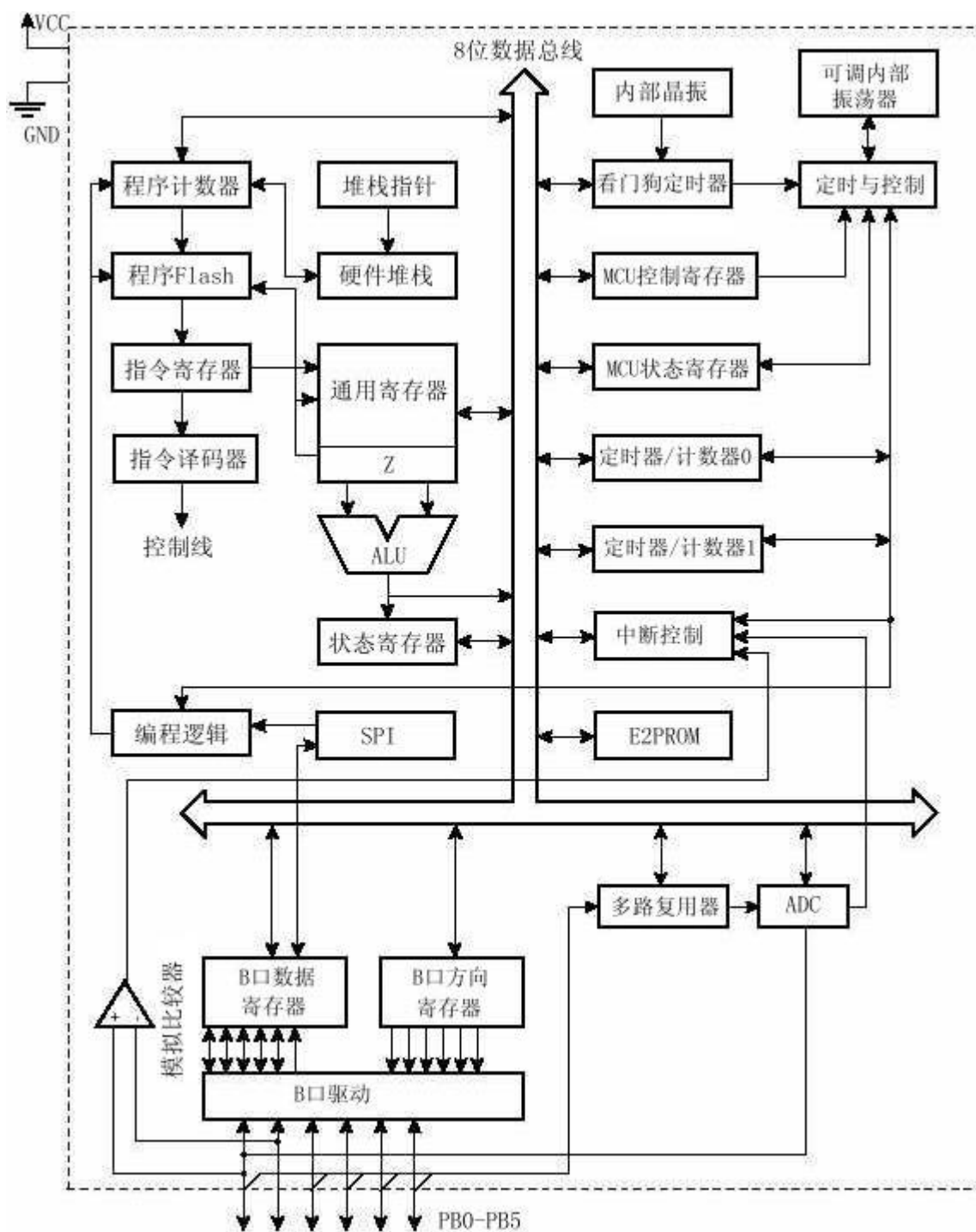


描述

ATtiny15/L 是一款基于 AVR RISC 的低功耗 CMOS 的 8 位单片机。通过在一个时钟周期内执行一条指令，ATtiny15/L 可以取得接近 1MIPS/MHz 的性能，从而使得设计人员可以在功耗和执行速度之间取得平衡。

AVR 核将 32 个工作寄存器和丰富的指令集联结在一起。所有的工作寄存器都与 ALU（算逻单元）直接相连，允许在一个时钟周期内执行的单条指令同时访问两个独立的寄存器。这种结构提高了代码效率，使 AVR 得到了比普通 CISC 单片机高将近 10 倍的性能。ATtiny15/L 具有 4 个单端及一个 20 倍增益的差分 ADC 通道。高速 PWM 输出使得 ATtiny15/L 十分适合于电池充电器应用和电源调节电路。

图 1 ATtiny15/L 结构方框图



ATtiny15/L 具有以下特点：1K 字节 FLASH，64 字节 E2PROM，6 个通用 I/O 口，32 个通用工作寄存器，两个 8 位 T/C（一个具有 PWM 输出），内部振荡器，内外中断源，可编程的看门狗定时器，4 通道 10 位 ADC（其中之一为差分通道），以及 3 种可通过软件选择的省电模式。工作于空闲模式时，CPU 将停止运行，而定时器/计数器和中断系统继续工作；掉电模式时振荡器停止工作，所有功能都被禁止，而寄存器内容得到保留。外部中断或硬件复位可以唤醒此状态。引脚电平变化中断的特点使得 ATtiny15/L 对外部事件有很高的响应性，同时具有掉电模式的低功耗的优点。ATtiny15/L 同时还有一个 ADC 噪声抑制模式以减少 ADC 转换时的噪声。在此模式下，只有 ADC 工作。

器件是以 ATMEL 的高密度非易失性内存技术生产的。片内 FLASH 允许多次编程。通过将增

强的 RISC 8 位 CPU 与 FLASH 集成在一个芯片内, ATtiny15/L 为许多嵌入式控制应用提供了灵活而低成本方案。

ATtiny15/L 具有一整套的编程和系统开发工具: 宏汇编、调试/仿真器、在线仿真器和 SL-AVR 编程开发实验器。

管脚定义

VCC、GND: 电源

B 口 (PB5..PB0):

B 口是一个 6 位 I/O 口, PB4 ..PB0 有内部上拉电阻 (可单独选择)。PB5 是输入口。PB5 的使用由熔丝位定义。此管脚还可以作为外部中断或 ADC 输入通道 0。B 口还是模拟 I/O 引脚。

表 1 B 口的其他功能

引 脚	功 能
PB0	MOSI (SPI 数据输入) AIN0 (模拟比较器输入通道 0) VREF (ADC 电压基准)
PB1	MISO (SPI 数据输出) AIN1 (模拟比较器输入通道 1) OCP (T/C1 的 PWM 输出)
PB2	SCK (SPI 时钟输入) INT0 (外部中断 0 输入) ADC1 (ADC 输入通道 1) T0 (T/C0 计数器外部输入)
PB3	ADC2 (ADC 输入通道 2)
PB4	ADC3 (ADC 输入通道 3)
PB5	RESET (外部复位输入) ADC0 (ADC 输入通道 0)

内部振荡器

内部振荡器的标称频率为 1.6MHz。内嵌的调协功能可以修正偏差(0.8MHz - 1.6MHz)。通过对 8 位 OSCCAL 寄存器的控制, 可以得到小于 1%的调谐率。

内部 PLL 对系统时钟进行 16 倍频, 为 T/C1 提供时钟信号 PCK, 最大值为 25.6MHz。

5.10 ATmega603/103

特点

1. AVR RISC 结构
2. AVR—高性能、低功耗 RISC 结构
 - 120/121 条指令——大多数为单指令周期
 - 32 个 8 位通用 (工作) 寄存器+外设控制寄存器
 - 工作在 6MHz 时具有 6MIPS 的性能
3. 数据和非易失性程序内存
 - 64K/128K 字节的在线可编程 FLASH (擦除次数: 1000 次)

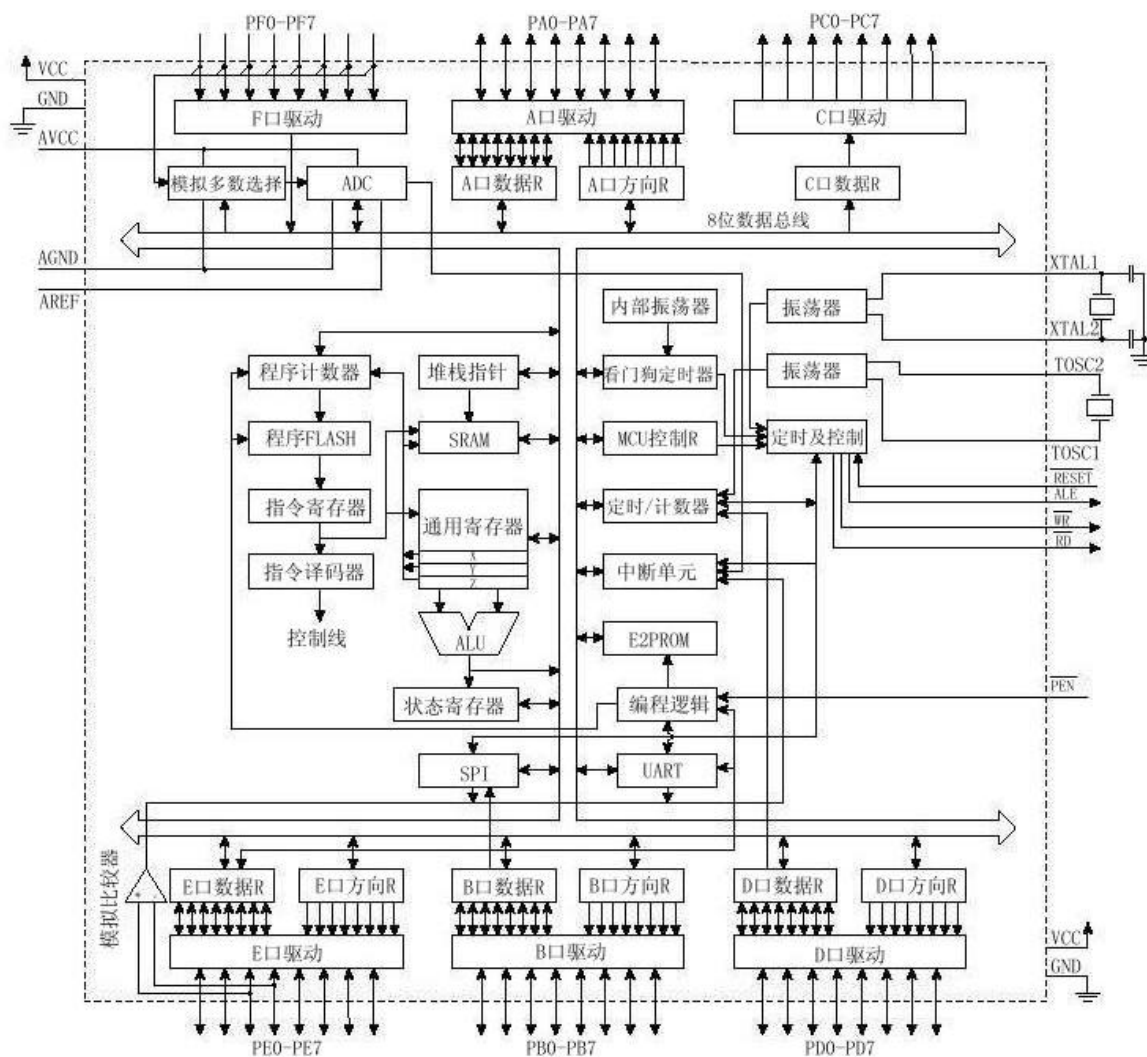
- 4K 字节 SRAM
 - 2K/4K 字节在线可编程 E2PROM (寿命: 100000 次)
 - 程序加密位
 - SPI 接口, 同时可用作在线下载
4. 外围 (Peripheral) 特点
 - 片内模拟比较器
 - 可编程的看门狗定时器 (由片内振荡器生成)
 - 全双工 UAR
 - 主/从 SPI 接口
 - 自具振荡器的实时时钟 RTC
 - 两个具有比较模式的可预分频 (Prescale) 8 位定时器/计数器
 - 一个可预分频、具有比较、捕捉和两个 8/9/10 位 PWM 功能的 16 位定时器/计数器
 - 8 通道 10 位 ADC
 5. 特别的 MCU 特点
 - 低功耗空闲、省电和掉电模式
 - 可通过软件进行选择时钟频率
 - 内外部中断源
 6. 4MHz、3V、25°C 条件下的功耗:
 - 工作模式: 5.5mA
 - 空闲模式: 1.6mA
 - 掉电模式: <1 μ A
 7. I/O 和封装
 - 32 个可编程的 I/O 脚, 8 个输出口线, 8 个输入口线
 - 64 脚 QFP 封装
 8. 工作电压
 - 2.7V-3.6V (ATmega603L 和 ATmega103L)
 - 4.0V-5.5V (ATmega603 和 ATmega103)
 9. 速度
 - 0-4MHz (ATmega603L 和 ATmega103L)
 - 0-6MHz (ATmega603 和 ATmega103)

描述

ATmega603/103 是一款基于 AVR RISC 的低功耗 CMOS 的 8 位单片机。通过在一个时钟周期内执行一条指令, ATmega603/103 可以取得接近 1MIPS/MHz 的性能, 从而使设计人员可以在功耗和执行速度之间取得平衡。

AVR 核将 32 个工作寄存器和丰富的指令集联结在一起。所有的工作寄存器都与 ALU (算逻单元) 直接相连, 允许在一个时钟周期内执行的单条指令同时访问两个独立的寄存器。这种结构提高了代码效率, 使 AVR 得到了比普通 CISC 单片机高将近 10 倍的性能。

图 1 ATmega603/103 结构方框图



ATmega603/103 具有以下特点：64K/128K 字节 FLASH，2K/4K 字节 E2PROM，4K 字节 SRAM，32 个通用 I/O 口，8 个输入口，8 个输出口 32 个通用工作寄存器，实时时钟 RTC，一个具有比较模式的灵活的定时器/计数器，内外中断源，可编程的 UART，可编程的看门狗定时器，SPI 口以及三种可通过软件选择的节电模式。工作于空闲模式时，CPU 将停止运行，而寄存器、定时器/计数器、看门狗和中断系统继续工作；掉电模式时振荡器停止工作，所有功能都被禁止，而寄存器内容得到保留。只有外部中断或硬件复位才可以退出此状态。省电模式与掉电模式只有一点差别：省电模式下 T/C2 继续工作以维持时间基准。

器件是以 ATMEL 的高密度非易失性内存技术生产的。片内 FLASH 可以通过 SPI 接口或通用编程器多次编程。通过将增强的 RISC 8 位 CPU 与 FLASH 集成在一个芯片内，ATmega603/103 为许多嵌入式控制应用提供了灵活而低成本方案。

ATmega603/103 具有一整套的编程和系统开发工具：宏汇编、调试/仿真器、在线仿真器和 SL-AVR 编程开发实验器。

ATmega603 和 ATmega103 的比较

ATmega603 具有 64K 字节程序 FLASH，2K 字节 E2PROM，4K 字节 SRAM。

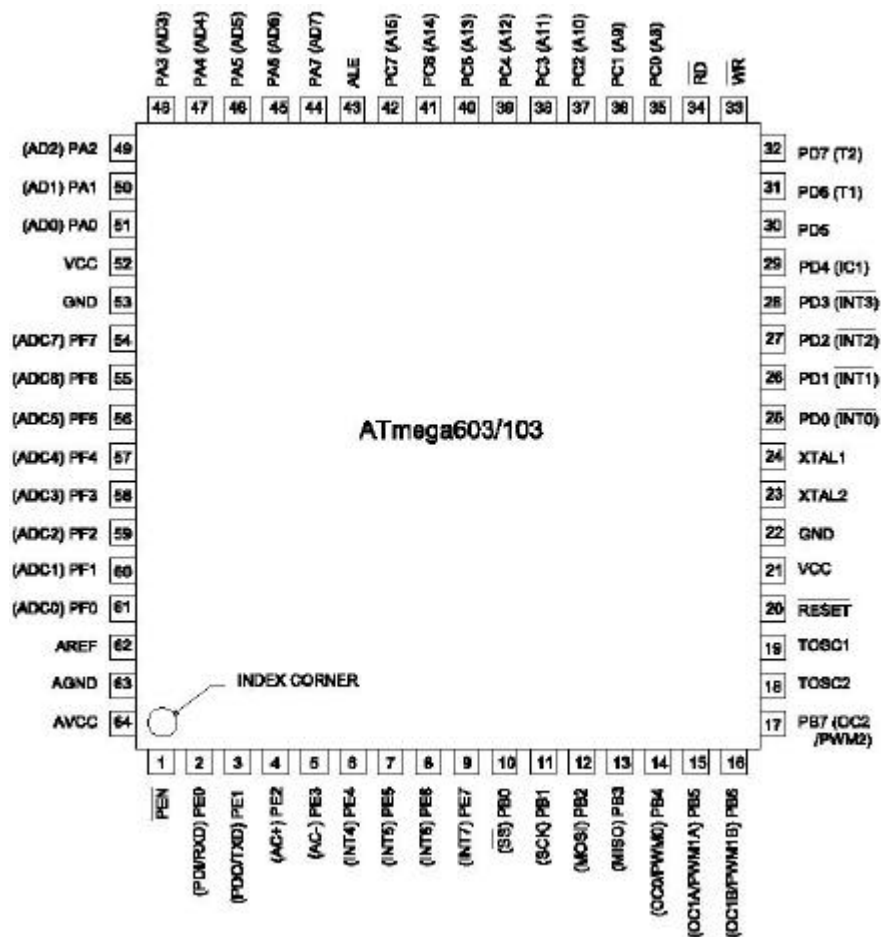
ATmega103 具有 128K 字节程序 FLASH，4K 字节 E2PROM，4K 字节 SRAM。

表 1 是两个器件存储器的简单比较。

表 1 存储器比较

型号	FLASH	E2PROM	SRAM
ATmega603	64K 字节	2K 字节	4K 字节
ATmega103	128K 字节	4K 字节	4K 字节

管脚配置



管脚定义

VCC、GND: 电源

A 口 (PA7..PA0):

A 口是一个 8 位双向 I/O 口，每一个管脚都有内部上拉电阻。A 口的输出缓冲器能够吸收 20mA 的电流，可直接驱动 LED。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，A 口为三态，即使此时时钟还未起振。在访问外部 SRAM 时 A 口作为地址/数据复用口。

B 口 (PB7..PB0):

B 口是一个 8 位双向 I/O 口，每一个管脚都有内部上拉电阻。B 口的输出缓冲器能够吸收 20mA 的电流，可直接驱动 LED。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，B 口为三态，即使此时时钟还未起振。

B 口作为特殊功能口的使用方法见光盘文件。

C 口 (PC7.PC0):

C 口是一个 8 位输出 I/O 口，能够吸收 20mA 的电流。

在访问外部 SRAM 时 C 口作为地址线。

在复位过程中，C 口不为三态。

D 口 (PD7.PD0):

D 口是一个带内部上拉电阻的 8 位双向 I/O 口。输出缓冲器能够吸收 20mA 的电流。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，D 口为三态，即使此时时钟还未起振。

D 口作为特殊功能口的使用方法见光盘文件。

E 口 (PE7.PE0):

E 口是一个带内部上拉电阻的 8 位双向 I/O 口。输出缓冲器能够吸收 20mA 的电流。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，E 口为三态，即使此时时钟还未起振。

E 口作为特殊功能口的使用方法见光盘文件。

F 口 (PF7.PF0):

F 口是一个 8 位输入 I/O 口，也可作为 ADC 的模拟输入。

/RESET: 复位输入。超过 50ns 的低电平将引起系统复位。低于 50ns 的脉冲不能保证可靠复位。

XTAL1: 振荡器放大器的输入端。

XTAL2: 振荡器放大器的输出端。

TOSC1: RTC 振荡器放大器的输入端。

TOSC2: RTC 振荡器放大器的输出端。

/WR: 外部 SRAM 写信号。

/RD: 外部 SRAM 读信号。

ALE: 访问外部存储器时的地址锁存使能信号，用于锁存低 8 位地址。

AVCC: A/D 转换器的电源。应该通过一个低通滤波器与 V_{CC} 连接。

AREF: A/D 转换器的参考电源，介于 AGND 与 AVCC 之间。

AGND: 模拟地。

/PEN: 串行下载的编程使能信号。

晶体振荡器:

XTAL1 和 XTAL2 分别是片内振荡器的输入、输出端，可使用晶体振荡器或是陶瓷振荡器。当使用外部时钟时，XTAL2 应悬空。

定时器振荡器:

晶振可以直接连接到振荡器的引脚 TOSC1 和 TOSC2 而无需外部电容。振荡器已经对 32768Hz 的晶振作了优化。对外加信号的带宽为 256KHz。

5.11 ATmega161

特点

1. AVR RISC 结构

2. AVR—高性能、低功耗 RISC 结构

—130 条指令——大多数为单指令周期(见附录 4 指令速查表)

—32 个 8 位通用(工作)寄存器

—工作在 8MHz 时具有 8MIPS 的性能

—只需两个时钟的乘法器

3. 数据和非易失性程序内存

—16K 字节的在线可编程 FLASH(擦除次数: 1000 次)

—1K 字节存储器

—512 字节在线可编程 E2PROM(寿命: 100000 次)

—程序加密位

—具有独立加密位的 BOOT 代码区

4. 外围(Peripheral)特点

—两个具有比较模式的预分频(Prescale)8 位定时器/计数器

—一个可预分频、具有比较、捕捉和两个 8/9/10 位 PWM 功能的 16 位定时器/计数器

—双串口

—主/从 SPI 接口

—自具振荡器的实时时钟 RTC

—可编程的看门狗定时器(由片内振荡器生成)

—片内模拟比较器

5. 特别的 MCU 特点

—上电复位和可编程的电源检测

—低功耗空闲、省电和掉电模式

—内外部中断源

6. 4MHz、3V、25℃条件下的功耗:

—工作模式: mA

—空闲模式: mA

—掉电模式: $< \mu\text{A}$

7. I/O 和封装

—35 个可编程的 I/O 口线

—40 脚 PDIP, 44 脚 PLCC 及 QFP 封装

8. 工作电压

—2.7V-5.5V(ATmega161L)

—4.0V-5.5V(ATmega161)

9. 速度

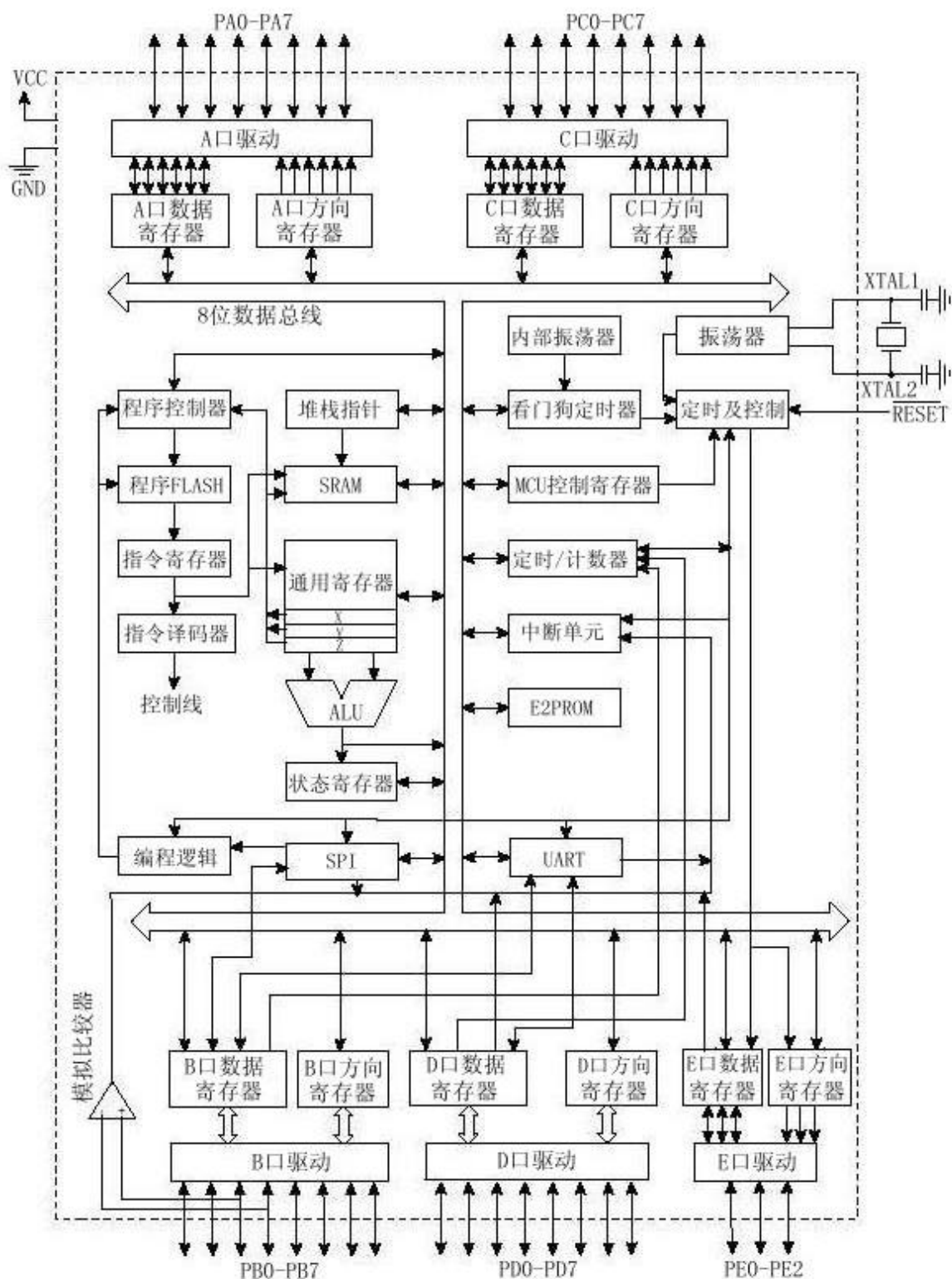
—0-4MHz(ATmega161L)

—0-8MHz(ATmega161)

描述

ATmega161 是一款基于 AVR RISC 的低功耗 CMOS 的 8 位单片机。通过在一个时钟周期内执行一条指令, ATmega161 可以取得接近 1MIPS/MHz 的性能, 从而使得设计人员可以在功耗和执行速度之间取得平衡。AVR 核将 32 个工作寄存器和丰富的指令集联结在一起。所有的工作寄存器都与 ALU(算逻单元)直接相连, 允许在一个时钟周期内执行的单条指令同时访问两个独立的寄存器。这种结构提高了代码效率, 使 AVR 得到了比普通 CISC 单片机高将近 10 倍的性能。

图 1 ATmega161 结构方框图



ATmega161 具有以下特点：16K 字节在线编程/自编程的 FLASH，512 字节 E2PROM，1K 字节 SRAM 存储器，35 个通用 I/O 口，32 个通用工作寄存器，实时时钟 RTC，3 个具有比较模式的灵活的定时器/计数器，内外中断源，两个可编程的 UART，可编程的看门狗定时器，SPI 口以及三种可通过软件选择的节电模式。工作于空闲模式时，CPU 将停止运行，而寄存器、定时器/计数器、看门狗和中断系统继续工作；掉电模式时振荡器停止工作，所有功能都被禁止，而寄存器内容得到保留。只有外部中断或硬件复位才可以退出此状态。省电模式与掉电模式只有一点差

别：省电模式下 T/C2 继续工作以维持时间基准。

器件是以 ATMEL 的高密度非易失性内存技术生产的。片内 FLASH 可以通过 SPI 接口或通用编程器多次编程。通过将增强的 RISC 8 位 CPU 与 FLASH 集成在一个芯片内，ATmega161 为许多嵌入式控制应用提供了灵活而低成本方案。

ATmega161 具有一整套的编程和系统开发工具：宏汇编、调试/仿真器、在线仿真器和 SL-AVR 编程开发实验器。

管脚配置

管脚功能同 AT90S4414/8515，与 8051/52 引脚兼容，仅复位电平不同。

管脚定义

VCC、GND: 电源

A 口 (PA7.PA0):

A 口是一个 8 位双向 I/O 口，每一个管脚都有内部上拉电阻。A 口的输出缓冲器能够吸收 20mA 的电流，可直接驱动 LED。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，A 口为三态，即使此时时钟还未起振。

在访问外部存储器时 A 口作为地址/数据复用口。

B 口 (PB7.PB0):

B 口是一个 8 位双向 I/O 口，每一个管脚都有内部上拉电阻。B 口的输出缓冲器能够吸收 20mA 的电流，可直接驱动 LED。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。

在复位过程中，B 口为三态，即使此时时钟还未起振。

B 口作为特殊功能口的使用方法见光盘文件。

C 口 (PC7.PC0):

C 口是一个 8 位双向 I/O 口，每一个管脚都有内部上拉电阻。C 口的输出缓冲器能够吸收 20mA 的电流。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，C 口为三态，即使此时时钟还未起振。

在访问外部存储器时 C 口作为高 8 位地址线。

D 口 (PD7.PD0):

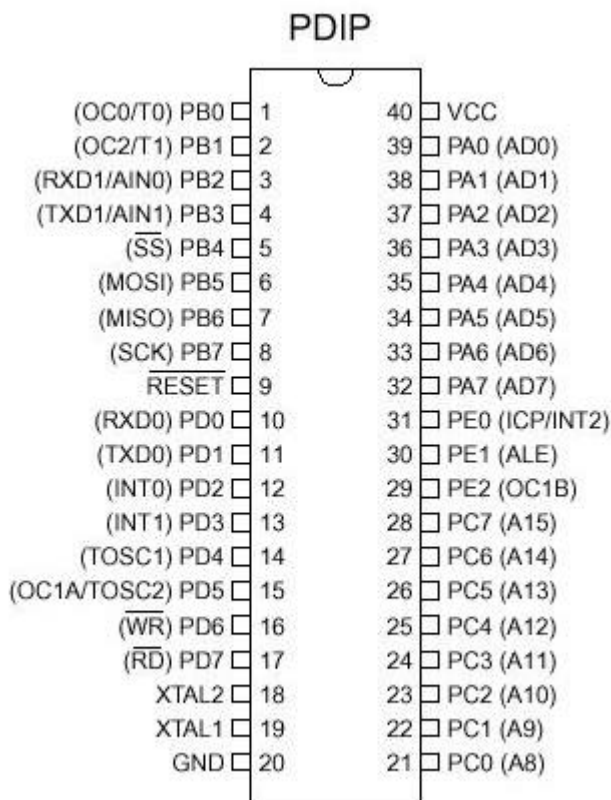
D 口是一个带内部上拉电阻的 8 位双向 I/O 口。输出缓冲器能够吸收 20mA 的电流。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，D 口为三态，即使此时时钟还未起振。

D 口作为特殊功能口的使用方法见光盘文件。

E 口 (PE2.PE0):

E 口是一个带内部上拉电阻的 3 位双向 I/O 口。输出缓冲器能够吸收 20mA 的电流。当作为输入时，如果外部被拉低，由于上拉电阻的存在，管脚将输出电流。在复位过程中，D 口为三态，即使此时时钟还未起振。

D 口作为特殊功能口的使用方法见光盘文件。



/RESET: 复位输入。超过 500ns 的低电平将产生复位信号，即使此时时钟还未起振。低于 500ns 的脉冲不能保证可靠复位。

XTAL1: 振荡器放大器的输入端。

XTAL2: 振荡器放大器的输出端。

晶体振荡器

XTAL1 和 XTAL2 分别是片内振荡器的输入、输出端，可使用晶体振荡器或是陶瓷振荡器。当使用外部时钟时，XTAL2 应悬空。

定时器振荡器:

晶振可以直接连接到振荡器的引脚 TOSC1 和 TOSC2 而无需外部电容。振荡器已经对 32768Hz 的晶振作了优化。对外加信号的带宽为 256KHz。

用 AVR 单片机替代 MCS-51 单片机的理由:

高速嵌入式 AVR AT90S 系列单片机的独特性能,深受我国科技界认可,广泛应用到高科技含量的产品中去。尤其 AVR 单片机有的器件硬件设计与 MCS-51 系列引脚兼容,仅复位电平要求不同,MCS-51 高电平复位,AVR 低电平复位。我们可以很容易把 MCS-51 单片机的硬件电路用 AVR 单片机来替代,并增加了很多新功能,如:多累加器型,高速数据处理,I/O 口驱动能力强,看门狗,实时时钟,A/D,PWM,模拟比较器,低功耗,在线下载等等功能。

如果你是用 C 高级语对 MCS-51 编程的,那末把程序移植 AVR 单片机更容易了,我们可为你提供二种 AVR 的 C 语言(IAR, ICC)。WWW.SL.COM.CN

MCS-51 单片机与 AVR 单片机替换表

MCS-51 系列单片机	AVR 单片机	程序存储器
89C1051	AT90S1200	1KB
89C2051	AT90S2313	2KB
8751/89C51	AT90S4414	4KB
8752/89C52/8XC51FA/FB	AT90S8515	8KB
8XC504/8XC524	ATmega161	16KB
	AT90SC3232	32KB
	AT90SC4848	48KB

