

单相双向功率/能量 IC

CS5460

特性

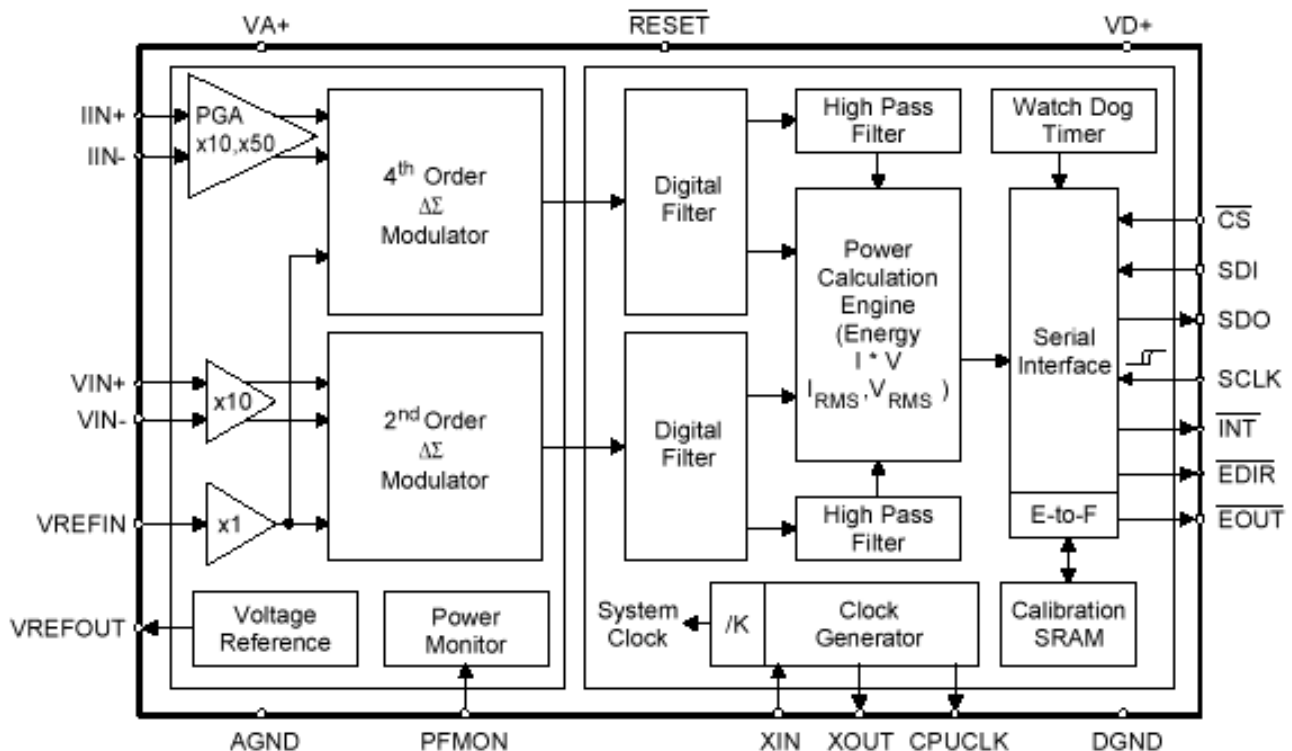
- 能量数据精确度：在 300: 1 动态范围以上每秒读取 0.1%.
- 片上功能：能量， $I \cdot V$ ， I_{RMS} 和 V_{RMS} ，能量与脉冲—速率转换
- 兼容 IEC521/1036/689，JIS 工业标准
- 功耗 < 12mW
- 优化的接口更适宜分流器传感器
- 相位补偿，系统校准功能
- **单电源地参考信号**
- 片上 2.5V 参考 (60ppm/°C 漂移)
- 简单三线串行接口，带看门狗 Watch Dog Timer
- 单 +5V 或双 ±2.5V ±10% 电源
- 内带电源监视器。电源配置如下：
VA+ = +5 V; VA- = 0V; VD+ = +3 V to +5 V
VA+ = +2.5 V; VA- = -2.5 V; VD+ = +3 V

描述

CS5460 是高度集成的 $\Delta \Sigma$ 模拟—数字转换器 (ADC)，它将两个 $\Delta \Sigma$ ADC，高速能量计算功能和一个串行接口集成在一个单芯片上。它用于精确测量和计算：单相 2 线或 3 线功率表的能量，瞬间功率， I_{RMS} 和 V_{RMS} 。CS5460 与低成本分流器或变压器相连来测量电流，或与电阻分压器或变压器相连来测量电压。CS5460 的特性是有与微控制器通讯的双向串口和与能量成比例的固定带宽的可编程频率输出。加电后，芯片被初始化并可执行全部功能，包括在用户程序控制下的系统校准。

订货信息：

CS5460—BS -40°C ~ +85°C 24 脚 SSOP



北京公司：	电话：010-62626428, 62536809	传真：62536841	Email: goceil@public3.bta.net.cn
上海公司：	电话：021-64017541, 95950-133603	传真：64017541	Email: alecyan@public4.sta.net.cn
深圳公司：	电话：0755-3779025, 3779225	传真：3779225	Email: goceil@baohua.com.cn
成都公司：	电话：028-5437325, 5435681	传真：5435681	Email: goceil@mail.sc.cninfo.net
西安公司：	电话：029-3213981	传真：3213981	Email:

模拟特性 ($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$; $V_{A+}, V_{D+} = +5\text{V} \pm 10\%$; $V_{REFIN} = 2.5\text{V}$; $V_{A-} = \text{AGND}$; $MCLK = 4.096\text{MHz}$, $K = 1$; $N = 4000$, $OWR = 4.0\text{kHz}$) (见注释 1, 2 和 3)

参数	符号	最小值	典型值	最大值	单位
精度 (两个通道)					
总的谐波失真	THD	74	-	-	dB
共模抑制 (DC, 50, 60 Hz)	CMRR	80	-	-	dB
偏置漂移 (没有高通滤波器)		-	5	-	nV/°C
满量程 DC 校准范围 (注释 4)	FSCR	25	-	100	%F.S.
输入采样率 $DCLK = MCLK/K$		-	$DCLK/4$	-	Hz
模拟输入 (电流通道)					
差分输入电压范围 $\{(IIN+)-(IIN-)\}$ (增益=10)	IIN	-	150	-	MVrms
(增益=50)		-	30	-	MVrms
IIN+ 或 IIN- 上的共模+信号 (增益=10 或 50)		-0.25	-	V_{A+}	V
当电压通道满量程输入时的串扰 (50, 60 Hz)		-	-	-115	dB
输入电容 (增益=10)	IC	-	5	-	pF
(增益=50)		-	25	-	pF
有效输入阻抗 (增益=10)	EII	200	-	-	k Ω
(注释 5) (增益=50)		40	-	-	k Ω
噪声 (参考输入) (增益=10)		-	-	20	μ Vrms
(增益=50)		-	-	4	μ Vrms
精度 (电压通道)					
双极偏置误差 (注释 1)	VOS	-	-	± 0.001	%F.S.
满量程误差 (注释 1)	FSE	-	-	± 0.001	%F.S.
模拟输入 (电压通道)					
差分输入电压范围 $\{(VIN+)-(VIN-)\}$	VIN	-	150	-	mVrms
共模信号加上 VIN+ 或 VIN- 上的信号		-0.25	-	V_{A+}	V
当电流通道满量程输入时的串扰 (50, 60 Hz)		-	-	-70	dB
输入电容	IC	-	0.2	-	pF
有效输入阻抗 (注释 5)	EII	5	-	-	M Ω
噪声 (参考输入)		-	-	250	μ Vrms
精度 (电压通道)					
双极偏置误差 (注释 1)	VOS	-	-	± 0.01	%F.S.
满量程误差 (注释 1)	FSE	-	-	± 0.01	%F.S.
动态特性					
高速率滤波器输出字速率 (两个通道)	OWR	-	$DCLK/1024$	-	Hz
高传输滤波器极频率 -3 dB		-	0.5	-	Hz
参考输出					
输出电压	REFOUT	2.4	-	2.6	V
温度系数		-	-	60	ppm/°C
负荷调节 最大负载电流	ΔV_R	-	0.6	1	mV
输出噪声电压 (0.1Hz~512kHz)	eN	-	100	-	μ Vrms
输出电流驱动 电源	Isource	-	-	10	μ A
衰减	Isink	-	-	10	μ A
参考输入					
输入电压范围	VREF+	2.4	2.5	2.6	V
输入电容		-	4	-	pF
输入 CVF 电流		-	25	-	nA
电源					
供电电流 I_{A+}	PSCA	-	2	-	mA
I_{D+}	PSCD	-	0.2	-	mA
功率消耗 (注释 6)	PC	-	7	10	mW
供电抑制 (50, 60 Hz)	PSRR	70	-	-	dB

注释: 1. 适用于系统校准后;

2. 规范是由设计, 描述, 和/或测试保证的;

3. 除非有其他说明, 否则模拟信号与 AGND 有关, 数据信号与 DGND 有关;

4. FSCR 的最小值受到增益寄存器最大允许值限制。

5. 有效输入阻抗 (EII) 随时钟频率和输入电容 (IC) 变化而变化, $EII = 1 / (IC * DCLK / 4)$;

6. 所有输出空载, 所有输入是 CMOS 电平

5V 数字特性 ($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$; $V_{A+}, V_{D+} = 5\text{V} \pm 10\%$; $V_{A-}, \text{DGND} = 0\text{V}$) (见注释 2 和 7)

参数	符号	最小值	典型值	最大值	单位
高电平输入电压 除去 XIN 和 SCLK 以外的所有脚	V_{IH}	0.6 VD+	-	-	V
XIN		(VD+) -0.5	-	-	V
SCLK		0.6VD+	-	-	V
低电平输入电压 除去 XIN 和 SCLK 以外的所有脚	V_{IL}	-	-	0.8	V
XIN		-	-	1.5	
SCLK		-	-	0.3VD+	
高电平输出电压 $I_{out} = +5\text{mA}$	V_{OH}	(VD+) -1.0	-	-	V
低电平输出电压 $I_{out} = -5\text{mA}$	V_{OL}	-	-	0.4	V
输入漏电流	I_{in}	-	± 1	± 10	μA
3 态漏电流	I_{oz}	-	-	± 10	μA
数字输出管脚电容	C_{out}	-	5	-	pF

3V 数字特性 ($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$; $V_{A+} = 5\text{V} \pm 10\%$; $V_{D+} = 3\text{V} \pm 10\%$; $V_{A-}, \text{DGND} = 0\text{V}$) (见注释 2 和 7)

参数	符号	最小值	典型值	最大值	单位
高电平输入电压 除去 XIN 和 SCLK 以外的所有脚	V_{IH}	0.6 VD+	-	-	V
XIN		(VD+) -0.5	-	-	V
SCLK		0.6VD+	-	-	V
低电平输入电压 除去 XIN 和 SCLK 以外的所有脚	V_{IL}	-	-	0.48	V
XIN		-	-	0.3	
SCLK		-	-	0.3VD+	
高电平输出电压 $I_{out} = +5\text{mA}$	V_{OH}	(VD+) -1.0	-	-	V
低电平输出电压 $I_{out} = -5\text{mA}$	V_{OL}	-	-	0.4	V
输入漏电流	I_{in}	-	± 1	± 10	μA
3 态漏电流	I_{oz}	-	-	± 10	μA
数字输出管脚电容	C_{out}	-	5	-	pF

注释： 7. 所有的测量都是在静态条件下进行的。

绝对最大额定值 ($\text{AGND}, \text{DGND} = 0\text{V}$; 见注释 8)

参数	符号	最小值	典型值	最大值	单位	
DC 供电 (见注释 9, 10)	正极数字	VD+	-0.3	-	+6.0	V
	正极模拟	VA+	-0.3	-	+6.0	V
	负极模拟	VA-	+0.3	-	-0.6	V
输入电流, 供电管脚除外 (见注释 11, 12)	I_{IN}	-	-	± 10	mA	
输出电流	I_{OUT}	-	-	± 25	mA	
功耗 (见注释 13)	PDN	-	-	500	mW	
模拟输入电压 所有模拟管脚	V_{INA}	-0.3	-	(VA+)+0.3	V	
数字输入电压 所有数字管脚	V_{IND}	-0.3	-	(VD+)+0.3	V	
操作环境温度	T_A	-40	-	85	$^{\circ}\text{C}$	
存储温度	T_{stg}	-65	-	150	$^{\circ}\text{C}$	

注释： 8. 所有电压都是参考地电压；

9. VA+和 VA-必须满足 $\{(VA+)-(VA-)\} < +6.0\text{V}$

10. VD+和 VA-必须满足 $\{(VD+)-(VA-)\} < +6.0\text{V}$

11. 适用于所有管脚, 包括在过压情况下模拟输入 (AIN) 管脚;

12. 高达 100mA 的瞬间电流不会造成 SCR 锁存。对供电管脚的最大输入电流为 $\pm 50\text{mA}$ 。

13. 总功耗包括所有输入电流和输出电流。

警告：在这些限制条件下或超过限制条件运行会造成设备的永久损害。在这些极限情况下不保证正常运行。

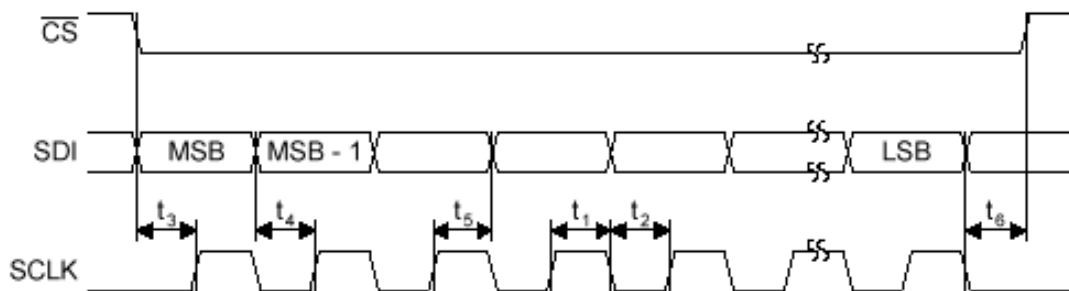
转换特性 ($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$; $V_{A+} = 5.0\text{V} \pm 10\%$; $V_{D+} = 3.0\text{V} \pm 10\%$ 或 $5.0\text{V} \pm 10\%$; $V_{A-} = 0.0\text{V}$; 逻辑电平: 逻辑 0 = 0.0V, 逻辑 1 = V_{D+} ; $C_L = 50\text{pF}$)

参数	符号	最小值	典型值	最大值	单位
主时钟频率 内部晶振 (见注释 14)	MCLK	2.5	4.096	20	MHz
主时钟运行周期		40	-	60	%
上升时间 除 SCLK 外的所有数字输入管脚 (注 15) SCLK 任意数字输出	t_{rise}	- - -	- - 50	1.0 100 -	μs μs μs
下降时间 除 SCLK 外的所有数字输入管脚 (注 15) SCLK 任意数字输出	t_{fall}	- - -	- - 50	1.0 100 -	μs μs μs
启动					
振荡器启动时间 XTAL=4.096MHz (见注释 16)	t_{ost}	-	60	-	ms
串行端口计时					
串行时钟频率	SCLK	-	-	2	MHz
串行时钟 脉冲宽度高	t_1	200	-	-	ns
脉冲宽度低	t_2	200	-	-	ns
SDI 写计时					
CS 有效至激活锁存时钟	t_3	50	-	-	ns
SCLK 上升前数据初始化时间	t_4	50	-	-	ns
SCLK 上升后数据占用时间	t_5	100	-	-	ns
$\overline{\text{CS}}$ 无效前 SCLK 下降时间	t_6	100	-	-	ns
SDO 读取计时					
$\overline{\text{CS}}$ 有效至激活锁存时钟	t_7	-	-	150	ns
SCLK 下降到新数据字节	t_8	-	-	150	ns
$\overline{\text{CS}}$ 上升到 SDO Hi-Z 时间	t_9	-	-	150	ns

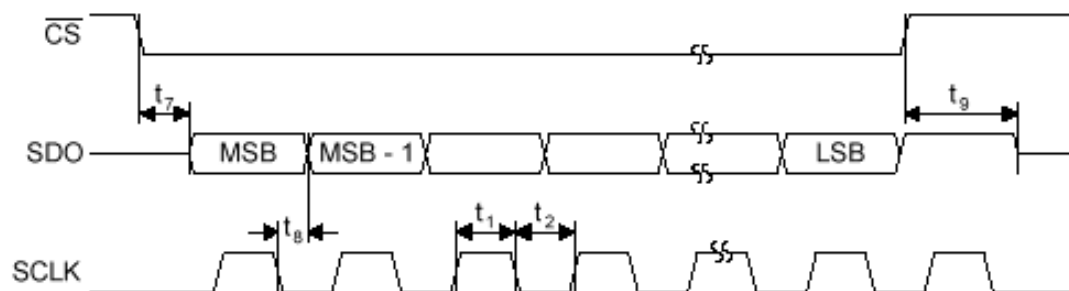
注释: 14. 设备参数指定为 4.096MHz 的时钟, 但时钟频率在 3MHz~20MHz 之间也能使用;

15. 指定适用波形的 10%和 90%的点。输出负载为 50pF

16. 振荡器启动时间随晶片参数而改变。当使用外部时钟时该项无效。



SDI Write Timing (Not to Scale)



SDO Read Timing (Not to Scale)

综述

CS5460 是带有能量计算引擎的 CMOS 单芯片功率测量装置。CS5460 包括一个可编程增益放大器，两个 $\Delta \Sigma$ 调制器，两个高速滤波器，系统校准和计算能量， I_{RMS} ， V_{RMS} 和瞬间功率的功率计算功能。

CS5460 可以用于功率表，它可以与分流器或电流变压器相连来测量电流，也可以与电阻分压器或变压器相连来测量电压。为了适应由于不同的分流器取到的输入电压量级不同，电流通道包括一个可编程增益放大器 (PGA)，它可以使用户能够测量 $150mV_{RMS}$ 或 $30mV_{RMS}$ 信号。CS5460 包括两个高速数字滤波器，它以 $(MCLK/K)/1024$ 的字输出速率 (OWR) 输出数据。每个通道都有一个高通滤波器，它可以在能量计算前将输入信号的直流部分过滤掉。

为了方便 CS5460 与微控制器之间通讯，该转换器包括一个与 SPI™和 Microwire™兼容的简单 3 线串口。串口时钟允许一个施密特触发器输入到片上的 (SCLK) 串行时钟口，也允许低上升沿的时钟信号。

运行原理

CS5460 可以在单 +5V 电源或双 ±2.5V 电源下运行，电流通道输入范围可为 $30mV_{RMS}$ 或 $150mV_{RMS}$ ，电压通道输入范围 $150mV_{RMS}$ 。在单电源供电时，CS5460 的共模信号为 -0.25V 到 VA+。

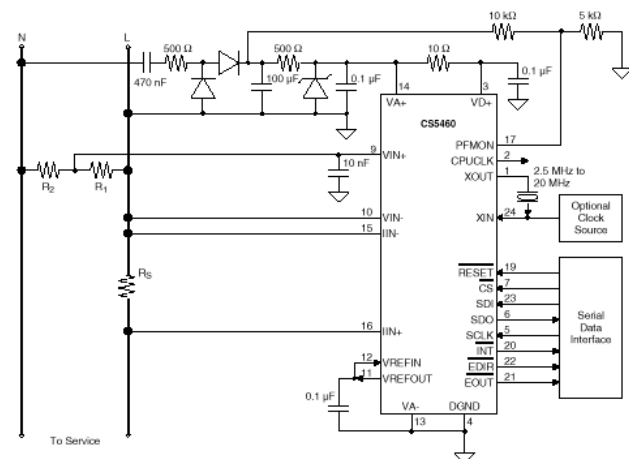


图 1 典型连接图 (单相 2 线)

图 1 是 CS5460 在单电源模式下测量单相 2 线系统功率的示意图。图 2 是 CS5460 测量单相 3 线系统功率的示意图。

性能测量

CS5460 可以测量瞬间电流，瞬间电压，瞬间功率，能量，RMS 电流和 RMS 电压。测量的结果是以 24 位有符号或无符号数据形式输出的，同满量程的百分比形式一样。图 3 显示了执行计算时的数据流动。当接收到一个开始转换命令时，测量开始进行。能量和 RMS 寄存器每 N 个转换（或 1 个计算周期）更新一次，N 是周期计数寄存器的内容。当计算周期结束时，状态和屏蔽寄存器的 DRDY 被置位（注意当 DRDY 没有被屏蔽时， \overline{INT} 管脚会被激活）

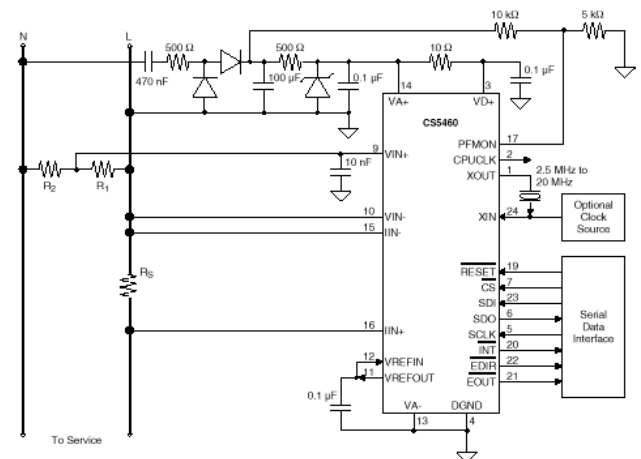


图 2 典型连接图 (单相 3 线)

表 1 提供了在 $MCLK=4.096MHz$ ， $K=1$ ， $N=4000$ 时，测量的输出速率和精确度的详细资料。计算周期可以由主时钟得到，它的频率是 $(MCLK/K)/(1024*N)$ 。注意瞬间计算是以 $4000Hz$ 速率进行的，而 I_{RMS} ， V_{RMS} 和能量的计算是以 $1Hz$ 的速率进行的。还应注意只有在计算周期结束后，DRDY 才能被置位（也就是说没有指示器标志指示瞬间转换的完成，如果周期计数寄存器设置为 1，所有输出计算都将成为瞬间的，DRDY 位将指示何时瞬间计算完成）

单计算周期 (C=0)

依据周期计数寄存器的信息，在用户传输一个单转换周期命令后，执行一个单计算周期。计算结束后，DRDY 被设置。获取计算结果需要 32 个 SCLK，头 8 个 SCLK 用来设置读取地址，后 24 个 SCLK 用来读取寄存器的计算结果。数据读取完毕后，串口恢复命令模式，等待新的命令。

	能量	Vrms	Irms	瞬间功率
范围	300:1	2:1	150:1	300:1
最大输入	见第 2 页的模拟特性			
精确度 (校准后)	读数的 0.1%	读数的 0.1%	读数的 0.1%	满量程的 0.1%
输出速率	1 Hz			4000Hz
输出字节	24-bits			

表 1. 在 $MCLK=4.096MHz$ ， $K=1$ ， $N=4000$ 时详述

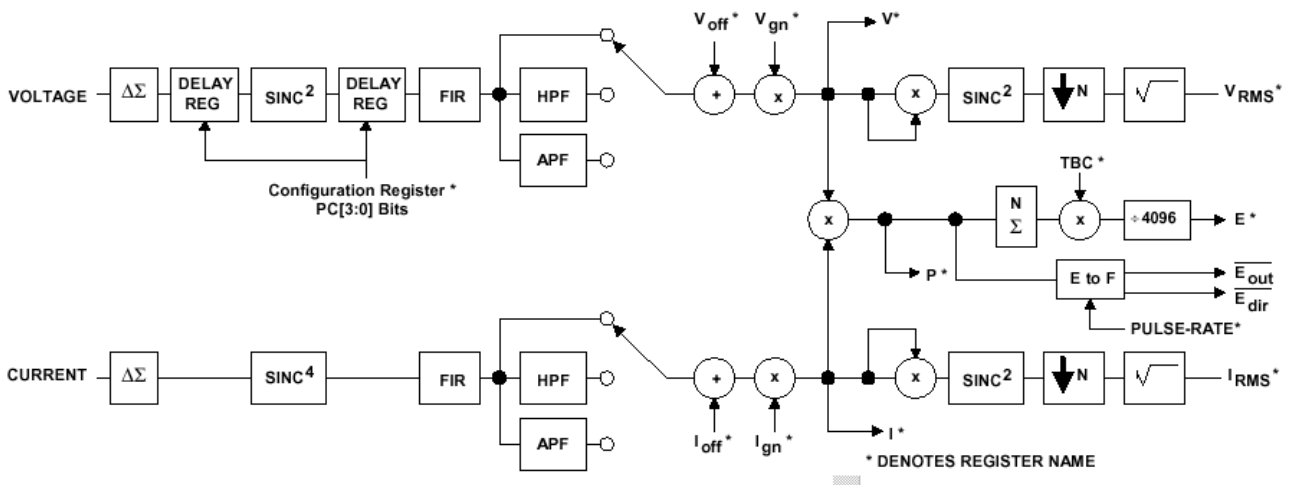


图 3. 数据流程

多计算周期 (C=1)

依据周期计数寄存器的信息，在电压或电流周期重复进行连续的计算周期。在每一个基础通道上不能启动/中止计算周期。每个计算周期结束后，DRDY 被置位。读取寄存器需 32 个 SCLK，头 8 个 SCLK 时钟的命令用来设置读取地址，后 24 个 SCLK 用来读取寄存器的计算结果。当处于这种模式时，根据 DRDY 的上升和下降，用户可以知道数据是否有效，使用户可以选择所需要的计算。

RMS 在平方根计算前，需进行 sinc² 计算。因此，每个通道的第一个输出将无效（也就是说单计算周期时所有的 RMS 计算都无效，连续计算周期的第一个 RMS 无效）。直到不需要计算 sinc² 时，所有的能量计算才有效。

高速数字滤波器

电压通道的高速滤波器作为一个固定的 sinc² 滤波器工具。当转换器由 4.096MHz 时钟 (K=1) 驱动时，滤波器的频率响应曲线如图 4 所示。注意，滤波器的响应曲线以 MCLK 频率和 K 位标度。

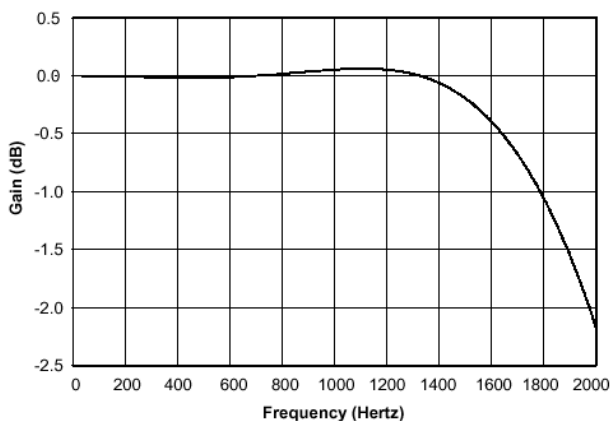


图 4 电压输入滤波器频率响应跌落

电流输入通道包括一个 sinc⁴ 滤波器，并由一个短 FIR 滤波器补偿。当转换器由 4.096MHz (K=1) 驱动时，合成滤波器响应曲线如图 5。

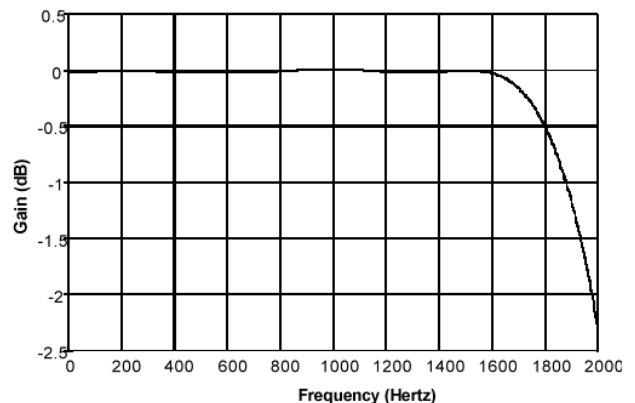


图 5 电流输入滤波器频率响应跌落

脉冲-速率输出

这是一种可供选择的通过串口读取能量的方法，它的 \overline{EOUT} 和 \overline{EDIR} 脚提供一个能积累有正负之分的能量的简单接口。每个 \overline{EOUT} 脉冲都会加入原有的能量计数中。与之相对应的 \overline{EDIR} 表示能量的符号。当 MCLK=4.096MHz, K=1, 且两个 AD 转换器的输入都是它们的最大直流 (DC) 值时，脉冲的频率与脉冲速率寄存器的频率相同。

对于一个给定的仪表设计，下面的例子介绍了怎样来计算其脉冲-速率寄存器。假设这有一只单独的 2 相电表 (图一)，在 $I_b=20A_{RMS}$ 和 $V=230V_{RMS}$ 时需要产生 500impulses/KWH，假定最大电流为 $I_{max}=100A_{RMS}$ ，最大电压为 $V_{max}=300 V_{RMS}$ ，那么利用 CS5460 的满动态范围就可以计算出传感器的增益如下：

$$k_v = \frac{150mV_{RMS}}{V_{max}} = \frac{1}{2000}$$

$$k_i = \frac{30mV_{RMS}}{I_{max}} = 300 \mu\Omega$$

其中 k_v 和 k_i 分别为电压和电流传感器的增益。注意，这里是 CS5460 假设用一个分流电阻得到 $30mV_{RMS}$ 的范围。

在额定输入状态下，平均转动速率 IR 的值为：

$$IR = \left(\frac{500 \text{ impulses}}{\text{KWH}} \right) (I_b V) \left(\frac{1 \text{ KW}}{1000 \text{ W}} \right) \left(\frac{1 \text{ H}}{3600 \text{ s}} \right) \cong \frac{0.639 \text{ impulses}}{\text{s}}$$

由于脉冲速率寄存器是就满量程 DC 而定义的（在这个例子中，电压通道为 0.25V，电流通道为 0.05V），因此在存放脉冲速率寄存器之前，IR 将需要一个比值。定义为电压比 R_v 和电流比 R_i，如下：

$$R_v = \frac{0.25 \text{ Volt}}{k_v V \text{ Volt}}$$

$$R_i = \frac{0.05 \text{ Volt}}{k_i I_b \text{ Amp}}$$

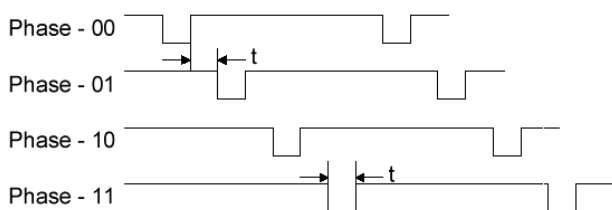
因此，脉冲速率寄存器可以编程如下：

$$PR = IR \times R_v \times R_i \cong 11.574 \text{ Hz} = 370 \text{ or } 0x172$$

为了改进精确度，增益寄存器也可以编程，用来纠正 PR 中由于四舍五入之类省略位数造成的误差。这个值可作如下计算：

$$I_{gn} \text{ or } V_{gn} = \frac{PR}{370 \times 2^{-5}} \cong 1.001 = 0x401067$$

在多相系统中预留了一个简单接口，把 EOUT 和 EDIR 管脚用一根线连接起来。对于不同的相，这一部分必须由相同的时钟和程序驱动（状态寄存器中 PH[1: 0]）。脉冲宽度和脉冲间隔是系统时钟的整数倍，（大约是脉冲速率寄存器的周期的 1/8）。因此最大频率是 MCLK/K/8。图 6 是一个多相系统的时序图。



$$t \cong \frac{\text{Pulse-Rate Register Period}}{8} = \frac{N}{\text{MCLK/K}} \text{ for Integer } N$$

图 6. 多相系统

串口综述

CS5460 的串口部分还集成了一个带发送/接收缓存的 state machine（状态机），状态机在 SCLK 的

上升沿解释 8 位命令字。除了对命令解码外，状态机还执行请求命令或为地址寄存器的数据传输做准备。请求进行一次读取需将一个内部寄存器传输到发送缓存区，在进行传输之前，一个写操作要等到 24 个 SCLKs 完成以后。内部寄存器用于控制 ADC 的功能。图 7 描述了用户可以用到的内部寄存器。

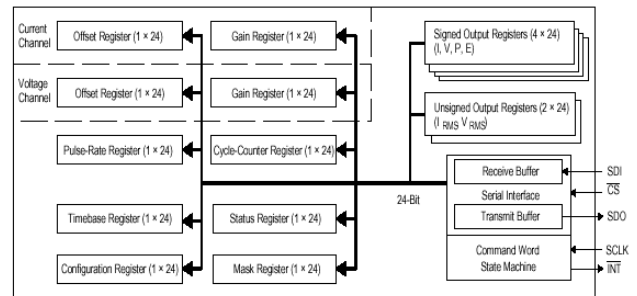


图 7. CS5460 寄存器图

系统初始化或复位后，串口状态机初始化为命令模式，等待接收有效的命令（时钟输入串口的前 8 位）。除了接收和解码有效的命令，状态机还指示转换器进行系统的运行或从内部寄存器的数据传输。命令字部分可以用来解释所有有效的命令。

状态机要将命令字译成公认的标准。如果命令字 MSB 位是逻辑 0 (B7=0)，串口进入数据传输模式。在数据传输模式中，内部寄存器被读取或写入。命令字通知寄存器写操作必须是以 24 位数据形式进行的。例如要向配置寄存器写入，用户只需发送一个 (0x40) 命令就可以启动写操作。于是当串行时钟脉冲 24 次时，ADC 从 SDI 管脚得到串行数据输入。一旦状态机得到数据，它将把数据写入配置寄存器并回到命令模式。命令字通知寄存器读操作可以用 8 位的边界来结束（读取传输长度可以是 8 位，16 位或 24 位）。数据寄存器也允许读“命令链”。例如，一个命令字通知状态机来读取有符号的输出寄存器，在 16 位数据的可用脉冲 SCLK 之后，一个写操作命令字（例如清除状态寄存器）会到 SDI 脚，余下的 8 位数据从 SDI 脚出来。

命令字（只写）

所有的命令字长度都为 1 个字节，写入寄存器的命令是用寄存器中 3 个字节的数据来启动的。从寄存器读取的命令必须按照寄存器读取数据的 1, 2 或 3 字节来进行。读取数据的命令可以和其它命令链接到一起（当读取数据时，一个新的命令可以发送到 SDI，并可以在原来的读取结束前执行），这点考虑到了“命令链”的需要。

开始转换

B7	B6	B5	B4	B3	B2	B1	B0
1	1	1	0	C	0	0	0

这个命令是指状态机开始获取测量和计算结果，设备有两种获取模式

- C 测量模式
 0=执行单计算周期
 1=执行连续计算周期

SYNC0 命令

B7	B6	B5	B4	B3	B2	B1	B0
1	1	1	1	1	1	1	0

这个命令是串口重新初始化序列的结束部分，它也可以作为 NOP 命令，串口可以通过发出 3 个及以上 SYNC1 加一个 SYNC0 来使串口与字节界限重新同步。

SYNC1 命令

B7	B6	B5	B4	B3	B2	B1	B0
1	1	1	1	1	1	1	1

这个命令是串口重新初始化序列的一部分，它也可以作为 NOP 命令，但不能传输 3 个以上的连续字节。

加电/停止控制

B7	B6	B5	B4	B3	B2	B1	B0
1	0	1	0	0	0	0	0

如果装置掉电，这个命令将使设备加电。在通电时，不进行计算。如果已通电，所有计算被终止。

掉电控制

B7	B6	B5	B4	B3	B2	B1	B0
1	0	0	S1	S0	0	0	0

设备有两种掉电模式来保持供电，如果芯片处于待命模式，除了时钟发生器以外所有电路都被关闭。

- S1, S0 掉电模式
 00=保留
 01=停止并进入待命功率节省模式，这种模式允许快速通电
 10=停止并进入睡眠功率节省模式，这种模式需要一个较长的通电时间。
 11=保留

校准控制

B7	B6	B5	B4	B3	B2	B1	B0
1	1	0	Cv	Ci	0	GC	OC

设备可以执行系统偏置校准和增益校准。在校准周期前，用户必须向装置提供适当的输入。

- Cv, Ci 指定校准通道
 00=禁止
 01=校准电流通道
 10=校准电压通道
 11=电压通道，电流通道同时校准
- GC 指定增益校准
 0=正常运行
 1=执行增益校准
- OC 指定偏置校准
 0=正常运行
 1=执行偏置校准

寄存器读/写命令

B7	B6	B5	B4	B3	B2	B1	B0
0	W/ \bar{W}	RA4	RA3	RA2	RA1	RA0	0

这个命令通知状态机需要对寄存器进行访问，地址寄存器的读取被加载到输出缓冲区并储存在 SCLK 上。在第 24 个 SCLK，写入数据被选通到输入缓存并传输到地址寄存器。

W/ \bar{R} 写入/读取控制
 0=读取寄存器
 1=写入寄存器

RA[4: 0] 寄存器地址位，二进制编码为 0~31。所有寄存器都是 24 位长度。

地址	名称	描述
00000	Config	配置寄存器
00001	Loff	电流偏置校准
00010	Lgn	电流增益校准
00011	Voff	电压偏置校准
00100	Vgn	电压增益校准
00101	Cycle Count	转换成整数的数目 (N)
00110	Pulse-Rate	用以校准/测量能量以频率输出
00111	I	上一次电流值
01000	V	上一次电压值
01001	P	上一次功率值
01010	E	上一个周期总的能量值
01011	I _{RMS}	上一个周期 REM 电流值
01100	V _{RMS}	上一个周期 REM 电压值
01101	TBC	时基校准
01110	Test	只能内部使用 **
01111	Status	状态寄存器
10000	Res	转换
:	:	:
10111	Res	转换
11000	Test	只能内部使用 **
11001	Test	只能内部使用 **
11010	Mask	中断屏蔽寄存器
11011	Test	只能内部使用 **
11100	Res	转换
:	:	:
11111	Res	转换

** 这些寄存器只能在内部使用，不能被写入。访问这些寄存器是不会在状态寄存器中产生一个“残缺命令”(\bar{IC})位的。

串口接口

CS5460 串口包括 4 个控制线： \overline{CS} ，SDI，SDO，SCLK。

\overline{CS} ，片选，是允许访问串口的控制线。如果 \overline{CS} 与逻辑 0 相连，端口可以看作一个 3 线端口。

SDI，串行数据输入，是用来把数据传输到转换器的数据信号。

SDO，串行数据输出，是从转换器输出数据信号。当 \overline{CS} 为逻辑 1 时，SDO 输出将保持高阻抗。图 8 描述了向串口缓存写入或从串口缓存读取数据所需的串行时序。

SCLK，串行时钟，是控制从 AD 转换器或向 AD 转换器的串口转移数据的串行位时钟。在 SCLK 能被逻辑端口识别之前， \overline{CS} 必须被置为逻辑 0。为了调节光隔离器，SCLK 用一个施密特触发器来修正输入时钟沿，以允许光隔离器用较慢的上升和下降时间来直接驱动管脚。另外，SDO 可以用 5mA 的电流来直接驱动光隔离器 LED，当电流达到 5mA 时，SOD 的驱动电压损耗小于 400mV。

如图 8 所示，一个数据的传输总是从向串口(SDI 脚)发送适当的 8 位命令(最先是 MSB)开始的。注意有些命令使用周期计数和配置寄存器的信息来

完成功能是很重要的。因此，对于这些命令，首先向寄存器写入正确的信息是很重要的。

当命令中包括一个写入操作时，在下面 24 个 SCLK 周期内串口将持续 SDI 脚数据位时钟（最先是 MSB 位）。当发出一个读取命令时，串口将根据发出的命令，在下面的 8, 16 或 24 个 SCLK 周期初始化串行传输 SDO 管脚上的寄存器的内容位。注意，当读取寄存器数据时，微控制器允许发出新的命令，新的命令将立即被执行并结束所有寄存器的读取。

串口初始化

无论是执行复位还是端口初始化序列结束后，串口都会初始化为命令模式。端口初始序列包括 3 个(或更多)SYNC1 命令字节(0xFF), 跟着是 SYNC0 命令字节 (0xFE)。这个序列使芯片进入命令模式，并等待有效的命令。

系统初始化

可以在任意时刻进行一个软件或硬件的复位。软件复位是通过向配置寄存器的 RS (系统复位) 位写入逻辑 1 来实现的，复位以后自动恢复为逻辑 0。在第 32 个 SCLK 结束时，内部按 3 或 4 个 DCLK

(MCLK/K) 来同步延迟配置寄存器的。然后，复位电路在 MCLK 的第一个下降沿开始复位任务。硬件复位是通过强制给 \overline{RESET} 管脚加上最低 50ns 脉宽的低电平来实现的。 \overline{RESET} 信号是异步的，不需要 MCLK 来检测或储存复位事件。当 \overline{RESET} 被禁止时，内部复位电路保持 5 个 MCLK 周期有效，确保装置中的同步电路被复位。当 \overline{RESET} 被禁止后，调制器保持 12 个 MCLK 周期的复位状态，内部寄存器（其中一些驱动输出管脚）在检测到复位事件后的第一个 MCLK 会被置为缺省值。复位后，片上寄存器初始化为以下状态，转换器处于命令模式等待有效的命令。

配置寄存器:	0x000001
偏置寄存器:	0x000000
增益寄存器:	0x400000
脉冲-速率寄存器:	0x0FA000
周期计数寄存器:	0x000FA0
时基寄存器:	0x800000
状态寄存器:	0x000001
屏蔽寄存器:	0x000000
符号寄存器:	0x000000
无符号寄存器:	0x000000

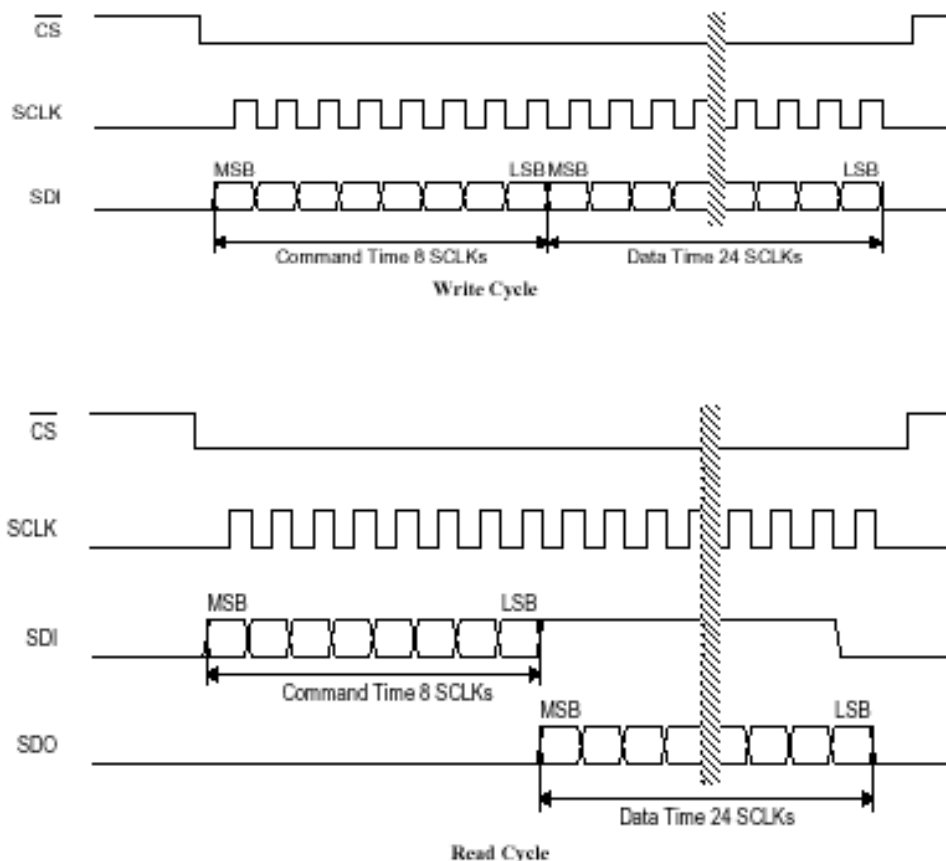


图 8. 命令和数据字计时

寄存器描述

注释: * “RA[4: 0]” ⇒ 寄存器读/写命令中的寄存器地址位

** “缺省” ⇒ 复位后的状态位

配置寄存器(RA[4:0]*=0x00)

23	22	21	20	19	18	17	16
PC3	PC2	PC1	PC0	0	0	0	Gi
15	14	13	12	11	10	9	8
EWA	PH1	PH0	SI1	SI0	EOD	DL1	DL0
7	6	5	4	3	2	1	0
RS	VHPF	IHPF	iCPU	K3	K2	K1	K0

配置寄存器缺省值**是 0x000001

- K[3:0]** 时钟分配器，A4 位的二进制值可以是 0~15，用来分割 MCLK 的值产生内部时钟 DCLK。内部时钟频率 $DCLK=MCLK/K$ ，有效值是 1, 2, 4。
 0001=除以 1 (缺省值)
 0010=除以 2
 0100=除以 4
- iCPU** 反转 CPUCLK 时钟，为了减少模拟信号取样时的噪声，在取样沿 CPUCLK 应无效。
 0=正常模式
 1=当 CPUCLK 驱动上升沿逻辑时使噪声最小
- IHPF** 控制电流通道的高通滤波器的使用
 0=高通滤波器被禁止。如果 VHPF 被设置，使用所有全通滤波器。否则禁用任何滤波器。(缺省)
 1=高通滤波器有效
- VHPF** 控制电压通道的高通滤波器的使用
 0=高通滤波器被禁止。如果 VHPF 被设置，使用所有全通滤波器。否则禁用任何滤波器。(缺省)
 1=高通滤波器有效
- RS** 当置 1 时启动一次芯片的复位周期，复位周期持续时间小于 10 个 XIN 期。复位周期结束时，RS 位自动恢复 0。
- DL0** 当 EOD=1 时， \overline{EDIR} 成为用户定义管脚，DL0 设置 \overline{EDIR} 的值，缺省值= ‘0’。
- DL1** 当 EOD=1 时， \overline{EOUT} 成为用户定义管脚，DL1 设置 \overline{EOUT} 的值，缺省值= ‘0’。
- EOD** 允许 DL0, DL1 控制 \overline{EDIR} 和 \overline{EOUT} 管脚。 \overline{EDIR} 和 \overline{EOUT} 管脚也可以通过状态寄存器访问。
 0= \overline{EDIR} 和 \overline{EOUT} 管脚正常运行 (缺省)
 1=由 DL0, DL1 控制 \overline{EDIR} 和 \overline{EOUT} 管脚
- SI[1: 0]** 软中断配置，选择适当管脚指示中断。
 00=激活低电平 (缺省)
 01=激活高电平
 10=下降沿 (INT 处于正常高电平)
 11=上升沿 (INT 处于正常低电平)
- PH[1: 0]** 设置 EOUT 和 EDIR 输出管脚脉冲的相位。处于不同相位的 EOUT 和 EDIR 管脚可以被一起线或，来对不同的频率部分取和。
 00=相位 0 (缺省)
 01=相位 1
 10=相位 2
 11=相位 3
- EWA** 允许多个芯片的 EOUT 和 EDIR 管脚连在一起线与，使用一个外部拉升装置。
 0=正常输出 (缺省)

1=仅在这些 EOUT 和 EDIR 脚的拉低装置激活时

Gi 设置电流 PGA 增益
 0=增益是 10 (缺省)
 1=增益是 50

Res 保留, 必须设置为 0。

PC[3:0] 相位补偿。一个二进制补码用来设置电压通道延时, 数字值与电压通道延时成比例。60Hz 时相位调整范围大约为-2.4~+2.5 度。60Hz 时每步大约是 0.34 度。
 0000=0 度相位延时 (缺省)

电流偏置寄存器 (RA[4: 0]*=0x01) & 电压偏置寄存器 (RA[4: 0]*=0x03)

MSB										LSB					
SIGN	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻⁸	2 ⁻¹⁸	2 ⁻¹⁹	2 ⁻²⁰	2 ⁻²¹	2 ⁻²²	2 ⁻²³	2 ⁻²⁴

电流/电压偏置寄存器的缺省值**是 0.000

复位时, 偏置寄存器初始化为 0, 允许装置工作并进行测量, 当接收到适当的输入, 并接收到校准命令时, 在一个周期后, 寄存器被加载系统偏置。寄存器通过这种方式读取和储存, 以便将来通电时, 寄存器储存的适当的系统偏置补偿。寄存器的值在 ±1/2 满量程范围之内。

电流增益寄存器 (RA[4: 0]*=0x02) & 电压增益寄存器 (RA[4: 0]*=0x04)

MSB										LSB					
2 ¹	2 ⁰	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻¹⁶	2 ⁻¹⁷	2 ⁻¹⁸	2 ⁻¹⁹	2 ⁻²⁰	2 ⁻²¹	2 ⁻²²

电流/电压增益寄存器的缺省值**是 1.000

复位时, 增益寄存器初始化为 1.0, 允许装置工作并进行测量, 当接收到适当的输入, 并接收到校准命令时, 在一个周期后, 寄存器被加载系统偏置。寄存器通过这种方式读取和储存, 以便将来通电时, 寄存器储存的适当的系统偏置补偿。寄存器的值在 0.0 ≤ 增益 < 4.0 范围之内。

周期计数寄存器 (RA[4: 0]*=0x05)

MSB										LSB					
2 ²³	2 ²²	2 ²¹	2 ²⁰	2 ¹⁹	2 ¹⁸	2 ¹⁷	2 ¹⁶	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰

周期计数寄存器的缺省值**是 4000

周期计数寄存器决定能量和 RMS 转换的长度。转换周期的计算公式是 (MCLK/K) / (1024*N), 其中 MCLK 是主时钟, N 是周期计数, 为了执行 I_{RMS}, V_{RMS} 和能量计算, N 必须大于 10。

脉冲速率寄存器 (RA[4: 0]*=0x06)

MSB										LSB					
2 ¹⁸	2 ¹⁷	2 ¹⁶	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹	2 ⁰	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵

脉冲速率寄存器的缺省值**是 32000.00Hz

脉冲速率寄存器决定了 \overline{EOUT} 管脚的脉冲输出串的频率, 每个 \overline{EOUT} 脉冲代表一个额定的能量数量。寄存器的最小有效值为 2⁻⁴, 也能增用到 2⁻⁵。

I,V,P,E 符号输出寄存器结果 (只读) (RA[4: 0]*=0x07-0x0A)

MSB										LSB					
SIGN	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻¹⁷	2 ⁻¹⁸	2 ⁻¹⁹	2 ⁻²⁰	2 ⁻²¹	2 ⁻²²	2 ⁻²³

符号寄存器包括 I, V, P, E 上一次测量结果, 结果值域为 -1.0 ≤ I, V, P, E < 1.0, 值用二进制补码表示, 小数点在 MSB (符号位) 右侧。I, V, P, E 是包含带符号值的输出结果寄存器。

I_{RMS} , V_{RM} 无符号输出寄存器结果 (只读) ($RA[4:0]^*=0x0B-0x0C$)

MSB											LSB				
2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻⁷	•••••	2 ⁻¹⁸	2 ⁻¹⁹	2 ⁻²⁰	2 ⁻²¹	2 ⁻²²	2 ⁻²³	2 ⁻²⁴

无符号寄存器包括 I_{RMS} , V_{RM} 上一次计算结果, 值域 $0.0 \leq I_{RMS}, V_{RM} < 1.0$, 结果用二进制计数法表示, 小数点在 MSB 左侧, I_{RMS} , V_{RM} 是包括无符号值的输出结果寄存器。

时基校准 ($RA[4:0]^*=0xD$)

MSB											LSB				
2 ⁰	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	•••••	2 ⁻¹⁷	2 ⁻¹⁸	2 ⁻¹⁹	2 ⁻²⁰	2 ⁻²¹	2 ⁻²²	2 ⁻²³

时基校准寄存器的缺省**值是 1.000

复位后, 时基寄存器被初始为 1.0, 允许装置工作并执行计算, 寄存器用用户加载的时钟频率误差来补偿由晶片/振荡器造成的增益误差。值域 $0.0 \leq TBC < 2.0$

状态寄存器 ($RA[4:0]^*=0x0F$) & 屏蔽寄存器 ($RA[4:0]^*=0x1A$)

23	22	21	20	19	18	17	16
DRDY	EOUT	EDIR	Res	MATH	Res	IOR	VOR
15	14	13	12	11	10	9	8
PWOR	IROR	VROR	EOR	EOOR	Res	Res	Res
7	6	5	4	3	2	1	0
Res	Res	WDT	VOD	IOD	LSD	0	\overline{IC}

状态寄存器的缺省**值是 0x000001

屏蔽寄存器的缺省**值是 0x000000

状态寄存器用来指示芯片的状态。通常情况, 写一个 ‘1’ 到一位, 会使该位变成 ‘0’ 状态。写一个 ‘0’, 则该位保持原来状态不变。通过这种性能, 用户可以通过回写状态寄存器来清除目前的位, 而不用考虑清除新设置的位。即使一个状态位被屏蔽禁止中断, 状态位还是被设置到寄存器上, 用户可以查询其状态。

屏蔽寄存器用来控制 \overline{INT} 的活动, 向屏蔽寄存器写一个 ‘1’, 当状态位有效时, 它将使状态寄存器相应的位激活 \overline{INT} 管脚。

\overline{IC}	无效命令, 正常值为逻辑 1。当命令无效时置为逻辑 0。只有向端口发出一个端口初始序列时才无效。当写入状态寄存器时, \overline{IC} 位被忽略。
LSD	低电源检测, 当 PFMON 脚下降到相对于 VA-脚低于 2.5V 时被置位。
IOD	电流通道调制器振荡检测, 当调制器振荡输入高于满量程时被置位。
VOD	电压通道调制器振荡检测, 当调制器振荡输入高于满量程时被置位。
WDT	看门狗, 能量寄存器超过 5 秒没有读取时被置位。(MCLK=4.096MHz,K=1)为了清除 WDT 位, 首先要读取能量寄存器, 然后将 WDT 位设为逻辑 1, 写入状态寄存器。
EOOR	EOUT 能量/电流求和寄存器超出范围, 原因可能是输出字速率太低, 以至于无法被测量。可以通过设定一个脉冲速率寄存器较高的频率来解决这个问题。
EOR	能量超出范围。当校准能量值对于输出字过大或过小时被置位。
VROR	RMS 电压超出范围, 当校准 RMS 电压值对输出字过大时被置位
IROR	RMS 电流超出范围, 当校准 RMS 电压值对输出字过大时被置位
PWOR	功率计算超出范围
VOR	电压超出范围, 当校准 RMS 电压值对输出字过多或过少时被置位
IOR	电流超出范围, 当校准 RMS 电流值对输出字过多或过少时被置位
MATH	一般计算误差 (例如被 0 除)
EDIR	当能量和小于 0 时被置位, 与 EOUT 同时置位或清除。
EOUT	指当能量-频率转换达到能量的界限时, EOUT 脚将产生一个脉冲串 (如果有效)。当能量速率下降到低于 4KHz EOUT 管脚速率水平, EOUT 自动清除。EOUT 位还可以通过向状态寄存器写入来清除。EOUT 位最大频率是 4KHz (当 MCLK/K 是 4.096MHz)
DRDY	数据就绪, 在校准或转换周期结束时被置位

功能描述

中断和看门狗

中断

\overline{INT} 管脚用来指示转换器发生了值得注意的事件。这些事件通知系统运行的状态和内部误差状态。通过把状态寄存器与屏蔽寄存器组合产生 \overline{INT} 信号。当状态寄存器的一个位有效，并且屏蔽寄存器相应的位是逻辑 1， \overline{INT} 信号被激活。当状态寄存器的这一位恢复为无效时，中断状态被清除。

清除状态寄存器

与其它的寄存器不同，状态寄存器的位只能被清除（设置为逻辑 0）。当向状态寄存器写入字时，字中的任何 1 都可以清除状态寄存器相应的位，其它位保持不变。这可以在不清楚其它位的情况下，清除特定位。这种机制方便了信号交换，并将丢失未处理事件的危险性减到最小。

\overline{INT} 管脚典型应用

下面步骤说明如何处理中断

初始化

步骤 I0—向状态寄存器写 FFFFFFFF（16 位），所有状态位被清零；

步骤 I1—屏蔽寄存器用来产生的中断状态位写为逻辑 1；

步骤 I3—使中断有效

中断处理器例程

步骤 H0—读取状态寄存器

步骤 H1—使所有中断无效

步骤 H2—转移到适当的中断服务例程

步骤 H3—将 H0 读取的值写回，清除状态寄存器

器

步骤 H4—重新使中断有效

步骤 H5—从中断服务例程恢复

这个信号交换过程保证了在 H0—H3 发生的新中断不会被 H3 清除。

\overline{INT} 激活状态

\overline{INT} 的激活由配置寄存器的 SI1 和 SI0 位控制，管脚可以被置为低电平（缺省），置为高电平，恢复逻辑 0（上升沿），或恢复逻辑 1（下降沿）。

例外

状态寄存器的 \overline{IC} 位（无效命令）只能由执行端口初始化系列清零， \overline{IC} 位也是唯一的状态寄存器低电平位。

为了正确清除状态寄存器 WDT 位（看门狗），必须先读取能量寄存器，再清除寄存器的 WDT 位。

看门狗

看门狗（WDT）提供一种警告系统与微控制器的通讯可能崩溃的手段，通过允许 WDT 产生中断，微控制器可以从死机状态跳出来。超时被编程为大约 5 秒。每次能量寄存器被读取，递减计数都重新启动。在典型情况下，每秒能量寄存器都被读取，因此，WDT 不会超时。在将看门狗用在其他方面时，必须能够保证能量寄存器至少每 5 秒读取一次。

振荡器特性

XIN 和 XOUT 分别是一个求反放大器的输入和输出来提供振荡器和配置为片上振荡器，如图 10 所示。振荡器电路与一个石英晶片或陶瓷协振器一起工作。

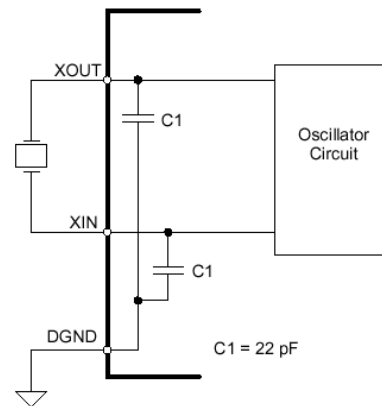


图 9. 振荡器连接图

为了减少电路损耗（ C_{OUT} ），两个负载电容器 C1 集成在设备上，一个在 XIN 与 DGND 之间，一个在 XOUT 与 DGND 之间，导线长度应尽量短来减少寄生电容。因为有这些电容器，振荡器电路可以产生高达 20MHz 振荡。为了通过外部时钟源驱动信道，当 XIN 由外部电路驱动时，XOUT 应该不连接。在 XIN 和提供 CMOS 电子信号的数字部分间有一个放大器，放大器用正弦输入工作，所以不存在慢沿时间问题。

CS5540 可以由 3~20MHz 时间驱动，表 2 显示了时刻分割值 k（缺省值为 1）。为了正常运行，CS5540 需要被编程。

K	CLK (Min) MHz	CLK (Max) MHz
1	2.3	5
2	5	10
4	10	10

表 2. CPU 时钟（和 K）限制

模拟输入

CS5540 在每个输入通道上都有 150mVrms 满量

程范围。系统校准可以用来增加或减少转换器满量程变化范围，同时校准寄存器值必须在规定限度内，详细内容见校准部分。

当内部 50×增益放大器有效时，电流输入通道输入范围为 30mVrms。这个范围是为了处理分流器传感器的低电平信号。

电压参考

CS5540 规定 VREFIN 和 AGND 间所用参考电压为+2.5V，转换器包括一个内部 2.5V 参考电压（60ppm/°C 偏移），可以用来连接 VREFIN 和 VREFOUT。如果需要更高的精确率/稳定性，可以使用如 LT1019—2.5 的外部参考。

执行校准

CS5540 提供的两个直流校准模式：系统偏置和系统增益。对于系统校准，用户必须向转换器提供表示地和满量程的校准信号。用户在执行系统增益校准时，必须提供正极满量程，执行系统偏置校准时，必须提供地基准信号。偏置和增益信号必须在每个校准步骤和通道的限制内。因为每个转换器通道都有与之相连的自己的偏置、增益寄存器，系统偏置和增益校准可以在每个通道上执行而校准结果不会互相影响。

一个校准周期结束后，DRDY 被设置，校准结果被存在增益寄存器或偏置寄存器中。注意，如果要执行附加的校准，最后的校准结果将代替先前的校准。任何情况下，偏置和增益校准步骤用一个周期完成。当器件复位后，设备不需校准就可以执行测量。转换器通过片上寄存器（增益=1.0，偏置=0.0）的值来计算功率信息。尽管设备可以不进行偏置和增益校准，但片上内部电路的初始的偏置增益误差将回保留。

系统校准

为了执行系统校准功能，用户必须向转换器提供表示地和满量程的校准信号。当执行系统偏置校准时，必须向转换器提供地基准信号。图 10 显示了偏置系统校准。

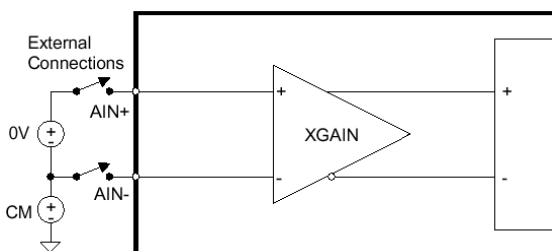


图 10. 偏置系统校准

如图 11 所示，执行增益系统校准，用户必须输入代表正极满量程的信号。任何一种情况下，校准信号必须在每一校准步骤的限度内（参见第 3 页的满量程校准范围）

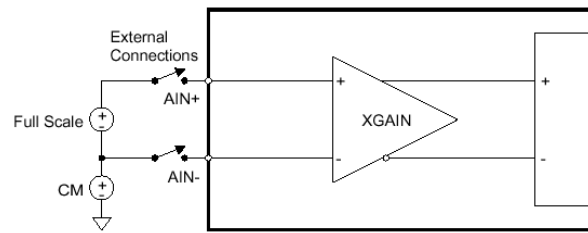


图 11. 增益系统校准

校准提示

为了使设备周围的数字噪声最小，用户在读写串行端口时应等待每个校准步骤完成。校准执行后，偏置和增益寄存器内容可以由系统微控制器读取，并保存在内存中。当系统第一次加电时或电流通道增益范围改变时，相同的校准字可以被上载到偏置和增益寄存器。

偏置校准须在增益校准前进行。每个增益校准都须依据从偏置校准得到的 0 校准点。每步增益和偏置校准都用一个转换周期完成。校准结束后，DRDY 被置位，表示校准完成。

校准范围限度

系统校准可以被芯片内模拟信号通道允许的最大信号幅度限制，如在模拟输入部分讨论的一样，对于增益校准，满量程信号可以被减少到使增益寄存器达到上限的点（4-2²² 限制）。在标称情况下，满量程输入等于标称满量程的 1/4。由于转换器内部增益误差，这个满量程信号可能会高些或低些。在模拟特性定义满量程校准范围（FSCR）的最小值，已经考虑了内部增益误差。另外输入满量程信号可以增加至使调制器 1 密度达到 80% 的极限值的点，在标称状况下，满量程输入信号是满量程标称的 1.5 倍。由于芯片内部增益误差，这个输入满量程信号可能会高一些或低一些。在定义 FSCR 最大值时，已经考虑了内部增益误差。

PCB 布局

CS5460 在布局时应将其周围部分接地，AGND 与 GDND 管脚与周围部分相连，通过开一缺口和数字部分连接以免干扰。

注释：布局详细信息见 CDB5460 数据表，注释 18 有更详细的布局指导，布局前。请打电话给我们，您将得到免费的系统评价服务。

管脚描述

Crystal Out	XOUT	1	24	XIN	Crystal In
CPU Clock Output	CPUCLK	2	23	SDI	Serial Data Input
Positive Digital Supply	VD+	3	22	EDIR	Energy Direction Indicator
Digital Ground	DGND	4	21	EOUT	Energy Output
Serial Clock Input	SCLK	5	20	INT	Interrupt
Serial Data Output	SDO	6	19	RESET	Reset
Chip Select	CS	7	18	NC	No Connect
No Connect	NC	8	17	PFMON	Power Fail Monitor
Differential Voltage Input	VIN+	9	16	IIN+	Differential Current Input
Differential Voltage Input	VIN-	10	15	IIN-	Differential Current Input
Voltage Reference Output	VREFOUT	11	14	VA+	Positive Analog Supply
Voltage Reference Input	VREFIN	12	13	VA-	Analog Ground

时钟发生器

XOUT, XI——晶片输出，晶片输入，管脚 1, 24。

芯片内的一个选通与这些管脚相连，可以和晶片一起使用为驱动器提供系统时钟。另外，一个外部时钟（与 CMOS 时钟兼容）也可以与管脚 XIN 一起为驱动器提供系统时钟。

CPUCLK——CPU 时钟输出，管脚 2

片上振荡器输出可以驱动一个标准 CMOS 负荷。

控制管脚和串行数据 I/O

CS——芯片选择，管脚 7

当低态有效时，端口可以识别 SCLK。该管脚高态有效是 SDO 管脚处于高阻抗状态。当 SCLK 处于低电平时，CS 应改变。

SDI——串行数据输入，管脚 23

SDI 时串行数据端口的输入管脚。数据的输入速率由 SCLK 决定。

SDO——串行数据输出，管脚 6

SDO 是串行数据端口的输出管脚。当 CS 高时，其输出将处于高阻抗状态。

SCLK——串行时钟输入，管脚 5

该管脚的时钟信号分别决定 SDI 和 SDO 管脚的数据输入和输出速率。这一输入是一个允许低时间信号的施密特触发器，只有当 CS 低时，SCLK 管脚才能识别时钟。

INT——中断，管脚 20。

当 INT 处于低值时，标志着外部结果寄存器已经更新。可以通过向 CS5460 写入适当命令来使 INT 清空（逻辑 1）。

EOUT——能量输出，管脚 21

能量输出管脚输出一个固定宽度脉冲率与一与能量成比例的速率（可编程）一起输出。

EDIR——能量方向指示器，管脚 22

如果测量到的能量是负值，能量方向指示器发出指示。

测量和基准输入

IIN+, IIN-——差分电流输入，管脚 16, 15

电压通道的差分模拟输入管脚。

VIN+, VIN-——差分电压输入，管脚 9, 10

电压通道的差动模拟输入管脚。

VREFOUT—电压参考输出，管脚 11

芯片上的参考电压是该管脚的输出。电压参考的名义值为 2.5V，其值是参考转换器上的 AGND 管脚。

VREFIN—电压参考值输入，管脚 12

该管脚的电压输入给芯片上的调制器建立了电压参考。

供电连接**VA+—正极模拟电源，管脚 14。**

与 AGND 相比，正极模拟电源通常为 $+5V \pm 10\%$ 。

AGND—模拟接地，管脚 13。

模拟管脚接地必须是在最低电势。

VD+—正极数字电源，管脚 3。

与 DGND 相比，正极数字供电电源常为 $+5V \pm 10\%$ 。

DGND—数字接地，管脚 4。

数字接地与 AGND 具有相同的电平。

PFMON—掉电监视，管脚 17。

该管脚监视模拟模拟电源，其典型阈值参照 AGND 为 2.5V。

 \overline{RESET} —复位，管脚 19。

当复位在低电平时，所有内部寄存器都被设置为其缺省值。

其它**NC—不连接，管脚 8, 18。**

不连接。管脚应使其可移动。

技术说明定义**线性误差**

代码与从连接 SDC 传送器功能两个端点的连线的偏差。一个端点在第一个代码传输下 $1/2LSB$ ，另一个端点在传输到所有 1 上 $1/2LSB$ 。单位为满量程的百分比。

非线性差分

代码宽度与理想宽度的偏差。单位为 LSBs。

满量程误差

最后代码传输与理想值 $\{VREF+\} - \{VREF-\} - 3/2LSB$ 的偏差。单位为 LSBs。

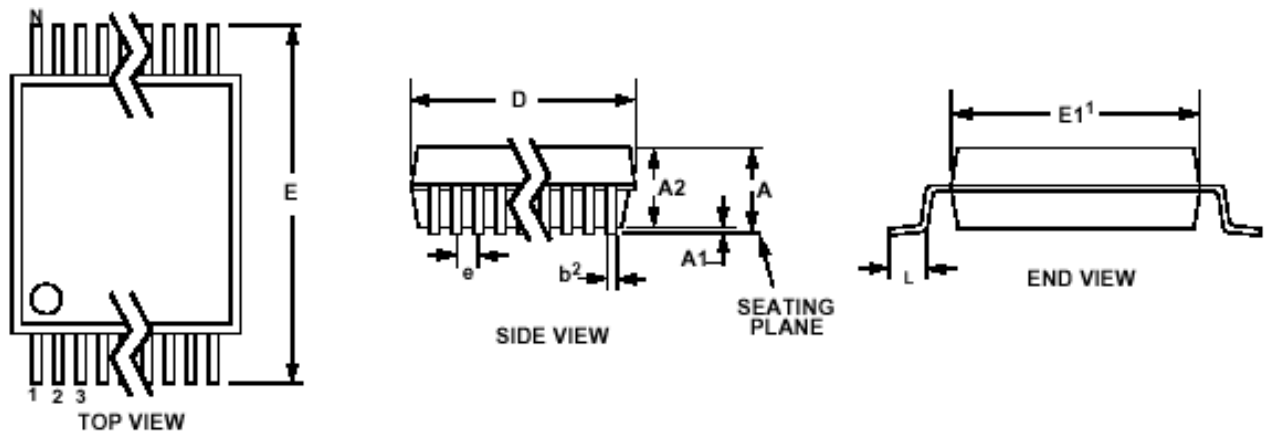
单极偏置

最后代码传输与理想值（比 AIN 管脚电压高 $1/2LSBs$ ）的偏差，单位为 LSBs。当在单极模式时（ U/B 字节=1），单位为 LSBs。

双极偏置

中量程传输（111...111~000...000）与理想值（比 AIN 管脚电压低 $1/2LSBs$ ）的偏差，当在单极模式时（ U/B 字节=0），单位为 LSBs。

封装尺寸



尺寸	英 寸		厘 米		注释
	最小值	最大值	最小值	最大值	
A	--	0.084	--	2.13	
A1	0.002	0.010	0.05	0.25	
A2	0.064	0.074	1.62	1.88	
b	0.009	0.015	0.22	0.38	2, 3
D	0.311	0.335	7.90	8.50	1
E	0.291	0.323	7.40	8.20	
E1	0.197	0.220	5.00	5.60	1
e	0.024	0.027	0.61	0.69	
L	0.025	0.040	0.63	1.03	
∞	0°	8°	0°	8°	

- 注释:
1. “D”和“E1”是参考数据，不包括焊点或突出，但包括不符合的焊接并且在分界线测量的，每边的焊点或突出不超过0.20mm。
 2. 尺寸“b”不包括 DAMBAR 突出/凹入部分。在最大材料条件下，DAMBAR 突出允许超过尺寸“b”的总和为0.13mm，在最小材料条件下，DAMBAR 凹入部分减少尺寸“b”不超过0.07mm，
 3. 这些尺寸适用于从导线头0.1—0.25mm间的导线的扁平部分。