16bits/20bits 桥式传感 A/D 转换器

CS5516 和 CS5520 是将应变计、负荷传感器和压力传感器产生的低电平信号数字化的完善的解决方案。包括要求电桥激发的产品在内的任何毫伏级输出传感器可直接与 CS5516 或 CS5520 连接。这种器件提供片上可编程仪器放大器模块、直流或交流电桥激发、以及可选择参考软件及信号调制。

CS5516 使用 Delta-Sigma 调制技术，在输出率为 60 赫兹时可实现 16 位分辨率。CS5520 在输出率为 60 赫兹时，分辨率可达 20 位。
CS5516 和 CS5520 可在用户设定的频率组上以外置 CMOS 时钟或晶体形式进行采样。保证了在时钟频率为 4.096Mhz 的情况下，高于 12Hz 的部分被滤掉。

CS5516 和 CS5520 的输入频道包括系统校准,可实现零偏移量和零增益误差。系统校准的数据值可在任何时间通过串行通讯接口读或写在校准 RAM 上。与数字校正相结合，4 位直流偏移数字至模拟（D/A）转换器可用于消除输入偏移量。

特性：

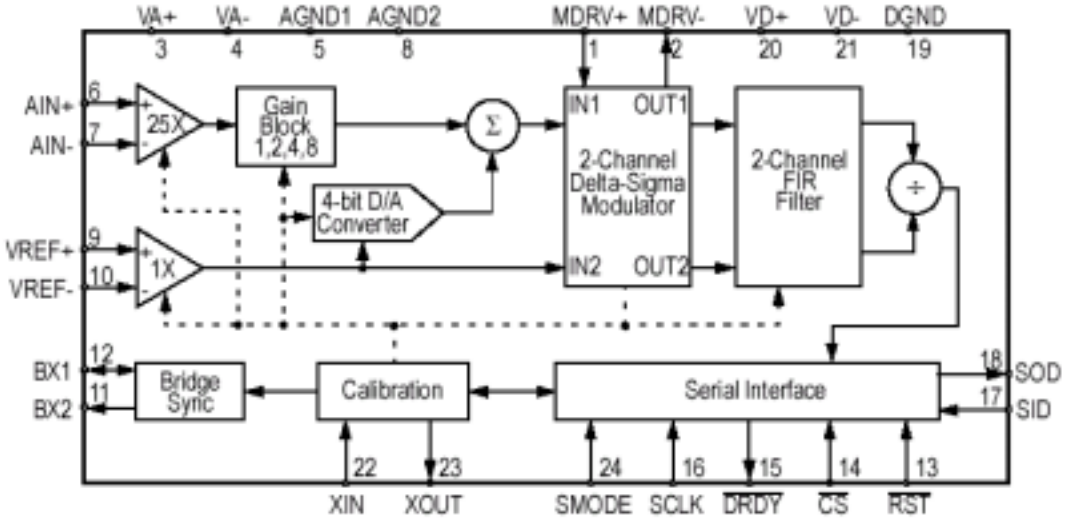
片上仪器放大器
片上可编程增益放大器
用于消除偏移量的片上 4 位 D/A 转换器
动态激发选项
线性误差: ±0.0015% FS
20 位无遗失编码
50 赫兹/60 赫兹下，CMRR > 200 分贝
带有读/写选项校准的系统校准能力
3 线、4 线或 5 线串行通讯接口
低功耗: 40 毫瓦
便携设备的 10 微瓦待命模式
封装：24 引脚 SOIC，24 引脚 PDIP

总体描述

CS5516 和 CS5520 是单片集成 CMOS 电平的 A/D 转换器，其内部包括一个仪器放大模块，增益可编程放大模块和一个用于补偿调整的 D/A 转换器，同时此设备用于惠斯通电桥测量电阻时可达到最佳值，通常被用来测量微信号。

每个设备提供了两通道的差分 Delta-Sigma 解调器（测量值输入和参考点输入），一个用于矫正的微处理控制器，两通道的数字滤波，一个可编程的放大模块，4bit 的 DAC 用于粗糙的补偿调整，AC 或 DC 整流模块和一个串行端口。CS5516 芯片输出的分辨率是 16 位,5520 是 20 位.

此芯片可以测量单极或双极的信号。自身调整部分可以使测量系统更加完美工作。更好的了解 5516/5520 将有助于检查桥式测量系统的错误。



5516/5520 的模块图

工作原理

见 5516/5520 的模块图。设备包括一个固定增益为 25 的放大器，跟随其后的是可编程的 1，2，4，8 增益电路。输入敏感度是由增益编程设置和参考电压 VREF+,VREF-连接外围设备的方式决定的。VREF 是参考电压，用于单极测量情况（值处于 VREF+，VREF-之间），+ -VREF 用于双极测量情况。G 是由编程设定的倍数，25 是机械放大的倍数。

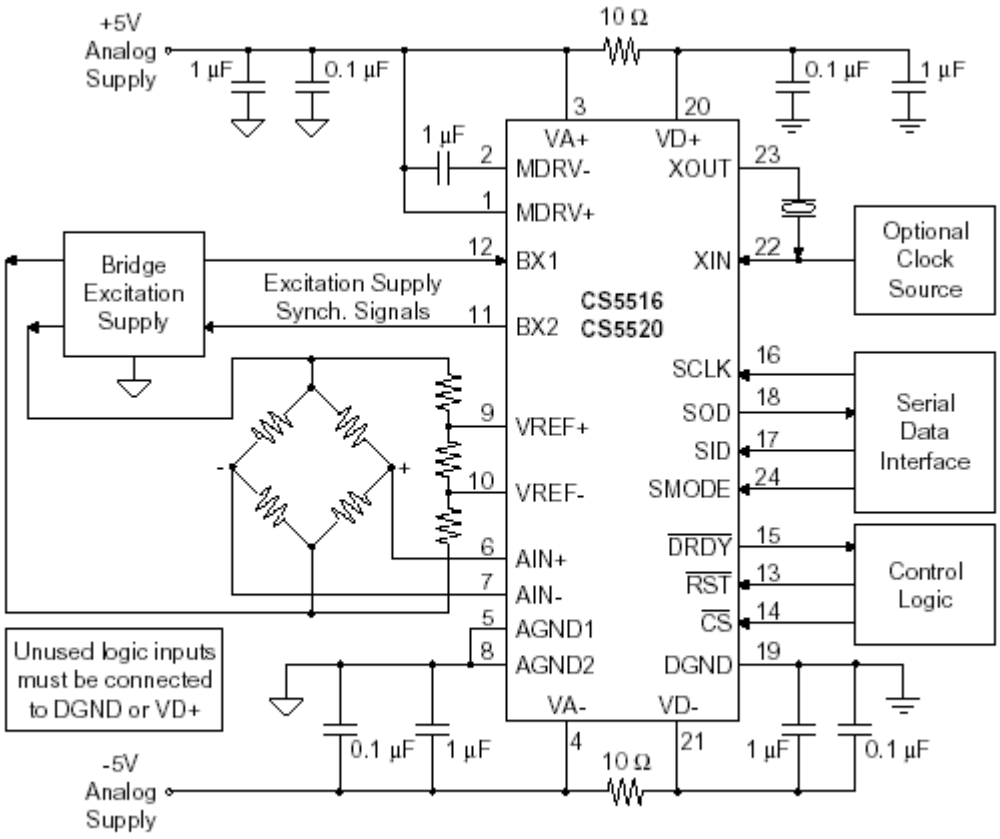


Figure 1. System Connection Diagram: AC Excitation Mode Using External Excitation

4 位的 DAC 模块输出通过程序增益模块整合进了信号输入部分。DAC 通过增加或降低模拟信号来实现补偿，可达到正负 200%的水平。

5516/5520 芯片用于测量桥式传感器的微信号输入,用 DC 桥式或 AC 桥式(转换）两点激发。在转换模式下，此芯片可以解调从桥式电路出来的参考电压和模拟电压输入。

5516/5520 芯片包括能控制芯片工作的微处理器，有八个不同的寄存器来决定芯片的工作模式。8 位的命令寄存器用来解释从串口接受的指令。从模块上电，设备复位，串口就进入了接受命令的初始模式。一旦八位的命令字被接受到和被解码，串口就进入数据传输模式。在数据传输模式下，24 个串行脉冲控制数据的输入输出。写数据时，数据必须跟随命令字之后。而读数据时，需要等待，只有在微处理器解码命令字后，控制寄存器才可读，24 位数据才读出。这时，微处理通过 DRDY=1 来发出数据可读的信号。

在读变化数据时，用户必须写满或读满 24bit 数据。而当 CS=0 时，即-CS 不激活，可以小于 24 位。-CS 不激活时，用户控制权释放并且新的数据更新到串口上。

用户通过配置寄存器，使微处理器按照指令工作。无论何时一个新的字被写入 24 位配置寄存器中，CPU 都将解码且执行指令。配置字位的数据不同，决定了工作方式的不同。

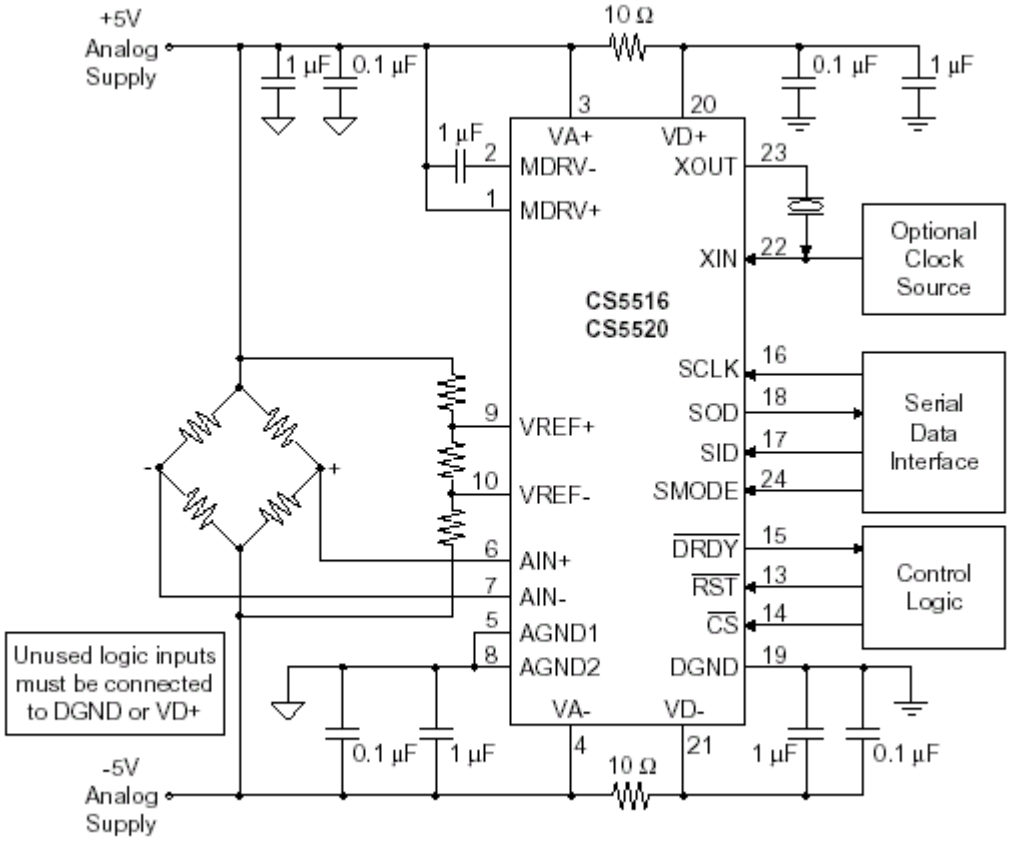


Figure 2. System Connection Diagram: DC Excitation Mode (EXC bit = 0), F1 = F0 = 0.

针脚描述：

电源

VD+ 数字电源正向输入端 一般+5V.

VD- 数字电源正向输入端 一般-5V.

DGND 数字地。

VA+ 模拟电源正向输入端 一般+5V.

VD- 模拟电源正向输入端 一般-5V.

AGND1 AGND2 模拟地。

时钟发生器

XIN- 输入

XOUT 输出

有一个内部集成的逻辑门连接此脚使晶振可以工作并且为设备提供主时钟。另外的一种选择是把一个外部的 CMOS 时钟连接 XIN，做输入，担任主时钟的脚色。

数字输入

-RST 初始化所有的寄存器成可知的状态和使串口处于命令模式。

-CS 使能信号 用于通过串口拓展的外部设备控制增益 （高电平时 SMODE=0，SOD 处于高阻抗）

SCLK 用于 SOD 脚的数据输出和 SID 脚的数据输入的时钟

SID 用于输入命令和配置字或者输入调制字，由 SCLK 决定。当无数据输入，不考虑此脚

SMODE 低电平 为 4，5 线传输接口模式 高电平为 3 线传输接口模式

模拟输入

AIN+ AIN- 来自传感器的输入 适时微分输入

VREF+ VREF- 模拟电压参考值输入

MDRV+ - 调制微分电压参考

内部集成的微分电压参考的正向端可以接到 VA+或者 AGND

MDRV- - 调制微分电压参考

-3.75 的 调制微分电压参考值输出，能够用于产生模拟电压参考，注意是相对与 MDRV+的值

数字输出

BX1 BX2 AC 桥式激发信号

用于驱动传感器 或者用做传感驱动电路的同步信号 0-5V

-DRDY data ready

低电平时 表示新的数据已经位于输出口

高电平时 表示所有串行数据输出，数据更新，或者一个校准进程正在工作，或者休眠

SOD 串行数据输出（由 SCLK 决定）SID 无数据时 SOD 为高阻状态

系统初始化

当模块上电，在正确的操作前，模块将复位为可知状态。上电后内部复位需要持续大约 100ms。-RST 也可用于复位。RESET 低电平信号需要持续至少一个 XIN 时钟才能保证足够的复位时间。假如电源功率上升缓慢或者电力特性不满足，-RST 可用来复位转换器。-RST 信号可由微处理器或者通过 R-C 电路产生。

复位可以初始化所有的配置寄存器和五个修正寄存器，使微处理处于从串口接受命令的状态。无论何时模块被复位，-DRDY 设置为逻辑 1，其余的寄存器设置如下：

configuration 000000(H)
calibration registers
DAC 000000(H)
Gain 800000(H)
AIN Ratiometric Offset 000000(H) (差比偏移，成比例偏移)
AIN Non-ratiometric Offset 000000(H) （不成比例偏移）
VREF Non-ratiometric Offset000000(H) （不成比例偏移）

修正

模块复位后，在没有修正的情况下芯片开始工作和测量。芯片用初始化修正寄存器值去计算**输出字（多位分辨率）**。

模块两通道输出计算出的转换数字，有下列等式可算出 R0=R4*(((Dain-R1)/(Dvref-R2))-R3)

R0 是输出数据，Dain 和 Dverf 是来自 AIN 和 Vrerf 数字滤波通道的输出字，R1，R2,R3 和 R4 是下列寄存器值。

R1=AIN Ratiometric Offset (差比偏移，成比例偏移)
R2=VREF Non-ratiometric Offset （不成比例偏移）
R3=AIN Ratiometric Offset （不成比例偏移）
R4=Gain

输出字 R0 是两个补码。

修正可以减少转换输出字的错误，假如修正未工作，测量将包括整个系统的偏移和增益误差。

每次上电时，模块会修正，或者通过微控制器可以上传上次存储在 ROM 中的对应寄存器的修正值。

系统用了五个不同的寄存器来存储对应的信息。每个寄存器存储相关的信息对应于修正一些转换器、传感器输入错误。每个修正寄存器的修正方式已被初始化。配置寄存器控制着修正过程。配置寄存器的位 CC3-CC0 决定着修正方式和哪个修正寄存器工作。在第 24 个系统时钟脉冲下降沿，配置字将被锁进寄存器，和被选择的寄存器开始工作。-RDRY 一直保持着高电平直到修正完成后降为低电平。

在修正进行中，串口将不会被访问。配置字的 EC 位将保持高电平直到新的字被写入。因此，假如 EC 是激活的，任何写入将会导致转换器重新执行修正时序。这是由于内部处理器在写完 24 位的字到内部寄存器后， 到了 24 个时钟下降沿执行配置字的内容导致的。为了保证每个新的字从串口写入或读出不被再次执行，应该在最后一步修正完成时把 EC 位写回为逻辑 0。

CC3-CC0 位决定着修正方式。修正步奏是以下次序。假如用户认为无差比偏移是首要因素，那么无差比偏移的 VREF,AIN 输入误差应该先被矫正，差比偏移的 AIN 通道接着被矫正，最后是 AIN 的增益矫正。

Non-ratiometric offset（无差比偏移,不成比例偏移）

为了矫正无差比的 VREF 和 AIN 输入，VREF, AIN 的转换器的输入通道应该接地。(如图 3) 这样转换器才能无差比偏移的工作和把正确的 24 位修正字写进 VREF 和 AIN 的无差比偏移的寄存器中。注意两个无差比偏移能够同时或独立修

正，但是在无差比偏移被用的情况下，必须有一个优先。假如无差比偏移的误差不是太明显，可以不修正（复位后，保持 000000H）。

Ratiometric offset （差比偏移,成比例偏移）

只要无差比偏移的错误被矫正，差比偏移的 Ain 通道错误就会接着被矫正。在这个修正过程中，一个参考电压必须用于 VREF+和 VREF-。这样，放置一个“零”做参考点。这将导致电压的偏移，进入转换器后间接导致桥式电路的偏移，还有线路和转换器的 AIN 输入本身。配置字被写入配置寄存器，其中的 EC 和 CC1 位设置成逻辑 1。在差比偏移的 AIN 矫正过程中，微控制器首先用一个近似的算法去计算出 DAC 的寄存器的 DAC3-DAC0 位。这样可以适应任何大的 AIN 输入信号偏移。当四位的 DAC 算出来，偏移量将会被消除。微控制器将计算出正确的 24 位数字放置在 AIN 的差比偏移寄存器中，去修正未被 DAC 修正的量。

增益

AIN 的差比偏移被修正后，下一步是增益修正。增益修正表现为满量程。配置字的 EC 和 CC0 位设置为 1。AIN 通道的增益修正是最后一道修正。当-RDRY 低电平时，意味着修正结束，配置字的 EC 位必须设回 0 去终止修正模式。

修正范围的限制

在转换器中有五个寄存器，两个无差比偏移修正寄存器，分别为 AIN 和 VREF 的输入，四位的偏移修正 DAC,一个为了 AIN 的差比偏移修正寄存器，一个增益修正寄存器。

当无差比偏移修正后，最低有效位在 24 位的无差比修正寄存器呈现出 MDRV（模块的微分参考电压）的 2 的负 23 次方。在 MDRV+和 MDRV-引脚上，有一个 3.75V 的电压。在无差比修正的情况下，这个电压是内部决定的，可以 2.5V，但决不小于 2.5V。两个无差比修正字以二进制存储，每位相当于 300nV，相当于内部 A/D 转换的 AIN 输入。对于 AIN 输入，可以仪器放大，也可编程增益放大。在 PGA（ 编程增益放大）=1，无差比的寄存器的每位将呈现出小于 12nV。无差比 offset 的 VREF 输入在转换器的修正下不可能达到+-2.4V 的水平。通过通道增益分配，无差比偏移 的 AIN 输入修正也不可能达到+-2.4V 的水平。在 PGA（ 编程增益放大）=1，无差比偏移在 AIN 通道上，最大可被修正+-96mv 水平内。

当差比偏移被修正，4 位的 DAC 把模拟信号粗略的修正。DAC 可以增加或者减少输入信号的偏移量最大效果可达 200%。 AIN 的差比偏移寄存器最大能把输入信号 25 倍放大。最低有效位在差比修正寄存器呈现出 2 的负 23 次方输入电压，其是通过内部 AIN 通道的 VREF+和 VREF-的针脚输入。当相关到片上仪器放大器，这个数值通过 AIN 通道增益将会下降。

编程增益放大

增益为可调的 1，2，4，8 倍，是 25 倍的仪器放大后的二次放大。受 PGA 的增益影响的误差是两个范围区间内的百分之一。通过每个范围内的全部信号增益修正，用户可以消除这误差。无论何时，增益修正值可以上传到增益寄存器或下载到 ROM。增益热稳定性为 1ppm 每摄氏度。

串行接口模式及初始化省略

电桥激发选项

CS5516/5520 在用于通惠斯通电桥应用时，是最优的。提供了 AC（转换 DC）和 DC 两种激发。

直流电桥激发

CS5516/5520 被配置为直流电桥激发时有两种方式。配置字的 EXC 位能被设

置成内部或外部激发。内部激发（EXC=0）,F1 和 F0 被设置为逻辑 0。这种情况下，电桥能够被一个由分压电阻接 DC 电源产生的用于 VREF+或 VREF-的参考电压所激发。注意这种电桥激发不应在 CS5516/5520 上电前。EXC,F1,F0 设置为 0,BX1 输出将会是 0(0V)和 BX2 是 1（5V）。

第二种配置方法是通过 EXC=1,通过电阻上拉 BX1 连接到 VD+。这种设置使模块处于外部激发，其通过用 BX1 作为输入设置激发频率。BX1=VD+时，外部激发频率为零或者是 DC 频率。

交流电桥激发

交流电桥激发包含了用一个时钟信号来产生一个方波，反复翻转电桥上两点极性。为了动态激发电桥需要一些桥式驱动电路拓展 CS5516/5520 转换器。方波为驱动信号。时钟源是由转换器内部或外部激发的设置来决定。图 6 所示为在内部 AC 激发模式时的典型电桥驱动电路。用内部模式时，包括设置配置字的 EXC 位为 0，设置 F1 和 F0 位去选择电桥频率。在这种模式下，激发频率为 XIN 的附加的时钟频率。从转换器的 BX1 和 BX2 脚输出激发时钟以一种不交叠的时钟形式。转换器可以解调此信号。但是信号进入转换器的 AIN+和 VREF+针脚时，在转换器内部，与解调信号同相。(图 7) 不交叠的来自 BX1 和 BX2 的时钟信号是 CMOS 电平的输出，可以驱动 TTL 负载。一个缓冲区放大必须用在此电路上来驱动此电桥。

无论什么时候，内部模式用于驱动动态电桥的激发信号都是不交叠的，不交叠时间是一个 XIN 时钟周期。

在拓展外部电桥激发模式时，转换器也能被设置去提供动态电桥激发。配置字的 EXC 位为 1，BX1 成为一个决定电桥激发频率和相位的输入。BX1 应该约为周期的一半。用户可以由下列受限因素选择激发频率。激发频率必须与转换器的 XIN 的频率同步和由下列等式决定：Fexc=(N*XIN)/81,920

其中 N 是一个处于 1 到 160 之间的整数，Fexc 是需要的电桥激发频率。另外一些频率也是可能的，但是会对 BX 输出信号产生不稳定因素。选择接口元件模块存在的频率如 50Hz 或者 60Hz 或者是调和频率都是不利的。XIN 的频率通过一个拓展 A/D 转换的 IC 电路将会被分频。Fexc 通过转换器的 BX1 输入和在 BX2 产生一个时钟输出，并且与放大器内部操作和检测电路同步。BX2 的输出用来驱动电桥放大器，是一个转换器的正确相位检测信号。图 8 表明了必要的信号相位去确保正确的解调。

无论是内部激发(BX1,BX2)或者外部激发（BX2）电桥，转换器在取样 AIN 和 VREF 信号输入前，都要等待 64 个 XIN 周期。这个延迟时间容许了解决调制突发事件。

输入滤波

一些负载电路放置在离转换器输入端较远的位置。在这种情况下，单独的双绞线是被推荐用于驱动电桥激发，敏感导线（假如用的话），和 AIN+-/AIN-信号导线。假如在 AIN+/AIN-接入转换器和 VREF+/VREF-接入转换器时被滤波，这一步应该慎重的选择元件。不管是 AC 或 DC 激发，都应该把 AIN 上的滤波电路的电阻值取小于 1 千欧姆。值大了，将导致增大转换器噪音的不良后果。在 AC 激发时，滤波电路应保证足够的带宽使(AC)转换 DC 激发信号能在 10 微秒内产生解决。如果这无法保证，将会影响测量精确性。图 9 给出了用于 AC 激发的较理想元件。如仅仅需要微分滤波，一个单独的电容放置在 AIN+和 AIN-上（VREF+和 VREF-）来取代两个接地电容。

电压参考因素

CS5516/CS5520 包含了一个片上电压参考，在 MDRV-口输出和以 MDRV+为参考的。转换器是设计用来作为差比（比例）的测量设备。两通道的 Delta-Sigma 转换器用内部的 MDVR 作为参考点。(MDVR ----模块微分电压参考）当 CS5516/5520 用于差比的测量模式，MDVR 同时被用来测量转换的 AIN 和 VREF 信号,MDVR 的绝对值就不再那么重要了。参考电压输出,MDVR-,用一个连接到 MDVR+上的 1uF 电容来匹配。电压参考电路如系统连接图所示。（图 1，图 2）

假如用 CS5516/5520 做绝对测量，一个精确的参考值应该输入到 VREF+和 VREF-端口上。

时钟发生器省略

数字式滤波

在时钟频率为 4.096 或为 4.9152MHz 时，CS5516/5520 最佳工作。这将导致滤波电路在 12Hz 或 15Hz 时有一个 3 分贝的带宽，输出字频率（分辨率）为 50Hz 或者 60Hz.在 4.096MHz 时钟下，最小 70 分贝为 50Hz 正负 3Hz 时的拒绝域。4.9152MHz 下的 60Hz 是同样的结果。

数字滤波在转换频率工作在 50Hz 或者 60Hz 时有一个很深的峡带,而另外一些 XIN 频率不是。滤波转换工作是比例化的。图 11 表明了滤波转换工作在三个不同频率时的情况。3.579MHz 的 XIN 输入时，50Hz 和 60Hz 时，滤波表现了大于 90 分贝的拒绝域。

转换器的分辨率是由 XIN 的时钟频率和 XIN/81920 决定的。50Hz 时，XIN 为 4.096MHz。假如一个窄的信号带宽，如 3Hz，分辨率的平均值是推荐的。数字滤波每 81920 XIN 时钟周期计算出一个新的输出分辨率。假如输入一个宽广的信号，PGA 增益改动，DAC 矫正寄存器改动，将会花费 81920*6 的时钟周期去计算一个输出分辨率。

输出字格式

当为单极模式或者互补型的双极模式时，输出的是二进制字。表 5 表明了输出字格式。注意当读转化数据是以 MSB（最高有效位）或者信号位为先的。SCLK 时钟的下降沿把数据字提前到下一个低位。

CS5516/5520 输出的转换字是 24 位长。CS5516 的 16 位数据跟随着 8 位标志位（全一样），CS5520 的 20 位数据跟随着 4 位标志位（全一样）。为了读出转换字，包括错误标志至少需要 17SCLKs 对于 5516，而 5520 是 21SCLKs。

在正常工作状态下，标志位为 0。当超出状态范围时，标志位全部被设置。当输入信号超过大约正常的满量程两倍，（如正常 25mV，输入 50mV）转换器将不会计算出正确的输出字。在这种情况下，标志位全设置为 1，而输出的转换数据可能是正或负的全值。

转换器上电后，-RST 被确认，或者设备从休眠模式唤醒，第一个转换字可能会被错误的读出，而且它的错误标志位设置为“ 1 ”。

休眠模式，同步复用转换模式，噪音特性省略。

参考的图表

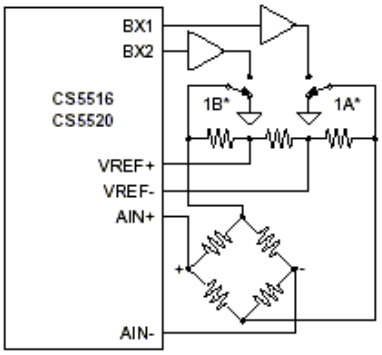


Figure 3. Non-ratiometric System Calibration using Internal Excitation

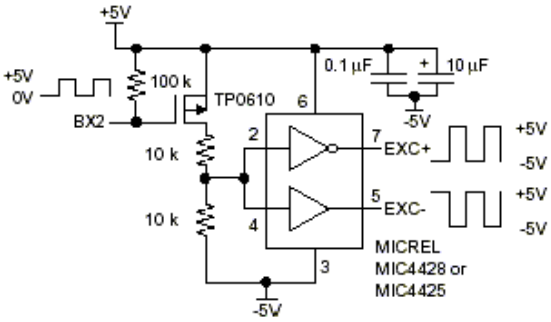


Figure 6. Sample AC Bridge Driver

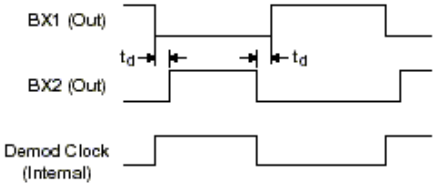
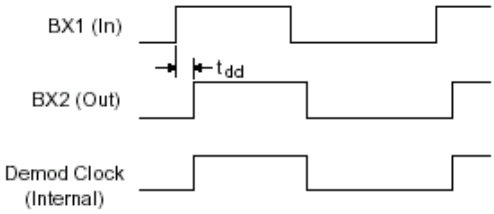


Figure 7. Internal Excitation Clock Phasing



Note: The signals from the bridge into AIN+ and VREF+ of the converter must be in phase with the demodulation clock.
$t_{dd} \leq 64/XIN$

Figure 8. External Excitation Clock Phasing

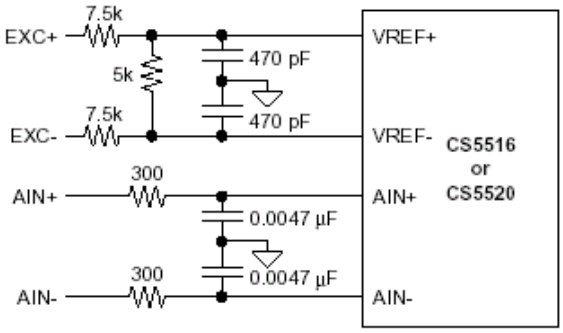


Figure 9. AIN and VREF Input Filter Components

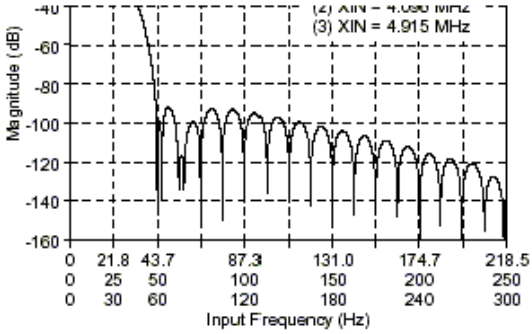


Figure 11. Filter Magnitude Response

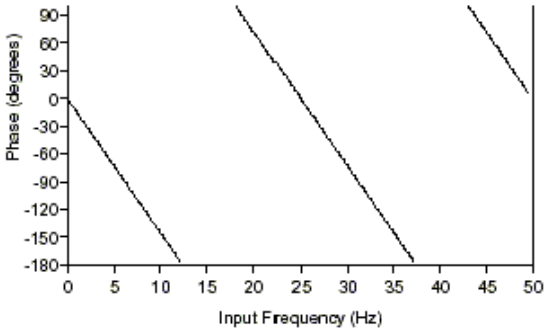


Figure 12. Filter Phase Response.

Unipolar Input Voltage	Offset Binary	Bipolar Input Voltage	Two's Complement
>(VFS-1.5 LSB)	FFFF	>(VFS-1.5 LSB)	7FFF
VFS-1.5 LSB	FFFF ---- FFFF	VFS-1.5 LSB	7FFF --- 7FFE
VFS/2-0.5 LSB	8000 ---- 7FFF	-0.5 LSB	0000 --- FFFF
+0.5 LSB	0001 ---- 0000	-VFS+0.5 LSB	8001 --- 8000
<(+0.5 LSB)	0000	<(-VFS+0.5 LSB)	8000

CS5516 Output Coding

Unipolar Input Voltage	Offset Binary	Bipolar Input Voltage	Two's Complement
>(VFS-1.5 LSB)	FFFFF	>(VFS-1.5 LSB)	7FFFF
VFS-1.5 LSB	FFFFF ---- FFFFE	VFS-1.5 LSB	7FFFF ---- 7FFFE
VFS/2-0.5 LSB	80000 ---- 7FFFF	-0.5 LSB	00000 ---- FFFFF
+0.5 LSB	00001 ---- 00000	-VFS+0.5 LSB	80001 ---- 80000
<(+0.5 LSB)	00000	<(-VFS+0.5 LSB)	80000

CS5520 Output Coding

Table 5. Output Coding for the CS5516/20 Converters.

此模块提供开发板，请登陆 http://www.crystal.com