

CS8411

CS8412

数字音频接口接收机

特性

- CMOS 单片接收机
- 低抖动，芯片上时钟恢复，提供 $256 \times F_s$ 输出时钟
- 支持：AES/EBU，IEC958，S/PDIF和 EIAJ CP-340 专业和非专业格式
- 内容广泛的错误报告
——在错误选项上重复最后一个采样
- 芯片上的 RS422 线路接收机
- 可设置的缓冲存储器（CS8411）

概述

CS8411/12 是单片 CMOS 器件，用来接收音频数据并对其进行解码，接口标准有 AES/EBU，IEC958，S/PDIF 和 EIAJ CP-340。CS8411/12 从传送线路上接收数据，恢复时钟和同步信号，并把音频信号和数字数据进行分离。差动和单端输入信号都能被解码。

CS8411 有一个可进行设置的内部缓冲存储器，通过一个并口读数据，这个缓冲存储器可以用于缓存通道状态、辅助数据和用户数据。

CS8412 把通道、用户和有效数据直接分离到串行输出口的输出角上，串行输出口为最重要的通道状态位提供输出角。

订购信息参看原文 32 页

性能/特性

绝对最大工作额定值（GND = 0V,所有电压都对地测量得到）

参量	符号	最小值	最大值	单位
电源电压	VD+,VA+		6.0	V
输入电流,除 Supply 以外的任何角 注 1	I _{in}		± 10	mA
输入电压,除 RXP、RXN 以外的任何角	V _{IN}	-0.3	VD++0.3	V
输入电压, RXP 和 RXN	V _{IN}	-12	12	V
工作环境温度（提供电源）	TA	-55	125	°C
存储温度	T _{stg}	-65	150	°C

注 1：电流瞬间达到 100mA 不会引起 SCR 打开。

注意：在这些限制条件之外工作可能会导致器件永久的损坏。正常工作不允许在这些最大最

小极端值上工作。

推荐实际工作值

参量	符号	最小值	典型值	最大值	单位
电源电压	VD+,VA+	4.5	5.0	5.5	V
电源电流	VA+		20	30	mV
	VD+		20	30	mV
工作环境温度 :CS8411/12-CP 或-CS CS8411/12-IP 或-IS 注 2	TA	0 -40	25	70 85	oC oC
电能消耗	PD		135	248	mW

注 2：“-CP”和“-CS”工作温度可以在 0 到 70oC，但测试仅在 25oC 进行的。

“-IP”和“-IS”在 - 40 到 85oC 范围内均进行了测试。

数字特性 (TA=25oC 对于后缀“-CP”和“-CS”，TA=-40 到 85oC 对于后缀“-IP”和“-IS”；

VD+, VA+=5V ± 10%)

参量	符号	最小值	典型值	最大值	单位
高电平输入电压 除了 RXP,RXN	V _{IH}	2.4			V
低电平输入电压 除了 RXP,RXN	V _{IL}			0.4	V
高电平输出电压 (IO=200µA)	V _{OH}	VD+-1.0			V
低电平输出电压 (IO=-3.2mA)	V _{OL}			0.5	V
输入泄漏电流	I _{in}		1.0	10	µA
输入采样频率 CS8411/12-CP 或-CS CS8411/12-IP 或-IS 注 3	F _s F _s	25 30		55 50	KHz KHz
主时钟频率 注 3	MCK	6.4	256 × F _s	14.08	MHz
MCK 时钟抖动	t _j		200		Ps RMS
MCK 周期 (高定时/周期时间)			50		%

注 3：Fs 定义为每个通道音频采样频率。

数字特性 - RS422 接收机 (RXP,RXN 角；VD+=5V ± 10%)

参量	符号	最小值	典型值	最大值	单位
输入阻抗 (-7V<V _{CM} <7V) 注 4	Z _{IN}		10		K
差动输入电压，RXP 到 RXN(-7V<V _{CM} <7V) 注 4, 5	V _{TH}	200			mV
输入磁滞	V _{HYST}		50		mV

注 4：V_{CM} - 输入共模范围

5 :当接收机输入被设置为单端模式时(例如非专业设置)对于 RXP 到 RXN 上超过 200mV 的差动电压，信号幅度必须超过 400mV_{p-p}。这就意味着这个幅度最小值是 CP340/1201 和 IEC-958(这两种信号接口和 RS-422 不匹配)所指定的最小 200mV_{p-p} 的两倍。

开关特性 - CS8411 并口 (TA=25oC 对于后缀“-CP”和“-CS”，TA=-40 到 85oC 对于

后缀“-IP”和“-IS”；VD+, VA+=5V ± 10%；输入：Logi c 0=DGND, Logi c1=VD+；CL=20pF)

参量	符号	最小值	典型值	最大值	单位
CS 低电平对于地址有效	tadc _{ss}	13.5			ns
对于地址无效的 CS 高电平	tcs _{adh}	0			ns
RD/WR 对于 CS 低电平有效	trw _{css}	10			ns
CS 低电平对于 RD/WR 无效	tcs _{rwi}	35			ns
CS 低电平	tcs _l	35			ns
对于 CS 上升沿数据有效 RD/WR 低电平(写)	tdc _{ssw}	32			ns
CS 高电平对于数据无效 RD/WR 低电平(写)	tcs _{dhw}	0			ns
CS 下降沿对于数据有效 RD/WR 高电平(读)	tcs _{ddr}			35	ns
CS 上升沿对于数据无效 RD/WR 高电平(读)	tcs _{dhr}	5			ns

开关特性 - 串口

(TA=25°C 对于后缀“-CP”和“-CS”，TA=-40 到 85°C 对于后缀“-IP”和“-IS”；VD+, VA+=5V ± 10%；输入：Logic 0=DGND, Logic 1=VD+；CL=20pF)

参量	符号	最小值	典型值	最大值	单位
SCK 频率	主模式 注 6, 7 从模式 注 7	f _{sck}	OWR × 32		HZ
			OWR × 32		
SCK 下降沿对 FSYNC 延时	主模式 注 7, 8	ts _{fdm}	-20	20	ns
SCK 脉冲宽度低	从模式 注 7	ts _{ckl}	40		ns
SCK 脉冲宽度高	从模式 注 7	ts _{ckh}	40		ns
SCK 上升沿对 FSYNC 边沿延时	从模式 注 7, 8	ts _{fds}	20		ns
FSYNC 边沿对 SCK 上升沿设置	从模式 注 7, 8	tf _{ss}	20		ns
SCK 下降沿(上升沿)对 SDATA 有效	注 8	t _{ssv}		20	ns
C,U,CBL 对 FSYNC 边沿有效	CS8412 注 8	tc _{uvf}	1/f _{sck}		s
MCK 对 FSYNC 边沿延时	FSYNC 来自 RXN/RXP	tm _{fd}	15		ns

注 6：输出字的速率，OWR，是指从这个串口输出的音频采样的频率（立体声是两个音频采样）。因此，在主模式中，一个音频采样总有 32 个 SCK 周期。在从模式中，大多数串口接口类型中都必须提供每个音频采样有 32 个 SCK 周期。因此，如果 SCK 是 128 × Fs，SCK 就必须给每个音频采样提供 32 个周期。

7：在主模式中，SCK 和 FSYNC 是输出。在从模式中，它们是输入。在 CS8411 中，控制寄存器 2 的比特位 1，MSTR 选择主模式。在 CS8412 中，格式 1, 3 和 9 是从模式。

8：上面的表格假定数据在下降沿输出，在上升沿闭锁。对于 CS8411, 边沿是可选的。表中数据的得到，对于 CS8411 来说，条件是控制寄存器 2 比特位 0，SCED，被设为 1。对于 CS8412 来说，条件是格式设为 2, 3, 5, 6 和 7。对于其它的格式，表格和图中的脉冲边沿必须反转（也就是说，“上升沿”变为“下降沿”，反之亦然）。

概述

CS8411/12 是单片 CMOS 电路，按照 AES/EBU、IEC958、S/PDIF 和 EIAJ CP-340 这几种接口标准接收音频和数据并对其进行解码。这 2 个芯片都有 RS422 线路接收器和用于时钟恢复和同步以及分离音频和数据的锁相环路（PLL）。CS8411 包含一个可设置的内部缓冲

存储器,通过一个并口读数据,这个存储器可以缓存通道状态、用户数据和可选的辅助数据。CS8412 把通道状态、用户数据和有效信息直接分离出来送给串行输出角,它为最重要的通道状态比特位提供输出角。这 2 个芯片还包含内容广泛的出错报告以及用于自动设置的对接收到的音频信号采样频率的指示。

熟悉 AES/EBU 和 IEC958 规范的人对下面这个文件也应该很了解。应用注释文件:数字音频接口数据结构概述,它包含了数字音频规范的有关内容。但是,这并不代表它就是一个全部参考。为了保证一致性,必须遵循正确的标准文件。AES/EBU 标准和 AES3-1985 都应该从美国音频工程师协会或 ANSI (ANSI 文件 # ANSI S4.40-1985) 获得;IEC958 是国际电工委员会制定的标准;EIAJ CP-340 是日本电子部制定的标准。

线路接收机

RS422 线路接收机能够对差动或单端的输入信号进行解码。接收机由一个带 50mV 磁滞的差动输入施密特触发器组成。磁滞效应阻止噪声信号破坏相位检测器。附录 A 包含了关于如何设置差动和单端信号的更多内容。

时钟和抖动衰减

这些芯片最基本的功能是从一个数字音频传送线路上恢复音频数据和低抖动时钟。产生的时钟通常是 MCK($256 \times FS$)、SCK($64 \times FS$)和 FSYNC(FS 或 $2 \times FS$)这 3 种。MCK 是压控振荡器输出,压控振荡器是 PLL 电路的一个组成部分。PLL 由相位和频率检测器、2 次回路滤波器和一个压控振荡器组成。除了带有一个电阻和电容的回路滤波器,PLL 的所有其它组成器件都在芯片上。这个滤波器接在 FILT 角和 AGND 角之间。闭合回路发送功能显示在图 3 中,这个功能指出了 PLL 的抖动衰减特性。因为大多数的数字抖动都是由传送线路引入的高频抖动,所以会被 PLL 很大的衰减掉。

多倍频检测器用来使 PLL 锁定接收到的数据流和阻止错误锁定的出现。当 PLL 没有锁定于接收到的数据流时,频率检测器降低 VCO 的频率到 PLL 锁定范围内。当当前没有数字音频数据时,VCO 频率被降到最小。

作为主时钟,SCK 总是 MCK 除以 4 得到的,产生一个 $64 \times FS$ 的频率。在 CS8411 中,FSYNC 可被编程由 MCK 得到或者直接由接收到的数据流产生。在 CS8412 里,FSYNC 总是由接收到的数据流产生。当 FSYNC 由数据流产生时,它的边沿在码间干扰最小时提取。这就提供了一个相当纯的采样频率时钟,这个时钟和经过长度适中的传送线路传送过来的数字音频源时钟保持一致。对于长距离的传送线路,CS8411 可能会通过编程来从 MCK 中产生 FSYNC,而不是从接收到的数据流中产生 FSYNC。

CS8411 概述

CS8411 比 CS8412 更灵活适用但是需要一个微处理器或 DSP 来加载内部寄存器。CS8412 没有内部寄存器,所以它可以单机运行,可以在没有微处理器或 DSP 情况下使用。

CS8411 从传送线路上接收数据,数据编码要符合数字音频接口标准。I.C.恢复时钟和数据,并且从控制信息中分离出音频数据。音频数据从一个可设置的串口输出,控制信息存储在内部带有双向接口的 RAM 内。内容广泛的出错报告可以通过内部寄存器获得,当一个错误发生时,通过选择重复最后一个采样这个选项,可以获得出错报告。CS8411 的框图显示在图 4 中。

并口

并口可以访问两个状态寄存器、两个中断寄存器、两个控制寄存器和 28 比特双向缓冲寄存器。状态寄存器和中断寄存器占有同样大小的地址空间。控制寄存器 1 中的一个比特位要从这两个寄存器中选择一个，要么是状态，要么是中断，这一比特位在内存印象图中占有地址 0 和 1。当 CS 电平为低时，地址总线和 RD/W_R 线路有效。如果 RD/W_R 电平为低，数据总线上的数值就被写入缓冲存储器里指定的地址里。如果 RD/W_R 是高电平，缓冲存储器里指定地址上的数值就会被读出并放置到数据总线上。并口上的时序的有关内容可以在开关特性 - 并口表格中详细获得。

CS8411 内存空间分配如图 5 所示。有 3 个定义好的缓冲模式，由控制寄存器 1 中的两个比特位来选择。缓冲模式的更多内容可以在控制寄存器这一节中找到。

状态和中断寄存器

状态和中断寄存器占有同样大小的地址空间。控制寄存器 1 中的 IER/SR 比特位要从状态寄存器 (IER/SR = 0) 和中断寄存器 (IER/SR = 1) 中选择一个，IER/SR 占有地址 0 和 1。电源一开，控制和中断寄存器所有比特位均为 0；因此，所有的状态寄存器都是有效的，而所有的中断寄存器都是无效的。IER/SR 比特位必须进行设置以使中断寄存器有效。

状态寄存器 1 (SR1) 显示在图 6 中，报告所有能够在中断角 (INT) 上产生一个 4 个 SCLK 周期宽度低脉冲的状态。3 个最低有效位，FLAG2-FLAG0，用于监测 RAM 缓冲。这些比特位不断变化并且指示缓冲存储器指针的位置，这个指针指示缓冲存储器的当前被写入数据的位置。在中断寄存器 1 中，每个标志有一个相应的中断比特位，在设置时，允许标志比特位发生一个跳变，在中断角上产生一个脉冲。FLAG0 和 FLAG1 在上升沿和下降沿均会引起中断，而 FLAG2 仅在上升沿引起中断。标志比特位以及时序的详细内容都会在缓冲存储器这节中找到。

接下来的 5 个比特位：ERF,SLIP,CCHG,CRCE/CRC1 和 CSDIF/CRC2 是闭锁住的，当它们相应的状态发生时，才会被设置，并且当 SR1 被读时，它们被重新复位。中断脉冲在状态发生的第一时间产生。如果此时状态寄存器没有被读出，更多的同样状态就不会产生任何中断。ERF 是错误标志比特位并且当 ERF 角是高电平时被设定。它是通过状态寄存器 2 中比特 0 到 4 的错误列表进行“或”逻辑运算，并且和中断寄存器 2 中的相应的中断比特位相“与”而得到的。

SLIP 只有在音频口是从模式(FSYNC 和 SCK 对于 CS8411 来说是输入)下才有效。这个标志位在音频采样率下降或因为输出的音频数据频率和从传送线路上接收到的数据频率不同而重读时被设定。当通道状态比特位 0 到 3 中的任一位被存储到缓冲里，并且通道状态块从一个块变到下一个块时，CCHG 就被设定。在缓冲模式 0 和 1 中，通道状态数据中只有一个通道数据被缓存，所以 CCHG 只受这个通道的影响 (CS2/CS1 在 CR1 中选择哪一个通道被缓存)。在缓冲模式 2 中，两个通道都被缓存，所以两个通道都对 CCHG 有影响。在每个比特位(0 到 3)被写入缓存之后，CCHG 被更新。在 SR1 中最重要的两个比特位：CRCE/CRC1 和 CSDIF/CRC2，它们是双功能标志比特位。在缓冲模式 0 和 1 中，标志位是 CRCE 和 CSDIF，而在缓冲模式 2 中，是 CRC1 和 CRC2。在缓冲模式 0 和 1 中，由 CS2/CS1 比特位选择的通道被存储在 RAM 里并且 CRCE 指示发生在这个通道里的 CRC 错误。如果每个通道的通道状态比特位有任何差别，CSDIF 就被设定。在缓冲模式 2 中，两个通道的通道状态都被缓存，CRC1 指示通道 1 上的 CRC 错误，CRC2 指示通道 2 上的 CRC 错误。CRCE,CRC1 和 CRC2 在块分界处更新。块分界处也会引起 CRC1,2 或 CRCE 被设定。

中断寄存器 1 的地址空间和状态寄存器 1 一样大，它包含状态寄存器 1 中所有状态的中断比特位。某个比特位置上的“1”能够使状态寄存器 1 在相同的比特位置上产生一个中断脉冲，“0”能屏蔽引起一个中断的特定状态。

状态寄存器 2(SR2)报告能影响 SR1 错误标志比特位和错误角(ERF)的所有状态,并且能够指出接收到的时钟频率。正如前面所说,SR2 最前面的 5 个比特位是和它们相应的中断比特位进行“与”逻辑运算,然后再“或”才产生 ERF。V,PARITY,CODE 和 LOCK 比特位是闭锁住的,当它们相应的状态发生时才被设定,并且当 SR2 被读时,它们被重新复位。如果中断寄存器 2 中的中断比特位为某个特定错误已设置好,那么每次这个错误的出现,ERF 角都可指出。如果在 ERF 角指出错误之前没有设置好 ERF 比特位,就会产生一个中断(假设中断寄存器 1 中比特 3 被设定)。虽然 ERF 角对于每次错误状态的出现都能指出,但是如果 SR1 没有被读出,ERF 比特位将只能引起一个中断。

V 是指有效状态位,任何时候接收到的有效比特位为高电平时就被设定。PARITY 在检测到奇偶错误时被设定。CODE 在检测到双相位编码错误时被设定。当接收机 PLL 失锁和发生 RXP/RXN 上没有输入时,或者当接收到的频率在接收机锁定频率范围(25KHz 到 55KHz)之外时,LOCK 被确立。在接收到一个块的最后 3 个帧前置码之后 LOCK 被获得,在连续 4 个帧的前置码没有被接收到之后,LOCK 被丢失。

SR2 中的 3 个比特位, FREQ2 - FREQ0,能报告接收机锁定时的接收频率。当控制寄存器 1 中的 FCEN 比特位被设定并且 FCK 角上的时钟频率为 6.144MHz 时,这些比特位才有效。当 FCEN 被设定时,A4/FCK 角用于 FCK 功能并且 A4 被内部设定为 0;因此,只可以访问缓冲器地址的一半(低的那一半)。表格 1 列出频率变化范围。每个块中 FREQ 比特位更新 3 次,并且为了保证 FREQ 的精度,FCK 角上的时钟精度必须在一个块的 2/3 内有效。在表格中列出了大多数音频系统必须具有的 400ppm 的容限。4%的容限为特定的情况所提供,在这些情况中,要知道近似的频率,即使这个频率在正常的音频规范之外。

FREQ2	FREQ1	FREQ0	采样频率
0	0	0	超出范围之外
0	0	1	48KHz ± 4%
0	1	0	44.1KHz ± 4%
0	1	1	32KHz ± 4%
1	0	0	48KHz ± 400ppm
1	0	1	44.1KHz ± 400ppm
1	1	0	44.056KHz ± 400ppm
1	1	1	32KHz ± 400ppm

表格 1.采样频率比特位

中断寄存器 2 中对于 SR2 中的前 5 个比特位有相应的中断比特位对应。SR2 中“1”的状态引起 ERF 变为高电平,而“0”屏蔽这种状态。比特 5 没有使用,比特 6 和 7(两个最低有效位)是工厂测试位并且必须被设为 0。CS8411 在一开电时就把这些比特位设置为 0。

控制寄存器

CS8411 包含两个控制寄存器。在地址 2 上的控制寄存器 1(CR1)用来选择系统电平,而在地址 3 上的控制寄存器 2(CR2),用来设置音频串口。

在控制寄存器 1 中,当 RST 是低电平时,除了 MCK(FSYNC 和 SCLK 是高阻抗)之外,所有输出被重新复位。在用户把 RST 设为高电平之后,当块的分界处被发现时,CS8411 全部被复位。建议在开电之后和任何时候用户执行一个系统模式更换后,都要对 CS8411 进行复位。在主模式中,RST 一变为高电平,串口就开始工作。B0 和 B1 选择表格 2 中列出的 3 个缓冲模式中的一个,在图 5 中进行说明。在所有模式中,4 字节的用户数据位都将被存储。在模式 0 中,一个完整块的通道状态位被存储。在模式 1 中,8 字节的通道状态位和

16 字节的辅助数据位被存储。在模式 2 中，来自于每个子帧的 8 字节通道状态位被存储。缓冲模式将在缓冲存储器这节里进行详细说明。接下来的比特位，CS2/CS1,选择特定子帧的通道状态缓存入模式 0 和模式 1 中，对模式 2 不会有任何影响。当 CS2/CS1 是低电平时，子帧 1 被缓存，并且当 CS2/CS1 是高电平时，子帧 2 被缓存。IER/SR 选择设置哪一个寄存器，是中断寄存器还是状态寄存器，IER/SR 地址为 0 和 1。当 IER/SR 是低电平时，状态寄存器占有最前面的两个地址，当 IER/SR 是高电平时，中断寄存器占有那两个地址。FCEN 使内部频率反相。FCK 角上必须要接一个 6.144MHz 的时钟信号来作为参考。SR2 中的 FREQ 比特位上的值只有在一个块的 2/3 被接收到才算有效。FCK 和 A4，最高有效地址位，使用同一个角，A4 在 FCEN 是高电平时被内部设为 0。既然 A4 被强置为 0，缓冲器的上半部分地址空间在使用频率比较功能时就不能够被访问。FPLL 决定 FSYNC 怎样被驱动。当 FPLL 是低电平时，FSYNC 被接收到的数据所驱动，当 FPLL 是高电平时，它由内部锁相环路驱动。

B1	B0	模式	缓冲存储器内容
0	0	0	通道状态
0	1	1	辅助数据
1	0	2	独立通道状态
1	1	3	预留

表格 2.缓冲存储器模式

控制寄存器 2 设置串口，串口由 3 个角组成：SCK,SDATA 和 FSYNC。SDATA 总是输出角，但 SCK 和 FSYNC 可被设置为输入或输出。FSYNC 和 SDATA 之间有许多关系，并且 SCK 的极性能被控制。绝大多数的音频数据格式都提供一个很简单的接口给大多数的 DSP 和其它音频处理器。SDATA 通常情况下只是音频数据，但是特殊的模式下会输出接收到的双相位数据或用 0 替换前置码的 NRZ 数据。另有一种特殊模式允许输入一个异步 SCK 来从串口上读出音频数据，并且不会使采样偏移。在这种模式下，FSYNC 和 SDATA 被同步输出给 SCK 输入。因为 SCK 对于接收到的时钟是异步的，所以 SCK 周期的数量在 FSYNC 脉冲边沿之间会改变。

ROER 被设置时，如果错误角 (ERF) 被激活，就会引起最后一个音频采样被重读。当失锁时，如果 ROER 被设置，CS8411 将输出 0，如果 ROER 没有被设置，它将输出随机数据。激活 ERF 的状态在 SR2 和 IER2(中断寄存器 2)进行报告。图 10 说明了由 SDF2-SDF0 和 FSF1-FSF0 选择的模式。MSTR,在大多数的应用中将设为 1，它决定 FSYNC 和 SCK 是输出 (MSTR=1) 或输入 (MSTR=0)。当 FSYNC 和 SCK 是输入 (从模式) 时，音频数据可以被读两次，或者如果器件控制 FSYNC 和 SCK 工作在和 CS8411 不同的时基上，数据就被错过。如果数据被读两次或被错过，SR1 中的 SLIP 比特位被设定。SCED 选择 SCK 边沿来输出数据。SCED 为高电平会引起数据在下降沿输出，为低电平会引起数据在上升沿输出。

音频串口

音频串口输出接收到的数据中的音频数据部分，串口由 3 个组成角：SCK,SDATA 和 FSYNC。SCK 给 SDATA 线上的数据输出定时。SCK 用于数据的边沿可由 CR2 进行编程。FSYNC 说明音频采样并能指示特定通道，左或右。图 10 说明 SDATA 和 FSYNC 可获得的多种模式。

普通模式

SCK 和 FSYNC 能被输入(MSTR=0)或输出(MSTR=1)，并且在输出时通常能被编程。做为输出时，SCK 每个采样包含 32 个周期并且 FSYNC 有 4 种模式。FSYNC 前 2 种输出模式

(显示在图 10 中)说明要在外部监测到特定通道的字标识。这个功能的实现可以通过 FLAG2 的上升沿来实现,它指示下一个数据字是左通道数据。FSYNC 后 2 种输出模式通过每个通道的 FSYNC 极性也能指出特定的通道。最后一种模式使 FSYNC 在包含数据的帧之前改变一个 SCK 周期,可被用于产生一个与 I2S 相兼容的接口。

当 SCK 被编程作为输入时,必须给每个采样提供 32 个 SCK 周期。(在特殊模式这节里,有两个模式,每个采样可以只有 16 或 24 个时钟周期)FSYNC 作为输入的 4 种模式和作为输出的模式很相似。前面两个输入模式需要 FSYNC 一个跳变来开始采样帧,而后两个输入模式和相应的 FSYNC 输出模式是相同的。如果电路产生的 SCK 和 FSYNC 没有锁定于 CS8411 上的主时钟,串口最终将被重读或一个采样将被错过。发生这种情况时,SR1 中的 SLIP 比特位将被设置。

SDATA 在普通串口模式中可以有 5 种模式。第一种模式(见图 10),MSB(最高有效位)在最前面,它紧跟一个采样帧的开始标志之后。24 个音频比特位被输出,包括辅助比特位。这个模式和许多 DSP 相兼容。如果辅助比特位用于音频数据以外的其它数据,那它们就必须被屏蔽掉。第二种模式,MSB 在最后,首先输出 LSB(最低有效位),MSB 放在采样帧的结束处。这种模式有利于串行算法。以上这两种模式都从接收到的数据里输出所有音频比特位。最后 3 种模式是 LSB 在最后的这种模式,各自输出的最高有效位分别是 16, 18 和 20,并且 LSB 排在采样帧的结束处。这 3 种模式用于许多的插补滤波器。

特殊模式

有 5 种特殊模式被用于特殊的应用中。在这些模式中,主比特位, MSTR, 必须如图 10 所定义的那样。在第一种模式中, SCK 是异步的, FSYNC(在这个模式中是输出)和接收到的 SCK 进行校准。当 SCK 被锁定于一个外部源并且不能来自于由 MCK 时,这个模式很有用。因为 SCK 是异步的,所以每个采样帧的 SCK 周期数目是在变化的。输出的数据将会首先是 MSB, 24 个比特位的音频采样数据,并且跟在采样帧前导标志之后。第二个和第三个特殊模式是很独特的,因为它们在每个采样帧中各自包含 24 和 16 个 SCK 周期,而所有通常模式都包含 32 个 SCK 周期。在这两个模式中,首先输出 MSB。第四个特殊模式输出 NRZ 数据包括 V,U,C 和 P 这 4 个比特位,并且前置码用 0 来代替。SCK 是一个每个采样帧有 32 个 SCK 周期的输出。第 5 个模式输出从传送线路上接收到的带有 64 个 SCK 周期的双相位数据,数据在上升沿改变。

通常来说,由 CS8411 恢复的数据在通过接口传送时被延时 2 个帧,但是在第 4 个和第 5 个特殊模式中,数据在输出之前仅被延时几个比特位的时间段。但是,错误代码和 C,U,V 比特位还是和通常模式一样有 2 个子帧的延时(这样就使得在其它模式中错误代码不会产生冲突)。因此,在特殊模式 4 和 5 中,错误代码延后 SDATA 数据输出将近 2 个帧的时间。

缓冲寄存器

在所有的缓冲寄存器中,状态,屏蔽和控制寄存器的地址是 0 - 3,用户数据缓存在地址 4 到 7 上。串口能够在任何时候访问缓冲器里存放用户数据的地址;但是,必须注意当一个地址内部更新时,不要去读这个地址。这个地址上正在通过第 2 个口进行写操作,这个操作是循环进行的。当数据被接收到时,这些比特位被集中放入一个内部 8 位移位寄存器中,这个寄存器一满,寄存器中的数据又被载入缓冲寄存器里。第一个接收到的比特位存储在 D0,在 D7 上也存了比特位之后,这个字节就被写入缓冲器的适当位置上。

每个子帧接收到一个比特位的用户数据。在通道状态块分界处,用于写用户数据的内部指针被初始化,指在 04H(16 进制)位置上。在接收到 8 个用户比特位之后,这个字节就被写入用户指针指示的地址位置上,然后这个指针递增指向下一个地址。在接收到用户数据的所有 4 个字节,32 个音频采样之后,用户指针再次被设定在 04H 并且重复这个循环。SR1

中的 FLAG0 可以用于监测用户数据缓冲器。当用户缓存的最后一个字节，位置在 07H，被写入，FLAG0 被设为低电平。当第二个字节，位置在 05H，被写入时，FLAG0 被设为高电平。如果中断寄存器（IER1, 比特 0）相应的比特位被设定，FLAG0 的跳变将在中断角产生一个低脉冲。FLAG0 的电平指示下一个将有哪两个字节被写入，从而也指示哪两个字节可以被读出。

FLAG1 由缓冲模式决定并且单独在缓冲模式这节中讨论。如果相应的中断位被设定，FLAG1 的一个跳变将会产生一个中断。

FLAG2 在通道状态字节 23（块的最后一个字节）被写入缓存之后被设定为高电平，在通道状态字节 3 被写入缓冲寄存器之后被写入并被设为低电平。FLAG2 是比较独特的，因为如果 IER1 中的相应中断位被设定，FLAG2 只有在上升沿才能引起一个中断。

图 11 说明了对于一个完整通道块的标志比特位的定时，这个块有 384 个音频采样，每通道有 24 个字节通道状态数据。图 11 中低端扩展通道状态第一个字节显示了 8 对数据，一对定义为帧。在这个基础上进一步扩展显示了第一个子帧（A0）包含 32 个字节，这被定义为数字音频标准。当接收立体声信号时，通道 A 是左，通道 B 是右。

对于所有 3 种缓冲模式，SR1 中的 3 个最高有效位，显示在图 6 中，能被用于监测通道状态数据。在缓冲模式 2 中，比特位 7 和 6 定义改变并且在缓冲模式这节中进行说明。通道状态数据，就如标准所述，每个通道都是独立的。每个通道包含它自己的通道状态数据块，并且在大多数的系统中，两个通道将包含相同的通道状态数据。缓冲模式 0 和 1 工作在一个通道状态块上，这个特定块是由 CR1 中的 CS2/CS1 比特位选择的。CSDIF，SR1 中的比特 7，指示每个通道的通道状态数据不同情况的发生，即使只有一个通道被缓冲也会指示出来。CRCE, SR1 中的比特 6，指示发生在缓冲通道里的一个 CRC 错误。CCHG，SR1 中的比特 5，当缓冲通道中字节 0 - 3 中的任一字节被设定时，它就会从一个块变换到下一个块上。

缓冲模式 0

对于所有缓冲模式，前面描述的用户数据缓冲都是相同的。缓冲模式 0 分配缓冲内存的剩余地址来给通道状态数据。这个模式在地址从 08H 到 1FH 的 24 个存储器里存储一个完整的通道块。通道状态（CS）数据不同于用户数据，因为每个通道的通道状态数据都是独立的。CS 数据块定义为每帧一个比特位，每子帧没有一个比特位。因此，有两个通道状态块。CR1 中的 CS2/CS1 比特位选择哪一个通道被存入缓存。在典型系统中，发送的都是立体声数据，每个通道的通道状态数据将会是一样的。

SR1 中的 FLAG1 可被用于监测通道状态缓冲。在模式 0 中，在通道状态字节 23（最后一个字节）被写入之后，FLAG1 被设为低电平，并且在通道状态字节 15 被写入地址 17H 之后，FLAG1 被设为低电平。如果相应的中断位被设定，FLAG 上的一个跳变将会在中断角上产生一个脉冲。图 12 显示在模式 0 中存储器跟随标志的定时来写入序列。标志的定时上的箭头指示将有一个中断发生，如果相应的中断位被设定。FLAG0 在上升沿和下降沿都能引起中断，在扩展部分被详细清楚的显示出来。

缓冲模式 1

在缓冲模式 1 中，8 个字节分配给通道状态数据，16 个字节分配给显示在图 5 中的辅助数据。用户数据缓冲在所有模式下都是一样的。通道状态缓冲，分配 08H 到 0FH 地址，并被分成两段。前 4 个通道状态字节，和模式 0 一样，每个通道状态块被写入一次。后 4 个地址，0CH 到 0FH，给最后 20 个字节的通道状态数据提供循环缓存。通道状态缓冲被这样分段，是因为前 4 个字节是最重要的字节，相反，后 20 个字节经常不被使用（除了字节 23，CRC），

FLAG1 和 FLAG2 可被用于这个缓存，如图 13 所示。当 CS 字节 1，地址 09H，被写入时，FLAG1 被设为高电平，并且当所有其它字节被写入时，它一直保持高电平。在 CS 字

节 23 被写入时，FLAG2 被设为高电平，在 CS 字节 3，地址为 0BH，被写入时，它被设为低电平。FLAG2 决定通道状态指针是指向通道状态缓存的前 4 个字节段。还是后 4 个字节段，而 FLAG1 指示哪两个字节段是空的，可用于更新。

辅助数据缓冲，地址在 10H 到 1FH，以类似于其它缓冲的循环方式写入。每个音频采样（子帧）接收 4 个辅助数据位，并且由于辅助数据是用户数据的 4 倍，所以 CS8411 上的辅助数据缓存是用户数据缓存的 4 倍，并且允许 FLAG0 用于监测这两个缓存。

缓冲模式 2

在缓冲模式 2 中，2 个 8 字节缓冲器各自用于缓存每个通道的通道状态数据。这 2 个缓存和模式 1 中的通道状态缓存是一样的，并且被同时写入，通道 A 的 CS 数据地址从 08H 到 0FH，通道 B 的 CS 数据地址从 10H 到 17H。这 2 个 CS 缓冲器都能通过 FLAG1 和 FLAG2 监测到，监测的实现和缓冲模式 1 这节中描述的一样。

SR1 中的 2 个最高有效位在模式 2 中定义发生改变。这 2 个比特位，当设定时，指示它们各自所代表的通道的 CRC 错误。当对通道状态字节 0 到 22 内部计算的 CRC 和通道状态字节 23 不符合时，一个 CRC 错误就发生了。CCHG，SR1 中的比特 5，在任一通道前 4 个通道状态字节中的任一比特位从一个块变为下一个块时，它就被设定。因为通道状态不会经常改变，所以只是监测这一个比特位，而不是检查前 4 个字节中的所有比特位。这些比特位显示在图 6 中。

缓冲器更新和中断时序

正如前面在缓冲模式中所提到的，外部读缓冲 RAM 和 CS8411 内部向这个缓冲器写入之间的冲突可以通过标志比特位电平来解决。但是，如果中断线路以及标志比特位被使用，就能决定那些刚刚被更新的实际字节。用这种方式，可以读全部的缓冲器而不用担心内部更新。图 15 显示中断线路、标志位和写线路的详细时序。SCK 是采样频率的 64 倍，并且在主模式中和 SCK 输出一样。FSYNC 对所有的主模式都有效，除了 I2S 兼容模式。中断脉冲有 4 个 SCK 周期宽度，在 RAM 被写入之后低电平持续 5 个 SCK 周期。通过上面的内容，内部指针更新开始读下一个字节时，整个数据缓冲器就被读出。

ERF 角时序

ERF 信号是在接收到从串口读入的音频采样过程中发生错误而产生的。ERF 随着 FSYNC 的激活边沿而改变，并且在错误的采样期间是高电平。ERF 受 SR2 中报告的错误状况影响，这些状况有：锁定，代码，奇偶校验和有效标志。使用 IER2 中的相应比特位可以屏蔽掉这些状况中的任何一个。每个错误发生都会使 ERF 角变为高电平。SR1 中的 ERF 比特位不同于 ERF 角，因为它只能在错误发生的第一时间内产生一个中断，直到 SR1 被读出。关于 ERF 角和比特位的更多信息在状态和中断寄存器这节结尾处可找到。

角说明：CS8411

电源连接

VD+：数字正电源，7 角。

提供给数字电路这部分的正电源。标称值为 +5V。

VA+：模拟正电源，22 角

提供给模拟电路这部分的正电源。标称值为 +5V。这个电源噪声要尽可能的小，因为这个角上的噪声会直接影响恢复时钟的抖动性能。

DGND: 数字地, 8 角。

数字电路的接地。DGND 应该和 AGND 连接到同一个地上。

AGND: 模拟地, 21 角。

模拟电路的接地。AGND 应该和 DGND 连接到同一个地上。

音频输出接口

SCK : 串行时钟口, 12 角。

用于 SDATA 的串行时钟, SDATA 可被设置 (通过控制寄存器 2) 为输入或输出, 并且可以在上升沿或下降沿进行采样。作为输入, 在所有音频串口普通模式中, 在每个音频采样中 SCK 必须包含 32 个时钟。

FSYNC : 帧同步, 11 角

描述串口数据并且可能指出特殊通道, 左或右。FSYNC 也可以被设为输入或输出, 由控制寄存器 2 中的比特位决定。

SDATA : 串口数据, 26 角。

音频数据串口输出角。

ERF : 错误标志, 25 角。

在接收到从串口读入的音频采样过程中指示发生的错误。引起 ERF 变为高电平的错误列举在状态寄存器 2 中, 并且在中断寄存器 2 中要设定相应的比特位。

A4/FCK : 地址总线比特位 4/频率时钟, 13 角

这个角有着双功能, 由控制寄存器 1 中的 FCEN 比特位来控制哪种功能。A4 是按下面定义的地址总线角。当用作 FCK 时, 一个内部频率比较器对输入到这个角上的一个 6.144MHz 时钟和接收到的时钟频率进行比较, 并且把值存储在状态寄存器 1 中的 3 个 FREQ 比特位上。这 3 个比特位指示引入的频率以及容限。当定义为 FCK 时, A4 被内部设为 0。

并口

CS: 芯片选择, 24 角

这个输入在低电平被激活并且允许访问 32 个字节的内部寄存器。在 CS 是低电平时, 地址总线和 RD/ $\bar{}$ WR 必须有效。

RD/ $\bar{}$ WR: 读/写, 23 角。

在 CS 被激活 (低电平) 时, 如果 RD/ $\bar{}$ WR 是低电平, 数据总线上的数据被写入内部寄存器里。在 CS 被激活时, 如果 RD/ $\bar{}$ WR 是高电平, 内部寄存器上的数据被放置到数据总线上。

A4-A0 : 地址总线, 13 角, 15-18。

并口地址总线, 选择被读或被写的内部存储器的位置。注意, A4 在双功能角 A4/FCK 上, 前面已说到。

D0-D7 : 数据总线, 27-28 角, 1-6。

并口数据总线, 用于检查状态, 读或写控制字, 或读内部缓存。

$\bar{}$ INT : 中断, 14 角。

指示内部缓冲寄存器的状态以及错误信息的输出。到 VD+ 上的一个 5K Ω 阻抗用于支持逻辑门。所有影响 INT 的比特位是可以屏蔽的, 这样可以在中断机制之上进行总的控制。

接收机接口

RXP, RXN : 不同的线路接收机 , 9 , 10 角。

RS422 兼容线路接收机。在附录 A 中详细说明。

锁相环路

MCK : 主时钟 , 19 角。

低抖动输出 , 是接收到的采样频率的 256 倍。

FILT: 滤波器 , 20 角

需要在 FILT 角和模拟地之间接一个 1K 电阻和一个 0.047 μ F 电容。

CS8412 概述

CS8412 不需要一个微处理器来处理非音频数据 (虽然一个微处理器可能会用于 C 和 V 串口)。相反 , 微处理器贡献出来的角用于最重要的通道状态比特位。CS8412 是一个单片 CMOS 电路 , 它接收数字音频数据并对其进行解码 , 这些数据的编码要符合数字音频接口标准。CS8412 包含一个 RS422 线路接收机 , 时钟和数据恢复利用芯片上的一个锁相环路来解决。音频数据通过一个可设置的串口输出 , 这个串口支持 14 种格式。通道状态和用户数据有它们自己的串行角 , 有效标志和 ERF 标志相或来提供一个角的信号 , VERF , 它指示音频输出可能无效。这个角会被插补滤波器使用来提供错误更正。CS8412 的原理框图显示在图 16 中。

线路接收机和抖动性能在前面讲述的 CS8411 里已被说明。

音频串口

音频串口主要用于输出音频数据 , 由 3 个角组成 : SCK , FSYNC 和 SDATA。这 3 个角通过 4 个控制角来设置 : M0, M1, M2 和 M3。M3 用于选择 8 种普通串口格式 (M3=0) 和 6 种特殊格式 (M3=1)。

普通模式 (M3=0)

当 M3 是低电平时 , 普通串口模式显示在图 17 中 , 用 M2 , M1 和 M0 来选择。这些格式也被列在表格 3 中。在表中 , 格式号码后的第一个单词指示 FSYNC 和 SCK 是输出还是输入。接下来的单词 (L/R-WSYNC) 指示 FSYNC 是指示特定通道还是仅仅在描述一个单词。如果一个错误发生 (ERF=1) , 这个通道的前面的有效音频数据被输出。只要 ERF 是高电平 , 输出同样的数据。如果 Cs8412 失锁 , 它的输出全为 0。在一些模式中 , FSYNC 和 SCK 是输出 , 而在其它一些模式中 , 它们是输入。在表格 3 中 , LSBJ 是短的 LSB , LSB 放在音频帧结尾处 , MSB 随字长而改变。作为输出 , CS8412 在每个音频采样里产生 32 个 SCK 周期 (每个立体声采样 64 个)。作为输入 , 每个音频采样必须提供 32 个 SCK 周期。当 FSYNC 和 SCK 是输入时 , 一个立体声采样要双倍缓存。对于输出 24 个比特音频数据的那些模式 , 必须要包括辅助比特位。如果辅助比特位不用于音频数据 , 它们必须被屏蔽掉。

M2	M1	M0	模式
0	0	0	0 : 输出 , L/R, 16-24 位
0	0	1	1 : 输入 , L/R, 16-24 位

0	1	0	2：输出，L/R，I2S 兼容
0	1	1	3：输入，L/R，I2S 兼容
1	0	0	4：输出，WSYNC,16-24 位
1	0	1	5：输出，L/R，16 位 LSBJ
1	1	0	6：输出，L/R，18 位 LSBJ
1	1	1	7：输出，L/R,MSB 在最后

表格 3.普通音频模式 (M3=0)

特殊模式 (M3=1)

当 M3 是高电平时，由 M2,M1,和 M0 来选择表格 4 中的特殊音频模式。在模式 8,9 和 10 中，SCK,FSYNC 和 SDATA 分别和在模式 0,1,和 2 中一样。但是，即使 ERF 是高电平，指示一个错误，恢复的数据仍被输出（在模式 0-2 中，前面的有效采样被输出）。类似地，当失锁时，CS8412 仍然输出所有的被恢复的数据，如果 RXP,RXN 上没有输入，输出的所有数据都会是 0。模式 11 和模式 0 类似，除了在模式 11 中 SCK 是输入并且 FSYNC 是输出这点不同。在这个模式中，FSYNC 和 SDATA 被同步于 SCK。因为 SCK 不同步于接收到的数据流，所以在 FSYNC 上升沿和下降沿之间的 SCK 周期数量会改变。这种模式在写入数据进行存储时很有用。

M2	M1	M0	模式
0	0	0	8：模式 0：错误上没有重复
0	0	1	9：模式 1：错误上没有重复
0	1	0	10：模式 2：错误上没有重复
0	1	1	11：模式 0：异步，SCK 输入
1	0	0	12：接收到 NRZ 数据
1	0	1	13：接收到双相位数据
1	1	0	14：预留
1	1	1	15：CS8412 复位

表格 4.特殊音频模式 (M3=1)

模式 12 类似于模式 7，除了 SDATA 是从传送线路上接收到的完整的数据字，包括 C,U,V 和 P 这 4 个比特位，并且 0 替代了前置码。在模式 13 中，SDATA 是包括前置码在内的完整的双相位编码数据，并且 SCK 是普通模式频率的 2 倍。数据从输入到输出普通模式延时 2 个帧，在模式 12 和模式 13 中减少到仅仅几个比特周期。但是，C,U,V 比特位和错误代码还是走的普通模式的路径，因此输出还是延时 2 个帧。在图 18 中有模式 12 和模式 13 的图示说明。模式 14 是预留模式并且当前不被使用。模式 15 会使 CS8412 进入复位状态。在复位过程中，除了 MCK 之外所有输出都不会被激活。在复位之后到达第一个块分界处，CS8412 就走出了复位状态。建议电源一开就进行复位，并且任何一次用户进行了系统更新也要复位。在附录 B 里有一个推荐的复位电路。

C,U,VERFERF 和 CBL 串口输出

除了 2,3 和 9 (I2S 模式) 之外的所有串口模式中，C 和 U 比特位以及 CBL 在 FSYNC 激活边沿之前输出一个 SCK 周期。FSYNC 的激活边沿可用于外部锁住 C,U 和 CBL。在模式 2,3 和 9 中，C 和 U 比特位以及 CBL 在 FSYNC 激活边沿处被更新。有效 + 错误标志(VERF) 和错误标志 (ERF) 总是在 FSYNC 激活边沿处被更新。这个时序在图 19 中说明。

C 输出包含通道状态比特位，CBL 上升沿指示一个新通道状态块的开始。CBL 高电平对于通道状态 (32 帧或 64 个采样) 前 4 个字节有效，CBL 低电平对于通道状态 (160 帧或

320 个采样)后 20 个字节有效。U 输出包含用户通道数据。V 比特位与 ERF 标志位相“或”并且在 VERF 角上输出结果。这个输出指示音频采样可能出现错误并可被用于插补滤波器来修补错误。ERF 保持高电平状态指示发生在传送线路上的一个严重错误。有 3 个错误会使 ERF 变为高电平：一个奇偶错误，违反双相位编码，PLL 接收机失锁。上面所说角的时序在图 19 中说明。

多功能角

有 7 个多功能角,它们既可以包含任一错误信息,又可以接收频率信息或通道状态信息。由 SEL 来选择这些功能。

错误和频率报告

当 SEL 是低电平时,错误和接收到的频率信息被选择。错误信息在角 E2,E1 和 E0 上被编码,解码如表格 5 所示。当一个错误发生时,相应的错误代码被锁住。然后通过把 SEL 电平在超过 8 个 MCK 周期的时间内设为高电平来完成清除代码工作。错误有一个和它们的错误代码相关联的优先权,有效时的优先权最低,失锁的优先权最高。因为只有一个代码能被显示,所以带有最高优先权的错误将被显示。

E2	E1	E0	错误
0	0	0	没有错误
0	0	1	有效比特位为高电平
0	1	0	预留
0	1	1	移位采样
1	0	0	CRC 错误(只用于专业模式)
1	0	1	奇偶错误
1	1	0	双相位编码错误
1	1	1	失锁

表格 5.错误解码

指示前一个采样的有效比特位的有效标志在清除了错误代码之后变为高电平。只有在音频串口的 FSYNC 和 SCK 是输入时,才可能发生移位采样错误。在这种情况下,如果 FSYNC 和接收到的数据是异步的,一个立体声采样率会出现周期性地下降或被重读,重读取取决于读地速率是慢于还是快于接收到的数据的速率。当这种情况发生时,移位采样错误代码将出现在 E 角上。CRC 错误在一个通道状态块的开始处被更新,并且只有在专业格式的通道状态数据被接收到时才会有效。当 CS8412 计算出 CRC 的值和通道状态块的 CRC 字节不符合时或当一个块的分界处改变时(就如在编辑过程中移动采样值),CRC 错误会被指示出来。当子帧中没有标准规定的奇偶校验位时,就会发生一个奇偶错误。双相位编码错误指示违反双相位编码规则的错误发生。失锁错误指示 PLL 没有锁定于接收到的数据流。在接收到帧的 3 个前置码接着是一个块的前置码之后,就获得了锁定。在没有接收到连续 4 个帧的前置码之后,就会发生失锁。

接收到的频率信息在角 F2,F1 和 F0 上进行编码,解码如表格 6 所示。芯片上的频率比较器把接收到的时钟频率和一个外部提供的从 FCK 角输入的 6.144MHz 的时钟进行比较。包括 CBL 上升沿之前在内的一个通道状态块期间,F 角更新 3 次。CBL 可能被用于外部锁死 F 角。为了 F 角上的精度,FCK 上的时钟必须在一个块的三分之二内有效。

F2	F1	F0	采样频率
0	0	0	超出范围
0	0	1	48KHz ± 4%

0	1	0	44.1 KHz ± 4%
0	1	1	32 KHz ± 4%
1	0	0	48 KHz ± 400ppm
1	0	1	44.1 KHz ± 400ppm
1	1	0	44.056 KHz ± 400ppm
1	1	1	32 KHz ± 400ppm

表格 6.采样频率解码

通道状态报告

当 SEL 是高电平时，通道状态在 C0 上显示出来，Ca-Ce 由 CS12 选择。如果 CS12 是低电平，子帧 1 的通道状态被显示，如果 CS12 是高电平，子帧 2 的通道状态被显示。Ca-Ce 表示的内容取决于 C0 专业/民用比特位。报告的信息在表格 7 中列出。

角	专业	民用
$\bar{C}0$	0(低电平)	1(高电平)
Ca	$\bar{C}1$	$\bar{C}1$
Cb	EM0	$\bar{C}2$
Cc	EM1	$\bar{C}3$
Cd	$\bar{C}9$	\bar{ORIG}
Ce	\bar{CRCE}	\bar{IGCAT}

表格 7. 通道状态角

专业通道状态 (C0=0)

当 C0 是低电平时，接收到的通道状态块按照专业/广播格式被编码。Ca 到 Ce 角定义一些更重要的专业比特位。就如表格 7 列出的一样，Ca 是通道状态比特 1 的反码。因此，如果通道状态比特 1 是 1，Ca 被定义为 C1，它的值就将是 0。C1 指示接收到的是音频 (C1=1) 数据还是非音频 (C1=0) 数据。Cb 和 Cc，分别定义为 EM0 和 EM1，指示加重并和通道状态比特 2, 3, 4 结合编码。解码如图 8 所示。Cd, 定义为 C9，是通道状态比特 9 的反码，它给出通道模式的一些指示。(比特 9 也被定义为字节 1 的比特 1) 当 Ce, 定义为 CRCE，是低电平时，CS8412 计算的 CRC 值和接收到的 CRC 值不一致。这个信号可被用于检测 Ca 到 Cd。如果 Ca 到 Cd 被显示，Ce 变为低电平，指示不用更新这些显示。

EM1	EM0	C2	C3	C4	加重
0	0	1	1	1	CCITT J.17 加重
0	1	1	1	0	50/15 μs 加重
1	0	1	0	0	没有加重
1	1	0	0	0	没有显示

表格 8. 加重编码

民用通道状态 (C0=1)

当 C0 是高电平时，接收到的通道状态块按民用格式进行编码。在这种情况下，Ca 到 Ce 和表格 7 中的定义有点不同。Ca 是通道状态比特 1(C1)的反码，指示音频 (C1=1) 或非音频 (C1=0)。Cb 定义为通道状态比特 (C2) 的反码，C2 指示复制禁止/版权信息。Cc 定义为 C3，是通道状态加重位，并且 C3 是低电平时指示数据已经预加重。

在民用模式中的音频标准用比特 15(L)来说明，指示音频数据是原始的还是复制的(第一次复制或复制了更多次)。L 比特位，定义为 3 种类型码的反码。这 3 种类型码是：两个广播代码，一个激光(CD)代码。因此，为了正确解释 L 比特位，类型码必须要被解码。CS8412 在内部会对其进行解码并且提供 \bar{ORIG} 信号，当其为低电平时，指示音频数据是原始数据。

SCMS

民用音频标准也提到一个串行复制管理系统,SCMS.用于处理有版权保护的作品的复制。SCMS 允许非限制地复制原始作品,但是不能复制原始作品的任一复制品。这个系统使用通道状态比特 2, Copy(复制),和通道状态比特 15, L, 以及类型码。如果 Copy 比特位是 0, 作品有版权保护。然后, L 比特位用来决定这个作品是原始的还是复制的。(就如在前面一段提到的, L 比特位的定义是基于类型码的反码)有 2 种类型码要引起特别注意:普通类型和不带 C 或 L 比特位信息的 A/D 转换器类型。对于这 2 种类型,SCMS 标准要求设备接口把 C 比特位设为 0(申明版权保护)并且 L 比特位设为 1(原始)。为了支持这 2 种类型,民用模式中的 Ce 被定义为 \neg IGCAT(忽略类型),低电平表示“普通”(0000000)和“没有版权信息的 A/D 转换器”(01100xx)这两种类型。

角说明:CS8412

电源连接

VD+: 数字正电源, 7 角。

提供给数字电路这部分的正电源。标称值为 +5V。

VA+: 模拟正电源, 22 角

提供给模拟电路这部分的正电源。标称值为 +5V。

DGND: 数字地, 8 角。

数字电路的接地。DGND 应该和 AGND 连接到同一个地上。

AGND: 模拟地, 21 角。

模拟电路的接地。AGND 应该和 DGND 连接到同一个地上。

音频输出接口

SCK: 串行时钟, 12 角

用于 SDATA 角的串行时钟可被设置做为输入或输出(通过 M0, M1, M2 和 M3), 并且能在上升沿或下降沿进行数据采样。作为输出时, SCK 对每个音频采样产生 32 个时钟周期。作为输入, 在所有普通模式中必须为每个采样提供 32 个 SCK 周期。

FSYNC: 帧同步, 11 角。

描述串行数据并指示特定通道,左或右。它既可做输入又可做输出,由 M0, M1, M2 和 M3 角来选择。

SDATA: 串行数据, 26 角

音频数据串行输出角。

M0, M1, M2, M3: 串口模式选择, 23, 24, 18, 17 角。

选择 FSYNC 的模式以及和 SDATA 相关的 SCK 采样边沿的模式。M3 在 8 个普通模式(M3=0)和 6 个特殊模式(M3=1)之间选择。

控制角

VERF: 有效 + 错误标志, 28 角

接收到的数据里的有效位和错误标志位进行逻辑或得到。可被用于插补滤波器用来插补错误。

U: 用户比特位, 14 角

接收到的用户比特串行输出口。FSYNC 可被用于在外部锁死这个比特位。(除了在 I2S

中，这个角会在 FSYNC 的激活边沿更新)

C: 通道状态输出，1 角。

接收到的通道状态比特串行输出口。FSYNC 可被用于在外部锁死这个比特位。(除了在 I2S 中，这个角会在 FSYNC 的激活边沿更新)

CSL: 通道状态块开始，15 角。

通道状态块开始输出角对于前 4 个字节通道状态是高电平，对于后 20 个字节是低电平。

SEL: 选择，16 角。

选择通道状态信息 (SEL=1) 或错误的控制角，并且频率信息 (SEL=0) 在下面的 6 个角上显示。

CO, Ca, Cb, Cc, Cd, Ce: 通道状态输出位，2-6，27 角。

这些角是双功能角，并且当 SEL 是高电平时，选择“C”比特位。通道状态信息的显示由 CS12 来选择。CO, 通道状态比特 0，定义专业 (CO=0) 或民用 (CO=1) 模式，并且进一步控制 Ca-Ce 角的定义。这些角在 CBL 的上升沿被更新。

CS12: 通道选择，13 角

这个角也是双功能的，SEL 是高电平时被选上。CS12 通过通道状态角 CO 和 Ca 到 Ce 来选择子帧 1 (低电平时) 或子帧 2 (高电平时)。

FCK: 时钟频率，13 角

时钟频率输入，SEL 低电平时有效。FCK 和接收到的时钟频率进行比较，结果显示在 F2 到 F0 上。标称输入值是 6.144MHz。

E0, E1, E2: 错误状况，4-6 角。

编码错误信息，在 SEL 低电平时有效。错误代码被区分优先次序并被锁死，这样在最后清除错误角之后，被显示的错误代码具有最高电平。把 SEL 设为高电平，并持续 8 个 MCK 周期，就可完成清除工作。

F0, F1, F2: 频率报告位，2-3, 27 角

编码采样频率信息，SEL 位低电平时有效。在一个通道块的至少 2/3 内，必须为 FCK 提供一个适当的时钟输入，这些角才有效。每个块，它们更新 3 次，最初是在块的分界处。

REF: 错误标志，25 角

指示在接收从串口读出的音频采样期间发生的错误。这些错误使 ERF 变为高电平：奇偶错误，违反双相位编码错误，或 PLL 接收机失锁。

接收机接口

RXP, RXN: 差动线路接收机，9, 10 角。

RS422 兼容线路接收机。

锁相环路

MCK: 主时钟，19 角

低抖动输出，是接收到的采样频率的 256 倍。

FILT: 滤波器，20 角

在 FILT 角和模拟地之间，外部连接一个 1K 电阻和 0.047 μ F 的电容。

附录 A：RS422 接收机有关内容

CS8411 和 CS8412 上的 RS422 接收机用来接收专业和民用接口传送的数据，并且符合所有数字音频标准规范。图 20 说明两个芯片内部接收机部分的原理图。接收机有一个差动输入。施密特触发器可以增加磁滞效应，阻止噪声信号破坏相位检测器。

专业接口

专业使用的数字音频接口被称作平衡电路，使用 XLR 接口，接口阻抗 $110 \pm 20\%$ （接收机的 XLR 接口应该是母头）。因为接收机输入阻抗很高，在接收机输入端上应跨接一个 110Ω 电阻来和线路阻抗相匹配，如图 21 所示，并且由于这部分电压内部进行偏置，所以不需要外部的偏置电路。如果没有使用变压器，需要进行一些隔离的话，就要在每个输入角（RXP 和 RXN）上接入一个 $0.01 \mu\text{F}$ 的电容，如图 22 所示。但是，如果没有使用变压器，高频分量会从发送机耦合到接收机，引起一些性能上的衰变。虽然 AES 不需要使用变压器，但是还是强烈推荐使用变压器。EBU 需要使用变压器。图 21 和图 22 显示了在发送线路上的一个可选的隔离直流的电容。 0.1 到 $0.47 \mu\text{F}$ 的瓷片电容可以用来阻隔任何直流电压，这个直流可能会意外进入数字音频接收机。当数字传送线路上没有直流电压成分时，这个电容就更加坚固耐用。

电缆屏蔽层接地是个复杂的问题。在系统构建中，避免接地环通是很重要的，直流电流流过电缆屏蔽层，可能会使带有电势位差的电缆盒连接在一起。通常一个很好的接地方法是：把屏蔽层接到发送机接地底盘上，并且通过一个电容把屏蔽层接到接收机接地底盘上。但是，在某些情况下，两个电缆盒具有相同的地电势是很有利的，这需要依靠屏蔽层来做这种电子连接。通常一个很好的办法是用一个“接地提升”电路来提供可选的接地或耦合到地的电容。

民用接口

民用接口在标准中被称作非平衡电路，接收机阻抗为 $75 \pm 5\%$ 。民用接口使用的是 RCA 耳机插口（固定的插座在 IEC268-11 表格 IV 中进行说明）。民用接口的接收电路显示在图 23 中。

TTL/CMOS 电平

当使用外部的 RS422 接收机或 TTL/CMOS 逻辑门电路来驱动 CS8411/12 接收机时，要用到如图 24 所示的电路。

变压器

请参照应用注释 AN134 这一条款：推荐 AES 和 S/PDIF 使用变压器。

附录 B：CS8412 复位电路

在电源一打开和任何时候用户进行模式更换时，CS8412 就应该被立即复位。这个工作可以通过把所有 4 个模式选择角的电平置为高电平来完成。图 25 就是实现这个工作的一个简单电路。或门可以是 74LS32 这种类型的门。