

带有恒压涓流充电器的RTC

概述

DS12R885是一款与DS12885实时时钟(RTC)功能兼容的替代产品。该器件提供RTC/日历、定时闹钟、三个可屏蔽的中断和一个通用中断输出、可编程方波以及114字节电池备份的静态RAM。少于31天的月份，月末日期可自动调整，其中包括闰年补偿。该器件还可以工作于24小时或带AM/PM指示的12小时格式。一个精密的温度补偿电路用来监视 V_{CC} 的状态。如果检测到主电源故障，该器件可以自动切换到备用电源供电。 V_{BACKUP} 引脚用于支持可充电电池或超级电容，内部包括一个始终有效的涓流充电器。DS12R885可以通过一个多路复用的单字节宽接口访问，该接口支持Intel和Motorola模式。DS12CR887和DS12R887将DS12R885与石英晶体和电池集成在一起。

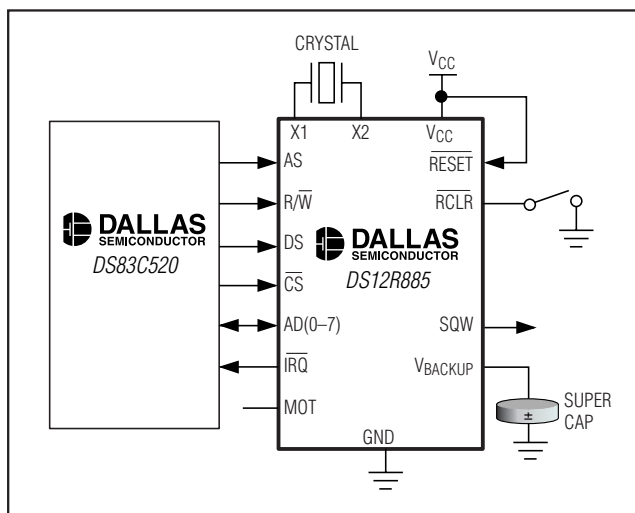
应用

嵌入式系统
电表
安全系统
网络集线器，网桥，路由器

特性

- ◆ 为充电电池或超级电容提供涓流充电
- ◆ 可选的Intel或Motorola总线时序
- ◆ RTC计数秒、分、时、星期、日期、月份和年份，闰年补偿至2100年
- ◆ 具有三个可单独屏蔽中断标志位的中断输出
- ◆ 定时闹钟为每秒一次至每日一次
- ◆ 122 μ s至500ms周期速率
- ◆ 时钟更新周期结束标志
- ◆ 14字节的时钟和控制寄存器
- ◆ 114字节带清0输入的通用RAM
- ◆ 可编程的方波输出
- ◆ 自动的电源故障检测和切换电路
- ◆ +5.0V或+3.3V工作电源
- ◆ 工业级温度范围
- ◆ DS12CR887密封DIP (EDIP)模块集成了电池与石英晶体
- ◆ DS12R887 BGA模块为表面贴封装，集成了石英晶体和充电电池

典型工作电路



订购信息

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK
DS12R885-5	-40°C to +85°C	24 SO (300 mils)	DS12R885-5
DS12R885-33	-40°C to +85°C	24 SO (300 mils)	DS12R885-33
DS12CR887-5	-40°C to +85°C	24 EDIP (700 mils)	DS12CR887-5
DS12CR887-33	-40°C to +85°C	24 EDIP (700 mils)	DS12CR887-33
DS12R887-5	-40°C to +85°C	48 BGA	DS12R887-5
DS12R887-33	-40°C to +85°C	48 BGA	DS12R887-33

引脚配置见数据资料的最后部分。

带有恒压涓流充电器的RTC

ABSOLUTE MAXIMUM RATINGS

Voltage Range on V_{CC} Pin Relative to Ground-0.3V to +6.0V
Operating Temperature Range-40°C to +85°C

Storage Temperature Range-55°C to +125°C
Soldering TemperatureSee IPC/JEDEC J-STD-020A Specification
Soldering Temperature (leads, 10s)+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = V_{CC(MIN)} to V_{CC(MAX)}, T_A = -40°C to +85°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage (Note 2)	V _{CC}	-33	2.97	3.3	3.63	V
		-5	4.5	5.0	5.5	
V _{BACKUP} Input Voltage (DS12R885 Only)	V _{BACKUP}	(Note 2)	2.0		V _{OUT}	V
Input Logic 1	V _{IH}	(Note 2)	2.2		V _{CC} + 0.3	V
Input Logic 0	V _{IL}	(Note 2)	-0.3		+0.8	V
V _{CC} Power-Supply Current (Note 3)	I _{CC1}	-33		0.7	2	mA
		-5		0.8	2	
V _{CC} Standby Current (Note 4)	I _{CCS}	-5		0.250	0.5	mA
		-33		0.140	0.3	
Input Leakage	I _{IL}		-1.0		+1.0	μA
I/O Leakage	I _{OL}	(Note 5)	-1.0		+1.0	μA
Input Current	I _{MOT}	(Note 6)	-1.0		+500	μA
Output Current at 2.4V	I _{OH}	(Note 2)	-1.0			mA
Output Current at 0.4V	I _{OL}	(Note 2)			4.0	mA
Power-Fail Voltage (Note 2)	V _{PF}	-33	2.7	2.88	2.97	V
		-5	4.05	4.33	4.5	
VRT Trip Point	V _{RTTRIP}	-33		1.3		V
		-5				
Trickle-Charger Current-Limiting Resistor	R1	DS12R885 Only		10		kΩ
Trickle-Charger Output Voltage	V _{OUT}	DS12R885 Only		3.05		V

帶有恒压涓流充电器的RTC

DS12R885/DS12C887/DS12R887

DC ELECTRICAL CHARACTERISTICS (DS12R885 Only)

(V_{CC} = 0V, V_{BACKUP} = 3.2V, T_A = -40°C to +85°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V _{BACKUP} Current (OSC On); T _A = +25°C, V _{BACKUP} = 3.0V	I _{BACKUP2}	(Note 7)		800	1000	nA
V _{BACKUP} Current (Oscillator Off)	I _{BACKUPDR}	(Note 7)			100	nA

AC ELECTRICAL CHARACTERISTICS

(V_{CC} = 4.5V to 5.5V, T_A = -40°C to +85°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Cycle Time	t _{CYC}		180		DC	ns
Pulse Width, DS Low or R/W High	PW _{EL}		80			ns
Pulse Width, DS High or R/W Low	PW _{EH}		65			ns
Input Rise and Fall	t _R , t _F				30	ns
R/W Hold Time	t _{RWH}		0			ns
R/W Setup Time Before DS/E	t _{RWS}		10			ns
Chip-Select Setup Time Before DS or R/W	t _{CS}		5			ns
Chip-Select Hold Time	t _{CH}		0			ns
Read-Data Hold Time	t _{DHR}		5		35	ns
Write-Data Hold Time	t _{DHW}		0			ns
Address Valid Time to AS Fall	t _{ASL}		20			ns
Address Hold Time to AS Fall	t _{AHL}		5			ns
Delay Time DS/E to AS Rise	t _{ASD}		10			ns
Pulse Width AS High	PW _{ASH}		30			ns
Delay Time, AS to DS/E Rise	t _{ASED}		35			ns
Output Data Delay Time from DS or R/W	t _{DDR}	(Note 8)	15		60	ns
Data Setup Time	t _{DSW}		50			ns
Reset Pulse Width	t _{RWL}		5			μs
IRQ Release from DS	t _{IRDS}		0		2	μs
IRQ Release from RESET	t _{IRR}		0		2	μs

带有恒压涓流充电器的RTC

DS12R885/DS12CR887/DS12R887

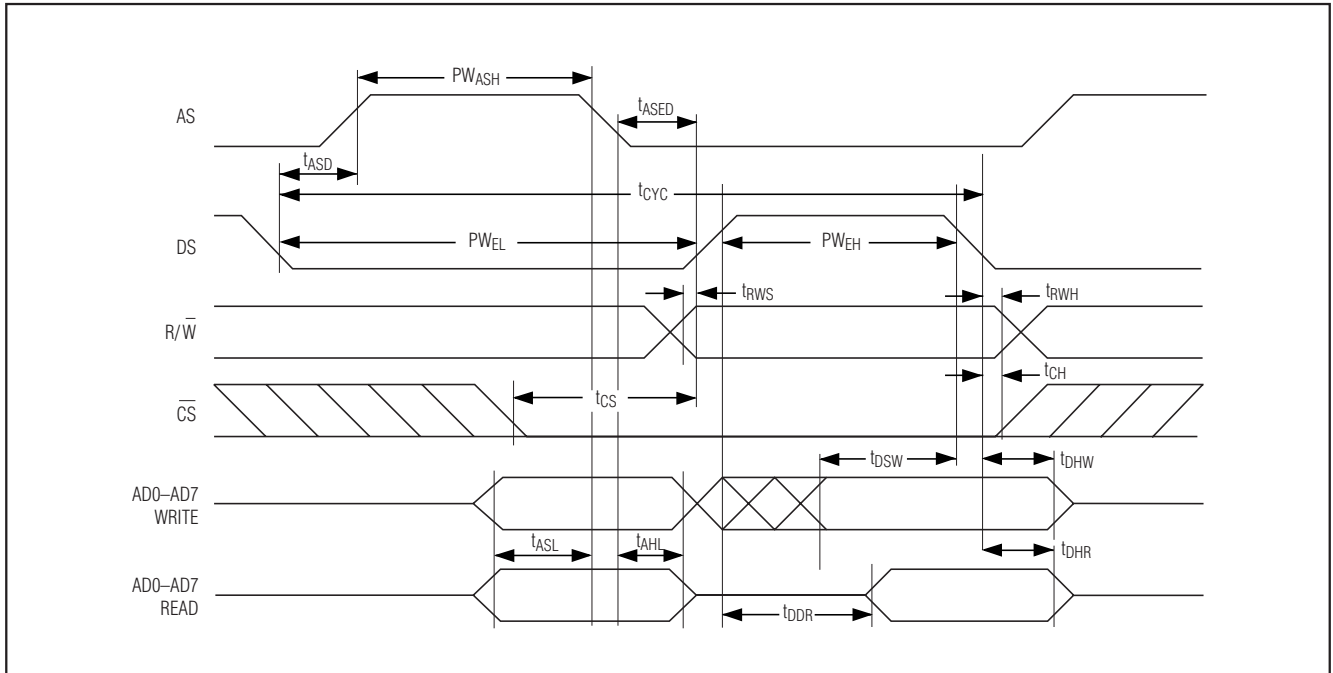
AC ELECTRICAL CHARACTERISTICS

(V_{CC} = 2.97V to 3.63V, T_A = -40°C to +85°C.) (Note 1)

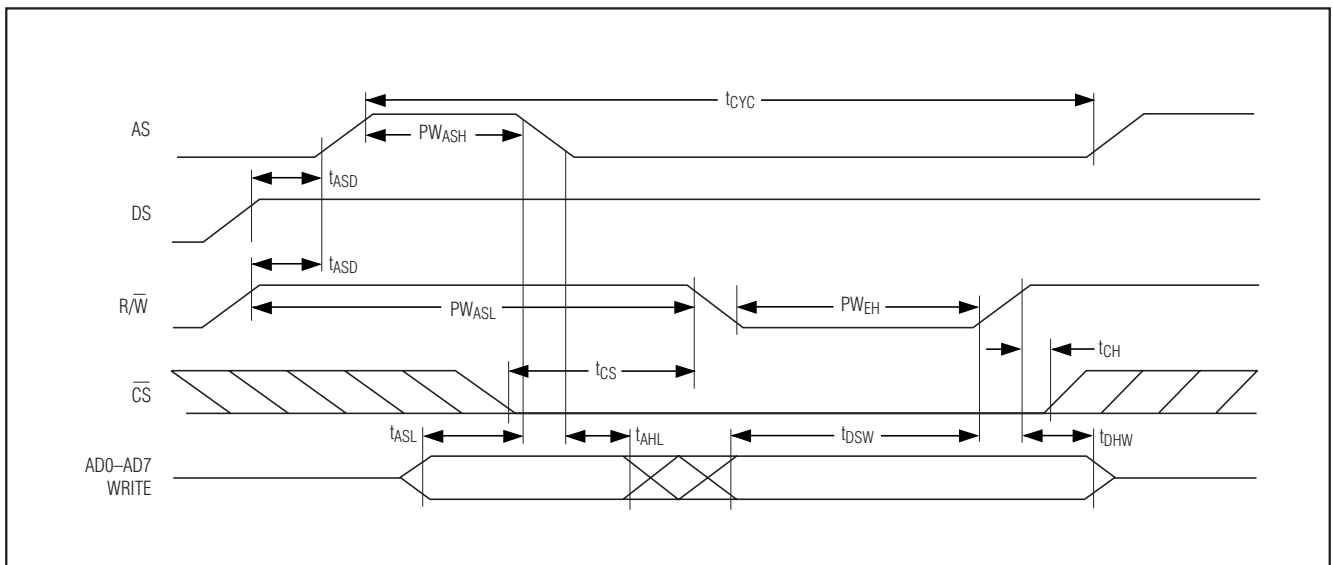
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Cycle Time	t _{CYC}		280		DC	ns
Pulse Width, DS Low or R/W High	PW _{EL}		130			ns
Pulse Width, DS High or R/W Low	PW _{EH}		90			ns
Input Rise and Fall	t _R , t _F				30	ns
R/W Hold Time	t _{RWH}		0			ns
R/W Setup Time Before DS	t _{RWS}		15			ns
Chip-Select Setup Time Before DS or R/W	t _{CS}		8			ns
Chip-Select Hold Time	t _{CH}		0			ns
Read-Data Hold Time	t _{DHR}		5		55	ns
Write-Data Hold Time	t _{DHW}		0			ns
Address Valid Time to AS Fall	t _{ASL}		30			ns
Address Hold Time to AS Fall	t _{AHL}		15			ns
Delay Time DS to AS Rise	t _{ASD}		15			ns
Pulse Width AS High	PW _{ASH}		45			ns
Delay Time, AS to DS Rise	t _{ASED}		55			ns
Output Data Delay Time from DS or R/W	t _{DDR}	(Note 8)	20		80	ns
Data Setup Time	t _{DSW}		70			ns
Reset Pulse Width	t _{RWL}		5			μs
$\overline{\text{IRQ}}$ Release from DS	t _{IRDS}		0		2	μs
$\overline{\text{IRQ}}$ Release from $\overline{\text{RESET}}$	t _{IRR}		0		2	μs

带有恒压涓流充电器的RTC

Motorola总线读/写时序

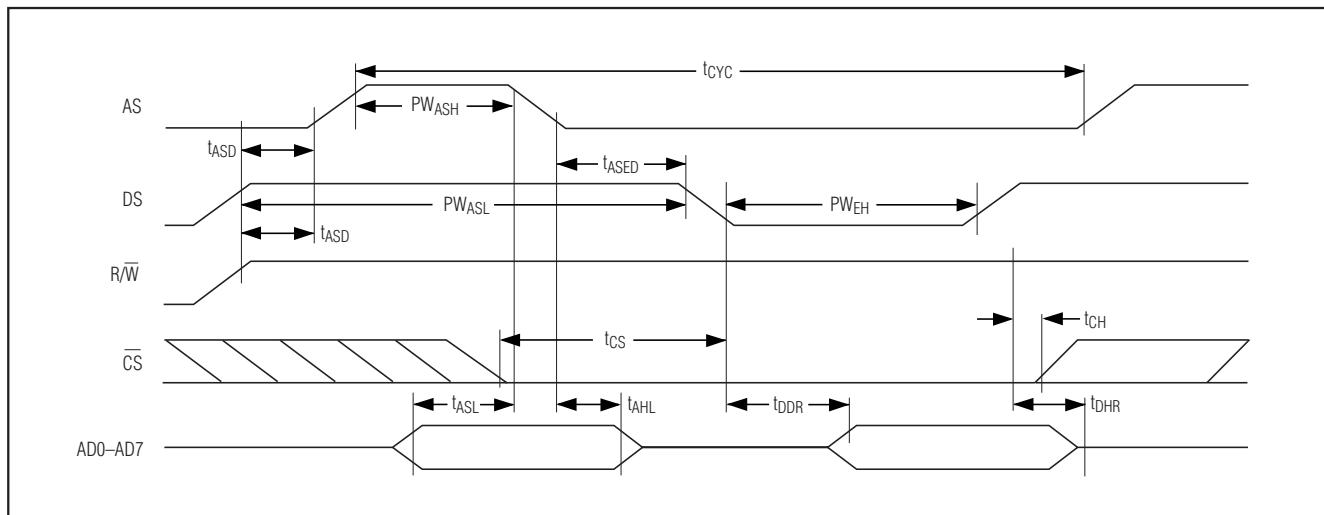


Intel总线写时序

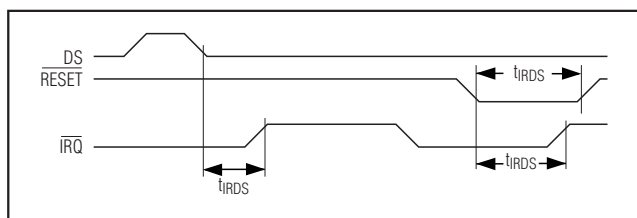


带有恒压涓流充电器的RTC

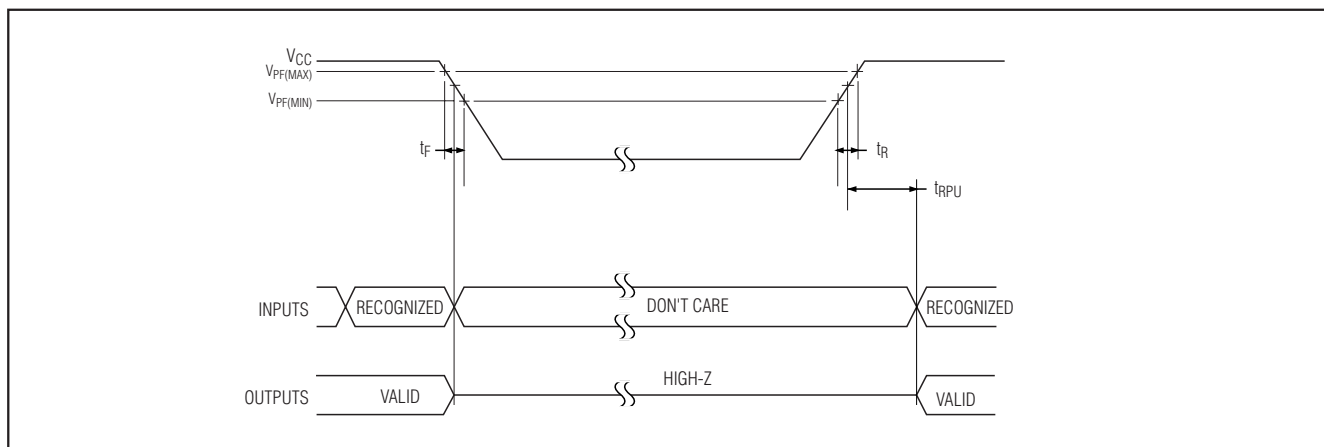
Intel总线读时序



$\overline{IRQ}$ 释放延迟时序



上电/断电时序



带有恒压涓流充电器的RTC

DS12R885/DS12CHR887/DS12R887

POWER-UP/POWER-DOWN CHARACTERISTICS

(T_A = -40°C to +85°C) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Recovery at Power-Up	t _{RPU}		20		200	ms
V _{CC} Fall Time; V _{PF} (MAX) to V _{PF} (MIN)	t _F		300			μs
V _{CC} Rise Time; V _{PF} (MIN) to V _{PF} (MAX)	t _R		0			μs

CAPACITANCE

(T_A = +25°C)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Capacitance on All Input Pins Except X1 and X2	C _{IN}	(Note 9)			10	pF
Capacitance on $\overline{\text{IRQ}}$, SQW, and DQ Pins	C _{IO}	(Note 9)			10	pF

AC TEST CONDITIONS

PARAMETER	TEST CONDITIONS
Input Pulse Levels (-5)	0 to 3.0V
Input Pulse Levels (-33)	0 to 2.7V
Output Load Including Scope and Jig (-5)	50pF + 1TTL Gate
Output Load Including Scope and Jig (-33)	25pF + 1TTL Gate
Input and Output Timing Measurement Reference Levels	Input/Output: V _{IL} maximum and V _{IH} minimum
Input-Pulse Rise and Fall Times	5ns

WARNING: Negative undershoots below -0.3V while the part is in battery-backed mode may cause loss of data.

Note 1: Limits at -40°C are guaranteed by design and not production tested.

Note 2: All voltages are referenced to ground.

Note 3: All outputs are open.

Note 4: Specified with $\overline{\text{CS}} = \text{DS} = \overline{\text{R}/\overline{\text{W}}} = \overline{\text{RESET}} = \text{V}_{\text{CC}}$; MOT, AS, AD0-AD7 = 0; V_{BACKUP} open.

Note 5: Applies to the AD0 to AD7 pins, the $\overline{\text{IRQ}}$ pin, and the SQW pin when each is in a high-impedance state.

Note 6: The MOT pin has an internal 20kΩ pulldown.

Note 7: Measured with a 32.768kHz crystal attached to X1 and X2.

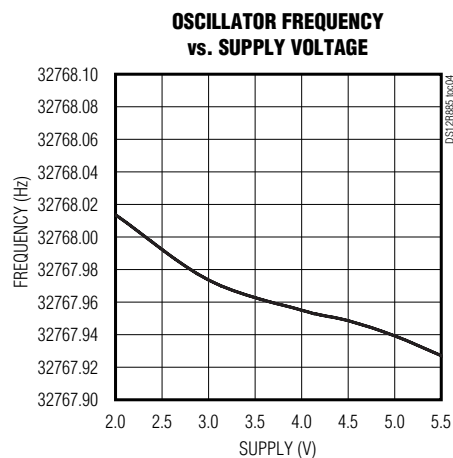
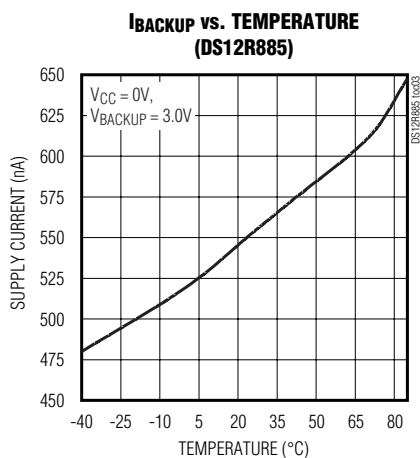
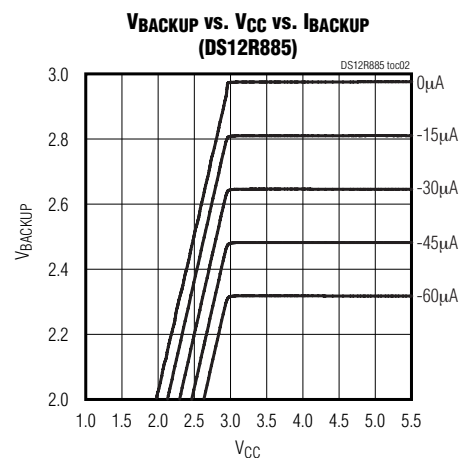
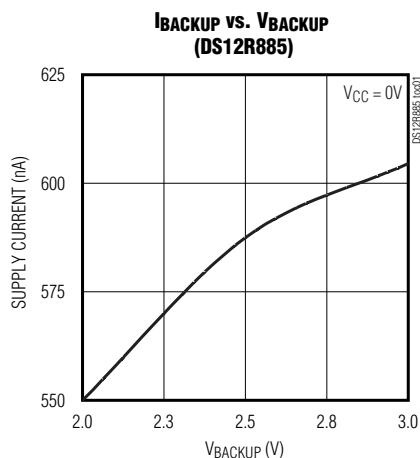
Note 8: Measured with a 50pF capacitance load.

Note 9: Guaranteed by design. Not production tested.

带有恒压涓流充电器的RTC

典型工作特性

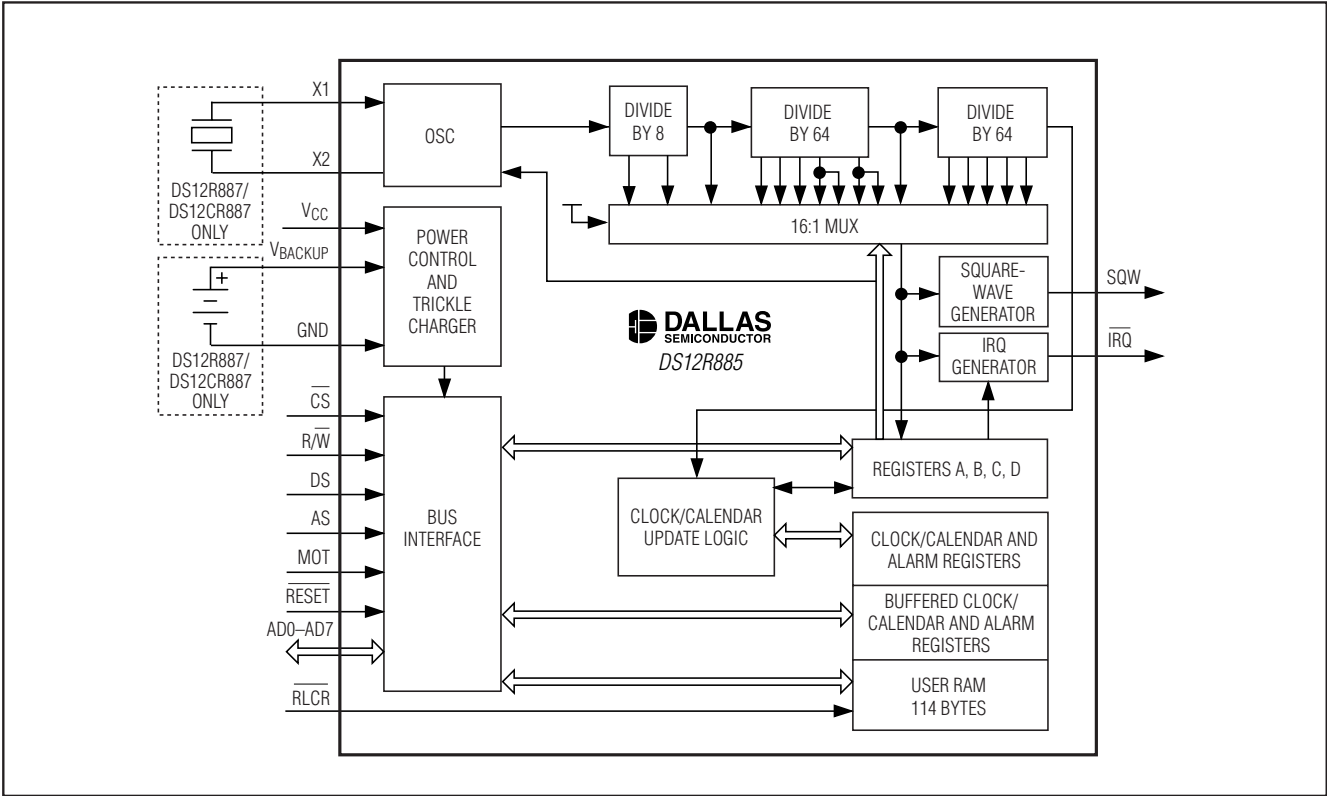
($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



带有恒压涓流充电器的RTC

功能图

DS12R885/DS12CR887/DS12R887



引脚说明

引脚			名称	功能
SO	EDIP	BGA		
1	1	C5	MOT	Motorola 或 Intel 总线时序选择端。利用此引脚选择两种总线类型中的一种。连接到 V _{CC} 时选择 Motorola 总线时序，接地或悬空时选择 Intel 总线时序。该引脚内部有一个下拉电阻。
2	—	—	X1	连接标准的 32.768kHz 石英晶体。内部振荡电路设计用于驱动负载电容 (C _L) 为 12.5pF 的石英晶体。引脚 X1 为振荡器的输入，可选接外部 32.768kHz 振荡器。引脚 X1 外接振荡器时，内部振荡器输出引脚 X2 悬空。
3	—	—	X2	
4-11	4-11	F4, D4, F3, D3, F2, D2, F1, D1	AD0-AD7	双向地址 / 数据复用总线。地址于总线周期的开始发送到总线上，并由 AS 信号的下降沿锁存到 DS12R885。所写的数由 DS 信号的下降沿 (Motorola 时序) 或 R/W 信号的上升沿 (Intel 时序) 锁存。读周期中，DS12R885 于 DS 信号的后期 (Motorola 时序中 DS 和 R/W 均为高，Intel 时序中 DS 为低、R/W 为高) 将数据发送到总线上。读周期结束后，总线恢复到高阻状态，同时 DS 在 Motorola 时序中变低，在 Intel 时序中变高。

带有恒压涓流充电器的RTC

引脚说明 (续)

引脚			名称	功能
SO	EDIP	BGA		
12	12	D5–D8, E1–E8, F5–F8	GND	地
13	13	C1	$\overline{\text{CS}}$	片选信号输入。片选信号低电平有效，在访问 DS12R885 的总线周期内必须保持低电平。在 Motorola 时序中的 DS 和 AS 信号工作期间，Intel 时序中的 DS 和 R/ $\overline{\text{W}}$ 信号工作期间， $\overline{\text{CS}}$ 必须保持有效。在 $\overline{\text{CS}}$ 信号无效的情况下，总线操作将不能访问芯片。当 V_{CC} 低于 V_{PF} 电压时，DS12R885 内部通过禁止 $\overline{\text{CS}}$ 输入来拒绝访问。此举旨在断电时保护 RTC 数据和 RAM 数据。
14	14	C3	AS	地址选通输入。由低变为高的地址选通脉冲用来分离总线信号。在 AS 信号的下降沿，地址锁存到 DS12R885 内。无论 $\overline{\text{CS}}$ 信号是否有效，AS 的下一个上升沿都将清除地址。地址选通信号必须先于每个读或写访问。如果在 $\overline{\text{CS}}$ 信号无效的情况下执行了读或写操作，则必须在 $\overline{\text{CS}}$ 信号有效时且在读或写访问之前，重新发送一次地址选通信号。
15	15	C2	R/ $\overline{\text{W}}$	读 / 写输入。R/ $\overline{\text{W}}$ 引脚有两种操作模式。在 MOT 引脚接 V_{CC} 的 Motorola 时序中，R/ $\overline{\text{W}}$ 电平用来指示当前周期是读还是写。DS 为高时，R/ $\overline{\text{W}}$ 为高电平表示读周期，R/ $\overline{\text{W}}$ 为低电平则表示写周期。在 MOT 引脚接地的 Intel 时序中，R/ $\overline{\text{W}}$ 为低电平有效。在此模式下，R/ $\overline{\text{W}}$ 引脚与普通 RAM 的写-使能信号 ($\overline{\text{WE}}$) 工作方式类似。在此信号的上升沿锁存数据。
16, 22	2, 3, 16, 20–22	A3	N.C.	未连接。此引脚应保持悬空。在 EDIP 封装中没有此引脚。
17	17	A1	DS	数据选通或读输入。DS 引脚根据 MOT 引脚电平有两种模式。MOT 引脚接 V_{CC} 时，选择 Motorola 总线时序。此模式下，总线周期的后期 DS 为正脉冲，称作数据选通脉冲。在读周期中，DS 表明 DS12R885 将要驱动双向总线。在写周期中，DS 信号的下降沿使 DS12R885 锁存所写的数据。当 MOT 接地时，选择 Intel 总线时序。DS 表示读取 DS12R885 数据驱动总线的时钟周期。此模式下，DS 引脚与普通 RAM 的输出使能信号 (OE) 工作方式类似。

带有恒压涓流充电器的RTC

引脚说明 (续)

DS12R885/DS12C887/DS12R887

引脚			名称	功能
SO	EDIP	BGA		
18	18	A2	$\overline{\text{RESET}}$	复位输入。$\overline{\text{RESET}}$引脚对时钟、日历或 RAM 不起作用。上电时可将 $\overline{\text{RESET}}$ 引脚首先保持低电平，以等待电源稳定下来。保持低电平的时间可根据应用需要而定。但是，如果上电时使用 $\overline{\text{RESET}}$ 信号，$\overline{\text{RESET}}$ 保持低电平的时间应当超过 200ms，以保证控制 DS12R885 上电的内部定时器定时结束。当 $\overline{\text{RESET}}$ 为低电平，而且 V_{CC} 大于 V_{PF} 时，将产生以下操作： A. 周期性中断使能 (PIE) 位清 0。 B. 闹钟中断使能 (AIE) 位清 0。 C. 更新结束中断使能 (UIE) 位清 0。 D. 周期性中断标志 (PF) 位清 0。 E. 闹钟中断标志 (AF) 位清 0。 F. 更新结束中断标志 (UF) 位清 0。 G. 中断请求状态标志 (IRQF) 位清 0。 H. $\overline{\text{IRQ}}$ 引脚置为高阻状态。 I. 直到 $\overline{\text{RESET}}$ 恢复为高电平才能访问器件。 J. 方波输出使能 (SQWE) 位清 0。 在典型应用中，可将 $\overline{\text{RESET}}$ 与 V_{CC} 连接。使得 DS12R885 在进入或退出电源失效状态时不影响任何控制寄存器的值。
19	19	A4	$\overline{\text{IRQ}}$	中断请求输出。DS12R885 的 $\overline{\text{IRQ}}$ 引脚低电平有效，可用作处理器的中断申请输入。只要引起中断的状态位置位，并且相应中断使能位也置位，$\overline{\text{IRQ}}$ 将一直保持低电平。处理器程序通常读取 C 寄存器来清除 $\overline{\text{IRQ}}$ 引脚输出。$\overline{\text{RESET}}$ 引脚也会清除未处理的中断。没有中断发生时 $\overline{\text{IRQ}}$ 为高阻状态。可将多个中断器件接到一条 $\overline{\text{IRQ}}$ 总线上，只要其均为漏极开路输出。$\overline{\text{IRQ}}$ 引脚为漏极开路输出，需要使用一个外接上拉电阻与 V_{CC} 相连。
20	—	—	V_{BACKUP}	连接可充电电池或超级电容。在 V_{CC} 大于 V_{BACKUP} 时，此引脚提供涓流充电功能。
21	—	A5	$\overline{\text{RCLR}}$	清除 RAM。$\overline{\text{RCLR}}$ 引脚低电平有效，用来清除 (设为逻辑 1) 所有 114 个字节的通用 RAM，但不影响与 RTC 相关的 RAM。要清除 RAM，必须在未加 V_{CC} 的后备电池模式下，将 $\overline{\text{RCLR}}$ 强制为逻辑 0。$\overline{\text{RCLR}}$ 功能是设计通过人机接口使用的 (手工或通过一个开关实现对地短接)，而不是通过外部缓冲器驱动。该引脚已通过内部上拉，不要外接上拉电阻。
23	23	C4	SQW	方波输出。SQW 引脚能输出 RTC 内部 15 级分频器的 13 个分频比之一。可通过对寄存器 A 编程来控制 SQW 引脚的输出信号频率，见表 1。SQW 信号可通过设置寄存器 B 的 SQWE 位打开或关闭。当 V_{CC} 低于 V_{PF} 时，SQW 信号无法输出。
24	24	A6–A8, B1–B8, C6–C8	V_{CC}	主电源的 DC 电源引脚。V_{CC} 在正常范围内时，可访问器件的所有功能，并能进行数据读写。如果 V_{CC} 低于 V_{PF}，则禁止读和写。

带有恒压涓流充电器的RTC

详细说明

DS12R885是一款与DS12885 RTC兼容的替代产品。该器件提供14字节的实时时钟/日历、闹钟、控制/状态寄存器以及114字节的非易失、电池备份的静态RAM。还提供一个定时闹钟、三个可屏蔽中断和一个通用中断输出，以及可编程方波输出。DS12R885可以工作于24小时或带AM/PM指示的12小时格式。一个精密的温度补偿电路用来监视 V_{CC} 的状态。如果检测到主电源故障，该器件可以自动切换到备用电源供电。备用电源支持可充电电池或超级电容，器件内部包括一个集成的涓流充电器。涓流充电器始终有效。可通过多路复用的地址/数据总线访问DS12R885，总线支持Intel和Motorola模式。

DS12R887是一款集成了DS12R885裸片、32.768kHz石英晶体和一个可充电电池的贴片封装器件。该器件提供实时时钟/日历、定时闹钟、三个可屏蔽中断和一个通用中断输出、可编程方波以及114字节非易失、电池备份的静态RAM。少于31天的月份，月末日期可自动调整，其中包括闰年补偿。该器件还可以工作于24小时或带AM/PM指示的12小时格式。一个精密的温度补偿电路用来监视 V_{CC} 的状态。如果检测到主电源故障，该器件可以自动切换到内部封装的备用电源供电。该器件可以通过一个多路复用的单字节宽I/O口访问，该I/O口支持Intel和Motorola模式。

DS12CR887 EDIP集成了DS12R885裸片、石英晶体和电池。DS12R885的充电电路被禁止。在没有提供 V_{CC} 的+25°C环境下，电池的充足容量可为振荡器和寄存器供电长达五年之久。

DS12R887 BGA包括一个石英晶体和一个可充电电池。充满电的电池能够在没有提供 V_{CC} 的条件下(+25°C环境下，典型电流)为振荡器和寄存器供电大约11天(消耗10%的容量)或98天(消耗90%的容量)。如果放电深度为电池容量的10%，电池可最多充电1000次。如果放电深度为容量的90%，电池可最多充电30次。因此，该器件的寿命大约为30年(11天 x 1000次)或8年(98天 x 30次)。接通 V_{CC} ，电池充满大约需要两天时间。

有关电池寿命与放电深度的关系，以及基于充电次数的产品预期寿命问题的详细信息请参考有关应用笔记。

振荡器电路

DS12R885使用一个外部32.768kHz石英晶体。振荡器电路不需外接任何电阻和电容就能工作。表1给出了外接石英晶体的几个参数。振荡器电路的功能原理图见图1。振荡器由控制寄存器的一个使能位控制。振荡器启动时间高度依赖于石英晶体的特性、PC板泄露和电路布局。高ESR和过大的容性负载是导致较长启动时间的主要原因。如果电路使用符合推荐参数特性的石英晶体并且布局合理，启动时间通常不会超过1秒。

也可使用一个外部32.768kHz的振荡器来驱动DS12R885。在此配置中，X1引脚外接振荡器信号，X2引脚悬空。

表1. 石英晶体说明*

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
Nominal Frequency	f_0		32.768		kHz
Series Resistance	ESR			50	k Ω
Load Capacitance	C_L		12.5		pF

*石英晶体、引线和石英晶体输入引脚应与RF信号隔离。更多说明请参考应用笔记58：Crystal Considerations for Dallas Real-Time Clocks。

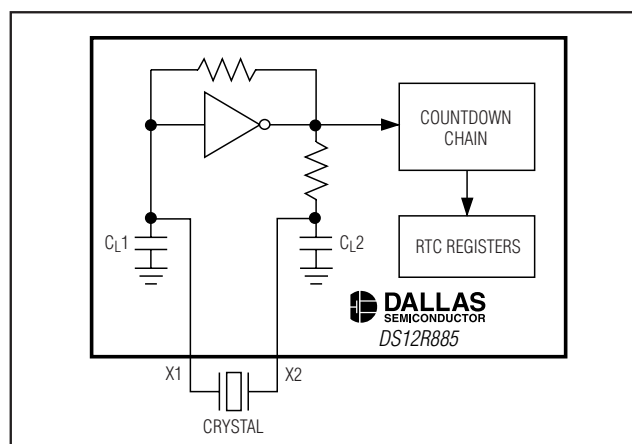


图1. 内部偏置网络的振荡器电路

带有恒压涓流充电器的RTC

时钟精度

时钟精度依赖于石英晶体精度和振荡器电路容性负载与石英晶体谐振容性负载之间的匹配精度。温度变化所引起的石英晶体频率漂移会导致额外的误差。耦合到振荡器电路中的外部电路噪声会使时钟运行加快。图 2 展示了将石英晶体和振荡器与噪声进行隔离的典型 PC 板布局。更多详细信息请参考应用笔记 58: *Crystal Considerations for Dallas Real-Time Clocks*。

DS12R887 和 DS12CR887 出厂时经过校准，在 t_{OR} 的数据保持时间内，+25°C 环境下运行每月误差为 ± 1 分钟。

断电/上电注意事项

无论 V_{CC} 输入电平如何，实时时钟始终运行，RAM 和闹钟存储器单元保持非易失。未加 V_{CC} 时， V_{BACKUP} 必须保持在最低和最高限之间。当 V_{CC} 接入而且超过 V_{PF} (电源失效门限值)，并经过 t_{REC} 时间后，能够访问该器件，前提是振荡器在运行而且振荡器的计时链没有复位 (寄存器 A)。该时间保证了系统加电后能够稳定下来。如果振荡器没有使能，振荡器使能位在上电时置位，并且马上可以访问该器件。

时钟、日历和闹钟单元

时钟和日历信息可通过读取相应寄存器字节获得。可通过写相应的寄存器字节对时钟、日历和闹钟进行设置或初始化。存储时间、日历和闹钟的 10 个字节内容可以是二进制格式，也可以是 BCD 格式。

星期寄存器在午夜加一，从 1 递增到 7。夏令时功能用到了星期寄存器，因此 1 被定义为星期天。少于 31 天的月份，月末日期可自动调整，其中包括闰年补偿。

在写内部时钟、日历和闹钟寄存器前，须将寄存器 B 的 SET 位设为逻辑 1，以防止试图访问时发生时钟更新。除

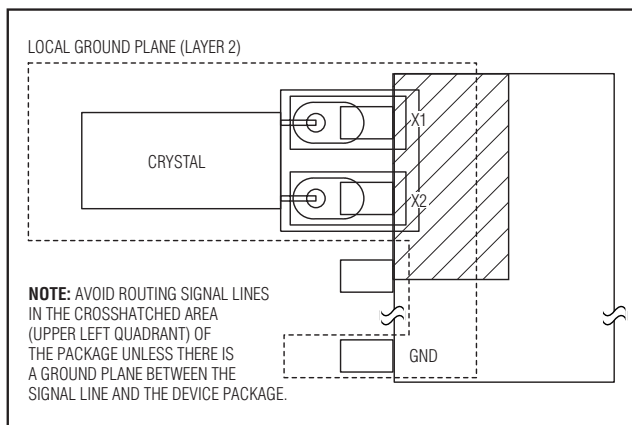


图 2. 布局示例

了用所选的格式 (二进制或 BCD 码) 写入 10 个字节的时钟、日历和闹钟寄存器外，寄存器 B 的数据模式位 (DM) 必须置为适当的逻辑值。所有 10 个时钟、日历和闹钟字节必须使用相同的数据模式。写入数据模式位后，寄存器 B 的 SET 位应该清 0，以允许 RTC 更新时钟和日历数据。一旦初始化完成，RTC 将使用所选的模式更新所有的数据。未重新初始化 10 个数据字节前不能更改数据模式。表 2A 和 2B 展示了时钟、日历和闹钟单元的 BCD 码和二进制格式。

未重新初始化小时单元前，不能更改 24-12 位。如选择 12 小时格式，小时字节的高位为逻辑 1 时代表 PM。由于时钟、日历和闹钟字节为双缓冲结构，所以总可以进行访问。这七个字节每秒一次，每次增加一秒，同时检查闹钟条件。

如果在数据更新时读取时钟和日历数据，会产生一个问题，即秒、分、小时等可能彼此不相关。读到错误时钟和日历数据的概率很低。本文后面介绍了几种方法，以避免读到任何可能的错误时钟和日历数据。

带有恒压涓流充电器的RTC

可通过两种方法使用三个闹钟字节。第一，将闹钟时间正确写入时、分、秒闹钟单元，且闹钟使能位设为高，则每天在指定的时间都会触发闹钟中断。在此模式中，闹钟寄存器和相应时钟寄存器的“0”位必须总是写入0（见表2A和2B）。在闹钟和/或时钟寄存器的“0”位写入1时可能会导致不确定的操作。

第二种使用条件是向三个闹钟字节中的一个或多个字节插入一个“随意”状态。随意码可以是十六进制C0至FF中的任意一个。每个字节的最高两位设为逻辑1时即设置成随意状态。如果小时字节被设置为随意状

态，则每小时都会产生一个闹钟信号。同样，如果小时和分钟闹钟字节设为随意码，则每分钟都会产生一个闹钟信号。三个闹钟字节均设为随意码，则每秒产生一次中断。

所有128个字节除了下面所列出的，其余都可以直接读写：

- 1) 寄存器C和D为只读。
- 2) 寄存器A的第7位只读。
- 3) 秒字节的MSB只读。

表 2A. 时钟、日历和闹钟数据模式—BCD模式 (DM = 0)

ADDRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	FUNCTION	RANGE
00H	0	10 Seconds			Seconds				Seconds	00–59
01H	0	10 Seconds			Seconds				Seconds Alarm	00–59
02H	0	10 Minutes			Minutes				Minutes	00–59
03H	0	10 Minutes			Minutes				Minutes Alarm	00–59
04H	AM/PM	0	0	10 Hours	Hours				Hours	1–12 +AM/PM 00–23
	0		10 Hours							
05H	AM/PM	0	0	10 Hours	Hours				Hours Alarm	1–12 +AM/PM 00–23
	0		10 Hours							
06H	0	0	0	0	0	Day			Day	01–07
07H	0	0	10 Date		Date				Date	01–31
08H	0	0	0	10 Months	Month				Month	01–12
09H	10 Years				Year				Year	00–99
0AH	UIP	DV2	DV1	DV0	RS3	RS2	RS1	RS0	Control	—
0BH	SET	PIE	AIE	UIE	SQWE	DM	24/12	DSE	Control	—
0CH	IRQF	PF	AF	UF	0	0	0	0	Control	—
0DH	VRT	0	0	0	0	0	0	0	Control	—
0EH-7F	X	X	X	X	X	X	X	X	RAM	—

X = 读/写位。

注：除非另有说明，寄存器状态在首次上电时没有定义。除秒寄存器外，时间和日期寄存器中数值为0的位可以写成1，但在时钟更新时会对其进行修正。除了闹钟屏蔽位，数值为0的位应该总是写为0。

带有恒压涓流充电器的RTC

表 2B. 时钟、日历和闹钟数据模式—二进制模式 (DM = 1)

ADDRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	FUNCTION	RANGE
00H	0	0	Seconds						Seconds	00–3B
01H	0	0	Seconds						Seconds Alarm	00–3B
02H	0	0	Minutes						Minutes	00–3B
03H	0	0	Minutes						Minutes Alarm	00–3B
04H	AM/PM	0	0	0	Hours				Hours	01–0C +AM/PM 00–17
	0			Hours						
05H	AM/PM	0	0	0	Hours				Hours Alarm	01–0C +AM/PM 00–17
	0			Hours						
06H	0	0	0	0	0		Day		Day	01–07
07H	0	0	0	Date					Date	01–1F
08H	0	0	0	0	Month				Month	01–0C
09H	0	Year							Year	00–63
0AH	UIP	DV2	DV1	DV0	RS3	RS2	RS1	RS0	Control	—
0BH	SET	PIE	AIE	UIE	SQWE	DM	24/12	DSE	Control	—
0CH	IRQF	PF	AF	UF	0	0	0	0	Control	—
0DH	VRT	0	0	0	0	0	0	0	Control	—
0EH-7F	X	X	X	X	X	X	X	X	RAM	—

X = 读/写位。

注：除非另有说明，寄存器状态在首次上电时没有定义。除秒寄存器外，时间和日期寄存器中数值为0的位可以写成1，但在时钟更新时会对其进行修正。除了闹钟屏蔽位，数值为0的位应该总是写为0。

DS12R885/DS12CR887/DS12R887

带有恒压涓流充电器的RTC

控制寄存器

DS12R885有4个控制寄存器，在任何时间都可以进行访问，即使处于更新周期。

控制寄存器 A

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
UIP	DV2	DV1	DV0	RS3	RS2	RS1	RS0

第7位：正在更新 (UIP)。该位是可监视的状态标志位。UIP为1时，很快将进行更新传输。UIP为0时，在至少244 μ s的时间内不会进行更新传输。UIP为0时，RAM中的时钟、日历和闹钟信息都可以访问。UIP位是只读的，而且不受RESET影响。将寄存器B的SET位置1时，禁止任何更新传输并且清除UIP状态位。

第6、5、4位：DV2，DV1，DV0。这三位用来启动或关闭振荡器，并复位计时链。010是唯一打开振荡器并允许RTC计时的位组合形式。11X组合使能振荡器，但将计时链保持在复位状态。010写入DV0、DV1、DV2后500ms进行下一次更新。

第3至0位：速率选择器 (RS3、RS2、RS1、RS0)。这四个速率选择位用来选择15级分频器的13种分频之一或禁止分频器输出。按照所选择的频率产生方波输出 (SQW引脚)和/或一个周期性中断。用户可进行如下操作：

- 1) 用PIE位使能中断；
- 2) 用SQWE位使能SQW输出；
- 3) 两者同时使能，并且速率相同；
或
- 4) 两者都禁止。

表3列出了可通过RS位选择的周期性中断速率和方波频率。这四个可读/写位不受RESET影响。

带有恒压涓流充电器的RTC

控制寄存器 B

DS12R885/DS12C887/DS12R887

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SET	PIE	AIE	UIE	SQWE	DM	24/12	DSE

第 7 位：SET。SET 位清 0 时，更新传输功能正常进行，计数每秒加 1。SET 位写入 1 时，禁止任何更新传输，程序可对时钟和日历字节进行初始化，而不会在初始化过程中发生数据更新。读周期能以相似的方式进行。SET 为可读/写位，不受 RESET 或 DS12R885 的内部功能影响。

第 6 位：周期性中断使能 (PIE)。PIE 位为可读/写位，允许寄存器 C 中的周期性中断标志 (PF) 位将 $\overline{\text{IRQ}}$ 引脚驱动为低电平。PIE 位置 1 时，以寄存器 A 中 RS3–RS0 位指定的速率将 $\overline{\text{IRQ}}$ 引脚驱动为低电平，并产生周期性中断。PIE 位清 0 时，阻止周期性中断驱动 $\overline{\text{IRQ}}$ 输出，但 PF 位仍以该速率周期性置位。PIE 不受任何 DS12R885 内部功能的影响，但会由 $\overline{\text{RESET}}$ 信号清 0。

第 5 位：闹钟中断使能 (AIE)。AIE 位是可读/写位，置为 1 时，允许寄存器 C 中的闹钟中断标志 (AF) 位驱动产生 $\overline{\text{IRQ}}$ 信号。在三个时钟字节与三个闹钟字节相等的每一时刻 (还包括二进制数据 11XXXXXX 随意闹钟字节的情况)，都会产生一个闹钟中断。如果 AIE 位清 0，AF 位并不触发 $\overline{\text{IRQ}}$ 信号。AIE 不受任何 DS12R885 内部功能的影响，但会由 $\overline{\text{RESET}}$ 信号清 0。

第 4 位：更新结束中断使能 (UIE)。UIE 位是可读/写位，允许寄存器 C 中的更新结束中断标志 (UF) 驱动产生 $\overline{\text{IRQ}}$ 信号。 $\overline{\text{RESET}}$ 引脚变低或 SET 位变高将清除 UIE 位。UIE 不受任何 DS12R885 内部功能的影响，但会由 $\overline{\text{RESET}}$ 信号清 0。

第 3 位：方波使能 (SQWE)。该位置 1 时，SQW 引脚输出一个方波信号，频率由寄存器 A 中的速率选择位 RS3–RS0 设定。SQWE 位清 0 时，SQW 引脚保持低电平。SQWE 位是可读/写位，能由 $\overline{\text{RESET}}$ 信号清除。禁止时 SQW 为低，当 V_{CC} 低于 V_{PF} 时，变为高阻状态。 $\overline{\text{RESET}}$ 信号将 SQWE 位清 0。

第 2 位：数据模式 (DM)。该位表示时钟和日历信息的格式为二进制还是 BCD 码。DM 位通过程序设置为适当格式，如果需要可以读出。该位不受任何 DS12R885 内部功能或 $\overline{\text{RESET}}$ 的影响。DM 为 1 代表二进制格式，为 0 代表 BCD 格式。

第 1 位：24/12。24/12 控制位确定小时字节的格式。1 代表 24 小时模式，0 代表 12 小时模式。该位是可读/写位，不受 DS12R885 内部功能或 $\overline{\text{RESET}}$ 的影响。

第 0 位：夏令时使能 (DSE)。DSE 位是可读/写位，置 1 时产生两次夏令时调整。四月的第一个星期天，时间从 1:59:59 AM 调整到 3:00:00 AM。十月的最后一个星期天，时间从 1:59:59 AM 变为 1:00:00 AM。如果 DSE 使能，内部逻辑会在午夜时判断第一个/最后一个星期天的条件。如果判断时 DSE 没有置位，夏令时功能不会运行。当 DSE 清 0 时，这些调整不会发生。该位不受 DS12R885 内部功能或 $\overline{\text{RESET}}$ 的影响。

带有恒压涓流充电器的RTC

控制寄存器 C

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
IRQF	PF	AF	UF	0	0	0	0

第 7 位：中断请求标志 (IRQF)。当下列任何一个条件成立时，此位置为 1：

PF = PIE = 1

AF = AIE = 1

UF = UIE = 1

每次 IRQF 为 1 时， $\overline{\text{IRQ}}$ 引脚都会变低。该位可通过读取寄存器 C 或 $\overline{\text{RESET}}$ 信号清除。

第 6 位：周期性中断标志 (PF)。该位为只读位，当分频器电路中所选的分频检测到一个边沿信号时该位置 1。RS3 至 RS0 设置周期速率。PF 置 1 与 PIE 位的状态无关。PF 与 PIE 均为 1 时， $\overline{\text{IRQ}}$ 信号有效并且 IRQF 置为 1。该位可通过读取寄存器 C 或 $\overline{\text{RESET}}$ 信号清除。

第 5 位：闹钟中断标志 (AF)。AF 为 1 表明当前时间与闹钟时间匹配。如果 AIE 位也为 1，则 $\overline{\text{IRQ}}$ 引脚变低并且 IRQF 置为 1。该位可通过读取寄存器 C 或 $\overline{\text{RESET}}$ 信号清除。

第 4 位：更新结束中断标志 (UF)。每次更新周期结束，UF 都将置 1。如果 UIE 置为 1，则 UF 位的 1 状态会使 IRQF 位置 1，并使 $\overline{\text{IRQ}}$ 引脚有效。该位可通过读取寄存器 C 或 $\overline{\text{RESET}}$ 信号清除。

第 3 至 0 位：未使用。寄存器 C 中的这些位未被使用。这些位读取时值为 0，但不能写入。

控制寄存器 D

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
VRT	0	0	0	0	0	0	0

第 7 位：RAM 和时钟有效 (VRT)。该位指明连接到 V_{BACKUP} 引脚的电池状况，该位不能写入，而且读取时应该总为 1。如果出现 0，则说明内部锂电池电能耗尽，RTC 和 RAM 的数据均不可靠。该位不受 $\overline{\text{RESET}}$ 信号影响。

第 6 至 0 位：未使用。寄存器 D 中剩余的这些位未被使用。这些位读取时为 0，但不能写入。

带有恒压涓流充电器的RTC

非易失RAM (NV RAM)

DS12R885内的114个通用NV RAM字节不面向任何特殊功能应用。处理器程序可将其用作电池备份的存储器，在更新周期中也可进行访问。

中断

对处理器来说，DS12R885带有三个独立的、全自动中断源。闹钟中断的频率可编程设置为每秒一次至每天一次。周期性中断的周期可在500ms至122μs之间选择。更新结束中断可用来通知程序更新周期已经结束。每一种中断情况都在本文的其它各节中进行了较详细的说明。

处理器程序可以选择是否使用中断，或使用哪些中断。用寄存器B的三位来使能中断。若某中断使能位写入逻辑1，则对应事件发生时允许触发中断。若某中断使能位写入0，则禁止对应事件对 $\overline{IRQ}$ 引脚的控制。如果在使能某中断之前，其中断标志位早已经置位，则一旦使能该中断， $\overline{IRQ}$ 立即会输出一个有效电平，尽管触发中断的事件可能是在较早的时间发生的。这样一来，在某些情况下，程序应该在使能新的中断之前先清除前面已触发的中断。

当一个中断事件发生时，寄存器C中的相应标志位会置为逻辑1。这些标志位与寄存器B中对应的使能位状态无关。在清除对应使能位的情况下，这些标志位可用于轮询模式中。中断标志位是一个状态位，软件需要时可以进行查询。如果某个标志位为1，则向软件表明最近一次读完标志位后发生过一个中断事件；但是，使用标志位应该注意，每次读取寄存器C时，标志位都将被清除。寄存器C带有双锁存，因此在整个读周期，被置1的位能够保持稳定。所有置1(高)的位在读后都被清0。在读周期内发生的新中断一直保持到读周期结束后。读寄存器C时，可能第1、2或3位处于置位状态。读取寄存器C值后应当对所使用的每一个标志位都进行检查，以确保不漏掉任何中断。

第二个使用标志位的方法是完全让中断使能。当一个中断标志位置1而且相应中断使能位也置位时， $\overline{IRQ}$ 引脚电平变低。只要三个中断源中至少有一个标志位和使能位都置位， $\overline{IRQ}$ 就保持低电平有效。 $\overline{IRQ}$ 何时为低电平，寄存器C的IRQF位何时为1。确定RTC是否触发了中断可通过读取寄存器C实现。第7位(IRQF位)为1时表明DS12R885触发了一个或多个中断。读取寄存器C的操作能够清除所有有效的标志位和IRQF位。

振荡器控制位

DS12R887和DS12CR887出厂时内部振荡器均为关闭状态。这是为了避免在开始使用前消耗锂电池能量。

寄存器A的第4至第6位为010时打开振荡器并使能计时链。11x组合时(DV2 = 1, DV1 = 1, DV0 = X)打开振荡器，但振荡器的计时链保持为复位状态。第4至第6位的所有其它组合方式均使振荡器关闭。

方波输出选择

15级分频器的13个分频信号可通过一个16选1多路复用器提供，见功能图。方波和周期性中断发生器共享多路复用器的输出。寄存器A的RS0–RS3位确定多路复用器的输出频率(见表1)。一旦选定了频率，SQW引脚的输出可通过程序控制方波使能位SQWE来打开或关闭。

周期性中断选择

周期性中断能以500ms一次至122μs一次的速率使 $\overline{IRQ}$ 引脚变为有效状态。此功能与闹钟中断不同，闹钟中断速率为每秒一次至每天一次。寄存器A中选择方波频率的位同时选择周期性中断的速率(表1)。改变寄存器A中RS0–RS3位的值同时影响方波频率和定时中断速率。但是每种功能在寄存器B中都有独立的使能位。SQWE位控制方波输出寄存器B的PIE位使能周期性中断。周期性中断可与软件计数器一起使用，用来测量输入、控制输出间隔或等待下一个需要的软件功能。

带有恒压涓流充电器的RTC

表 3. 周期性中断速率和方波输出频率

SELECT BITS REGISTER A				t _{PI} PERIODIC INTERRUPT RATE	SQW OUTPUT FREQUENCY
RS3	RS2	RS1	RS0		
0	0	0	0	None	None
0	0	0	1	3.90625ms	256Hz
0	0	1	0	7.8125ms	128Hz
0	0	1	1	122.070μs	8.192kHz
0	1	0	0	244.141μs	4.096kHz
0	1	0	1	488.281μs	2.048kHz
0	1	1	0	976.5625μs	1.024kHz
0	1	1	1	1.953125ms	512Hz
1	0	0	0	3.90625ms	256Hz
1	0	0	1	7.8125ms	128Hz
1	0	1	0	15.625ms	64Hz
1	0	1	1	31.25ms	32Hz
1	1	0	0	62.5ms	16Hz
1	1	0	1	125ms	8Hz
1	1	1	0	250ms	4Hz
1	1	1	1	500ms	2Hz

更新周期

无论寄存器 B 的 SET 位状态如何，DS12R885 每秒都执行一次更新周期。当寄存器 B 的 SET 位置 1 时，双缓冲时

钟、日历和闹钟字节的用户拷贝会冻结，不随时间增加而更新。但是，时钟计时链继续更新双缓冲的内部拷贝。这一功能保证了在读写时钟、日历和闹钟缓冲时仍可保持时钟精度。还保证了时钟和日历信息的一致性。更新周期还将闹钟字节和对应的时钟字节进行比较，如果匹配或三个字节均为任意码，则触发闹钟。

有三种访问 RTC 的方法可以避免访问到不一致的时钟和日历数据。第一种方法是使用更新结束中断。如果使能该中断，每个更新周期后产生的中断表明有超过 999ms 的时间来读取有效的时钟与日期信息。如使用该中断，中断程序结束前应该清除寄存器 C 的 IRQF 位。

第二种方法是使用寄存器 A 的正在更新位 (UIP) 判断更新周期是否正在进行。UIP 位每秒产生一个脉冲。UIP 变高时，更新传输将在 244μs 后发生。如果 UIP 读数为低，则用户在时钟/日历数据更新前至少有 244μs 的时间可以利用。因此用户的中断服务程序读取有效时钟/日历数据的时间不应超过 244μs。

第三种方法是使用周期性中断来判断更新周期是否正在进行。在寄存器 C 的 PF 位两次置 1 之间，寄存器 A 的 UIP 位会置位一次 (见图 3)。如果周期性中断间隔大于 t_{BUC}，则在每次周期性中断发生时都可以读取有效的时钟和日历信息。读操作应当在 1 (t_{PI}/2 + t_{BUC}) 时间内完成，以保证不在更新周期时读取数据。

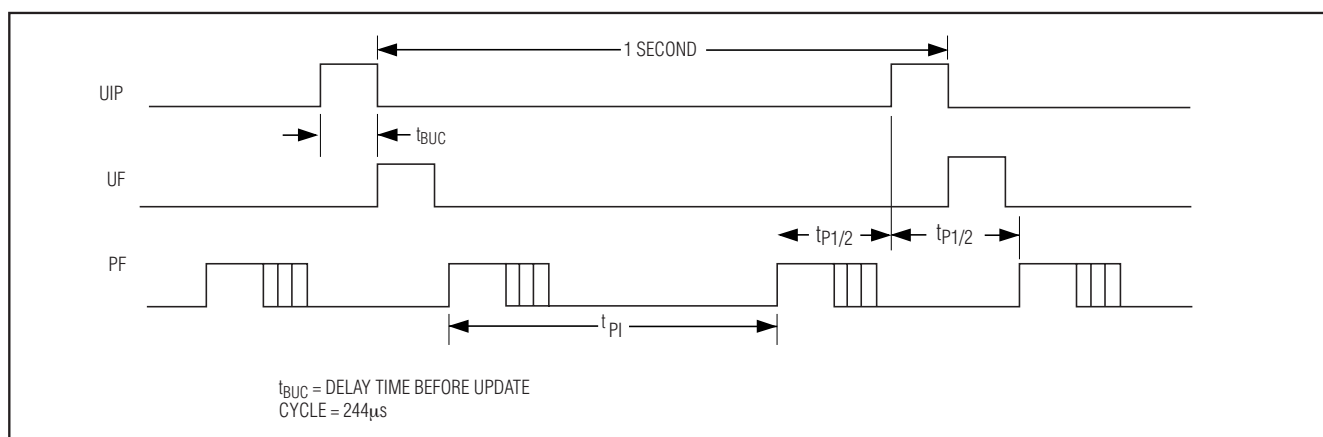


图 3. UIP 和周期性中断时序

带有恒压涓流充电器的RTC

DS12R885/DS12CR887/DS12R887

操作、PC板布局和 和装配

EDIP和BGA封装包括一个石英晶体。可使用拾取一贴装设备，但要采取预防措施避免震动过度。为了防止破坏石英晶体，应避免使用超声波清理。

只要满足下列条件，BGA封装可以采取回流焊接：

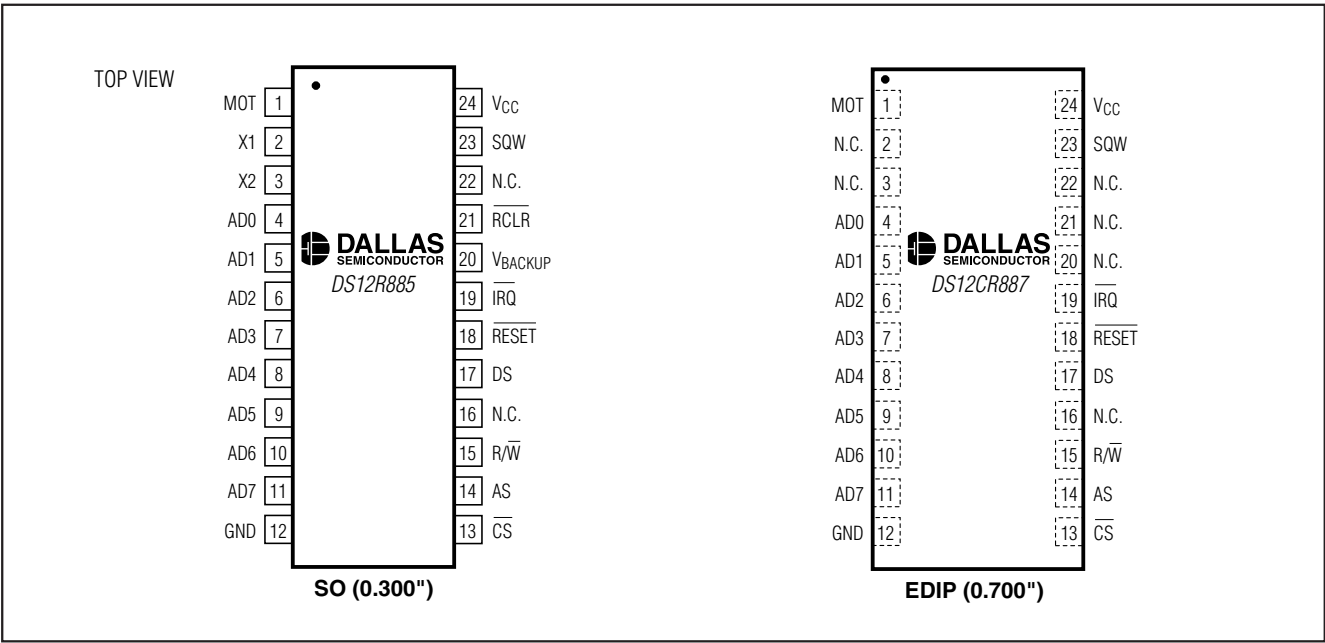
- 1. 预热 (低于160°C)时间在 90 秒以内。
- 2. 高于150°C 的最长时间少于 180 秒。

- 3. 高于 170°C 的时间少于 100 秒。
- 4. 高于 200°C 的时间少于 60 秒。
- 5. 高于 220°C 的时间少于 30 秒。
- 6. 峰值温度小于或等于 230°C。

暴露在回流焊中最多不能超过两次。

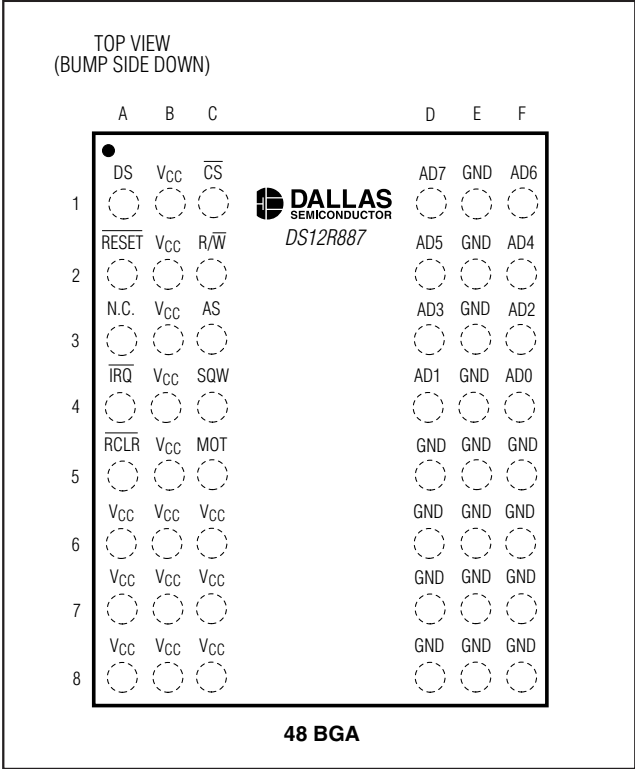
潮湿敏感封装的产品出厂时采用防潮包装。回流焊接时必须遵守封装标签上的操作指南以防损坏。参考 IPC/ JEDEC J-STD-020B 标准对潮湿敏感器件 (MSD) 的分类。

引脚配置



带有恒压涓流充电器的RTC

引脚配置 (续)



散热信息

PACKAGE	THETA-JA (°C/W)	THETA-JC (°C/W)
SO	105	22

芯片信息

TRANSISTOR COUNT: 17,061
PROCESS: CMOS
SUBSTRATE CONNECTED TO GROUND

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/DallasPackInfo。)

MAXIM北京办事处

北京 8328 信箱 邮政编码 100083
免费电话: 800 810 0310
电话: 010-6201 0598
传真: 010-6201 0298

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

22 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600

© 2004 Maxim Integrated Products Printed USA

是 Dallas Semiconductor Corporation 的注册商标。

是 Maxim Integrated Products, Inc. 的注册商标。