



1、一般描述

EM78P153S 是采用低耗高速 CMOS 工艺制造的 8 位单片机，它内部包含一个 1024*13-bit 的一次性可编程只读电存储器 (OTP-ROM)。有 15 位选项位可满足用户要求，其中的保护位可用来防止程序被读出

由于有 OTP-ROM，EM78P153S 提供给用户一个方便的开发和检验他们的程序的环境。而且，程序代码可用 ELAN 编程器写入芯片。



2、特征

- 14 个引线封装：EM78P153S
- 工作电压范围：2.3V~5.5V
- 适用温度范围：0℃~70℃
- 工作频率范围（基于 2 个 Clock）：
 - 晶振模式：DC-20MHZ at 5V, DC-8MHZ at 3V, DC-4MHZ at 2.3V
 - ERC 模式：DC-4MHZ at 5V, DC-4MHZ at 3V, DC-4MHZ at 2.3V
- 低功耗：
 - * 在 5V/4MHz 时低于 1.5mA
 - * 在 3V/32KHz 时为 15uA
 - * 在休眠模式时为 1uA
- 1024x13 位片内 ROM
- 内置 4 个校准 IRC 振荡器(8MHZ, 4MHZ, 1MHZ, 455KHZ)
- 振荡器起振时间预分频系数可编程
- 一个安全位（代码寄存器中）保护程序不被读出
- 一个结构寄存器满足用户要求
- 32x8bits 片内寄存器组（SRAM，一般寄存器）
- 2 组双向 I/O 端口
- 5 级用于子程序嵌套的堆栈
- 8 位实时计时/计数器（TCC），其信号源、触发边沿可编程选择，溢出时产生中断
- 节能模式（SLEEP 模式）
- 三种可用的中断：
 - * TCC 溢出中断
 - * 输入引脚变化中断（从休眠模式唤醒）
 - * 外部中断
- 可编程自由运行看门狗定时器（WDT）
- 7 个可编程上拉 I/O 引脚
- 7 个可编程漏极开路 I/O 引脚
- 6 个可编程下拉 I/O 引脚
- 每个指令周期为两个时钟周期：99.9% 的指令为单周期指令
- 封装类型：14 脚 SOP、DIP
 - 14 管脚 DIP 300mil：EM78P153SP
 - 14 管脚 SOP 150mil：EM78P153SN
- 系统高低频率的变化点是 400KHZ

3、管脚分配

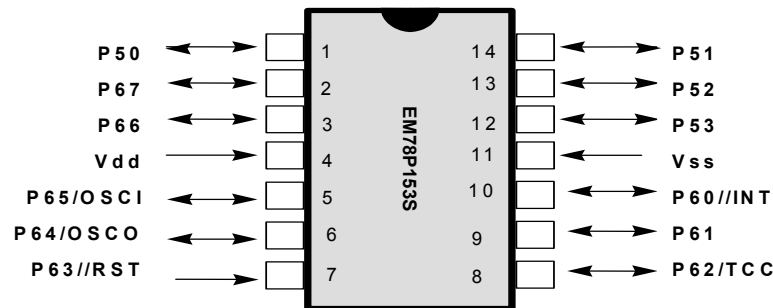


图1 管脚分配

表1 管脚说明

Symbol	Pin No.	Type	Function
Vdd	4	-	电源提供.
P65/OSCI	5	I/O	* 一般i/o脚. * 外部时钟信号输入. * 晶振的输入脚. * 内部上拉和漏级开路 * 脚的状态改变时从睡眠模式唤醒.
P64/OSCO	6	I/O	*一般i/o脚 *外部时钟信号输入. *晶振的输入脚. * 内部上拉和漏级开路 * 脚的状态改变时从睡眠模式唤醒
P63//RESET	7	I	* 如果被设置为/reset且保持在逻辑低，系统将会复位 *脚的状态改变时从睡眠模式唤醒 * 正常模式下，/reset脚上的电压不能大于vdd * 定义为/reset时具有内部上拉功能 * P63只能是输入脚
P62/TCC	8	I/O	*一般i/o脚 *内部上拉/漏级开路/内部下拉 *脚的状态改变时从睡眠模式唤醒 * 外部定时/计数输入
P61	9	I/O	*一般i/o脚. *内部上拉/漏级开路/内部下拉. *脚的状态改变时从睡眠模式唤醒.



EM78P153S

OTP ROM

			* 编程模式下为施密特触发器输入
P60//INT	10	I/O	*一般i/o脚. *内部上拉/漏级开路/内部下拉. *脚的状态改变时从睡眠模式唤醒. *编程模式下为施密特触发器输入. * 下降沿置触发的外部中断脚.
P66, P67	2, 3	I/O	*一般i/o脚. *内部上拉/漏级开路 *脚的状态改变时从睡眠模式唤醒.
P50~P53	1,14~13	I/O	*一般i/o脚. *内部下拉
P53	12	I/O	*一般i/o脚.
VSS	11	-	*地.

4、功能描述

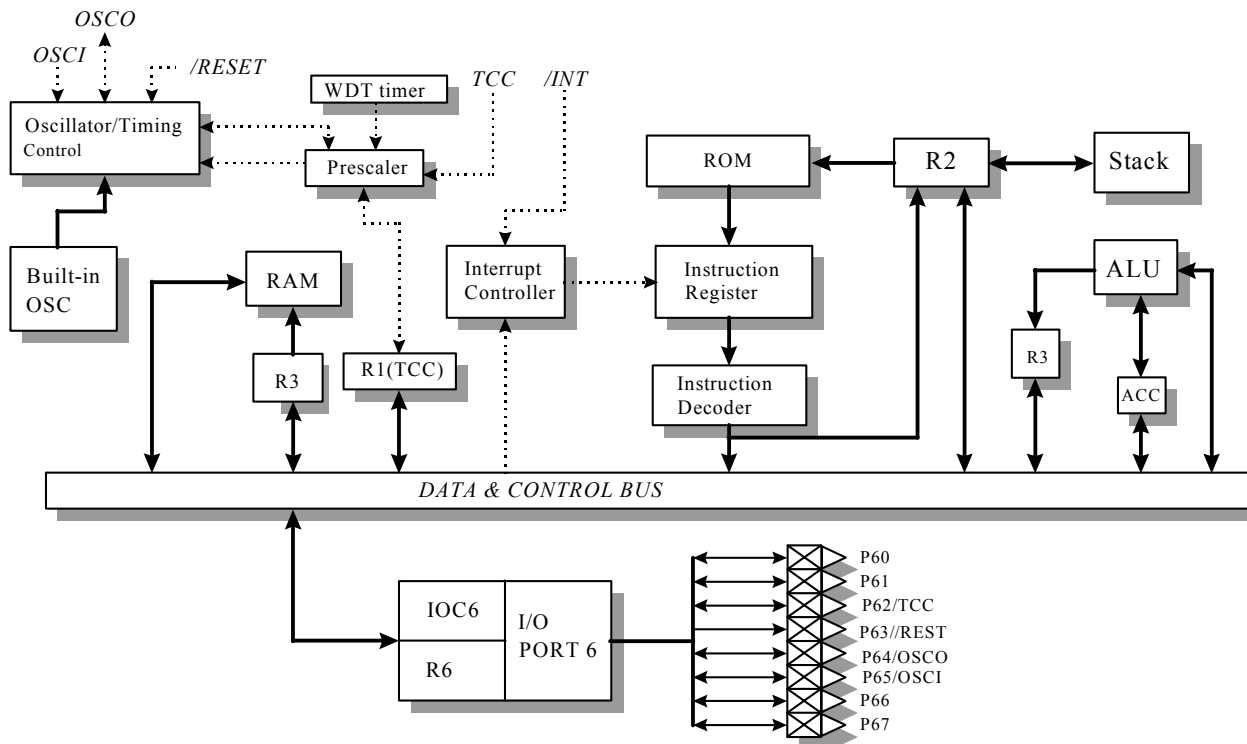


图2 功能块图

4.1 操作寄存器

1、R0（间接地址寄存器）

- R0 并非实际存在的寄存器。它的主要功能是作为间接寻址指针。任何以 R0 作为指针的指令实际上是对 R4 指定的 RAM 寄存器进行操作

2、R1（计时/计数器）

- 由 TCC 引脚上的信号边沿或指令周期触发产生加 1 操作（CONT-4TE 位定义）
- 和其他寄存器一样可读可写
- 靠清 PAB（CONT-3）定义
- 如果清零 PAB 位（CONT-3），预分频器分配给 TCC
- 当 TCC 寄存器被写入一个值时，预分频器的值会被清 0

3、R2（编程计数器）与堆栈

- R2 和硬件堆栈有 10 位元宽。图 3 描述了其结构
- 产生 1024x13bits 片内 OTPROM 地址以获取对应程式指令代码。每个程序页为 1024 字长
- 复位后 R2 的所有位均清“0”
- “JMP”指令直接装载 R2 低 10 位。因此，“JMP”指令跳转范围为一个程序页面内

- “CALL” 指令加载 PC 的低 10 位，然后 PC+1 进入堆栈。因此，子程序的入口地址限在同一程序页面内
- “RET”（“RETLK”，“RETI”）指令将栈顶数据装入 PC
- “ADDR2,A” 允许“A”的值加到当前 PC，但同时 PC 的第 9、10 比特位被清 0
- “MOVR2,A” 允许将寄存器“A”的值装入 PC 的低 8 位，但同时 PC 的第 9、10 比特位被清 0
- 任何对 R2 的内容进行直接修改的指令（如：“ADDR2,A”，“MOVR2,A”，“BCR2,6”）都将引起 PC 的第 9、10 比特位（A8、A9）被清 0。因此，产生的跳转限于同一页面的前 256 个地址
- 改变 R2 内容的指令需要 2 个指令周期，除此之外，所有的指令均只需 1 个指令周期

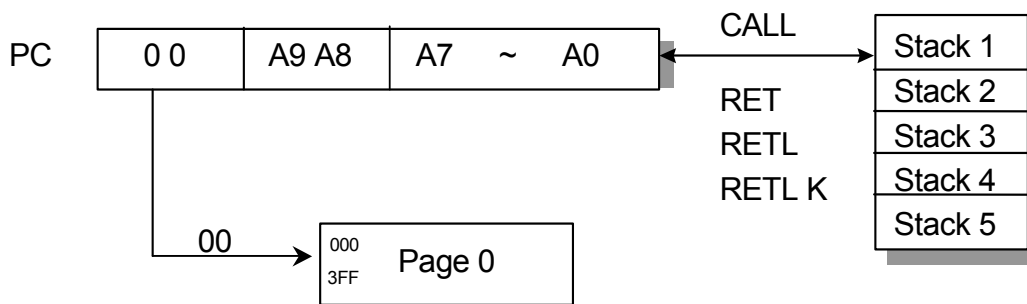


图3 程序计数器结构

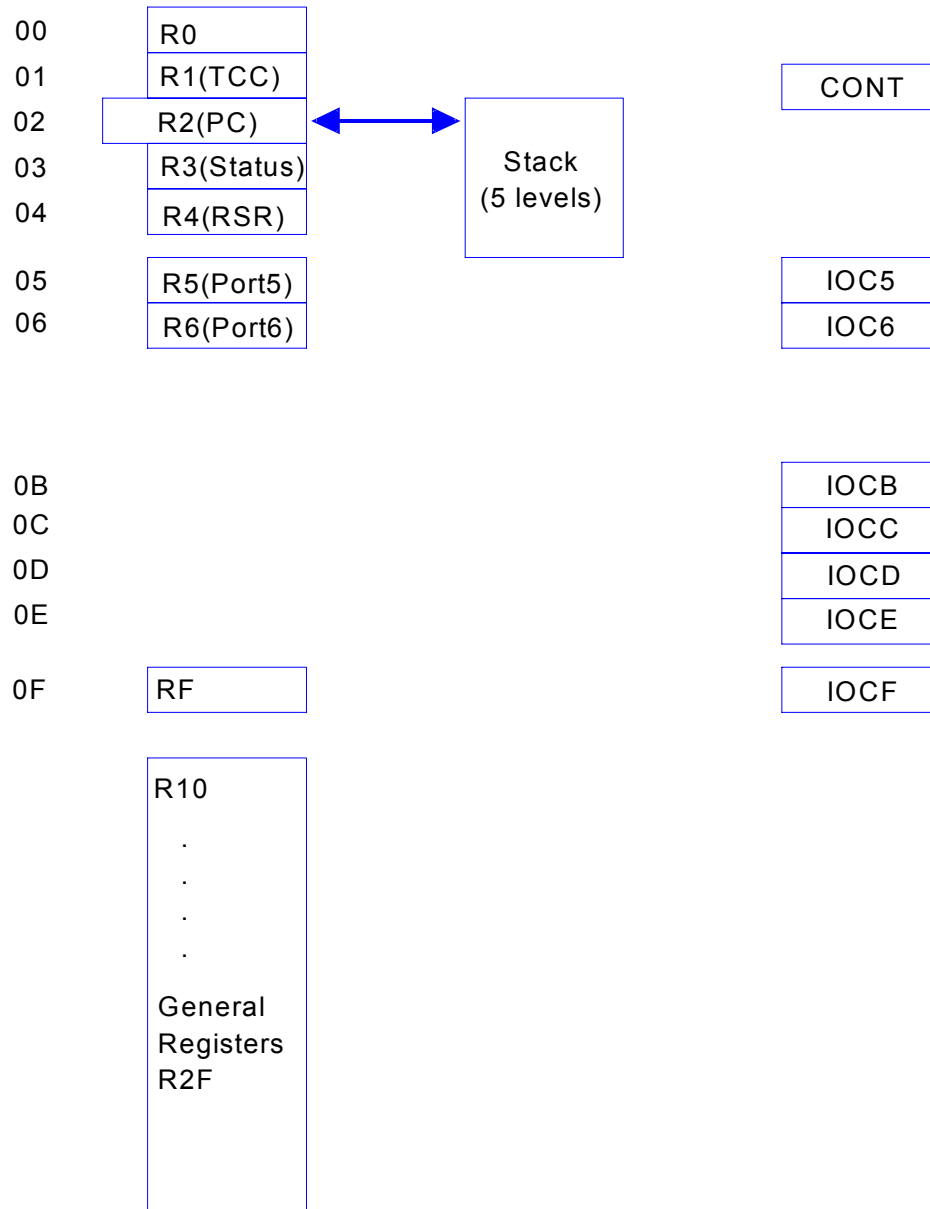


图4 数据存储器的配置



4、R3（状态寄存器）

7	6	5	4	3	2	1	0
RST	GP1	GP0	T	P	Z	DC	C

- Bit0 (C) 进位标志位
- Bit1 (DC) 辅助进位标志
- Bit2 (Z) 零标志位
算术或逻辑操作结果为零时置为“1”
- Bit3 (P) 低功耗位
在上电或执行指令“WDTC”时置为1，执行指令“SLEP”时置为0
- Bit4 (T) 时间溢出位
执行指令“SLEP”和“WDTC”或上电时置‘1’，WDT时间溢出时置0
- Bit5~6 (GP0~1) 通用读/写位。
- Bit7 (RST) 复位类型位
若是由引脚变化从休眠状态唤醒，该位置1
其余复位类型该位清0

5、R4（RAM 选择寄存器）

- Bit0~5 在间接寻址方式中用于选择RAM寄存器（地址：00~06，0F~2F）
- Bit6~7 通用读写位
- 数据存储器配置见图4

6、R5~R6（端口5~端口6）

- R5和R6是I/O寄存器
- 只有R5的低4位可用
- R5的高4位设置为0
- P63只能置为输入

7、RF（中断状态寄存器）

7	6	5	4	3	2	1	0
-	-	-	-	-	EXIF	ICIF	TCIF

- “1”表示有中断请求，“0”表示没有。
- Bit0 (TCIF) TCC溢出中断标志。TCC溢出置1，软件清0
- Bit1 (ICIF) P6口输入变化中断标志。P6口输入变化置1，软件清0
- Bit2 (EXIF) 外部中断标志。由/INT引脚上的下降沿置1，软件清0
- Bit3~7 未使用。
- RF可软件清0，但不可置‘1’
- IOCF是中断屏蔽寄存器
- 注意读RF的结果是RF和IOCF相与的结果

8、R10~R2F

- 所有这些8位元通用寄存器



4.2 特殊寄存器组

1、A（加法器）

- 内部数据传输，或者指令操作数保持
- 它不可以被寻址

2、CONT（控制寄存器）

7	6	5	4	3	2	1	0
-	INT	TS	TE	PAB	PSR2	PSR1	PSR0

Bit0（PSR0）~Bit2（PSR2） TCC/WDT 预分频器位。

PSR2	PSR1	PSR0	TCC Rate	WDT Rate
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

Bit3（PAB） 预分频器分配位

0：TCC

1：WDT

Bit4（TE） TCC 信号边沿选择位

0：TCC 引脚信号发生由低到高变化加1

1：TCC 引脚信号发生由高到低变化加1

Bit5（TS） TCC 信号源选择位

0：内部指令周期时钟

1：外部输入信号（此时 P62/TCC 置为输入）

Bit6（INT） 中断使能标志位

0：由 DISI 指令或硬件中断屏蔽

1：由 ENI/RETI 指令使能中断

Bit7 未使用

CONT 寄存器可读可写

3、IOC5-IOC6（I/O 端口控制寄存器）

- “1” 定义对应 I/O 引脚为高阻状态，“0” 定义其为输出
- IOC5 仅低 4 位可以定义
- IOC5 和 IOC6 寄存器可读可写

4、IOCB（下拉控制寄存器）

7	6	5	4	3	2	1	0
-	/PD6	/PD5	/PD4	-	/PD2	/PD1	/PD0



Bit0 (/PD0) P50 管脚的下拉使能控制位

0：内部下拉使能

1：内部下拉禁止

Bit1 (/PD1) P51 管脚的下拉使能控制位

Bit2 (/PD2) P52 管脚的下拉使能控制位

Bit3 未使用。

Bit4 (/PD4) P60 管脚的下拉使能控制位

Bit5 (/PD5) P61 管脚的下拉使能控制位

Bit6 (/PD6) P62 管脚的下拉使能控制位

Bit7 未使用

- IOCB 寄存器是可读可写的

5、IOCC (漏极开路控制寄存器)

7	6	5	4	3	2	1	0
OD7	OD6	OD5	OD4	-	OD2	OD1	OD0

Bit0 (OD0) P60 管脚的漏极开路使能控制位

0：漏极开路输出使能

1：漏极开路输出禁止

Bit1 (OD1) P61 管脚的漏极开路使能控制位

Bit2 (OD2) P62 管脚的漏极开路使能控制位

Bit3 未使用

Bit4 (OD4) P64 管脚的漏极开路使能控制位

Bit5 (OD5) P65 管脚的漏极开路使能控制位

Bit6 (OD6) P66 管脚的漏极开路使能控制位

Bit7 (OD7) P67 管脚的漏极开路使能控制位

- IOCC 寄存器是可读可写的。

6、IOCD (上拉控制寄存器)

7	6	5	4	3	2	1	0
/PH7	/PH6	/PH5	/PH4	-	/PH2	/PH1	/PH0

Bit0 (/PH0) P60 管脚的上拉使能控制位

0：内部上拉使能

1：内部上拉禁止

Bit1 (/PH1) P61 管脚的上拉使能控制位

Bit2 (/PH2) P62 管脚的上拉使能控制位

Bit3 未使用。

Bit4 (/PH4) P64 管脚的上拉使能控制位

Bit5 (/PH5) P65 管脚的上拉使能控制位

Bit6 (/PH6) P66 管脚的上拉使能控制位



Bit7 (/PH7) P67 管脚的上拉使能控制位

- IOCD 寄存器是可读可写的

7、IOCE (WDT 控制寄存器)

7	6	5	4	3	2	1	0
WDTE	EIS	-	-	-	-	-	-

Bit7 (WDTE) 看门狗定时器的使能控制位

0 : WDT 禁止

1 : WDT 使能

- WDTE 是可读可写的。

Bit6 (EIS) P60 管脚 (/INT) 功能控制位

0 : P60, 双向 I/O 管脚

1 : /INT, 外部中断管脚。在这种情况下, P60 的 I/O 控制位 (IOC6 的 Bit0) 必须设置为 “1”

- 当 EIS 为 “0” 时, /INT 通道被屏蔽。为 “1” 时, /INT 管脚的状态可以由 P6 端口读取 (R6)。参考图 7
- EIS 是可读可写的

Bit0~5 未使用

8、IOCF (中断屏蔽寄存器)

7	6	5	4	3	2	1	0
-	-	-	-	-	EXIE	ICIE	TCIE

Bit0 (TCIE) TCIF 中断使能位。

0 : TCIF 中断禁止

1 : TCIF 中断使能

Bit1 (ICIE) ICIF 中断使能位

0 : ICIF 中断禁止

1 : ICIF 中断使能

Bit2 (EXIE) EXIF 中断使能位

0 : EXIF 中断禁止

1 : EXIF 中断使能

Bit3~7 未使用

- 通过设置 IOCF 的控制位为 “1” 使相应中断使能
- 执行 ENI 指令使全局中断有效, DISI 指令全局中断禁止。参考图 9
- IOCF 寄存器是可读可写的

4.3 TCC/WDT & 预分频器

有一个 8 位元计数器可以作为 TCC 或 WDT 的预分频器。在同一时刻它只能提供给其中一方, 这由 CONT 寄存器的 PAB 位决定。PSR0~PSR2 位确定分配系数。若分配给 TCC, 则每次写 TCC 均将预分频器将被清 0。若分配给 WDT 使用, WDT 和预分频器均在执行指令 “WDTC” 和 “SLEP” 时清 0。图 5 描述了 TCC/WDT 的电路图。

- R1 (TCC) 是 8 位元的计时/计数器。TCC 时钟源可以是内部时钟或者外部时钟 (由 TCC 引脚输入, 触发沿可选择)。如

果是内部时钟，每个指令周期 TCC 加 1（无预分频器）。参考图 5， $CLK=Fosc/2$ 或者 $CLK=Fosc/4$ 取决于 CODE 的操作位 CLKS。如果 CLKS 位为“0”，则 $CLK=Fosc/2$ ，如果 CLKS 位为“1”，则 $CLK=Fosc/4$ 。如果 TCC 的信号源来自于外部时钟输入，TCC 管脚的下降沿或上升沿触发时 TCC 加 1。

- 看门狗定时器是一个自由运行的片内 RC 振荡器。当振荡驱动器关闭时（如在休眠模式下）WDT 还将保持运行。在正常操作或者休眠模式时，WDT 溢出时将引起芯片复位（若 WDT 使能）。在正常工作时，WDT 可由软件设置 IOCE0 的 WDTE 位来使能或禁止。在没有预分频器情况下，WDT 溢出时间约为 $18ms^1$ （默认值）。

4.4 I/O 端口

I/O 寄存器组，包括端口 5 和端口 6，都是双向三态 I/O 端口。P6 口除了 P63 外都可由软件设置为内部上拉或漏极开路输出。P6 口具有输入状态变化中断（或唤醒）功能。P50~52 和 P60~62 可由软件设置为下拉。除 P63 外，各 I/O 引脚都由 I/O 控制寄存器（IOC5~IOC6）定义为“输入”或“输出”。I/O 寄存器组和 I/O 控制寄存器组都可读写。I/O 接口电路如图 6、7、8。

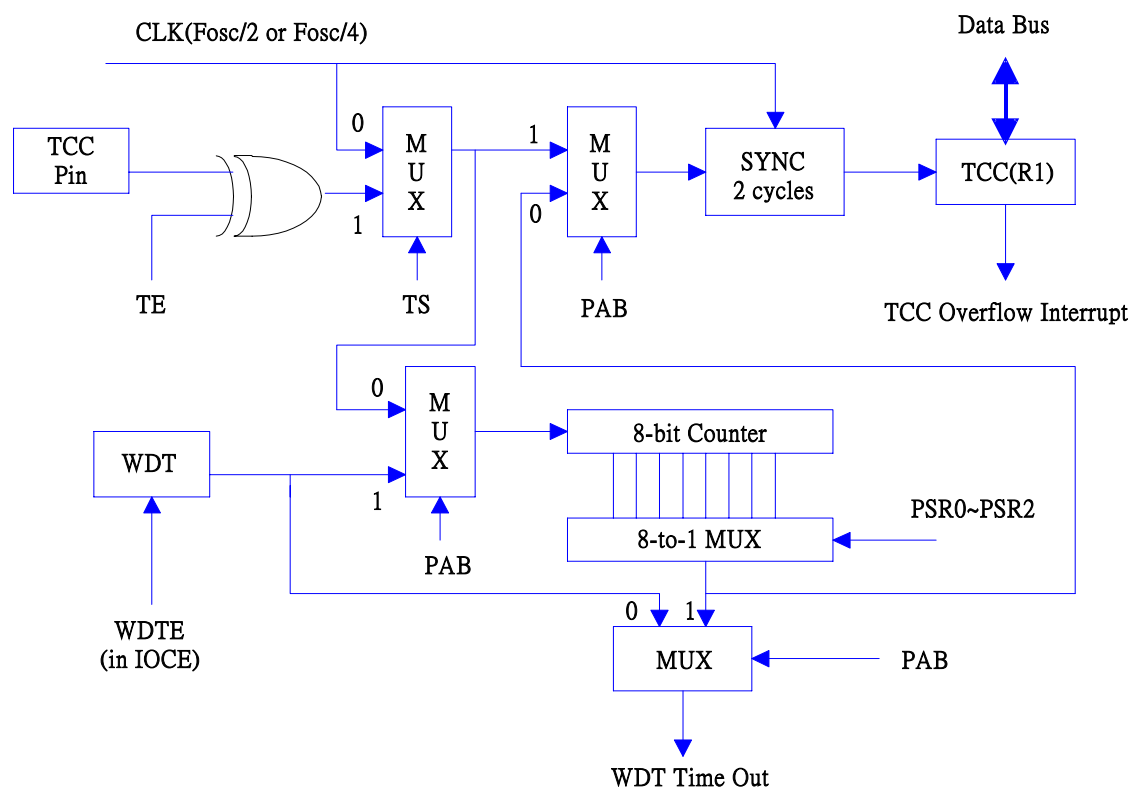


图5 TCC和WDT的模块图

¹注意：Vdd=5V，起振时间=16.5ms±30%

Vdd=3V，起振时间=18ms±30%

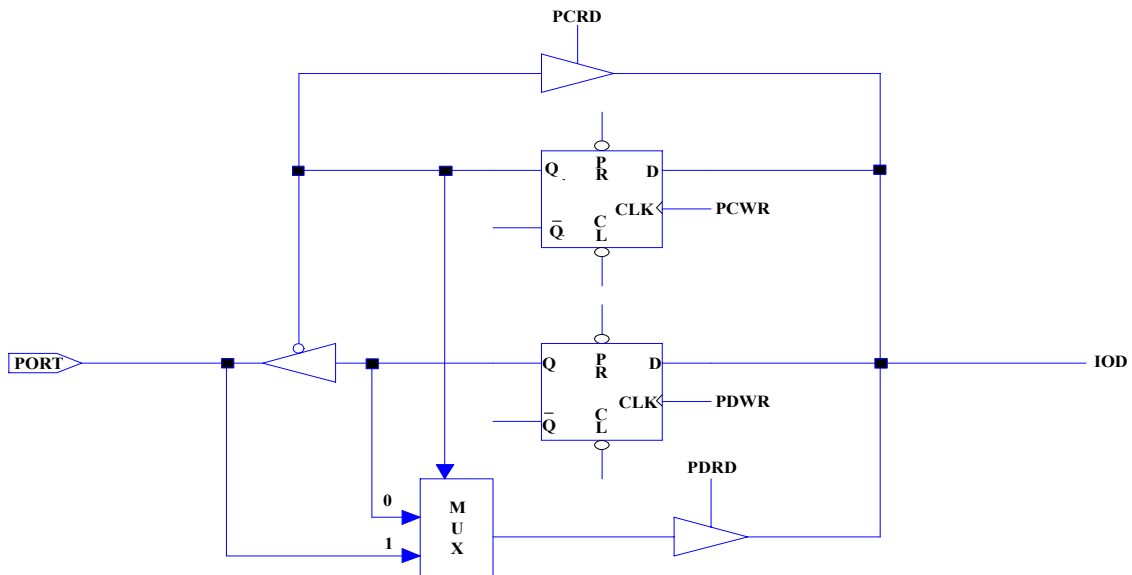


图6 端口5的I/O端口和I/O控制寄存器的电路

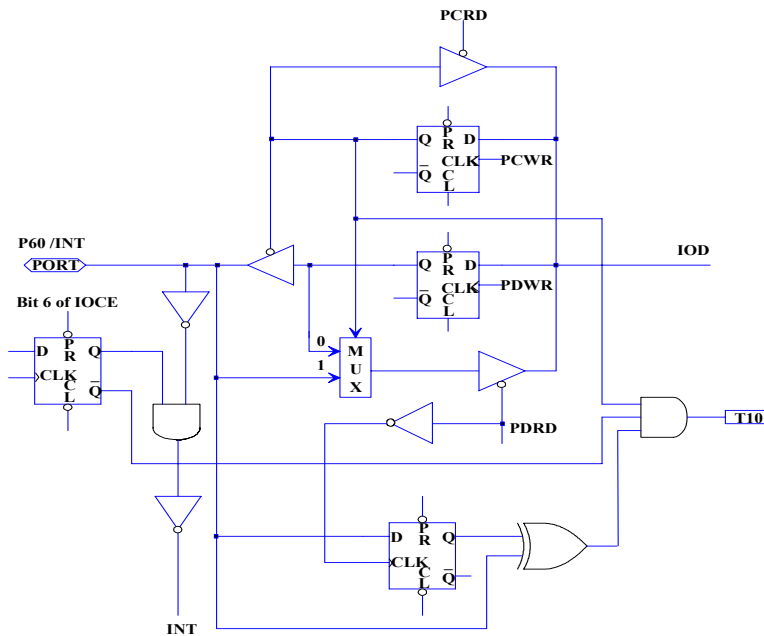


图7 P60(INT)的I/O端口和I/O控制寄存器电路

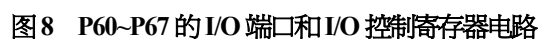




表 2 P6 口输入改变引起唤醒/中断的用法

Usage of Port 6 Input Status Change Wake-up/Interrupt	
(I) Wake-up from Port 6 Input Status Change (a) Before SLEEP 1. Disable WDT 2. Read I/O Port 6 (MOV R6,R6) 3. Execute "ENI" or "DISI" 4. Enable interrupt (Set IOCF.1) 5. Execute "SLEP" instruction (b) After Wake-up 1. IF "ENI" → Interrupt vector (008H) 2. IF "DISI" → Next instruction	(II) Port 6 Input Status Change Interrupt 1. Read I/O Port 6 (MOV R6,R6) 2. Execute "ENI" 3. Enable interrupt (Set IOCF.1) 4. IF Port 6 change (interrupt) → Interrupt vector (008H)

4.5、复位和唤醒

1、复位

复位由下面情况引起：

- (1) 上电复位
- (2) /RESET 引脚输入为“低”
- (3) WDT 溢出（如果使能）

参见图 10，检测到复位后，系统将保持复位状态 18ms^2 （振荡器起振时间）。一旦 RESET 发生，单片机系统处于如下状态：

态：

- 振荡器起振，或继续振荡。
- 程序计数器 (R2) 清 0
- 所有的 I/O 引脚定义为输入模式（高阻状态）。
- WDT 和预分频器清 0
- 上电时，R3 高 3 位清 0
- CONT 寄存器除第 6 位 (INT 标志) 外，全置为 1
- IOCB 寄存器全置为“1”
- IOCC 寄存器清 0
- IOCD 寄存器全置为“1”
- IOCE 寄存器第 7 位置为 1，第 4、6 位清 0
- RF、IOCF 寄存器的 Bit0~2 清 0

²注意：Vdd=5V，起振时间=16.5ms±30%

Vdd=3V，起振时间=18ms±30%



执行“SLEP”指令可以转到休眠模式（低能耗模式）。进入休眠模式时，WDT（若使能）清0，但继续运行。单片机可被如下情况唤醒：

- (1) /RESET 引脚上输入的外部复位信号
- (2) WDT 溢出（若使能）
- (3) P6 的输入状态改变（如果设置有效）

前面两种情况将引起 EM78P153S 复位。R3 的 T、P 标志位可以用来确定复位源。第三种情况下唤醒后程序继续执行，由中断状态来决定程序是否转入中断处理程序。如果在 SLEP 之前执行 ENI，指令将在唤醒后从地址 008H 处开始执行。如果在 SLEP 之前执行 DISI，指令将在唤醒后从 SLEP 的下一地址开始继续执行。

进入休眠模式之前，第 2、3 两种情况只有一种可被使用，即

[a] 如果休眠前 P6 输入唤醒使能，则 WDT 应由软件禁止，然而，代码选择寄存器中 WDT 仍为使能，因此，EM78P153S 只能被第 1 或第 3 种情况唤醒。

[b] 如果 WDT 使能，则 P6 输入唤醒应禁止。因此，EM78P153S 只能被第 1 或第 2 种情况唤醒。参考中断的相关部分。

如果 P6 口输入变化中断被用于唤醒单片机（第 a 种情况），则如下指令应在 SLEP 指令前执行：

```
MOV A,@xxxx1110b    ;选择 WDT 预分频
CONTW
WDTC                  ;清除 WDT 和预分频器
MOV A,@0xxxxxxb      ;WDT 禁止
IOW RE
MOV R6,R6             ;读端口 6
MOV A,@00000x1xb     ;使能 P6 的输入变化中断
IOW RF
ENI(或 DISI)          ;使能（或禁止）全局中断
SLEP                  ;进入休眠
```

注意：

1. 从休眠模式唤醒后，wdt 自动使能。休眠模式唤醒后，wdt 的使能和非使能应由软件适当定义
2. 为了避免 p6 口输入状态改变中断进入中断向量时或用于唤醒 mcu 时有复位发生，wdt 预除器的比率须置的大过 1：1

表 3 寄存器组的初始值汇总表

Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
N/A	IOC5	Bit Name	X	X	X	X	C53	C52	C51	C50
		Power-On	0	0	0	0	1	1	1	1
		/RESET and WDT	0	0	0	0	1	1	1	1
		Wake-Up from Pin Change	0	0	0	0	P	P	P	P
N/A	IOC6	Bit Name	C67	C66	C65	C64	C63	C62	C61	C60
		Power-On	1	1	1	1	1	1	1	1



Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x05	P5	Bit Name	X	X	X	X	P53	P52	P51	P50
		Power-On	1	1	1	1	1	1	1	1
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x06	P6	Bit Name	P67	P66	P65	P64	P63	P62	P61	P60
		Power-On	1	1	1	1	1	1	1	1
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
N/A	CONT	Bit Name	X	INT	TS	TE	PAB	PSR2	PSR1	PSR0
		Power-On	1	0	1	1	1	1	1	1
		/RESET and WDT	1	0	1	1	1	1	1	1
		Wake-Up from Pin Change	P	0	P	P	P	P	P	P
0x00	R0(IAR)	Bit Name	-	-	-	-	-	-	-	-
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x01	R1(TCC)	Bit Name	-	-	-	-	-	-	-	-
		Power-On	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x02	R2(PC)	Bit Name	-	-	-	-	-	-	-	-
		Power-On	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-Up from Pin Change	P	P	P	P	N	P	P	P
0x03	R3(SR)	Bit Name	RST	GP1	GP0	T	P	Z	DC	C
		Power-On	0	0	0	1	1	U	U	U
		/RESET and WDT	0	0	0	t	t	P	P	P
		Wake-Up from Pin Change	1	P	P	t	t	P	P	P
0x04	R4(RSR)	Bit Name	1	0	-	-	-	-	-	-
		Power-On	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P



Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x0F	RF(ISR)	Bit Name	X	X	X	X	X	EXIF	ICIF	TCIF
		Power-On	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-Up from Pin Change	0	0	0	0	0	P	N	P
0x0B	IOCB	Bit Name	X	/PD6	/PD5	/PD4	/PD3	/PD2	/PD1	/PD0
		Power-On	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x0C	IOCC	Bit Name	OD7	OD6	OD5	OD4	X	OD2	OD1	OD0
		Power-On	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x0D	IOCD	Bit Name	/PH7	/PH6	/PH5	/PH4	X	/PH2	/PH1	/PH0
		Power-On	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P
0x0E	IOCE	Bit Name	WDTE	EIS	X	X	X	X	X	X
		Power-On	1	0	1	1	1	1	1	1
		/RESET and WDT	1	0	1	1	1	1	1	1
		Wake-Up from Pin Change	1	P	1	1	1	1	1	1
0x0F	IOCF	Bit Name	X	X	X	X	X	EXIE	ICIE	TCIE
		Power-On	1	1	1	1	1	0	0	0
		/RESET and WDT	1	1	1	1	1	0	0	0
		Wake-Up from Pin Change	1	1	1	1	1	P	P	P
0x10~0x2F	R10~R2F	Bit Name	-	-	-	-	-	-	-	-
		Power-On	0	0	0	0	0	0	0	0
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-Up from Pin Change	P	P	P	P	P	P	P	P

X：未使用 U：不确定或不重要 P：复位之前的值 t：查询表 4

N：监视中断操作状态；当中断发生时 N=1,无中断发生时 N=0



2、/RESET 的配置

参考图 10。当代码选项 OPTION 中的 RESET 位编程为 0，则使能外部/RESET。如果编程为 1，则使能内部/RESET（/RESET 被内部的接到 Vdd），P63/RST 引脚作为 P63 使用。

3、R3 中的 T、P、RST 的状态

以下事件可产生 RESET 的动作：

1. 上电
2. /RESET 管脚的高低-高脉冲
3. 看门狗定时器溢出

表 4 中列出的 RST、T 和 P 的值可以用来检查处理器是如何唤醒的。表 5 列出了影响 RST、T 和 P 的状态的事件。

表 4 RESET 后 RST、T 和 P 的值

Reset Type	RST	T	P
Power on	0	1	1
/RESET during Operating mode	0	*P	*P
/RESET wake-up during SLEEP mode	0	1	0
WDT during Operating mode	0	0	P
WDT wake-up during SLEEP mode	0	0	0
Wake-Up on pin change during SLEEP mode	1	1	0

表 5 复位事件及被影响的 RST、T、P 状态

Event	RST	T	P
Power on	0	1	1
WDTC instruction	*P	1	1
WDT time-out	0	0	*P
SLEP instruction	*P	1	0
Wake-Up on pin change during SLEEP mode	1	1	0

*P：重置之前的值

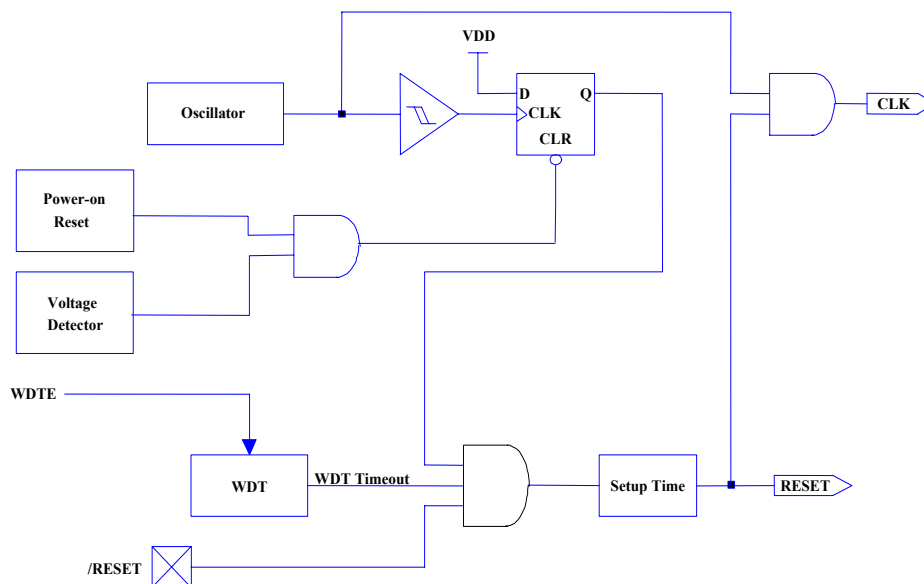


图 10 复位控制器的框图

4.6 中断

以下列出了 EM78P153S 的三种下降沿中断：

- (1) TCC 溢出中断
- (2) P6 端口输入状态改变中断
- (3) 外部中断 (P60//INT 引脚)

在 P6 口输入变化中断使能前，读 P6 口寄存器是必要的（例如：“MOV R6,R6”）。P6 口的每个引脚均可具有这个功能，如果其状态有改变。处于输出状态的引脚及作 INT 引脚的 P60 除外。如果端口 6 输入状态改变中断在执行 SLEEP 指令进入休眠模式之前有效，它可以将芯片 EM78P153S 从休眠模式唤醒。一旦唤醒芯片，当整体中断禁止时控制器将继续执行下一条指令，当整体中断有效时控制器将转到中断向量 008H 处执行。

RF 是中断状态寄存器，它记录相应标志位的中断请求情况。IOCF 是中断屏蔽寄存器。整体的中断使能或禁止由 ENI 或 DISI 指令完成。当中断发生时，下一指令将从地址 008H 取出。一旦进入中断服务子程序，可以通过查询 RF 的标志位检测中断源。在离开中断服务子程序前必须清除中断标志位并使能中断以避免重复中断。

不管是否允许中断，RF 寄存器的相应位会由中断置位。注意读 RF 的结果是 RF 和 IOCF 的逻辑与。参见图 11。RETI 指令结束中断子程序并使能整体中断（ENI 的执行）。

当INT 指令（若使能）产生中断时，下一指令将从地址 0X001H 处取出。

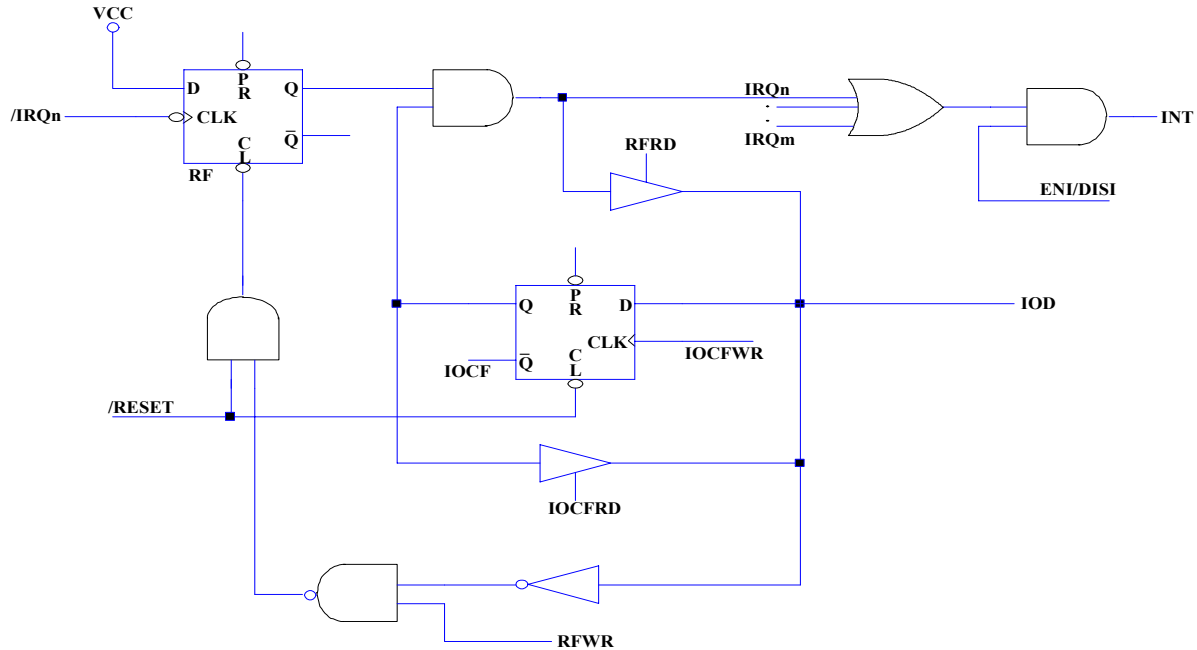


图 11 中断输入电路

4.7 振荡器

1、振荡器模式

EM78P153S 可工作在 4 种振荡器模式：内部 RC 振荡器模式（IRC），外部振荡器模式（ERC），高频晶振模式（HXT）和低频晶振模式（LXT）。用户可通过对代码寄存器的 OCS1 和 OSC2 两位编程来选择。表 6 叙述了如何定义这 4 种模式。

表 7 给出了不同工作电压下晶振/谐振器的最高频率。

表 6 由 OSC1 和 OSC2 定义的振荡器的模式

Mode	OSC1	OSC2
IRC(Internal RC oscillator mode)	1	1
ERC(External RC oscillator mode)	1	0
HXT(High XTAL oscillator mode)	0	1
LXT(Low XTAL oscillator mode)	0	0

＜注意＞在 HXT 和 LXT 之间的系统频率变化分界点大约为 400KHz。

表 7 最大工作频率总结

Conditions	VDD	Fxt max.(MHz)
Two cycles with two clocks	2.3	4.0
	3.0	8.0
	5.0	20.0

2、晶体振荡器/陶瓷谐振器 (XTAL)

EM78P153S 可被 OSCI 引脚上的外部时钟驱动，如图 12 所示。

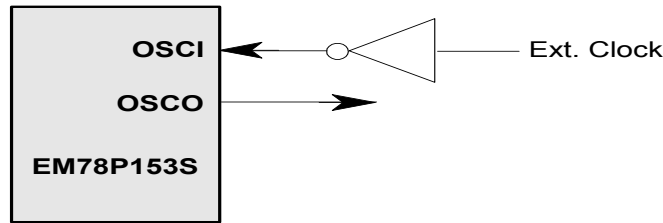


图 12 外部时钟输入电路

在大多数应用中，引脚 OSCO 和 OSCI 上可接晶体或陶瓷谐振器来产生振荡，图 13 为电路，不论是 HXT 还是 LXT 模式都适用。表 8 为 C1、C2 的推荐值。由于各个谐振器特性不同，用户应参照其规格选择 C1、C2 的合适值。串联电阻 RS 对于低频模式和 AT strip cut 晶体是需要的。

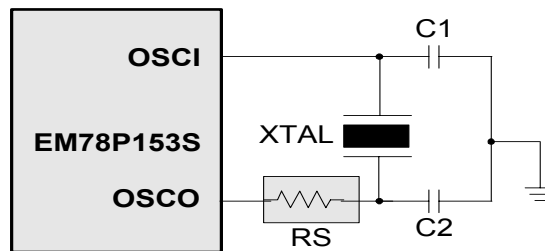


图 13 晶体振荡器电路

表 8 晶体振荡器或陶瓷振荡器的电容选择参考

Oscillator Type	Frequency Mode	Frequency	C1(pF)	C2(pF)
Ceramic Resonators	HXT	455 kHz	100~150	100~150
		2.0 MHz	20~40	20~40
		4.0 MHz	10~30	10~30
Crystal Oscillator	LXT	32.768kHz	25	15
		100KHz	25	25
		200KHz	25	25
	HXT	455KHz	20~40	20~150
		1.0MHz	15~30	15~30
		2.0MHz	15	15
		4.0MHz	15	15

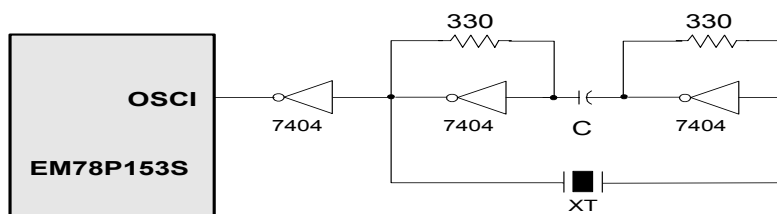


图 12：外部时钟输入电路

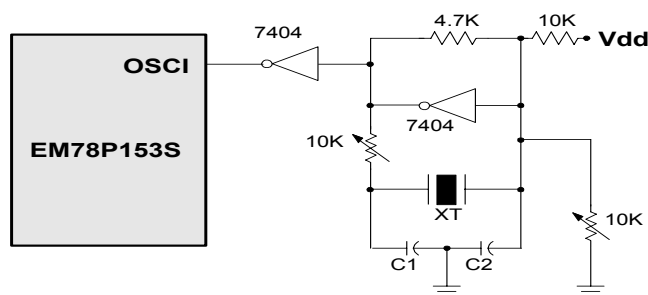


图 13 晶振/谐振器电路

3、外部 RC 振荡器模式

在一些不需要精确定时的应用中，使用 RC 振荡器可以节省部分费用，尽管如此，还是应该注意到，RC 振荡器的频率与电压，电阻值，电容值，甚至工作温度均有关，并且各芯片之间由于过程差别，频率也略有不同。

为了获得稳定的系统频率，电容值不能小于 20pF，电阻值不能大于 1M 欧。如果它们不在该范围之内，频率将很容易受噪声、湿度及漏电的影响。

RC 振荡器的电阻值越小，频率越高。另一方面，对于很小的电阻值，例如 1K 欧姆，由于 NMOS 不能正确将电容放电，振荡器将变得不稳定

基于上述原因，必须牢记电源电压、工作温度、RC 振荡器部件、封装形式及 PCB 布线方式都会影响系统频率。

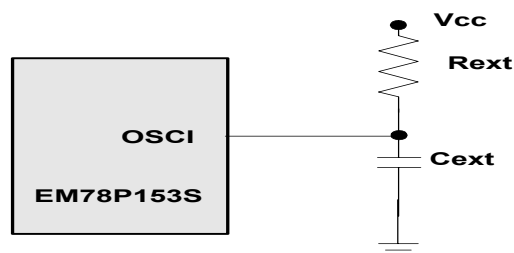


图 16 外部 RC 振荡器模式电路



表9 RC 振荡器频率

Cext	Rext	Average Fosc 5V,25°C	Average Fosc 3V,25°C
20 pF	3.3k	3.92 MHz	3.63 MHz
	5.1k	2.67 MHz	2.6 MHz
	10k	1.4 MHz	1.4 MHz
	100k	150 KHz	1.56 KHz
100 pF	3.3k	1.4 MHz	1.33 MHz
	5.1k	940 KHz	917 KHz
	10k	476 KHz	480 KHz
	100k	50 KHz	52 KHz
300 pF	3.3k	595 KHz	570 KHz
	5.1k	400 KHz	384 KHz
	10k	200 KHz	203 KHz
	100k	20.9 KHz	20 KHz

注意：1. 以上数据是基于 DIP 封装测量的

2. 仅供参考

4、内部 RC 振荡器模式

EM78P153S 提供一个通用的内部 RC 模式，其频率默认值为 4MHz。它还可通过 OPTION 代码选项 RCM1 和 RCM0 来选择 8MHz, 1MHz, 455KHz 的频率, 所有的这 4 种频率都可通过 OPTION 代码选项位 CAL0-CAL2 校准

表 10 表示 EM78P153S 内部 RC 随电压，温度，程序的漂移量。

Table 10 内部 RC 漂移比率

(Ta=25°C , VDD=5 V± 5%, VSS=0V)

Internal RC	Drift Rate			
	Temperature (0°C~70°C)	Voltage (2.3V~5.5V)	Process	Total
8MHz	± 3%	± 5%	± 10%	± 18%
4MHz	± 3%	± 5%	± 5%	± 13%
1MHz	± 3%	± 5%	± 10%	± 18%
455kHz	± 3%	± 5%	± 10%	± 18%

4.8 CODE 操作寄存器

EM78P153S 有一个代码选择寄存器，它不属于常规程序存储器。在常规程序执行期间，它不可被访问。

代码寄存器及用户 ID 寄存器

Word 0	Word1	Word 2
Bit12~Bit0	Bit1~Bit0	Bit12~Bit0



1、代码选项寄存器 (Word0)

WORD 0												
Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
12	11	10	9	8	7	6	5	4	3	2	1	0
/RESET	/ENWDT	CLKS	OSC1	OCS0	CS	SUT1	SUT0	TYPE	RCOUT	C2	C1	C0

Bit 12(/RESET)：定义第 7 引脚为复位脚。

0：/RESET 使能

1：/RESET 禁止

Bit11(/ENWDT)：看门狗定时器使能位。

0：使能

1：禁止

Bit 10(CLK)：指令周期选择位。

0：2 个振荡器周期

1：4 个振荡器周期

参考指令设置部分。

Bit 9 和 Bit 8(OSC1 和 OSC0)：振荡模式选择位。

表 11 由 OSC1 和 OSC0 定义的振荡器模式

Mode	OSC1	OSC0
IRC(Internal RC oscillator mode)	1	1
ERC(External RC oscillator mode)	1	0
HXT(High XTAL oscillator mode)	0	1
LXT(Low XTAL oscillator mode)	0	0

〈注意〉在 HXT 和 LXT 之间的系统频率分界点大约为 400KHz。

Bit 7(CS)：加密位

0：加密

1：不加密

Bit 6 和 Bit 5(SUT1 和 SUT0)：芯片起振时间选择位。

表 12 可编程的芯片起振时间

SUT1	SUT0	*Set-Up Time
1	1	18 ms
1	0	4.5 ms
0	1	288 ms
0	0	72 ms

Bit 4(类型):EM78P153S 的类型选择位。

TYPE	Series
0	EM78P153S
1	X



Bit 3(ROUT)：振荡器输出或 I/O 端口的选择位。

RCOUT	Pin Function
0	P64
1	OSCO

Bit 2、1、0(CAL2,CAL1,CAL0)：内部 RC 模式的校准位。

c2、c1、c0 只能被置为 1

2、代码选择寄存器 (WORD 1)

WORD1	
Bit1	Bit0
1	0
RCM1	RCM0

Bit 1 和 Bit 0(RCM1 RCM0)：RC 模式选择位。

RCM 1	RCM 0	*Frequency(MHz)
1	1	4
1	0	8
0	1	1
0	0	455kHz

3、用户 ID 寄存器

Bit 12~Bit 0
XXXXXXXXXXXXXX

Bit 12~0：用户的 ID 代码

4.9 上电问题

在电源稳定之前，任何单片机均不能保证开始正常工作。

EM78P153S 具有检测电压 2.0V 的电压检测器 (POVD)。这就免去了外部复位电路。如果 Vdd 上升的足够快 (50ms 或更少)，它将正常工作。然而，在许多要求严格的应用中，还是需要附加的外部电路来帮助解决上电问题。

4.10 可编程振荡器的建立时间

该选择字包含 SUT0 和 SUT1，用于设置振荡器的建立时间，其范围从 4.5ms 到 288ms。大多数石英晶体振荡器工作频率越低，起振需要的建立时间越长。表 12 说明了振荡器的建立时间值。

4.11 外部上电复位电路

图 17 所示的电路使用了外部 RC 产生复位脉冲。脉冲宽度应足够长，直到 Vdd 达到最低工作电压。当电压上升慢时，可使用该电路。由于 RESET 引脚的漏电流约为 $\pm 5\mu A$ ，建议 R 要大于 40K。这样，引脚 RESET 上电压将保持在 0.2V 以下。二极管 D 作用是在掉电时充当短路回路。电容 C 将快速充分放电。限流电阻 R1 用来避免过大的放电电流或静电放电 ESD 流入引脚 /RESET。

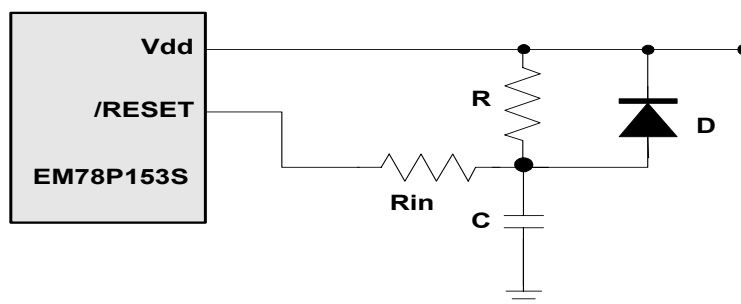


图 17 外部电源重置 上电复位 电路

4.12 残余电压保护

有些应用中，如更换电池，Vdd 断开后几秒钟内便恢复。这将有一个小于 Vdd 最小值但又不为 0 的残存电压这样将引起不正常复位。图 18、19 为残存电压保护电路。

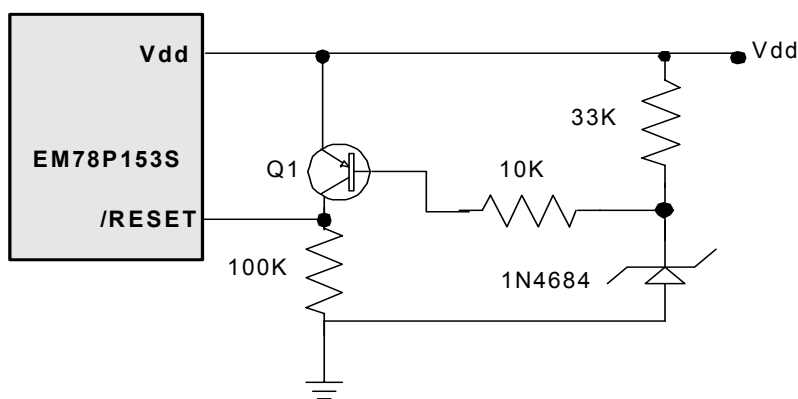


图 18 残余电压保护的电路 1

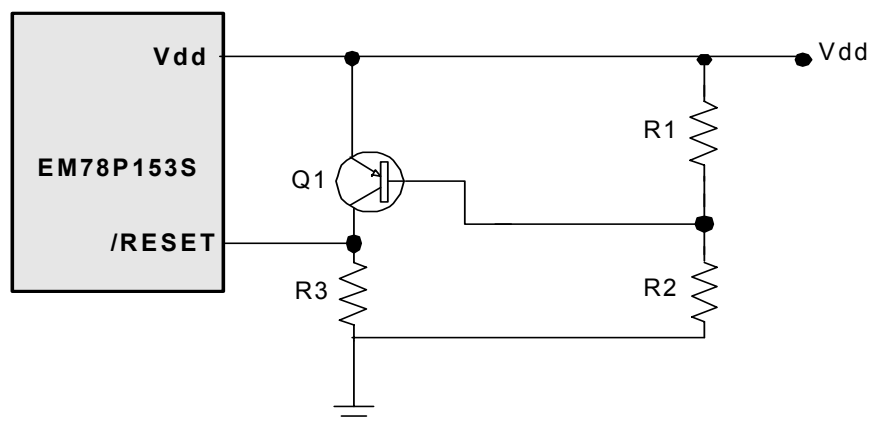


图 19 残余电压保护的电路 2

4.13 指令集

指令集的每个指令都是一个包括一个操作代码和一个或更多操作数的 13-bit 字。正常情况下，所有指令都在一个指令周期内执行（一个指令周期包含 2 个振荡器周期），除了被指令“MOV R2,A”，“ADD R2,A”改变的计数器或者是 R2 的算术或逻辑操作指令（例如：“SUB R2,A”，“BS(C)R2,6”，“CLR R2”，.....）。在这种情况下，指令的执行需要两个指令周期。

在有些情况下，如果指令周期的规格不符合某些应用要求，可以通过以下方式进行改变：

- (A) 一个指令周期由 4 个振荡器周期组成。
- (B) “JMP”，“CALL”，“RET”，“RETL”，“RETI”和条件跳转指令（“JBS”，“JBC”，“JZ”，“JZA”，“DJZ”，“DIJA”）检测为真时执行两个指令周期。写入程序计数器的指令同样需要两个指令周期。

情况 (A) 由 CODE 选择位选择，称为 CLKS。如果 CLKS 为低，一个指令周期由两个振荡器时钟组成，如果 CLKS 为高，一个指令周期由四个振荡器时钟组成。

注意一旦选择情况 (A) 中的一个指令周期包含 4 个振荡器周期，TCC 的内部时钟源就是 $CLK = F_{osc}/4$ ，而不是 $F_{osc}/2$ ，如图 5 所示。

同时，指令集还具有以下特征：

(1) 寄存器的每一位都可以直接进行设置、清除或检测。

(2) I/O 寄存器组可以作为通用寄存器组。即同样的指令可对 I/O 寄存器操作

符号“R”表示一个寄存器指示器，它指示指令使用的是哪个寄存器（包括操作寄存器组和通用寄存器组）。符号“b”表示一个比特位指示器，它指示对应于寄存器“R”的相应位。符号“k”表示一个 8 或 10 比特常数或符号值。



INSTRUCTION BINARY	HEX	MNEMONIC	OPERATION	STATUS AFFECTED
0 0000 0000 0000	0000	NOP	No Operation	None
0 0000 0000 0001	0001	DAA	Decimal Adjust A	C
0 0000 0000 0010	0002	CONTW	A → CONT	None
0 0000 0000 0011	0003	SLEP	0 → WDT, Stop oscillator	T,P
0 0000 0000 0100	0004	WDTC	0 → WDT	T,P
0 0000 0000 rrr	000r	IOW R	A → IOCR	None <Note1>
0 0000 0001 0000	0010	ENI	Enable Interrupt	None
0 0000 0001 0001	0011	DISI	Disable Interrupt	None
0 0000 0001 0010	0012	RET	[Top of Stack] → PC	None
0 0000 0001 0011	0013	RETI	[Top of Stack] → PC, Enable Interrupt	None
0 0000 0001 0100	0014	CONTR	CONT → A	None
0 0000 0001 rrr	001r	IOR R	IOCR → A	None <Note1>
0 0000 01rr rrr	00rr	MOV R,A	A → R	None
0 0000 1000 0000	0080	CLRA	0 → A	Z
0 0000 11rr rrr	00rr	CLR R	0 → R	Z
0 0001 00rr rrr	01rr	SUB A,R	R-A → A	Z,C,DC
0 0001 01rr rrr	01rr	SUB R,A	R-A → R	Z,C,DC
0 0001 10rr rrr	01rr	DECA R	R-1 → A	Z
0 0001 11rr rrr	01rr	DEC R	R-1 → R	Z
0 0010 00rr rrr	02rr	OR A,R	A ∨ VR → A	Z
0 0010 01rr rrr	02rr	OR R,A	A ∨ VR → R	Z
0 0010 10rr rrr	02rr	AND A,R	A & R → A	Z
0 0010 11rr rrr	02rr	AND R,A	A & R → R	Z
0 0011 00rr rrr	03rr	XOR A,R	A ⊕ R → A	Z
0 0011 01rr rrr	03rr	XOR R,A	A ⊕ R → R	Z
0 0011 10rr rrr	03rr	ADD A,R	A + R → A	Z,C,DC
0 0011 11rr rrr	03rr	ADD R,A	A + R → R	Z,C,DC
0 0100 00rr rrr	04rr	MOV A,R	R → A	Z
0 0100 01rr rrr	04rr	MOV R,R	R → R	Z
0 0100 10rr rrr	04rr	COMA R	/R → A	Z
0 0100 11rr rrr	04rr	COM R	/R → R	Z
0 0101 00rr rrr	05rr	INCA R	R+1 → A	Z
0 0101 01rr rrr	05rr	INC R	R+1 → R	Z
0 0101 10rr rrr	05rr	DJZA R	R-1 → A, skip if zero	None
0 0101 11rr rrr	05rr	DJZ R	R-1 → R, skip if zero	None
0 0110 00rr rrr	06rr	RRCAR	R(n) → A(n-1), R(0) → C, C → A(7)	C



0	0110	01rr	rrr	06rr	RRC R	$R(n) \rightarrow R(n-1), R(0) \rightarrow C, C \rightarrow R(7)$	C
0	0110	10rr	rrr	06rr	RLCA R	$R(n) \rightarrow A(n+1), R(7) \rightarrow C, C \rightarrow A(0)$	C
0	0110	11rr	rrr	06rr	RLC R	$R(n) \rightarrow R(n+1), R(7) \rightarrow C, C \rightarrow R(0)$	C
0	0111	00rr	rrr	07rr	SWAPA R	$R(0-3) \rightarrow A(4-7), R(4-7) \rightarrow A(0-3)$	None
0	0111	01rr	rrr	07rr	SWAP R	$R(0-3) \leftrightarrow R(4-7)$	None
0	0111	10rr	rrr	07rr	JZA R	$R+1 \rightarrow A$, skip if zero	None
0	0111	11rr	rrr	07rr	JZ R	$R+1 \rightarrow R$, skip if zero	None
0	100b	brrr	rrr	0xxx	BC R,b	$0 \rightarrow R(b)$	None <Note2>
0	101b	brrr	rrr	0xxx	BS R,b	$1 \rightarrow R(b)$	None <Note3>
0	110b	brrr	rrr	0xxx	JBC R,b	if $R(b)=0$, skip	None
0	111b	brrr	rrr	0xxx	JBS R,b	if $R(b)=1$, skip	None
1	00kk	kkkk	kkkk	1kkk	CALL k	$PC+1 \rightarrow [SP], (Page, k) \rightarrow PC$	None
1	01kk	kkkk	kkkk	1kkk	JMP k	$(Page, k) \rightarrow PC$	None
1	1000	kkkk	kkkk	18kk	MOV A,k	$k \rightarrow A$	None
1	1001	kkkk	kkkk	19kk	OR A,k	$A \vee k \rightarrow A$	Z
1	1010	kkkk	kkkk	1Akk	AND A,k	$A \& k \rightarrow A$	Z
1	1011	kkkk	kkkk	1Bkk	XOR A,k	$A \oplus k \rightarrow A$	Z
1	1100	kkkk	kkkk	1Ckk	RETL k	$k \rightarrow A, [Top\ of\ Stack] \rightarrow PC$	None
1	1101	kkkk	kkkk	1Dkk	SUB A,k	$k-A \rightarrow A$	Z,C,DC
1	1110	0000	0001	1E01	INT	$PC+1 \rightarrow [SP], 001H \rightarrow PC$	None
1	1111	kkkk	kkkk	1Fkk	ADD A,k	$k+A \rightarrow A$	Z,C,DC

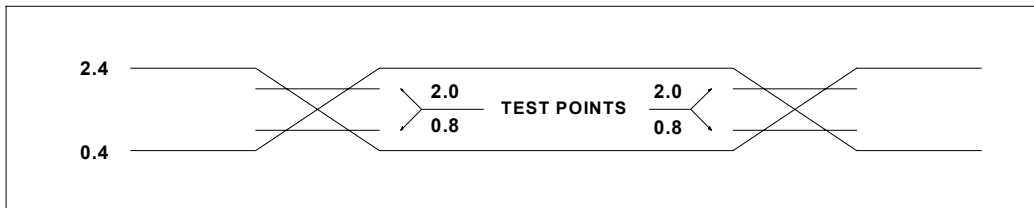
<注意 1> 此指令只适用于 IOC5~IOC6，IOCB~IOCF。

<注意 2> 此指令不建议作用于 RF。

<注意 3> 此指令不能作用于 RF。

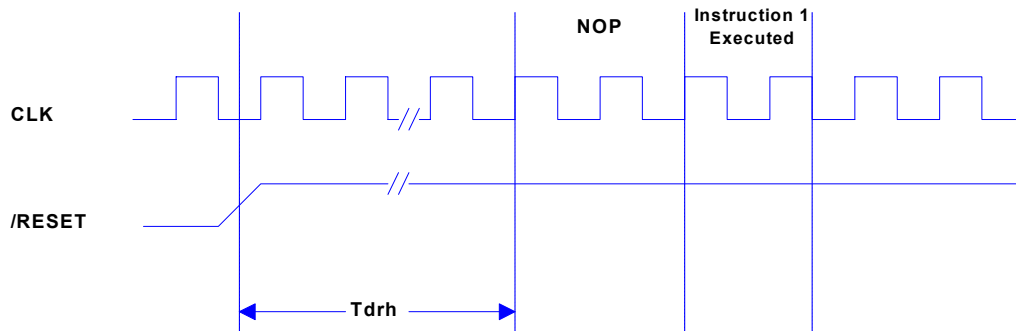
4 · 14 时序图

AC Test Input/Output Waveform

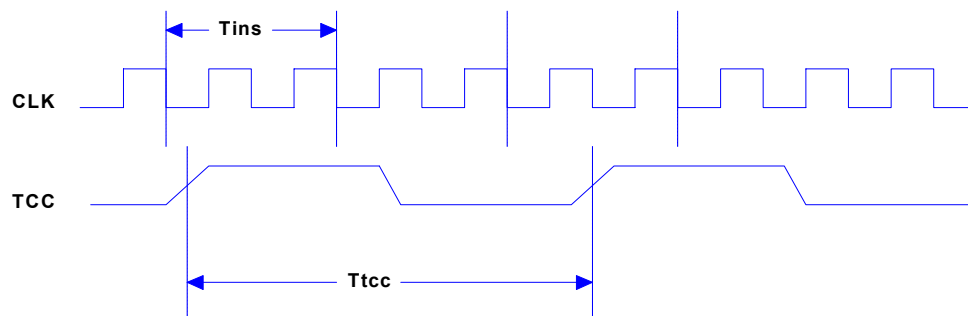


AC Testing : Input is driven at 2.4V for logic "1",and 0.4V for logic "0".Timing measurements are made at 2.0V for logic "1",and 0.8V for logic "0".

RESET Timing (CLK="0")



TCC Input Timing (CLKS="0")





5. 绝对最大范围

Items	Rating
Temperature under bias	0°C to 70°C
Storage temperature	-65°C to 150°C
Input voltage	-0.3V to +6.0V
Output voltage	-0.3V to +6.0V



6・电气特性

6.1DC 电气特征

($T_A=0^{\circ}\text{C}\sim 70^{\circ}\text{C}$, $V_{DD}=5.0\text{V}\pm 5\%$, $V_{SS}=0\text{V}$)

Symbol	Parameter	Condition	Min	Typ	Max	Unit
Fxt	XTAL: VDD to 2.3V	Two cycle with two clocks	DC		4.0	MHz
Fxt	XTAL: VDD to 3V	Two cycle with two clocks	DC		8.0	MHz
Fxt	XTAL: VDD to 5V	Two cycle with two clocks	DC		20.0	MHz
ERC	RC: VDD to 5V	R: $5\text{K}\Omega$, C: 39 pF	F-30%	1500	F+30%	KHz
IIL	Input Leakage Current for input pins	$V_{IN} = V_{DD}, V_{SS}$			± 1	μA
VIH1	Input High Voltage(VDD=5.0V)	Ports 5, 6	2.0			V
VIL1	Input Low Voltage(VDD=5.0V)	Ports 5, 6			0.8	V
VIHT1	Input High Threshold Voltage (VDD=5.0V)	/RESET, TCC	2.0			V
VILT1	Input Low Threshold Voltage (VDD=5.0V)	/RESET, TCC			0.8	V
VIHX1	Clock Input High Voltage (VDD=5.0V)	OSCI	2.5			V
VILX1	Clock Input Low Voltage (VDD=5.0V)	OSCI			1.0	V
VIH2	Input High Voltage (VDD=3.0V)	Ports 5, 6	1.5			V
VIL2	Input Low Voltage (VDD=3.0V)	Ports 5, 6			0.4	V
VIHT2	Input High Threshold Voltage (VDD=3.0V)	/RESET, TCC	1.5			V
VILT2	Input Low Threshold Voltage (VDD=3.0V)	/RESET, TCC			0.4	V
VIHX2	Clock Input High Voltage (VDD=3.0V)	OSCI	1.5			V
VILX2	Clock Input Low Voltage (VDD=3.0V)	OSCI			0.6	V
VOH1	Output High Voltage (Ports 5, 6) (P60~P63, P66~P67 are Schmitt trigger)	$I_{OH} = -12.0\text{ mA}$	2.4			V
VOL1	Output Low Voltage (P50~P53, P60~P63, P66~P67) (P60~P63, P66~P67 are Schmitt trigger)	$I_{OL} = 12.0\text{ mA}$			0.4	V
VOL2	Output Low Voltage (P64,P65)	$I_{OL} = 16.0\text{ mA}$			0.4	V
IPH	Pull-high current	Pull-high active, input pin at VSS	-50	-100	-240	μA
IPD	Pull-down current	Pull-down active, input pin at VDD	20	50	120	μA



ISB1	Power down current	All input and I/O pins at VDD, output pin floating, WDT disabled			1	μA
ISB2	Power down current	All input and I/O pins at VDD, output pin floating, WDT enabled			10	μA
ICC1	Operating supply current(VDD=3V) at two clocks	/RESET= 'High', Fosc=32KHz (Crystal type,CLKS="0"), output pin floating, WDT disabled	15	15	30	μA
ICC2	Operating supply current (VDD=3V) at two clocks	/RESET= 'High', Fosc=32KHz (Crystal type,CLKS="0"), output pin floating, WDT enabled		19	35	μA
ICC3	Operating supply current(VDD=5.0V) at two clocks	/RESET= 'High', Fosc=4MHz (Crystal type, CLKS="0"), output pin floating			2.0	mA
ICC4	Operating supply current(VDD=5.0V) at two clocks	/RESET= 'High', Fosc=10MHz (Crystal type, CLKS="0"), output pin floating			4.0	mA

* 这是一些被测试过的特性化参数

* 最大，最小，特征档的数据是在 25°C 时获得的结果。这些数据已被测试过用于给设计做指导

6.2AC 电气特征

($T_A=0^{\circ}\text{C}\sim 70^{\circ}\text{C}$, $V_{DD}=5.0\text{V}\pm 5\%$, $V_{SS}=0\text{V}$)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
Dclk	Input CLK duty cycle		45	50	55	%
Tins	Instruction cycle time (CLKS="0")	Crystal type	100		DC	ns
		RC type	500		DC	ns
Ttcc	TCC input period		(Tins+20)/N*			ns
Tdrh	Device reset hold time	$T_A = 25^{\circ}\text{C}$ TXAL, SUT1, SUT0=1,1	17.6-30%	17.6	17.6+30%	ms
Trst	/RESET pulse width	$T_A = 25^{\circ}\text{C}$	2000			ns
Twtd1*	Watchdog timer period	$T_A = 25^{\circ}\text{C}$ SUT1, SUT0=1,1	17.6-30%	17.6	17.6+30%	ms
Twtd2*	Watchdog timer period	$T_A = 25^{\circ}\text{C}$ SUT1, SUT0=1,0	4.5-30%	4.5	4.5+30%	ms
Twtd3*	Watchdog timer period	$T_A = 25^{\circ}\text{C}$ SUT1, SUT0=0,1	288-30%	288	288+30%	ms
Twtd4*	Watchdog timer period	$T_A = 25^{\circ}\text{C}$ SUT1, SUT0=0,0	72-30%	72	72+30%	ms
Tset	Input pin setup time			0		ns
Thold	Input pin hold time			20		ns



EM78P153S

OTP ROM

Tdelay	Output pin delay time	Cload=20pF		50		ns
--------	-----------------------	------------	--	----	--	----

注意：

* Twdt1: 选项字 (SUT1,SUT0)用来定义振荡器起振时间，在晶振模式中，WDT 溢出时间长度等于启动时间（18ms）

* Twdt2: 选项字 (SUT1,SUT0)用来定义振荡器起振时间，在晶振模式中，WDT 溢出时间长度等于启动时间（4.5ms）

* Twdt3: 选项字 (SUT1,SUT0)用来定义振荡器起振时间，在晶振模式中，WDT 溢出时间长度等于启动时间（288ms）.

* Twdt4: 选项字 (SUT1,SUT0)用来定义振荡器起振时间，在晶振模式中，WDT 溢出时间长度等于启动时间（72ms）

* 这些参数是特征性的，但没有测试过。

*最大，最小，特征栏的数据是在 25℃时获得的结果。这些数据用于给设计做指导，并未测试过

* N= 被选的预除器比率

*看门狗定时器的持续时间由选择代码（Bit6 和 Bit5）决定。

附录

封装类型：

OTP MCU	Package Type	Pin Count	Package Size
EM78P153SP	DIP	14	300 mil
EM78P153SN	SOP	14	150 mil