

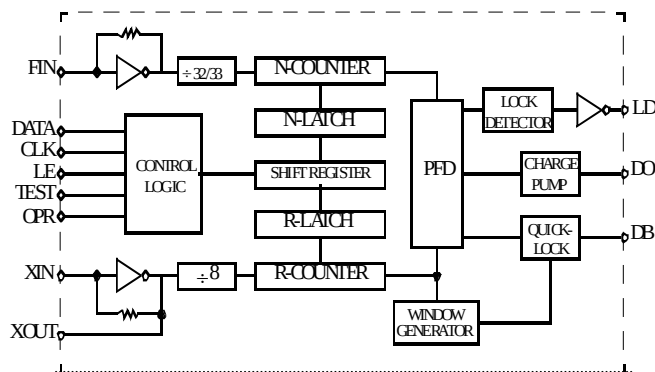
FS8107E/F Application Note

引言:

一個設計優秀的 LC 振盪線路也不及 CRYSTA 晶體振盪電路的頻率穩定,但是 CRYSTAL 晶體振盪卻無法隨時改變頻率,此時 PLL IC 則能克服上述所有問題。

FS8107E/F 是一顆可程式化 Low Power PLL IC,內含除頻器,相位比較器,POWER_DOWN 回路,外部輸入頻率最高可至 100MHz,基頻振盪頻率輸入最高可至 22MHz,是一顆寬頻 PLL IC。(FS8107E 與 FS8107F 差異主要在輸入電源不同,耗電流大小不一樣,其餘特性相同)

產品內部結構介紹:



Pin Descriptions:

1	XIN	9	NC
2	XOUT	10	LD
3	VDD2	11	CLK
4	DB	12	DATA
5	DO	13	LE
6	VSS	14	OPR
7	FIN	15	NC
8	VDD1	16	TEST

FS8107E/F 從其 BLOCK 圖中,大致可區分幾部份,茲說明如下:

A). 電源部份: (VDD1, VDD2)

FS8107E/F IC 有二組電源,其中 VDD2 提供 IC 內部除頻電路所需電源(pin 1,2,7,10),而 VDD1 則供給其他控制 Pin 所需電源,茲如此區分主要乃在降低 IC 於動作時之耗電流

(FS8107E/F 主要差別在 VDD1 電源 FS8107E → 0.95~1.1V ;FS8107F→1.2~2.5V)

B). 除頻電路: (XIN, XOUT, FIN)

FS8107E/F 提供二組除頻電路(R&N)分別當做 IC 基頻

來源,其中 R Counter 為 IC 內部參考基頻其輸入範圍最高可至 22MHz(XIN, XOUT),並經除頻($\div 8$)後以 13bit (5~8191)做頻率基頻設定; N Counter 為外部輸入參考基頻,輸入頻率最高可至 100MHz U(FIN),並經除頻($\div 32/33$)後以 16bit (992~65535)做頻率基頻設定,此二基頻為 PLL IC 最主要指標。

C). 頻率設定輸入: (DATA, CLK, LE)

此 3 PIN 主要在設定上述除頻電路最終選取之 R 及 N 值,並與雙方求得之基頻送至相位比較器 (PFD)後產生可供控制之正負脈衝信號。

D). 控制功能輸出: (DO, DB, LD, OPR)

DO Pin 是一個 charge pump 輸出線路,一般外加一個積分電路提供後段 VCO 線路控制使用

DB Pin 是一個 quick-lock 輸出 Pin,一般使用時會跟 DO Pin 接在一起,主要在提供快速大電流給 VCO,但一般而言此 Pin 大都不接。

LD Pin 為 Lock detector 輸出 Pin,當 PLL IC 被鎖定後,此 PIN 即輸出為 Hi。

OPR Pin 最主要用做 Power down 使用,一般於使用時接 Hi,若要進入 Power down 模式則接 Lo

產品應用說明:

FS8107E/F 在做產品應用時首先必須確認幾個重點

- 1). 基頻頻寬確認
- 2). CRYSTAL 選擇
- 3). FIN 頻率決定

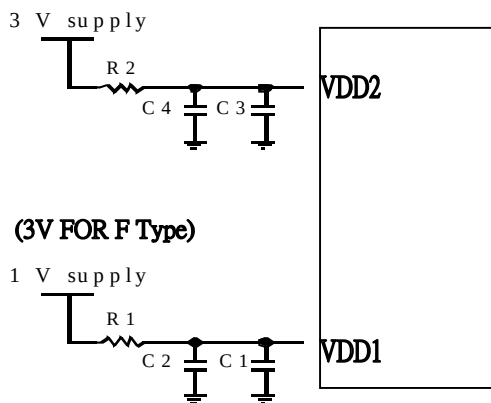
茲就整體設計說明如下:

一). 電源設計:

FS8107E/F 主要有二組電源 VDD1 及 VDD2,主要在分離電源雜訊.VDD1 的 1V 電源與射頻前端使用相同的電源。為避免影響感應度,1V 的電源接至 Vdd1 之前先經過一串聯電阻 R1,再加二個濾波電容 C1, C2 落地 C1 和 C2 須接近 IC 的 Vdd1 腳位 R1, C1, 和 C2 的建議值分別,是 47 ohm, 0.1uF 和 2.2uF。(FS8107F VDD1 電源為 1.2~2.5V 之間,若無法提供上述電源時,可將 R1 電阻改大至 10K ohm 而電源改為 3V)

FS8107E/F Application Note

3V 供應 Charge pump 的電流到低通濾波器，以產生正確的控制電壓到 VC0 振盪器。不妥善的雜訊防制會導致鎖相迴路不好的 Phase noise 以致降低感應度。3V 的電源接至 Vdd2 之前一樣先經過串聯電阻 R2 再加電容 C3 與 C4，C3 與 C4 應接近 Vdd2 腳位。R2 的建議值是 1K ohm，C3 是 0.1uF，C4 是 2.2uF。



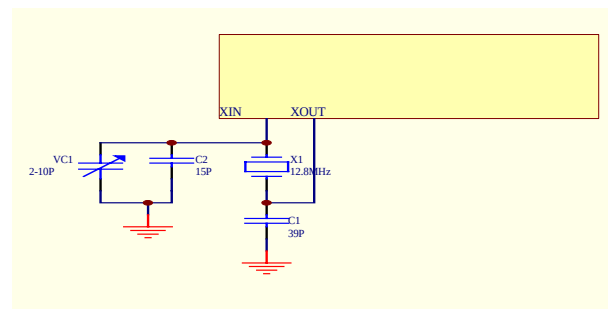
二). 基頻頻寬設定及 CRYSTAL 選擇:

FS8107E/F 在做使用前須先決定基頻頻寬及 CRYSTAL 值, 以呼叫器設計為例, 呼叫器規格中每一 CH 為 25KHz 因此基頻可以依此為基本, 但為考慮其頻寬寬廣性, 而取 $25\text{KHz}/4=6.25\text{KHz}$, 當基頻選定後下一步則選擇 CRYSTAL 值, 一般而言 CRYSTAL 值為考慮成本大都選擇現有大量生產現品, 惟要求誤差須在 10ppm 內, (例如 12.8MHz CRYSTAL), 假設選擇 12.8MHz 則在 6.25KHz 基頻時其 R Counter 值為 $12.8\text{MHz} \div 8 \div 6.25\text{KHz}=256$ (其值須小於 8191)。

當然也可用反向思考模式決定 CRYSTAL 值, 例如同樣基頻為 6.25KHz, 若固定 R Counter 值為 348, 則 CRYSTAL 值為 $348 \times 8 \times 6.25\text{KHz}=17.4\text{MHz}$ 。

一般而言為求取基頻準確度皆會在 CRYSTAL 端加可調式電容以修正 CRYSTAL 誤差值。

(上述 R 值即為 DATA IN 時以 13 bits 表示之 R 值)



三). FIN 及 DATA 設定選擇:

上於述中假設基頻為 6.25KHz, CRYSTAL 值為 12.8MHz, 則可求得 R 值為 256 (00010000000000) 至於 N 值求法, 首先必須先確認 FIN 輸入頻率, 在此我們先假設 FIN 頻率為 65.625MHz (須小於 100MHz), 此時我們可利用公式求取相關值:

$$FIN = M \times Fr \quad Fr = \text{基頻頻率}(6.25\text{KHz})$$

$$M = (P \times B) + A \quad P=32, B \& A \text{ 為 } \div 32 \text{ 後之商及餘數}$$

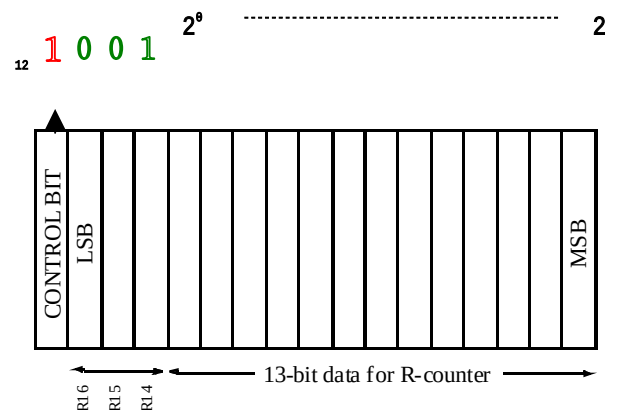
以上述公式可算出:

$$M = 65.625\text{MHz} \div 6.25\text{KHz} = 10500$$

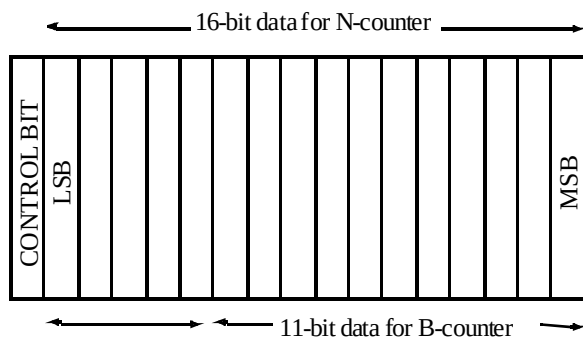
$$10500 \div 32 = 328 \dots 4 \rightarrow B=328 ; A=4$$

若以 16 bits 表示 N 則為 (01010010000 00100)
B=328 A=4

下圖為 R 及 N 資料編排示意圖



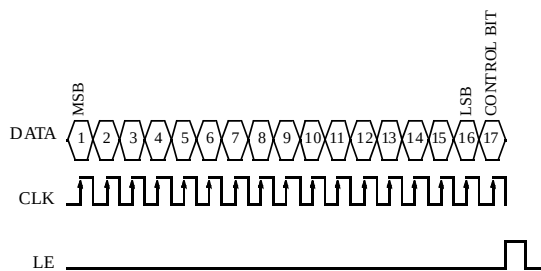
FS8107E/F Application Note



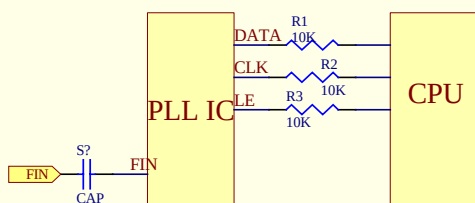
0 2⁰ 2⁴ 2⁸ 2¹⁶

由圖可知在一串 DATA 中如何決定是 R 或者是 N 的資料主要由 control bit 是“1” or “0”來決定
另在 R data 中有 R14, R15, R16 三個 bits, 主要在做 TEST 用, 一般建議維持原有工作值(如上圖所示)

下圖表示 DATA, CLK, LE 相關時序圖:



其中當 LE 為 Hi 時, 往前所抓取 17bit 才是 DATA 所接受值, 因此在正常不送資料時 LE 皆維持在 Lo 電位。



四). 控制 PIN 應用:

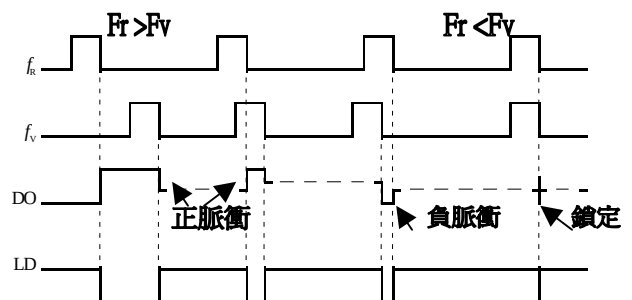
LD Pin 當 PLL IC 經被鎖定後, LD 輸出會由 Lo 轉為 Hi, 此 Pin 主要在於偵測使用, 並作為鎖定後輸出控制腳。

OPR Pin 為 POWER DOWN 控制 Pin, 主要由 CPU 控制, 當其接 Hi 時為工作模式, 當其接 Lo 時為 Stand-by

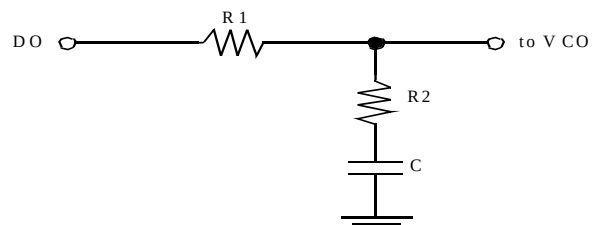
模式.(一般 Normal 接 Hi)

DB Pin 為 quick-charge 輸出 pin 主要為提供 VCO 線路快速振盪以讓 PLL 儘快鎖定, 因此於使用時一般與 D0 Pin 相接, 但接上此 Pin 後會增加耗電流, 所以大部份此 Pin 皆不使用。

D0 Pin 為 lo pass filter 及 charge pump 輸出 pin 一般會再外接 VCO 線路, 而 VCO 輸出頻率再接至 FIN 腳, 造成循環回路, 直至 PLL 被鎖定, 而 D0 PIN 也維持固定輸出為止。其相關工作原理說明如下:



Fr 為 CRYSTAL 除頻後所得之基頻, Fv 為 VCO 經 FIN 輸入除頻後所得之基頻。當 Fr > Fv 時相位比較器 (PFD) 即產生正脈衝, 相反的當 Fr < Fv 時相位比較器 (PFD) 即產生負脈衝, 再經過低通濾波器及積分電路後即可得一平均電壓供應 VCO (如下圖):



此線路的時間常數對 PLL 控制好壞有很大關係, 時間常數若太大, 會無法跟隨 VCO 振盪頻率的變化, 若太小, VCO 電壓會產生漣波影響振盪頻率的品質, 因此一般皆設定在 (1/Fr) 幾百倍。

例如: Fr=6.25KHz 則 (1/Fr)=0.16ms

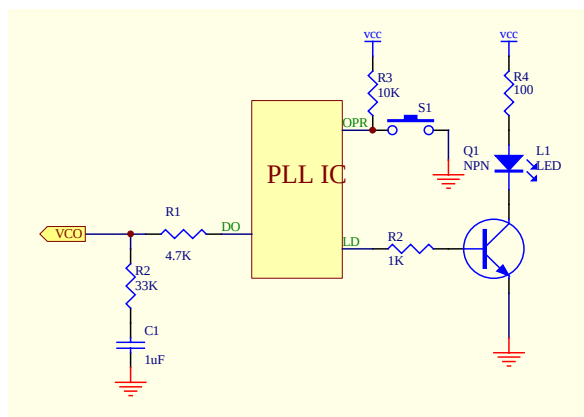
$$\tau = (R1 + R2) \times C \quad \text{若 } \tau = 200 \times (0.16\text{ms})$$

$$R1 = 4.7K, R2 = 33K$$

$$\text{則 } C = (200 \times 0.16\text{ms}) / (4.7K + 33K) = 0.848\mu\text{f}$$

依零件表項目, 則可取 1uf 或者 0.82uf

FS8107E/F Application Note



五). VCO 線路設計:

FS7107E/F 在應用上一般皆會搭配 VCO 線路, 雖然 VCO 線路並不在 IC 範圍中, 但還是做一個簡單介紹: 一般 VCO 線路係採用克拉普振盪電路, 而克拉普振盪電路是柯爾必茲振盪電路的變形。

圖 A 柯爾必茲振盪電路的振盪頻率 F 係取決於 L, C1, C2, Cv 的數值, 然而在實際線路應用時會隨電晶體各閘級間的電容值而改變。

圖 B 為克拉普振盪電路。

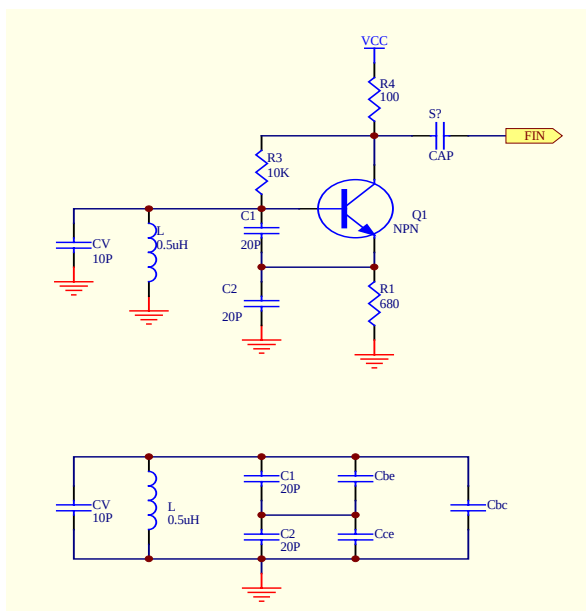


圖 A 柯爾必茲振盪電路 (~50.3MHz)

$$\text{其中 } F = \frac{1}{2\pi\sqrt{L(Cv + \frac{C1 \times C2}{C1 + C2})}}$$

C1+C2

Cv = Cv+Cbc Cbc: 電晶體 BC 電容

C1= C1+Cbe Cbe: 電晶體 BE 電容

$$C2= C2+Cce$$

Cce: 電晶體 EC 電容

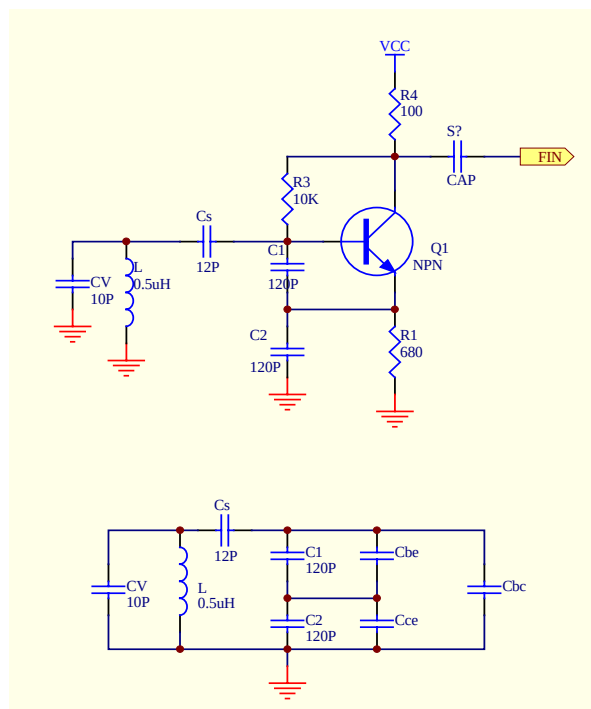
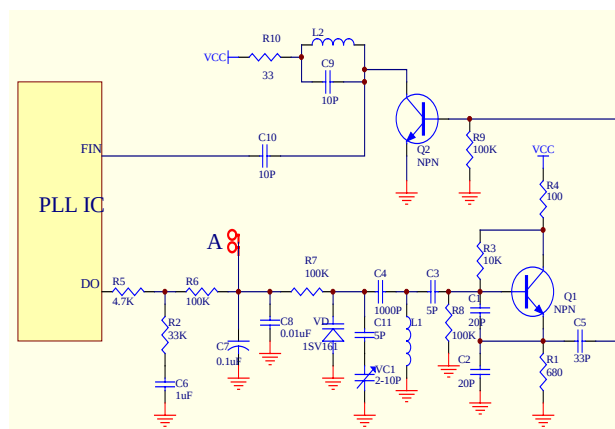


圖 B 克拉普振盪電路 (~50.3MHz)

$$\text{其中 } F = \frac{1}{2\pi\sqrt{L(Cv + \frac{1}{\frac{1}{C1} + \frac{1}{C2} + \frac{1}{Cs}})}} \quad \frac{1}{C1 + \frac{1}{C2} + \frac{1}{Cs}}$$

因為 Cs 極小於 C1, C2 且 C1, C2 值很大時, 故電晶體電容可以省略。

下圖為 PLL IC 及 VCO 整體搭配參考線路:



VCO 調整方式如下:

a). 固定 R 值, 找出 N 值:

假設 R 值固定, 且得出 Fr 為 6.25Kz, 此時假設 FIN 輸入頻率範圍從 65.625MHz~67.625MHz 為設計頻帶寬度, 此時取中間平均值為 66.625MHz, 如此利用上述

FS8107E/F Application Note

公式即可求得 N.

b). 設計 VC0 頻率:

將 R6 拿掉於 A 點處加 1/2VDD2 (1.5V), 利用上述公式 F 定為 66.625MHz, 固定 C1, C2, C3, Cv 值即可得 L 值, 或以固定其他值來決定另一值

$$\text{其中 } C_v = V_D + \frac{C_{11} \times V_{C1}}{C_{11} + V_{C1}}$$

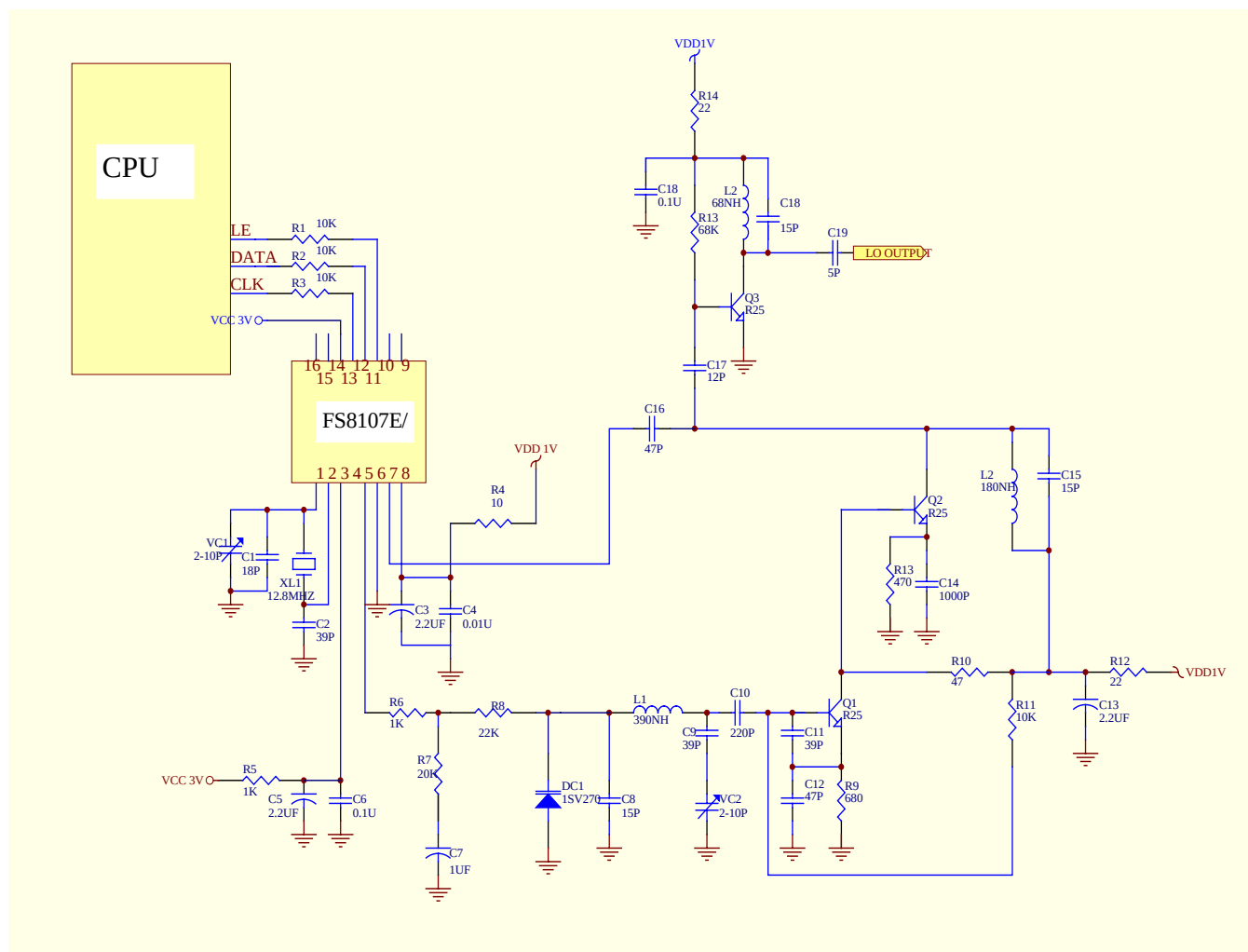
因此調整 VC1 值可改變 VC0 頻率(當設計時請將 VC1 調至中間位置, 如此可得較佳調整幅度(改 C11))

c). PLL 及 VC0 整體調整:

將 A 點電壓拿掉, R6 接上, 同時以(a)項所求 R, N 值送入 PLL 中, 如此會在 A 點量出一個電壓值(非剛好 1/2 VDD2)此時重新調整 VC1 電容, 使之落於 1/2VDD2 電壓處即可.

當頻率設定改變時(N 改變)VD 因 A 點電壓變動而內部電容跟著改變, 而導致頻率改變(FIN), 當 PLL IC 內部 PFD 取得同步時, PLL IC 即被鎖定。

參考線路



說明:

1. 此設定 T 為 2048(R=256), 及 M=10500 (B=328, A=4)之 DATA 值
2. 因此 Fr 頻率為 6.25KHz, FIN 頻率為 65.625MHz

FS8107E/F Application Note

3. L0 輸出頻率採 2 倍頻設計, 故輸出為 131.25MHz
4. VC1 調整使 12.8MHz 更準確, 除頻後 Fr 能得到準確值
5. 改變 M 值可變更 FIN 頻率, 進而改變 L0 輸出, 而達到多頻功能

FAQ:

1. D0 輸出電壓皆維持 0V OR 3V 調整 TRIMMER 無效?

ANS: 當 D0 輸出無法調整時有數種可能行, 分別說明如下: (假設各說明點以外線路為正常)

A). XIN 及 XOUT CRYSTAL 無振盪:

當上述產生時, 無論 DATA 是否正確, 其 R COUNTER 出來 Fr 頻率會不準, 自然 PLL 無法鎖定.

B). DATA 輸入錯誤:

DATA 輸入錯誤時, 會影響 R 及 N 值, 當然 FIN 頻率會與設定值不同, 而使 PLL 無法鎖定.

C). VC0 線路設計有問題:

當 VC0 設計頻率無法符合所設計頻寬時也會造成 PLL 無法鎖定, 一般解決方式是將 VC0 線路獨立出來, 看其振盪是否出現, 在 FIN Pin 上是否有輸入頻率(檢查方式同上述 VC0 設計).

2. 因電源關係無法提供 1V 電源給 VDD1 時如何解決?

ANS: 若無法提供 1V 電源給 VDD1 時, 可用 3V VDD2 串一個電阻使之降至 1V, 但若本身 3V 為一變動電源時, 建議改用 FS8107F IC, 而電壓串一個電阻後使之降至 2.2V

3. D0 電壓若範圍從 0V~2.2V or 1V~3V 是否有問題?

ANS: 一般以正常情況下 D0 應為 0V~3V, 但因 VC0 設計問題無法使其 Range 變寬時, 上述電壓皆是可接受, 但須注意因電壓範圍變小, 其可調整頻率也變窄.

因此建議若上述頻寬可接受時, 則在調整電壓時取其平均電壓 $(0+2.2)/2=1.1V$ (輸入頻率取頻寬內中心頻率)