

## 8位CMOS单片微控制器GMS90系列数据手册

GMS90C31	GMS90C32	GMS90C51	GMS90C52	GMS97C51	GMS97C52
GMS90L31	GMS90L32	GMS90L51	GMS90L52	GMS97L51	GMS97L52

### 一、概述

#### 1. 特点及逻辑图

GMS90C31/90C51/97C51

GMS90L31/90L51/97L51 (低电压型)

与标准的8051微控制器完全兼容

适用于12/24/40MHz工作频率的型式

低电压型仅可用于12MHz

4K×8 (EP) ROM

128×8 RAM

64K外部程序存储器空间

64K外部数据存储器空间

四个8位端口

两个16位定时器/计数器

USART

五个中断源，两个优先级

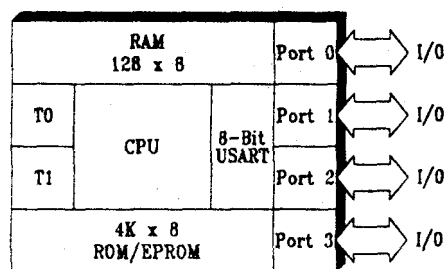
省电的空闲与掉电方式

快速脉冲编程算法

两级程序存储器锁定

2.7伏低电压型可供使用

P-DIP-40, P-LCC-44, P-MQFP-44封装



GMS90C31/L31/C51/L51/97C51/97L51逻辑图

GMS90C32/90C52/97C52

GMS90L32/90L52/97L52 (低电压型)

与标准的8052微控制器完全兼容

适用于12/24/40MHz工作频率的型式

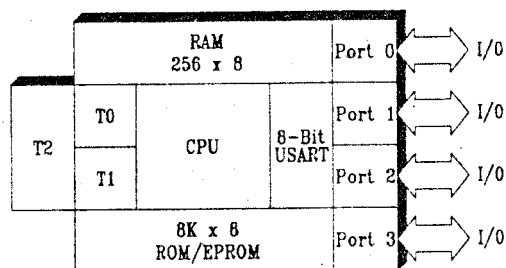
低电压型仅可用于12MHz

8K×8 (EP) ROM

256×8 RAM

64K外部程序存储器空间

64K外部数据存储器空间  
 四个8位端口  
 三个16位定时器/计数器  
 USART  
 六个中断源，两个优先级  
 省电的空闲与掉电方式  
 快速脉冲编程算法  
 两级程序存储器锁定  
 2.7伏低电压型可供使用  
 P-DIP-40, P-LCC-44, P-MQFP-44封装



GMS90C32/L32/C52/L52/97C52/97L52逻辑图

## 2. GMS90系列选择指南

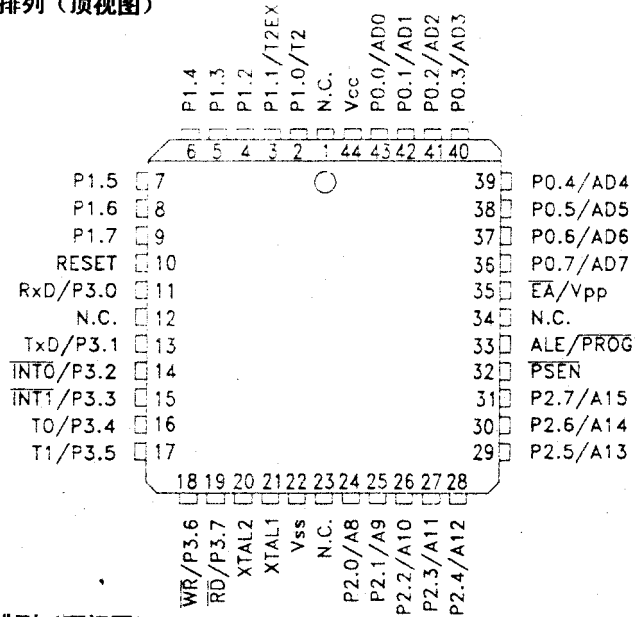
器件	(EP) ROM (字节)	RAM (字节)	频率 (MHz)	工作电压 (V)	兼容于
GMS90C31	-	128	12/24/40	5	Intel 80C31
GMS90C51	4K	128	12/24/40	5	Intel 80C51
GMS97C51	4K EPROM	128	12/24	5	Intel 87C51
GMS90C32 (GMS80C301)	-	256	12/24/40	5	Intel 80C32
GMS90C52 (GMS80C501)	8K	256	12/24/40	5	Intel 80C52
GMS97C52 (GMS80C701)	8K EPROM	256	12/24	5	Intel 87C52
GMS90L31	-	128	12	2.7/5	Philips 80CL31
GMS90L51	4K	128	12	2.7/5	Philips 80CL51
*GMS97L51	4K EPROM	128	12	2.7/5	-
GMS90L32	-	256	12	2.7/5	Philips 80CL32
GMS90L52	8K	256	12	2.7/5	Intel 80L52
*GMS97L52	8K EPROM	256	12	2.7/5	Intel 87L52

注\*：97年第4季度开发。

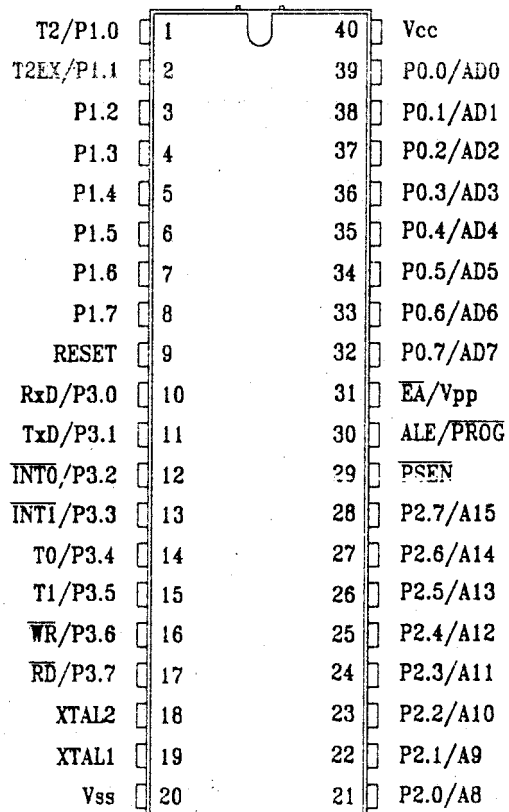
## 二、引脚排列及引脚功能

### 1. 引脚排列

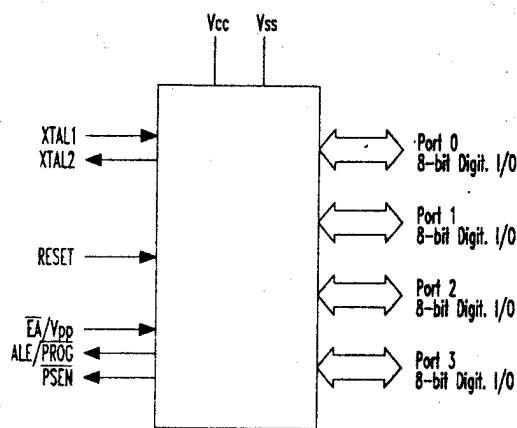
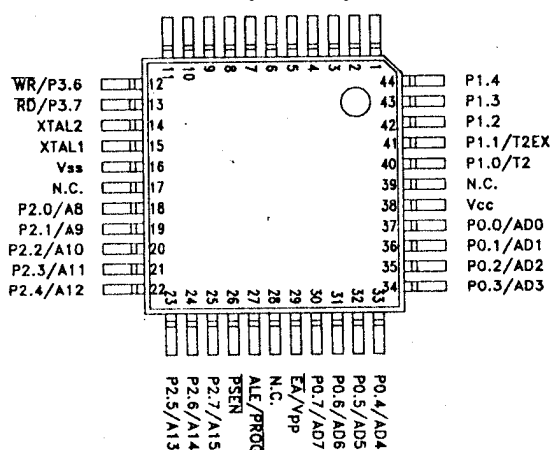
44-P-LCC 引脚排列 (顶视图)



40-P-DIP 引脚排列 (顶视图)



44-MQFP引脚排列 (顶视图)



逻辑符号

## 2. 引脚功能

表1

符号	引脚号			输入/输出	功能
	P-LCC-44	P-DIP-40	P-MQFP-44		
P1.0-P1.7	2-9	1-8	40-44,1-3	I/O	端口1 端口1是带内部上拉的8位双向I/O端口。被写成1的端口1引脚由内部上拉电阻拉至高电平且可作为输入。作为输入端时，被外部拉低的端口1引脚将由于上拉而提供电流（直流特性中 $I_{IL}$ ）。引脚P1.0和P1.1也如此。在程序存储器校验期间端口1也接收低地址字节。端口1也提供定时器2的另外功能。 P1.0/T2：定时器/计数器2外部计数输入 P1.1/T2EX：定时器/计数器2触发输入
	2	1	40	I	
	3	2	41	I	

表2

符号	引脚号			输入/输出	功能
	P-LCC-44	P-DIP-40	P-MQFP-44		
P3.0-P3.7	11,13-19	10-17	5,7-13	I/O	端口3是带内部上拉的8位双向I/O端口。被写成1的端口3引脚由内部上拉电阻拉至高电平且可作为输入。作为输入端时，被外部拉低的端口3引脚将由于上拉而提供电流（直流特性中 $I_{IL}$ ）。如下所列，端口3也提供80C51系列的特有性能。 P3.0/RxD接收器数据输入（异步）或串行接口0数据输入输出（同步） P3.1/TxD 发送器数据输出（异步）或串行接口0时钟输出（同步） P3.2/INT0 中断0输入/定时器0选通控制 P3.3/INT1 中断1输入/定时器1选通控制 P3.4/T0 计数器0输入 P3.5/T1 计数器1输入 P3.6/WR 写控制信号把来自端口0的数据字节锁入外部数据存储器 P3.7/RD 读控制信号允许外部数据存储器至端口0
	11	10	5		
	13	11	7		
	14	12	8		
	15	13	9		
	16	14	10		
	17	15	11		
	18	16	12		
19	17	13			
XTAL2	20	18	14		XTAL2 来自反相振荡器放大器的输出

表3

符号	引脚号			输入/输出	功能
	P-LCC-44	P-DIP-40	P-MQFP-44		
XTAL1	21	19	15		<p>XTAL1</p> <p>至反相振荡器放大器的输入和至内部时钟产生电路的输入。</p> <p>要从外部时钟源驱动器件，应驱动XTAL1，同时XTAL2保持不连接。因为至内部时钟电路的输入被除2( divide-by-two )触发器分低，所以对外部时钟信号的占空比没有要求。必须遵守交流特性中规定的最小和最大高低电平时间以及上升下降时间。</p>
P2.0-P2.7	24-31	21-28	18-25	I/O	<p>端口2是带内部上拉的8位双向I/O端口。被写成1的端口2引脚由内部上拉电阻拉至高电平且可作为输入。作为输入端时，被外部拉低的端口2引脚将由于上拉而提供电流（直流特性中<math>I_{IL}</math>）。在从外部程序存储器取出的期间和访问使用16位地址的外部数据存储器期间（MOVX @ DPTR），端口2发送高位地址字节。在此应用中，当发送1时它使用强内部上拉。在访问使用8位地址的外部数据存储器期间（MOVX @ Ri），端口2发送P2特殊功能寄存器的内容。</p>
$\overline{\text{PSEN}}$	32	29	26	O	<p>Program Store Enable（程序存储使能）</p> <p>当器件执行来自外部程序存储器的代码时，读选通外部程序存储器。除了在每次访问外部数据存储器的期间两次<math>\overline{\text{PSEN}}</math>激活被跳过后，每个机器周期<math>\overline{\text{PSEN}}</math>被激活两次。在从内部程序存储器取出的期间内<math>\overline{\text{PSEN}}</math>不激活。</p>
RESET	10	9	4	I	<p>RESET</p> <p>当振荡器工作时，此引脚上高电平达两个机器周期将复位器件。至<math>V_{SS}</math>的内部扩散电阻允许只使用接至<math>V_{CC}</math>的外部电容便可上电复位。</p>

表4

符号	引脚号			输入/输出	功能
	P-LCC-44	P-DIP-40	P-MQFP-44		
$\overline{\text{ALE/PROG}}$	33	30	27	O	Address Latch Enable/Program pulse (地址锁存允许/编程脉冲) 在访问外部存储器期间内输出用于锁存低地址字节的脉冲。在正常工作方式下, ALE以振荡器频率1/6的不变速率发送,且可用于外部定时或时钟。注意,在每次访问外部数据存储器时跳过一个ALE脉冲。在EPROM编程期间,此引脚也作为编程脉冲输入端(PROG)
$\overline{\text{EA}}V_{pp}$	35	31	29	I	External Access Enable/Program Supply Voltage (外部访问允许/编程电源电压) 为了允许器件从位于0000H至1FFFH的外部程序存储器取出代码,EA必须外部保持低电平。如果EA保持高电平,那么除非程序计数器包含大于1FFFH(4K型式为0FFFH)的地址,否则器件将执行来自内部程序存储器的代码。在EPROM编程期间,此引脚也接收12.75V编程电源电压( $V_{pp}$ )。
P0.0-P0.7	43-36	39-32	37-30	I/O	端口0 端口0是8位漏极开路双向I/O口。写成1的端口0引脚悬空且可用作高阻输入。在访问外部程序和数据存储器期间内,端口0也是多路复用的低位地址和数据总线。在此应用中,当发送1时它使用强内部上拉。在GMS87C51/80C701中,在编程校验期间内端口0也输出代码字节。在编程校验期间内,也需要外部上拉电阻。
$V_{ss}$	22	20	16	-	电路地电位
$V_{cc}$	44	40	38	-	所有工作方式的电源端
N.C.	1,12,23,34	-	6,17,28,39	-	不连接

### 三、功能说明及方框图

#### 1. 功能说明

GMS90系列与标准的8051微控制器系列完全兼容。

它与通用的8051系列兼容。同时保留通用的8051系列的所有结构和工作特性。

#### 2. GMS90系列的方框图如图1所示

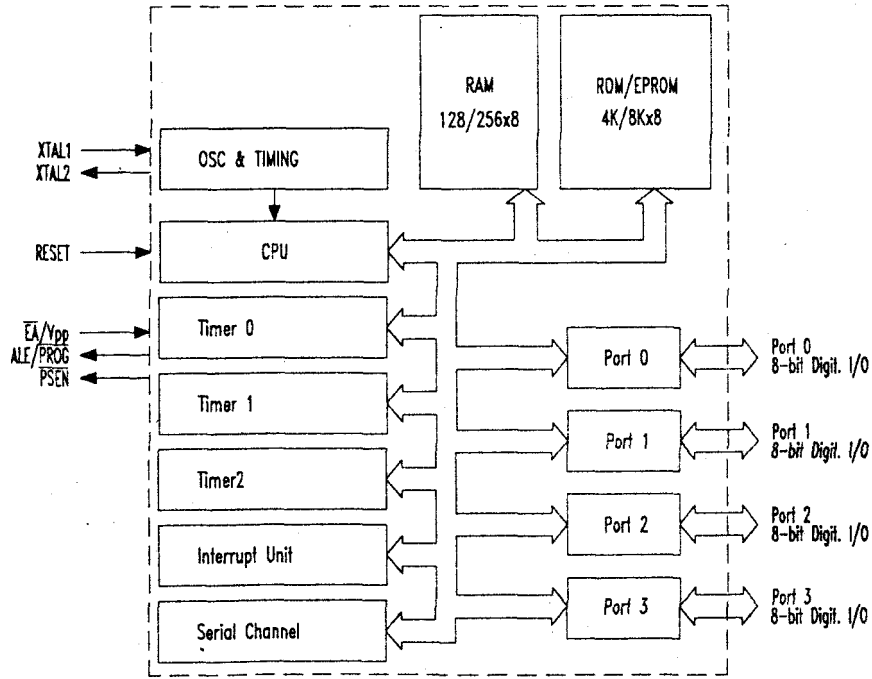


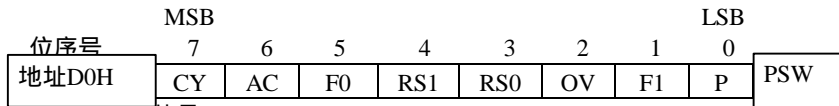
图1 GMS90系列的方框图

#### 四、CPU及特殊功能寄存器

##### 1. CPU

GMS90系列作为控制器和作为运算处理器都是有效的。它具有二进制和BCD运算的扩充能力以及良好的位处理 (bit-handling) 能力。指令集能有效地使用程序存储器, 该指令集包括44%的单字节、41%的双字节以及15%的三字节指令。晶体频率为12MHz时, 58%的指令可在1.0 μs内执行。

程序状态字寄存器PSW



PSW的复位值是00H。

位	功能
CY	进位标志
AC	辅助进位标志 (用于BCD运算)
F0	通用 (General Purpose) 标志
RS1 RS0	寄存器组选择控制位
0 0	组0被选择, 数据地址00H-07H
0 1	组1被选择, 数据地址08H-0FH
1 0	组2被选择, 数据地址10H-17H
1 1	组3被选择, 数据地址18H-1FH
OV	溢出标志
F1	通用标志
P	奇偶校验标志 每一指令周期由硬件设置/清除以指示累加器中“1”位的奇/偶数, 即偶校验

##### 2. 特殊功能寄存器

除了程序计数器和四个通用寄存器组之外, 所有的寄存器均归属于特殊功能寄存器的范围。

27个特殊功能寄存器 (SFR) 包括指针 (pointer) 以及在CPU与其它片内外围设备之间提供接口的寄存器。在SFR内还有128个可直接寻址的位。

所有的SFR列在表1、表2和表3中。

在表1中它们以其地址数字顺序列出。在表2中它们参照GMS90系列的功能块分组列出。表3说明SFR的内容。

表1 按其地址数字顺序列出的特殊功能寄存器

Address	Register	Contents after Reset	Address	Register	Contents after Reset
80H	P0 <sup>1)</sup>	FFH	98H	SCON <sup>1)</sup>	00H
81H	SP	07H	99H	SBUF	XX <sub>H</sub> <sup>2)</sup>
82H	DPL	00H	9AH	reserved	XX <sub>H</sub> <sup>2)</sup>
83H	DPH	00H	9BH	reserved	XX <sub>H</sub> <sup>2)</sup>
84H	reserved	XX <sub>H</sub> <sup>2)</sup>	9CH	reserved	XX <sub>H</sub> <sup>2)</sup>
85H	reserved	XX <sub>H</sub> <sup>2)</sup>	9DH	reserved	XX <sub>H</sub> <sup>2)</sup>
86H	reserved	XX <sub>H</sub> <sup>2)</sup>	9EH	reserved	XX <sub>H</sub> <sup>2)</sup>
87H	PCON	0XXX000B <sup>2)</sup>	9FH	reserved	XX <sub>H</sub> <sup>2)</sup>
88H	TCON <sup>1)</sup>	00H	A0H	P2 <sup>1)</sup>	FFH
89H	TMOD	00H	A1H	reserved	XX <sub>H</sub> <sup>2)</sup>
8AH	TL0	00H	A2H	reserved	XX <sub>H</sub> <sup>2)</sup>
8BH	TL1	00H	A3H	reserved	XX <sub>H</sub> <sup>2)</sup>
8CH	TH0	00H	A4H	reserved	XX <sub>H</sub> <sup>2)</sup>
8DH	TH1	00H	A5H	reserved	XX <sub>H</sub> <sup>2)</sup>
8EH	reserved	XX <sub>H</sub> <sup>2)</sup>	A6H	reserved	XX <sub>H</sub> <sup>2)</sup>
8FH	reserved	XX <sub>H</sub> <sup>2)</sup>	A7H	reserved	XX <sub>H</sub> <sup>2)</sup>
90H	P1 <sup>1)</sup>	FFH	A8H	IE <sup>1)</sup>	0X000000B <sup>2)</sup>
91H	reserved	00H	A9H	reserved	XX <sub>H</sub> <sup>2)</sup>
92H	reserved	XX <sub>H</sub> <sup>2)</sup>	AAH	reserved	XX <sub>H</sub> <sup>2)</sup>
93H	reserved	XX <sub>H</sub> <sup>2)</sup>	ABH	reserved	XX <sub>H</sub> <sup>2)</sup>
94H	reserved	XX <sub>H</sub> <sup>2)</sup>	ACH	reserved	XX <sub>H</sub> <sup>2)</sup>
95H	reserved	XX <sub>H</sub> <sup>2)</sup>	ADH	reserved	XX <sub>H</sub> <sup>2)</sup>
96H	reserved	XX <sub>H</sub> <sup>2)</sup>	AEH	reserved	XX <sub>H</sub> <sup>2)</sup>
97H	reserved	XX <sub>H</sub> <sup>2)</sup>	AFH	reserved	XX <sub>H</sub> <sup>2)</sup>

续表1

Address	Register	Contents after Reset	Address	Register	Contents after Reset
B0H	P3 <sup>1)</sup>	FFH	D8H	reserved	XX <sub>H</sub> <sup>2)</sup>
B1H	reserved	XX <sub>H</sub> <sup>2)</sup>	D9H	reserved	XX <sub>H</sub> <sup>2)</sup>
B2H	reserved	XX <sub>H</sub> <sup>2)</sup>	DAH	reserved	XX <sub>H</sub> <sup>2)</sup>
B3H	reserved	XX <sub>H</sub> <sup>2)</sup>	DBH	reserved	XX <sub>H</sub> <sup>2)</sup>
B4H	reserved	XX <sub>H</sub> <sup>2)</sup>	DCH	reserved	XX <sub>H</sub> <sup>2)</sup>
B5H	reserved	XX <sub>H</sub> <sup>2)</sup>	DDH	reserved	XX <sub>H</sub> <sup>2)</sup>
B6H	reserved	XX <sub>H</sub> <sup>2)</sup>	DEH	reserved	XX <sub>H</sub> <sup>2)</sup>
B7H	reserved	XX <sub>H</sub> <sup>2)</sup>	DFH	reserved	XX <sub>H</sub> <sup>2)</sup>
B8H	IP <sup>1)</sup>	XX000000B <sup>2)</sup>	E0H	ACC <sup>1)</sup>	00H
B9H	reserved	XX <sub>H</sub> <sup>2)</sup>	E1H	reserved	XX <sub>H</sub> <sup>2)</sup>
BAH	reserved	XX <sub>H</sub> <sup>2)</sup>	E2H	reserved	XX <sub>H</sub> <sup>2)</sup>
BBH	reserved	XX <sub>H</sub> <sup>2)</sup>	E3H	reserved	XX <sub>H</sub> <sup>2)</sup>
BCH	reserved	XX <sub>H</sub> <sup>2)</sup>	E4H	reserved	XX <sub>H</sub> <sup>2)</sup>
BDH	reserved	XX <sub>H</sub> <sup>2)</sup>	E5H	reserved	XX <sub>H</sub> <sup>2)</sup>
BEH	reserved	XX <sub>H</sub> <sup>2)</sup>	E6H	reserved	XX <sub>H</sub> <sup>2)</sup>
BFH	reserved	XX <sub>H</sub> <sup>2)</sup>	E7H	reserved	XX <sub>H</sub> <sup>2)</sup>
C0H	reserved	XX <sub>H</sub> <sup>2)</sup>	E8H	reserved	XX <sub>H</sub> <sup>2)</sup>
C1H	reserved	XX <sub>H</sub> <sup>2)</sup>	E9H	reserved	XX <sub>H</sub> <sup>2)</sup>
C2H	reserved	XX <sub>H</sub> <sup>2)</sup>	EAH	reserved	XX <sub>H</sub> <sup>2)</sup>
C3H	reserved	XX <sub>H</sub> <sup>2)</sup>	EBH	reserved	XX <sub>H</sub> <sup>2)</sup>
C4H	reserved	XX <sub>H</sub> <sup>2)</sup>	ECH	reserved	XX <sub>H</sub> <sup>2)</sup>
C5H	reserved	XX <sub>H</sub> <sup>2)</sup>	EDH	reserved	XX <sub>H</sub> <sup>2)</sup>
C6H	reserved	XX <sub>H</sub> <sup>2)</sup>	EEH	reserved	XX <sub>H</sub> <sup>2)</sup>
C7H	reserved	XX <sub>H</sub> <sup>2)</sup>	EFH	reserved	XX <sub>H</sub> <sup>2)</sup>
C8H	T2CON	00H	F0H	B <sup>1)</sup>	00H
C9H	T2MOD	XXXXXX0B <sup>2)</sup>	F1H	reserved	XX <sub>H</sub> <sup>2)</sup>
CAH	RC2L	00H	F2H	reserved	XX <sub>H</sub> <sup>2)</sup>
CBH	RC2H	00H	F3H	reserved	XX <sub>H</sub> <sup>2)</sup>
CCH	TL2	00H	F4H	reserved	XX <sub>H</sub> <sup>2)</sup>
CDH	TH2	00H	F5H	reserved	XX <sub>H</sub> <sup>2)</sup>
CEH	reserved	XX <sub>H</sub> <sup>2)</sup>	F6H	reserved	XX <sub>H</sub> <sup>2)</sup>
CFH	reserved	XX <sub>H</sub> <sup>2)</sup>	F7H	reserved	XX <sub>H</sub> <sup>2)</sup>
D0H	PSW <sup>1)</sup>	00H	F8H	reserved	XX <sub>H</sub> <sup>2)</sup>
D1H	reserved	XX <sub>H</sub> <sup>2)</sup>	F9H	reserved	XX <sub>H</sub> <sup>2)</sup>
D2H	reserved	XX <sub>H</sub> <sup>2)</sup>	FAH	reserved	XX <sub>H</sub> <sup>2)</sup>
D3H	reserved	XX <sub>H</sub> <sup>2)</sup>	FBH	reserved	XX <sub>H</sub> <sup>2)</sup>
D4H	reserved	XX <sub>H</sub> <sup>2)</sup>	FBH	reserved	XX <sub>H</sub> <sup>2)</sup>
D5H	reserved	XX <sub>H</sub> <sup>2)</sup>	FDH	reserved	XX <sub>H</sub> <sup>2)</sup>
D6H	reserved	XX <sub>H</sub> <sup>2)</sup>	FEH	reserved	XX <sub>H</sub> <sup>2)</sup>
D7H	reserved	XX <sub>H</sub> <sup>2)</sup>	FFH	reserved	XX <sub>H</sub> <sup>2)</sup>



1) : 位可寻址 (Bit-addressable) 特殊功能寄存器

2) : X表示数值不确定, 地址被保留

表2 特殊功能寄存器

功能块	符号	名称	地址	复位后的内容
CPU	ACC	累加器	E0H <sup>1)</sup>	00H
	B	B寄存器	F0H <sup>1)</sup>	00H
	DPH	数据指针, 高字节	83H	00H
	DPL	数据指针, 低字节	82H	00H
	PSW	程序状态字寄存器	D0H <sup>1)</sup>	00H
	SP	堆栈指针	81H	07H
中断系统	IE	中断允许寄存器	A8H <sup>1)</sup>	0X000000B <sup>2)</sup>
	IP	中断优先级寄存器	B8H <sup>1)</sup>	XX000000B <sup>2)</sup>
端口	P0	端口0	80H <sup>1)</sup>	FFH
	P1	端口1	90H <sup>1)</sup>	XXH <sup>3)</sup>
	P2	端口2	A0H <sup>1)</sup>	FFH
	P3	端口3	B0H <sup>1)</sup>	FFH
串行通道	PCON <sup>2)</sup>	电源控制寄存器	87H	0XXX0000B <sup>2)</sup>
	SBUF	串行通道缓冲寄存器	99H	XXH <sup>3)</sup>
	SCON	串行通道0控制寄存器	98H <sup>1)</sup>	00H
定时器0/定时器1	TCON	定时器0/1控制寄存器	88H <sup>1)</sup>	00H
	TH0	定时器0, 高字节	8CH	00H
	TH1	定时器1, 高字节	8DH	00H
	TL0	定时器0, 低字节	8AH	00H
	TL1	定时器1, 低字节	8BH	00H
	TMOD	定时器方式寄存器	89H	00H
定时器2	T2CON	定时器2控制寄存器	C8H <sup>1)</sup>	00H
	T2MOD	定时器2方式寄存器	C9H	00H
	RC2H	定时器2重装俘获 (Reload Capture) 寄存器, 高字节	CBH	00H
	RC2L	定时器2重装俘获寄存器, 低字节	CAH	00H
	TH2	定时器2, 高字节	CDH	00H
	TL2	定时器2, 低字节	CCH	00H
省电方式	PCON	电源控制寄存器	87H	0XXX0000B <sup>2)</sup>

1) : 位可寻址 (Bit-addressable) 特殊功能寄存器

2) : 因为其某些位也属于其他功能块, 所以此特殊功能寄存器被重复列出

3) : X表示数值不确定, 地址被保留

表3 SFR的内容, SFR按数据顺序列出

Address	Register	Bit7	6	5	4	3	2	1	0
80H	P0								
81H	SP								
82H	DPL								
83H	DPH								
87H	PCON	SMOD	-	-	-	GF1	GF0	PDE	IDLE
88H	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
89H	TMOD	GATE	C/ $\bar{T}$	M1	M0	GATE	C/ $\bar{T}$	M1	M0
8AH	TL0								
8BH	TL1								
8CH	TH0								
8DH	TH1								
90H	P1								
98H	SCON	SM0	SM1	SM2	REN	TB8	RB8	T1	RI
99H	SBUF								
A0H	P2								
A8H	IE	EA	-	ET2	ES	ET1	EX1	ET0	EX0
B0H	P3								
B8H	IP	-	-	PT2	PS	PT1	PX1	PT0	PX0
C8H	T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/ $\bar{T}2$	CP/ $\bar{RL}2$
C9H	T2MOD	-	-	-	-	-	-	-	DCEN

SFR bit and byte addressable

SFR not bit addressable

- : this bit location is reserved

续表3

Address	Register	Bit7	6	5	4	3	2	1	0
CAH	RC2L								
CBH	RC2H								
CCH	TL2								
CDH	TH2								
D0H	PSW	CY	AC	F0	RS1	RS0	OV	F1	P
E0H	ACC								
F0H	B								

SFR bit and byte addressable

SFR not bit addressable

- : this bit location is reserved

## 五、定时器/计数器

### 1. 定时器/计数器0和1

可以按表4所列的四种工作方式使用定时器/计数器0和1：

表4 定时器/计数器0和1工作方式

方式	说明	TMOD				输入时钟	
		Gate	C/T	M1	M0	内部	外部 (max)
0	带除以32预定标器 (divide-by-32 prescaler) 的8位定时器/计数器	X	X	0	0	$f_{osc}/12 \times 32$	$f_{osc}/24 \times 32$
1	16位定时器/计数器	X	X	0	1	$f_{osc}/12$	$f_{osc}/24$
2	带8位自动重装的8位定时器/计数器	X	X	1	0	$f_{osc}/12$	$f_{osc}/24$
3	定时器/计数器0用作一个8位定时器/计数器和一个8位定时器 定时器1停止	X	X	1	1	$f_{osc}/12$	$f_{osc}/23$

在“定时器”功能中 (C/T=“0”) 寄存器每个机器周期被增量。因此计数速率是 $f_{osc}/12$ 。

在“计数器”功能中，当其相应的外部输入引脚 (P3.4/T0, P3.5/T1) 上有1至0的跳变时，寄存器被增量。因为检测下降沿要两个机器周期，所以最大计数速率为 $f_{osc}/24$ 。外部输入INT0和INT1 (P3.2, P3.3) 可被编程为起实现脉冲宽度测量作用的门。图2表示输入时钟逻辑。

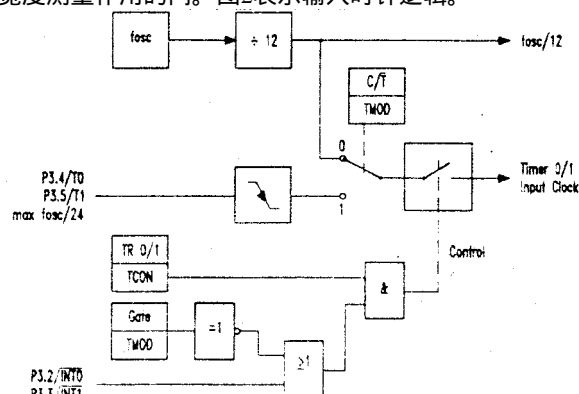


图2 定时器/计数器0和1输入时钟逻辑

### 2. 定时器2

定时器2是具有增量/减量 (up/down) 计数特性的16位定时器/计数器。它可用作定时器或事件计数器 (event counter)，这由位C/T2 (T2CON.1) 来选择。它具有如表5所示的三种工作方式。

表5 定时器/计数器2工作方式

方式	T2CON			T2MOD	T2CON	P1.1/T2EX	注 释	输入时钟	
	RxCLK或 TxCLK	CP/RL2	TR2					DCEN	EXEN
16位自动 重装	0	0	1	0	0	X	溢出重装	$f_{osc}/12$	max $f_{osc}/24$
	0	0	1	0	1		重装触发器 (下降沿)		
	0	0	1	1	X	0	减 (Down) 计数		
	0	0	1	1	X	1	增 (Up) 计数		
16位俘获 (capture)	0	1	1	X	0	X	16位定时器/计数器 (仅增量计数)	$f_{osc}/12$	max $f_{osc}/24$
	0	1	1	X	1		俘获TH2, TL2 RC2H, RC2L		
波特率产 生器	1	X	1	X	0	X	无溢出 (no overflow)	$f_{osc}/2$	max $f_{osc}/24$
	1	X	1	X	1		中断 要求 (TF2) 额外外部 中断 (“定时器2”)		
关	X	X	0	X	X	X	定时器2停止	-	-

注： = 下降沿

## 六、串行接口

串行接口是全双工的且可用四种方式工作（一种同步方式，三种异步方式），如表6所示。利用表7给出的公式可以计算可能的波特率。

表6 USART工作方式

方式	SCON		波特率	说明
	SM0	SM1		
0	0	0	$f_{osc}/12$	串行数据通过RxD出入。TxD输出移位时钟（shift clock）。发送/接收8位（LSB在前）
1	0	1	定时器1/2溢出速率	8位UART可发送（通过TxD）或接收（RxD）10位
2	1	0	$f_{osc}/32$ 或 $f_{osc}/64$	9位UART可发送（通过TxD）或接收（RxD）11位
3	1	1	定时器1/2溢出速率	9位UART除可变波特率外，与方式2相同

表7 计算波特率的公式

波特率来源于	接口方式	波特率
振荡器	0	$f_{osc}/12$
	2	$(2^{SMOD} \times f_{osc}) / 64$
定时器1（16位定时器） （带8位自动重装的8位定时器）	1, 3	$(2^{SMOD} \times \text{定时器1溢出速率}) / 32$
	1, 3	$(2^{SMOD} \times f_{osc}) / (32 \times 12 \times (256 - TH1))$
定时器2	1, 3	$f_{osc} / (32 \times (65536 - (RC2H, RC2L)))$

## 七、中断系统

GMS90系列提供带有两个优先级的5或6个中断源。图3给出中断源的概述并说明请求与控制标志。

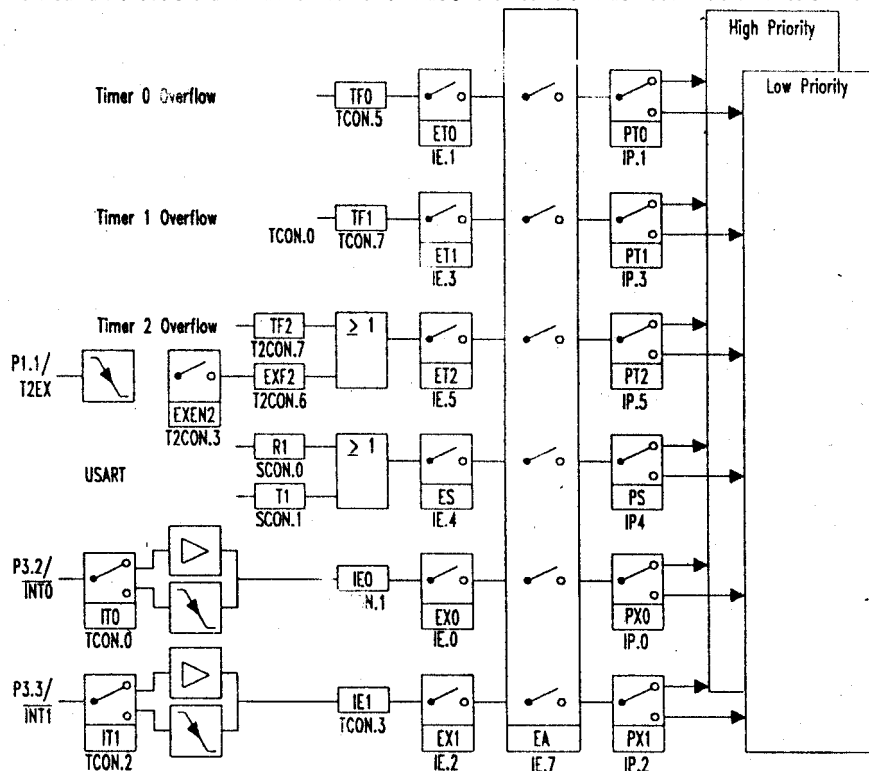


图3 中断请求源

表8 中断源及其相应的中断矢量

源 (请求标志)	矢量	矢量地址
RESET	复位	0000H
IE0	外部中断0	0003H
TF0	定时器0中断	000BH
IE1	外部中断1	0013H
TF1	定时器1中断	001BH
R1+T1	串行口中断	0023H
TF2+EXF2	定时器2中断	002BH

低优先级中断本身可被高优先级中断所中断,但不会被另一个低优先级中断所中断。高优先级中断不会被任何其它中断源所中断。

如果同时接收到两个不同优先级级别的请求,那么高优先级级别的请求将被响应。如果同时接收到相同优先级级别的请求,那么内部的询问序列 (polling sequence) 将决定响应哪一个请求。于是如表9所示在每一个优先级级别内具有由询问序列决定的次优先级结构 (second priority structure)。

表9 中断优先内部级 (Interrupt Priority-Within-Level)

中断源		优先级
外部中断0,	IE0	高 ↓ 低
定时器0中断,	TF0	
外部中断1	IE1	
定时器1中断,	TF1	
串行通道,	R1+T1	
定时器2中断	TF2 EXF2	

## 八、省电方式

两种省电方式可供使用,即空闲方式 (Idle Mode) 和掉电方式 (Power Down Mode)。

寄存器PCON的PDE和IDLE位分别选择掉电 (Power Down) 方式或空闲 (Idle) 方式。如果同时设置掉电方式和空闲方式,那么掉电方式优先。表10给出省电方式的综述。

表10 省电方式综述

方式	输入指令举例	通过下述方法退出	注释
空闲 (Idle) 方式	ORL PCON, #01H	— 允许中断 — 硬件复位	CPU选通关闭 CPU状态寄存器保持其数据 外围设备处于激活状态
掉电 (Power-Down) 方式	ORL PCON, #02H	硬件复位	振荡器停止,片内RAM和SFR的内容被保留 (退出掉电方式意味着重新定义SFR的内容)

在掉电方式工作期间内可以减少 $V_{CC}$ 以便使功耗为最小。但是,在调用掉电方式之前必须确保不减小 $V_{CC}$ ;在结束掉电方式之前必须把 $V_{CC}$ 恢复到其正常工作电平。结束掉电方式的复位信号也重新启动振荡器。在 $V_{CC}$ 恢复到其正常工作电平之前复位不应当被激活,复位必须保持有效足够长以便允许振荡器重新启动并稳定 (与上电复位相似)。

## 九、特性参数表及时序图

### 极限参数

偏置情况下的环境温度 ( $T_A$ )	-40至+85
储存温度 ( $T_{ST}$ )	-65至+150
$V_{CC}$ 引脚相对于地 ( $V_{SS}$ ) 的电压	-0.5V至6.5V

任何引脚相对于地 ( $V_{SS}$ ) 的电压	-0.5V至 $V_{CC}+0.5V$
在过载情况期间任何引脚的输入电流	-10mA至+10mA
在过载情况期间所有输入电流的绝对和	100mA
功耗	TBD

注释：强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限参数条件下或在任何其他超出本手册工作条件一节中所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。在过载情况 ( $V_{IN}>V_{CC}$ 或 $V_{IN}<V_{SS}$ ) 期间， $V_{CC}$ 引脚相对于地 ( $V_{SS}$ ) 的电压必须不超过极限参数所规定的值。

### GMS9XLXX (低电压型) 的直流特性

工作电压： $V_{CC}=2.7V$ 至 $5.5V$

$V_{CC}=3.3V+0.3V$ ,  $-0.6V$ ;  $V_{SS}=0V$ ;  $T_A=0$  至 $70$

Parameter	Symbol	Limit Values		Unit	Test Condition
		min.	max.		
Input low voltage	$V_{IL}$	-0.5	0.8	V	-
Input high voltage	$V_{IH}$	2.0	$V_{CC} + 0.5$	V	-
Output low voltage Port 1,2,3	$V_{OL1}$	-	0.45	V	$I_{OL} = 1.6mA$ <sup>1)</sup>
Port 0,EA,RESET	$V_{OL2}$	-	0.45	V	$I_{OL} = 3.2mA$ <sup>1)</sup>
Port 1,2,3	$V_{OL3}$	-	0.3	V	$I_{OL} = 100\mu A$ <sup>1)</sup>
Port 0,EA,RESET	$V_{OL4}$	-	0.3	V	$I_{OL} = 200\mu A$ <sup>1)</sup>
Output high voltage Port 1,2,3	$V_{OH1}$	2.0	-	V	$I_{OH} = -20\mu A$
	$V_{OH2}$	$0.9V_{CC}$	-	V	$I_{OH} = -10\mu A$
Port 0 in external bus mode, ALE, PSEN	$V_{OH3}$	2.0	-	V	$I_{OH} = -800\mu A$ <sup>2)</sup>
	$V_{OH4}$	$0.9V_{CC}$	-	V	$I_{OH} = -80\mu A$ <sup>2)</sup>
Logic 0 input current (ports 1, 2, 3)	$I_{IL}$	-1	-50	$\mu A$	$V_{IN} = 0.45V$
Logical 1-to-0 transition current (ports 1, 2, 3)	$I_{TL}$	-25	-250	$\mu A$	$V_{IN} = 2.0V$
Input leakage current (port 0, EA)	$I_{LI}$	-	$\pm 1$	$\mu A$	$0.45 < V_{IN} < V_{CC}$
Pin capacitance	$C_{IO}$	-	10	pF	$f_C = 1MHz$ $T_A = 25^\circ C$
Power supply current: Active mode, 12 MHz <sup>6)</sup>	$I_{CC}$	-	TBD	mA	$V_{CC} = 3.6V$ <sup>4)</sup>
Idle mode, 12 MHz <sup>6)</sup>	$I_{CC}$	-	TBD	mA	$V_{CC} = 3.6V$ <sup>5)</sup>
Power Down Mode	$I_{PD}$	-	10	$\mu A$	$V_{CC} = 2 \dots 5.5V$ <sup>3)</sup>

## GMS9XCXX的直流特性

V<sub>CC</sub>=5V+10%, -15%; V<sub>SS</sub>=0V; T<sub>A</sub>=0 至70

Parameter	Symbol	Limit Values		Unit	Test Condition
		min.	max.		
Input low voltage (except EA, RESET)	V <sub>IL</sub>	-0.5	0.2 V <sub>CC</sub> - 0.1	V	-
Input low voltage ( $\overline{\text{EA}}$ )	V <sub>IL1</sub>	-0.5	0.2 V <sub>CC</sub> - 0.3	V	-
Input low voltage (RESET)	V <sub>IL2</sub>	-0.5	0.2 V <sub>CC</sub> + 0.1	V	-
Input high voltage (except XTAL1, EA, RESET)	V <sub>IH</sub>	0.2 V <sub>CC</sub> + 0.9	V <sub>CC</sub> + 0.5	V	-
Input high voltage to XTAL1	V <sub>IH1</sub>	0.7 V <sub>CC</sub>	V <sub>CC</sub> + 0.5	V	-
Input high voltage to $\overline{\text{EA}}$ , RESET	V <sub>IH2</sub>	0.6 V <sub>CC</sub>	V <sub>CC</sub> + 0.5	V	-
Output low voltage (ports 1, 2, 3)	V <sub>OL</sub>	-	0.45	V	I <sub>OL</sub> = 1.6mA <sup>1)</sup>
Output high voltage (port 0, ALE, PSEN)	V <sub>OL1</sub>	-	0.45	V	I <sub>OL</sub> = 3.2mA <sup>1)</sup>
Output high voltage (ports 1, 2, 3)	V <sub>OH</sub>	2.4 0.9 V <sub>CC</sub>	-	V	I <sub>OH</sub> = - 80 $\mu$ A I <sub>OH</sub> = - 10 $\mu$ A
Output high voltage (port 0 in external bus mode, ALE, PSEN)	V <sub>OH1</sub>	2.4 0.9 V <sub>CC</sub>	-	V	I <sub>OH</sub> = - 800 $\mu$ A <sup>2)</sup> I <sub>OH</sub> = - 80 $\mu$ A <sup>2)</sup>
Logic 0 input current (ports 1, 2, 3)	I <sub>L</sub>	-10	-50	$\mu$ A	V <sub>IN</sub> = 0.45V
Logical 1-to-0 transition current (ports 1, 2, 3)	I <sub>TL</sub>	-65	-650	$\mu$ A	V <sub>IN</sub> = 2V
Input leakage current (port 0, EA)	I <sub>LI</sub>	-	$\pm$ 1	$\mu$ A	0.45 < V <sub>IN</sub> < V <sub>CC</sub>
Pin capacitance	C <sub>IO</sub>	-	10	pF	f <sub>C</sub> = 1MHz T <sub>A</sub> = 25 $^{\circ}$ C
Power supply current:					
Active mode, 12MHz <sup>7)</sup>	I <sub>CC</sub>	-	21	mA	V <sub>CC</sub> = 5V <sup>4)</sup>
Idle mode, 12MHz <sup>7)</sup>	I <sub>CC</sub>	-	4.8	mA	V <sub>CC</sub> = 5V <sup>5)</sup>
Active mode, 24 MHz <sup>7)</sup>	I <sub>CC</sub>	-	36.2	mA	V <sub>CC</sub> = 5V <sup>4)</sup>
Idle mode, 24MHz <sup>7)</sup>	I <sub>CC</sub>	-	8.2	mA	V <sub>CC</sub> = 5V <sup>5)</sup>
Active mode, 40 MHz <sup>7)</sup>	I <sub>CC</sub>	-	56.5	mA	V <sub>CC</sub> = 5V <sup>4)</sup>
Idle mode, 40 MHz <sup>7)</sup>	I <sub>CC</sub>	-	12.5	mA	V <sub>CC</sub> = 5V <sup>5)</sup>
Power Down Mode	I <sub>PD</sub>	-	50	$\mu$ A	V <sub>CC</sub> = 5V <sup>3)</sup>

## GMS97C51/97C52的直流特性

V<sub>CC</sub>=5V+10%, -15%; V<sub>SS</sub>=0V; T<sub>A</sub>=0 至70

Parameter	Symbol	Limit Values		Unit	Test Condition
		min.	max.		
Input low voltage (except EA, RESET)	V <sub>IL</sub>	-0.5	0.2 V <sub>CC</sub> - 0.1	V	-
Input low voltage ( $\overline{EA}$ )	V <sub>IL1</sub>	-0.5	0.1 V <sub>CC</sub> - 0.1	V	-
Input low voltage (RESET)	V <sub>IL2</sub>	-0.5	0.2 V <sub>CC</sub> + 0.1	V	-
Input high voltage (except XTAL1, EA, RESET)	V <sub>IH</sub>	0.2 V <sub>CC</sub> + 0.9	V <sub>CC</sub> + 0.5	V	-
Input high voltage to XTAL1	V <sub>IH1</sub>	0.7 V <sub>CC</sub>	V <sub>CC</sub> + 0.5	V	-
Input high voltage to $\overline{EA}$ , RESET	V <sub>IH2</sub>	0.6 V <sub>CC</sub>	V <sub>CC</sub> + 0.5	V	-
Output low voltage (ports 1, 2, 3)	V <sub>OL</sub>	-	0.45	V	I <sub>OL</sub> = 1.6mA <sup>1)</sup>
Output high voltage (port 0, ALE, PSEN)	V <sub>OL1</sub>	-	0.45	V	I <sub>OL</sub> = 3.2mA <sup>1)</sup>
Output high voltage (ports 1, 2, 3)	V <sub>OH</sub>	2.4 0.9 V <sub>CC</sub>	- -	V	I <sub>OH</sub> = -80 $\mu$ A I <sub>OH</sub> = -10 $\mu$ A
Output high voltage (port 0 in external bus mode, ALE, PSEN)	V <sub>OH1</sub>	2.4 0.9 V <sub>CC</sub>	- -	V	I <sub>OH</sub> = -800 $\mu$ A <sup>2)</sup> I <sub>OH</sub> = -80 $\mu$ A <sup>2)</sup>
Logic 0 input current (ports 1, 2, 3)	I <sub>IL</sub>	-10	-50	$\mu$ A	V <sub>IN</sub> = 0.45V
Logical 1-to-0 transition current (ports 1, 2, 3)	I <sub>TL</sub>	-65	-650	$\mu$ A	V <sub>IN</sub> = 2V
Input leakage current (port 0, EA)	I <sub>LI</sub>	-	$\pm 1$	$\mu$ A	0.45 < V <sub>IN</sub> < V <sub>CC</sub>
Pin capacitance	C <sub>IO</sub>	-	10	pF	f <sub>c</sub> = 1MHz T <sub>A</sub> = 25°C
Power supply current: Active mode, 12MHz <sup>7)</sup>	I <sub>CC</sub>	-	20.97	mA	V <sub>CC</sub> = 5V <sup>4)</sup>
Idle mode, 12MHz	I <sub>CC</sub>	-	18	mA	V <sub>CC</sub> = 5V <sup>5)</sup>
Active mode, 24 MHz <sup>7)</sup>	I <sub>CC</sub>	-	36.21	mA	V <sub>CC</sub> = 5V <sup>4)</sup>
Idle mode, 24MHz	I <sub>CC</sub>	-	20	mA	V <sub>CC</sub> = 5V <sup>5)</sup>
Power down mode	I <sub>PD</sub>	-	50	$\mu$ A	V <sub>CC</sub> = 5V <sup>3)</sup>

1. 端口0和2上的电容性负载可能产生叠加在ALE和端口3上的V<sub>OL</sub>上的寄生噪声脉冲。噪声是由于总线操作期间内端口0和端口2引脚作1至0跳变时外部总线电容向这些引脚放电而引起的。在最差的情况下(电容性负载3.3V时>50pF, 5V时>100pF) ALE线上的噪声脉冲可以超过0.8V。在这样的情况下, 需要把斯密特触发器(schmitt-trigger)用于ALE或者使用带斯密特触发器选通输入的地址锁存器。
2. 端口0和2上的电容性负载可能导致当地址线正在稳定时ALE和PSEN上的V<sub>OH</sub>瞬时降至V<sub>IL</sub>指标之下。
3. I<sub>PD</sub>(掉电方式)在下列条件下测量: EA=端口 0=V<sub>CC</sub>; RESET=V<sub>SS</sub>; XTAL2=N.C.; XTAL1=V<sub>SS</sub>; 所有其他引脚不连接。
4. I<sub>CC</sub>(激活方式)在下列条件下测量: XTAL1用t<sub>CLCH</sub>, t<sub>CHCL</sub>=5ns驱动, V<sub>IL</sub>=V<sub>SS</sub>+0.5V, V<sub>IH</sub>=V<sub>CC</sub>-0.5V; XTAL2=N.C.; EA=端口 0=RESET=V<sub>CC</sub>; 所有其他引脚不连接。如果使用晶体振荡器, 那么 I<sub>CC</sub>将稍大(约1mA)。
5. I<sub>CC</sub>(空闲方式)在所有输出引脚不连接, 所有外围设备被禁止的情况下测量; XTAL1用t<sub>CLCH</sub>, t<sub>CHCL</sub>=5ns驱动, V<sub>IL</sub>=V<sub>SS</sub>+0.5V, V<sub>IH</sub>=V<sub>CC</sub>-0.5V; XTAL2=N.C.; RESET= $\overline{EA}$ =V<sub>SS</sub>; Port 0=V<sub>CC</sub>; 所有其他引脚不连接;
6. 12MHz时I<sub>CC</sub>典型值为:  
激活方式: 8mA  
空闲方式: 3mA  
其他频率下I<sub>CC</sub>的最大值为TBD。
7. 在其他频率下I<sub>CC</sub>的最大值由下式给出:  
激活方式: I<sub>CC</sub>=1.27 × f<sub>OSC</sub>+5.73  
空闲方式: I<sub>CC</sub>=0.28 × f<sub>OSC</sub>+1.45 (除GMS97C51/L51/C52/L52之外)



其中 $f_{OSC}$ 是以兆赫计的振荡器频率。 $I_{CC}$ 值以mA为单位且在 $V_{CC}=5V$ 条件下测量。

### GMS90系列（12MHz型）的交流特性

$V_{CC}=5V$  :  $V_{CC}=5V+100\%$ ,  $-15\%$ ;  $V_{SS}=0V$ ;  $T_A=0$  至  $70$  (端口0、ALE和PSEN输出端的 $C_L=100pF$ ;  
所有其他输出端的 $C_L=80pF$ )

$V_{CC}=3.3V$  :  $V_{CC}=3.3V+0.3V$ ,  $-0.6V$ ;  $V_{SS}=0V$ ;  $T_A=0$  至  $70$  (端口0、ALE和PSEN输出端的 $C_L=50pF$ ;  
所有其他输出端的 $C_L=50pF$ )

可变时钟 :  $V_{CC}=5V$  :  $1/t_{CLCL}=3.5MHz$ 至 $12MHz$

$V_{CC}=3.3V$  :  $1/t_{CLCL}=1MHz$ 至 $12MHz$

### 程序存储器特性

Parameter	Symbol	Limit Values				Unit
		12 MHz Clock		Variable Clock		
		min.	max.	min.	max.	
ALE pulse width	$t_{LHLL}$	127	-	$2t_{CLCL} - 40$	-	ns
Address setup to ALE	$t_{AVLL}$	43	-	$t_{CLCL} - 40$	-	ns
Address hold after ALE	$t_{LAX}$	30	-	$t_{CLCL} - 53$	-	ns
ALE low to valid instr in	$t_{LLIV}$	-	233	-	$4t_{CLCL} - 100$	ns
ALE to PSEN	$t_{LLPL}$	58	-	$t_{CLCL} - 25$	-	ns
PSEN pulse width	$t_{PLPH}$	215	-	$3t_{CLCL} - 35$	-	ns
PSEN to valid instr in	$t_{PLIV}$	-	150	-	$3t_{CLCL} - 100$	ns
Input instruction hold after PSEN	$t_{PXOX}$	0	-	0	-	ns
Input instruction float after PSEN	$t_{PXIZ}^{*)}$	-	63	-	$t_{CLCL} - 20$	ns
Address valid after PSEN	$t_{PXAV}^{*)}$	75	-	$t_{CLCL} - 8$	-	ns
Address to valid instr in	$t_{AVIV}$	-	302	-	$5t_{CLCL} - 115$	ns
Address float to PSEN	$t_{AZPL}$	0	-	0	-	ns

\*) GMS90系列与设备接口浮空时间高达75ns是允许的。这种受限制的总线竞争将不会导致对端口0驱动器的任何损害。

### GMS90系列（12MHz型）的交流特性

#### 外部数据存储器特性

Parameter	Symbol	Limit Values				Unit
		12 MHz Clock		Variable Clock		
		min.	max.	min.	max.	
$\overline{RD}$ pulse width	$t_{RLRH}$	400	-	$6t_{CLCL} - 100$	-	ns
$\overline{WR}$ pulse width	$t_{WLWH}$	400	-	$6t_{CLCL} - 100$	-	ns
Address hold after ALE	$t_{LAX2}$	30	-	$t_{CLCL} - 53$	-	ns
$\overline{RD}$ to valid data in	$t_{RLDV}$	-	252	-	$5t_{CLCL} - 165$	ns
Data hold after $\overline{RD}$	$t_{RHDX}$	0	-	0	-	ns
Data float after $\overline{RD}$	$t_{RHDX}$	-	97	-	$2t_{CLCL} - 70$	ns
ALE to valid data in	$t_{LLDV}$	-	517	-	$8t_{CLCL} - 150$	ns
Address to valid data in	$t_{AVDV}$	-	585	-	$9t_{CLCL} - 165$	ns
ALE to $\overline{WR}$ or $\overline{RD}$	$t_{LLWL}$	200	300	$3t_{CLCL} - 50$	$3t_{CLCL} + 50$	ns
Address valid to $\overline{WR}$ or $\overline{RD}$	$t_{AVWL}$	203	-	$4t_{CLCL} - 130$	-	ns
$\overline{WR}$ or $\overline{RD}$ high to ALE high	$t_{WHLH}$	43	123	$t_{CLCL} - 40$	$t_{CLCL} + 40$	ns
Data valid to $\overline{WR}$ transition	$t_{QVWX}$	33	-	$t_{CLCL} - 50$	-	ns
Data setup before $\overline{WR}$	$t_{QVWH}$	433	-	$7t_{CLCL} - 150$	-	ns
Data hold after $\overline{WR}$	$t_{WHQX}$	33	-	$t_{CLCL} - 50$	-	ns
Address float after $\overline{RD}$	$t_{RLAZ}$	-	0	-	0	ns

## 外部时钟驱动 (12MHz型)

Parameter	Symbol	Limit Values		Unit
		Variable clock		
		min.	max.	
Oscillator period( $V_{CC}=5V$ )	$t_{CLCL}$	83.3	285.7	ns
Oscillator period( $V_{CC}=3.3V$ )	$t_{CLCL}$	83.3	1	us
High time	$t_{CHCX}$	20	$t_{CLCL} - t_{CLCX}$	ns
Low time	$t_{CLCX}$	20	$t_{CLCL} - t_{CHCX}$	ns
Rise time	$t_{CLCH}$	-	20	ns
Fall time	$t_{CHCL}$	-	20	ns

## GMS90系列 (24MHz型) 交流特性

$V_{CC}=5V+10\%$ ,  $-15\%$ ;  $V_{SS}=0V$ ;  $T_A=0$  至  $70$  (端口0, ALE和 $\overline{PSEN}$ 输出端的 $C_L=100pF$ ; 所有其他输出端的 $C_L=80pF$ )

## 程序存储器特性

Parameter	Symbol	Limit Values				Unit
		24 MHz Clock		Variable Clock 1/t <sub>CLCL</sub> = 3.5 MHz to 24 MHz		
		min.	max.	min.	max.	
ALE pulse width	t <sub>AHLL</sub>	43	-	2t <sub>CLCL</sub> - 40	-	ns
Address setup to ALE	t <sub>AVLL</sub>	17	-	t <sub>CLCL</sub> - 25	-	ns
Address hold after ALE	t <sub>ALAX</sub>	17	-	t <sub>CLCL</sub> - 25	-	ns
ALE low to valid instr in	t <sub>ALIV</sub>	-	80	-	4t <sub>CLCL</sub> - 87	ns
ALE to PSEN	t <sub>ALPL</sub>	22	-	t <sub>CLCL</sub> - 20	-	ns
PSEN pulse width	t <sub>PLPH</sub>	95	-	3t <sub>CLCL</sub> - 30	-	ns
PSEN to valid instr in	t <sub>PLIV</sub>	-	60	-	3t <sub>CLCL</sub> - 65	ns
Input instruction hold after PSEN	t <sub>PXIX</sub>	0	-	0	-	ns
Input instruction float after PSEN	t <sub>PXIZ</sub> <sup>*)</sup>	-	32	-	t <sub>CLCL</sub> - 10	ns
Address valid after PSEN	t <sub>PXAV</sub> <sup>*)</sup>	37	-	t <sub>CLCL</sub> - 5	-	ns
Address to valid instr in	t <sub>AVIV</sub>	-	148	-	5t <sub>CLCL</sub> - 60	ns
Address float to PSEN	t <sub>AZPL</sub>	0	-	0	-	ns

\*) GMS90系列与设备接口浮空时间高达35ns是允许的。这种受限制的总线竞争将不会导致对端口0驱动器的任何损害。

#### GMS90系列（24MHz型）的交流特性 外部数据存储器特性

Parameter	Symbol	Limit Values				Unit
		24 MHz Clock		Variable Clock 1/t <sub>CLCL</sub> = 3.5 MHz to 24 MHz		
		min.	max.	min.	max.	
$\overline{RD}$ pulse width	t <sub>RLRH</sub>	180	-	6t <sub>CLCL</sub> - 70	-	ns
$\overline{WR}$ pulse width	t <sub>WLWH</sub>	180	-	6t <sub>CLCL</sub> - 70	-	ns
Address hold after ALE	t <sub>LAX2</sub>	15	-	t <sub>CLCL</sub> - 27	-	ns
$\overline{RD}$ to valid data in	t <sub>RLDV</sub>	-	118	-	5t <sub>CLCL</sub> - 90	ns
Data hold after $\overline{RD}$	t <sub>RHDX</sub>	0	-	0	-	ns
Data float after $\overline{RD}$	t <sub>RHDZ</sub>	-	63	-	2t <sub>CLCL</sub> - 20	ns
ALE to valid data in	t <sub>LLDV</sub>	-	200	-	8t <sub>CLCL</sub> - 133	ns
Address to valid data in	t <sub>AVDV</sub>	-	220	-	9t <sub>CLCL</sub> - 155	ns
ALE to $\overline{WR}$ or $\overline{RD}$	t <sub>LLWL</sub>	75	175	3t <sub>CLCL</sub> - 50	3t <sub>CLCL</sub> + 50	ns
Address valid to $\overline{WR}$ or $\overline{RD}$	t <sub>AVWL</sub>	67	-	4t <sub>CLCL</sub> - 97	-	ns
$\overline{WR}$ or $\overline{RD}$ high to ALE high	t <sub>WHLH</sub>	17	67	t <sub>CLCL</sub> - 25	t <sub>CLCL</sub> + 25	ns
Data valid to $\overline{WR}$ transition	t <sub>QVWX</sub>	5	-	t <sub>CLCL</sub> - 37	-	ns
Data setup before $\overline{WR}$	t <sub>QVWH</sub>	170	-	7t <sub>CLCL</sub> - 122	-	ns
Data hold after $\overline{WR}$	t <sub>WHQX</sub>	15	-	t <sub>CLCL</sub> - 27	-	ns
Address float after $\overline{RD}$	t <sub>RLAZ</sub>	-	0	-	0	ns

## 外部时钟驱动 (24MHz型)

Parameter	Symbol	Limit Values		Unit
		Variable clock Freq. = 3.5 MHz to 24 MHz		
		min.	max.	
Oscillator period	$t_{CLCL}$	41.7	285.7	ns
High time	$t_{CHCX}$	12	$t_{CLCL} - t_{CLCX}$	ns
Low time	$t_{CLOX}$	12	$t_{CLCL} - t_{CHCX}$	ns
Rise time	$t_{CLCH}$	-	12	ns
Fall time	$t_{CHCL}$	-	12	ns

## GMS90系列 (40MHz型) 交流特性

$V_{CC}=5V+10\%$ ,  $-15\%$ ;  $V_{SS}=0V$ ;  $T_A=0$  至  $70$  (端口0, ALE和PSEN输出端 $C_L=100pF$ ; 所有其他输出端 $C_L=80pF$ )

## 程序存储器特性

Parameter	Symbol	Limit Values				Unit
		40 MHz Clock		Variable Clock $1/t_{CLCL} = 3.5 \text{ MHz to } 40 \text{ MHz}$		
		min.	max.	min.	max.	
ALE pulse width	$t_{HLL}$	35	-	$2t_{CLCL} - 15$	-	ns
Address setup to ALE	$t_{AVLL}$	10	-	$t_{CLCL} - 15$	-	ns
Address hold after ALE	$t_{LLAX}$	10	-	$t_{CLCL} - 15$	-	ns
ALE low to valid instr in	$t_{LLIV}$	-	55	-	$4t_{CLCL} - 45$	ns
ALE to PSEN	$t_{LLPL}$	10	-	$t_{CLCL} - 15$	-	ns
PSEN pulse width	$t_{PLPH}$	60	-	$3t_{CLCL} - 15$	-	ns
PSEN to valid instr in	$t_{PLIV}$	-	25	-	$3t_{CLCL} - 50$	ns
Input instruction hold after PSEN	$t_{PXIX}$	0	-	0	-	ns
Input instruction float after PSEN	$t_{PXIZ}^*)$	-	15	-	$t_{CLCL} - 10$	ns
Address valid after PSEN	$t_{PXAV}^*)$	20	-	$t_{CLCL} - 5$	-	ns
Address to valid instr in	$t_{AVIV}$	-	65	-	$5t_{CLCL} - 60$	ns
Address float to PSEN	$t_{AZPL}$	-50	-	-5	-	ns

\*) GMS90系列与设备接口浮空时间高达35ns是允许的。这种受限制的总线竞争将不会导致对端口0驱动器的任何损害。

GMS90系列（40MHz型）的交流特性  
外部数据存储器特性

Parameter	Symbol	Limit Values				Unit
		40 MHz Clock		Variable Clock 1/t <sub>CLCL</sub> = 3.5 MHz to 40 MHz		
		min.	max.	min.	max.	
$\overline{RD}$ pulse width	t <sub>RLRH</sub>	120	-	6t <sub>CLCL</sub> - 30	-	ns
$\overline{WR}$ pulse width	t <sub>WLWH</sub>	120	-	6t <sub>CLCL</sub> - 30	-	ns
Address hold after ALE	t <sub>LAX2</sub>	10	-	2t <sub>CLCL</sub> - 15	-	ns
$\overline{RD}$ to valid data in	t <sub>RLDV</sub>	-	75	-	5t <sub>CLCL</sub> - 50	ns
Data hold after $\overline{RD}$	t <sub>RHDX</sub>	0	-	0	-	ns
Data float after $\overline{RD}$	t <sub>RHDZ</sub>	-	38	-	2t <sub>CLCL</sub> - 12	ns
ALE to valid data in	t <sub>LLDV</sub>	-	150	-	8t <sub>CLCL</sub> - 50	ns
Address to valid data in	t <sub>AVDV</sub>	-	150	-	9t <sub>CLCL</sub> - 75	ns
ALE to $\overline{WR}$ or $\overline{RD}$	t <sub>LLWL</sub>	60	90	3t <sub>CLCL</sub> - 15	3t <sub>CLCL</sub> + 15	ns
Address valid to $\overline{WR}$ or $\overline{RD}$	t <sub>AVWL</sub>	70	-	4t <sub>CLCL</sub> - 30	-	ns
$\overline{WR}$ or $\overline{RD}$ high to ALE high	t <sub>WHLH</sub>	10	40	t <sub>CLCL</sub> - 15	t <sub>CLCL</sub> + 15	ns
Data valid to $\overline{WR}$ transition	t <sub>QVWX</sub>	5	-	t <sub>CLCL</sub> - 20	-	ns
Data setup before $\overline{WR}$	t <sub>QVWH</sub>	125	-	7t <sub>CLCL</sub> - 50	-	ns
Data hold after $\overline{WR}$	t <sub>WHQX</sub>	5	-	t <sub>CLCL</sub> - 20	-	ns
Address float after $\overline{RD}$	t <sub>RLAZ</sub>	-	0	-	0	ns

外部时钟驱动（40MHz型）

Parameter	Symbol	Limit Values		Unit
		Variable clock Freq. = 3.5 MHz to 40 MHz		
		min.	max.	
Oscillator period	t <sub>CLCL</sub>	25	285.7	ns
High time	t <sub>CHCX</sub>	10	t <sub>CLCL</sub> - t <sub>CLCX</sub>	ns
Low time	t <sub>CLCX</sub>	10	t <sub>CLCL</sub> - t <sub>CHCX</sub>	ns
Rise time	t <sub>CLCH</sub>	-	10	ns
Fall time	t <sub>CHCL</sub>	-	10	ns



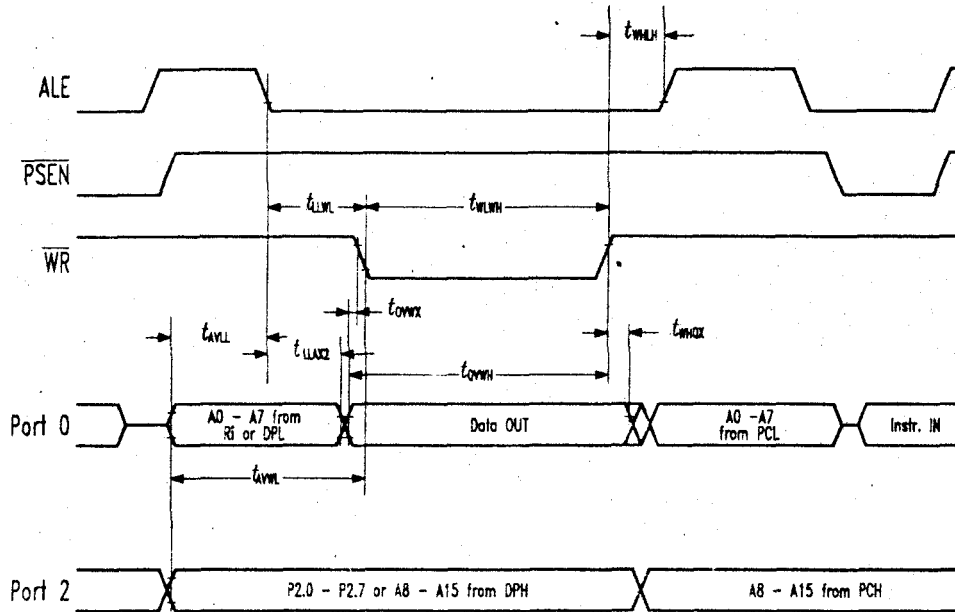
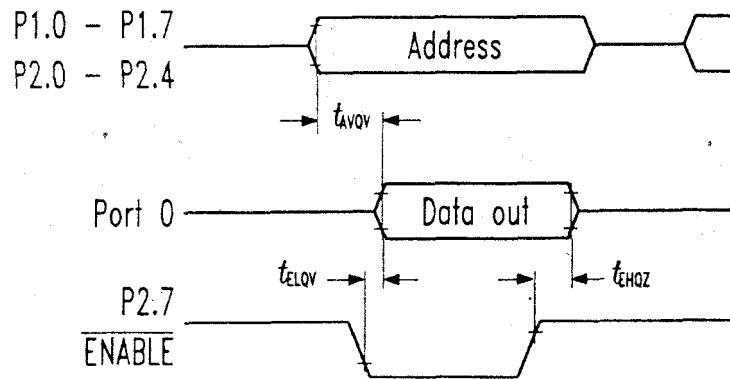


图6 数据存储器写周期

GMS90C51/L51/C52/L52 ROM校验特性

ROM校验方式1

参 数	符号	极限值		单位
		min.	max.	
地址至有效数据	tAVQV	-	48tCLCL	ns
ENABLE (使能) 至有效数据	tELQV	-	48tCLCL	ns
在ENABLE (使能) 之后数据浮空	tEHQZ	0	48tCLCL	ns
振荡器频率	1/tCLCL	4	6	MHz



Address: P1.0 - P1.7 = A0 - A7  
 P2.0 - P2.4 = A8 - A12  
 Data: P0.0 - P0.7 = D0 - D7  
 Inputs: P2.5 - P2.6, PSEN = Vss  
 ALE, EA = VIH  
 RESET = VIH1

图7 ROM校验方式1

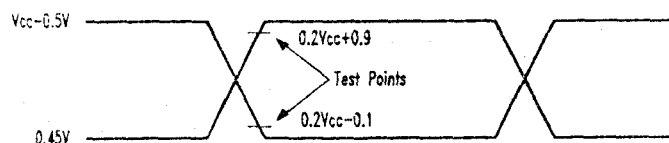


图8 交流测试：输入，输出波形

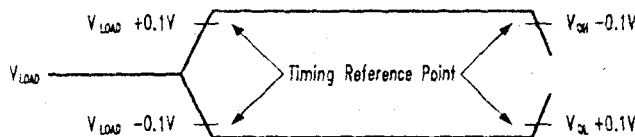


图9 交流测试：浮空波形

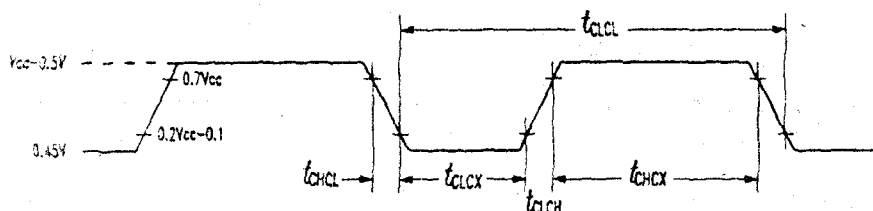


图10 外部时钟周期

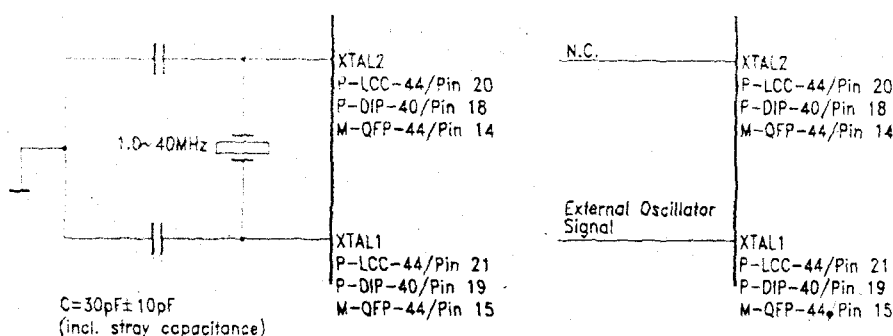


图11 被推荐的振荡器电路

## EPROM特性

GMS97C51/L51/C52/L52可以用修正的快速脉冲编程 (modified Quick-Pulse Programming™) 算法编程。它在所使用的 $V_{pp}$ (编程电源电压)值及ALE/PROG脉冲宽度与个数上与旧方法不同。GMS97C51/L51/C52/L52包含两个特征字节，它们可以被读出且可被EPROM编程系统用来识别器件。特征字节识别出器件为LGS所制造。表11示出读特征字节的逻辑电平，用于对程序存储器编程的逻辑电平，加密表以及保密位。用于快速脉冲编程的电路接法和波形示于图12和图13。图14表示用于正常程序存储器校验的电路接法。

## 十、编程及校验

### 1. 快速脉冲编程

微控制器快速脉冲编程的建立示于图13。注意，GMS97C51/L51/C52/L52用4至6MHz振荡器工作。需要振荡器工作的原因是器件要执行内部地址与程序数据的传送。如图12所示，被编程的EPROM单元的地址加至端口1和2。被编程入该单元的代码字节加至端口0，表11中RST，PSEN以及端口2和3的引脚保持在表11所示的“编程数据 (Program Data)”电平。如图13所示，ALE/PROG变为脉冲低电平25次。要编程加密表，可使用“Pgm Encryption Table (编程加密表)”电平，对地址0至1FH重复25个脉冲编程序列。记住在加密表被编程之后校验周期将仅产生加密的数据。要编程保密位，可以在一个保密位被编程之后，使用“Pgm Security Bit (编程保密位)”电平，重复25个脉冲编程序列，禁止对代码存储器和加密表的再次编程。但是，其他保密位仍可被编程。注意，无论多长时间，EA/ $V_{pp}$ 引脚都不允许升高至最大规定 $V_{pp}$ 电平之上。即使是超出该电压的窄闪变也可能导致器件的永久性损坏。 $V_{pp}$ 电源应当经良好的稳压并无闪变和过冲。

### 2. 编程校验

如果保密位2未被编程，那么片内程序存储器可以被读出供编程校验。如图15所示，被读出的程序存储器单元的地址加至端口1和2。其他引脚保持在表11所示的“Verify Code Data (校验代码数据)”电平。对于此操作，地址单元的内容将在端口0发送。如果加密表已被编程，那么呈现在端口0的数据将是编程字节与



加密字节之一的“同”或(exclusive NOR)为了正确地对校验数据解码,用户必须知道加密表的内容。加密表本身不能被读出。

### 3. 程序存储器锁定位

两级程序锁定(Program Lock)系统包括2个锁定(Lock)位和32字节的加密阵列(Encryption Array),它们可用于保护程序存储器以防止软件被非法复制。

### 4. 加密阵列(Encryption Array)

在EPROM阵列中有32个字节初始未被编程(全1)的加密阵列。在校验期间内,每当字节被寻址时,地址线被用来选择加密阵列字节。然后该字节和代码字节“同”或(exclusive-NORed, XNOR),产生加密的校验字节(Encrypted Verify byte)。

在阵列处于未编程状态(全1)的情况下,该算法将以其原先未修改的形式返回代码。我们建议,每当使用加密阵列时,至少有一个锁定位(Lock Bit)被编程。

锁定位保护方式

	程序锁定位		保护类型
	LB1	LB2	
1	U	U	无程序锁定特性
2	P	U	禁止对EPROM再编程
3	P	P	与方式2相同,校验也被禁止

U: 未被编程, P: 已被编程

### 5. 读特征字节(Signature Bytes)

除了P3.6和P3.7需要被拉至逻辑低电平外,利用与正常的030H和031H单元校验相同的步骤可以读出特征字节。其值为:

(030H) =表示由LGS制造

(031H) =表示GMS97C51/L51/C52/L52

### 6. 编程/校验算法

任何符合表11所列条件且满足定时性能指标的算法都是合适的。

表11 EPROM编程方式

方式	RST	PSEN	ALE/PROG	EA/Vpp	P2.7	P2.6	P3.7	P3.6
读特征	1	0	1	1	0	0	0	0
编程代码数据	1	0	0	Vpp	1	0	1	1
校验代码数据	1	0	1	1	0	0	1	1
编程加密表	1	0	0	Vpp	1	0	1	0
编程保密位1	1	0	0	Vpp	1	1	1	1
编程保密位2	1	0	0	Vpp	1	1	0	0

注释: 1. “0”=该引脚为有效低电平, “1”=该引脚为有效高电平。

2. Vpp=12.75V±0.25V。

3. 在编程和校验期间Vcc=5V±10%。

4. ALE/PROG接收25个编程脉冲同时Vpp保持在12.75。每一个编程脉冲低电平时间为100 μs (±10 μs) 而高电平时间的最小值为10 μs。

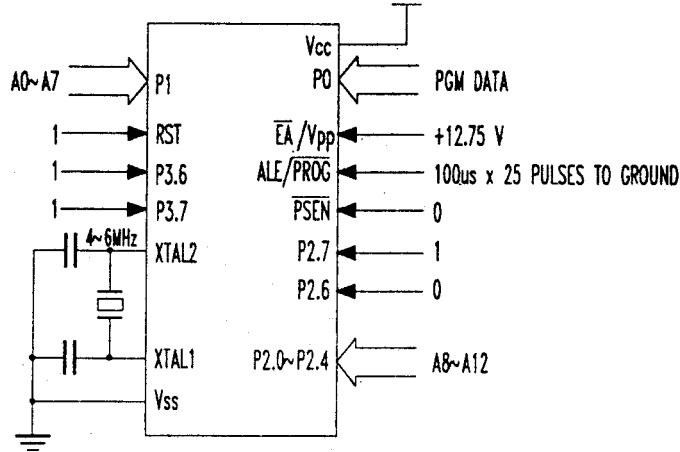


图12 编程接法

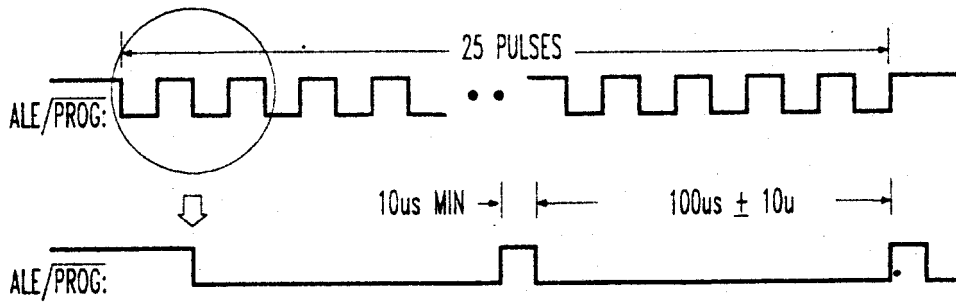


图13 PROG波形

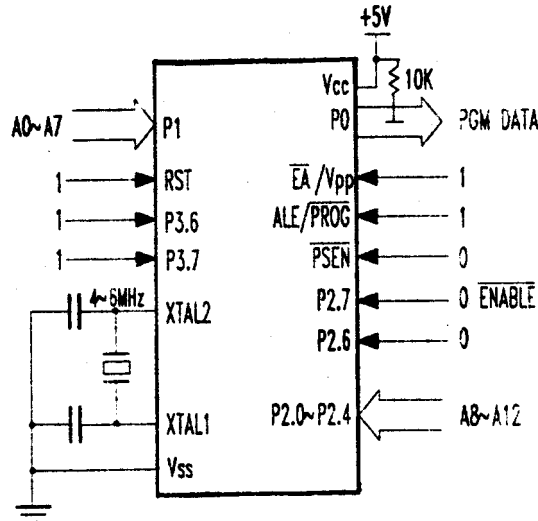


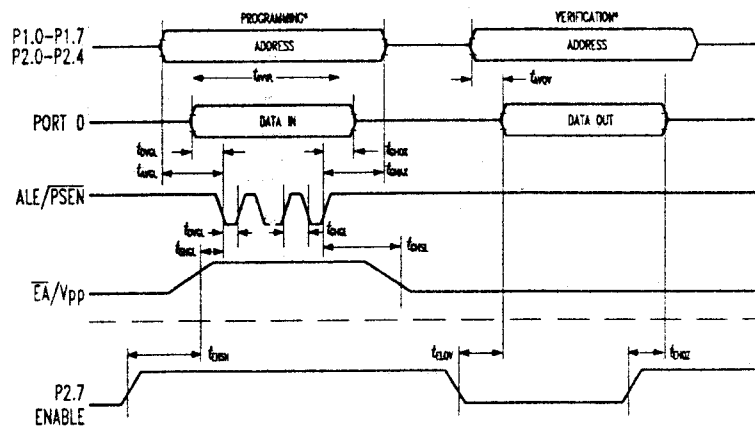
图14 编程校验

### 7. EPROM编程和校验特性

$T_A=21$  至  $27$  ,  $V_{CC}=5V \pm 10\%$  ,  $V_{SS}=0V$  (见图15)

参 数	符号	极限值		单位
		min.	max.	
编程电源电压	$V_{pp}$	12.5	13.0	V
编程电源电流	$I_{pp}$	-	50	mA
振荡器频率	$1/t_{CLCL}$	4	6	MHz

地址建立至PROG为低	$t_{AVGL}$	$48t_{CLCL}$	-	-
PROG之后地址保持	$t_{GHAX}$	$48t_{CLCL}$	-	-
数据建立至PROG为低	$t_{DVGL}$	$48t_{CLCL}$	-	-
PROG之后数据建立	$t_{GHDX}$	$48t_{CLCL}$	-	-
P2.7 (ENABLE, 使能) 为高至Vpp	$t_{EHS}$	$48t_{CLCL}$	-	-
Vpp建立至PROG为低	$t_{SHGL}$	10	-	$\mu s$
PROG之后Vpp保持	$t_{GHSL}$	10	-	$\mu s$
PROG宽度	$t_{GLGL}$	90	110	$\mu s$
地址至数据有效	$t_{AVQL}$	-	$48t_{CLCL}$	-
ENABLE (使能) 为低至数据有效	$t_{ELQZ}$	-	$48t_{CLCL}$	-
ENABLE (使能) 之后数据浮空	$t_{EHQZ}$	0	$48t_{CLCL}$	-
PROG为高至PROG为低	$t_{GHGL}$	10		$\mu s$



关于编程校验参见图12。

关于校验条件参见图14。

图15 EPROM编程和校验