

IS61LV25616AL

特性

- 高速访问时间: 10,12ns
- CMOS 低功耗工作
- 低等待模式功率: 小于 CMOS 5mA (典型值) 的等待电流
- TTL 兼容接口电平
- 单个 3.3V 电源
- 完全静态操作: 无需时钟和刷新
- 三态输出
- 高低字节数据控制
- 可用的工业级温度

描述

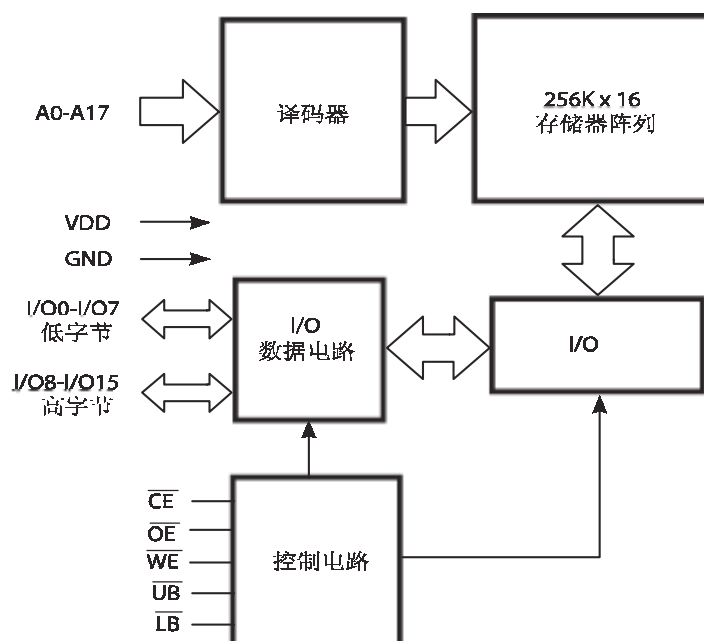
ISSIIS61LV25616AL 是一个高速、4,194,304 位的静态 RAM, 可组成 262,144 个字 (16 位)。该器件由 ISSI 的高性能 CMOS 技术制造而成。将这种高可靠性的处理技术与创新的电路设计技术相结合, 就产生了高性能和低功耗的 IS61LV25616AL 器件。

当 \overline{OE} 为高电平 (不选) 时, 器件处于等待模式, 功耗随着 CMOS 输入电平一起降低。

芯片使能输入 \overline{CE} 和输出使能输入 \overline{OE} 可方便实现存储器的扩展。低电平有效的写使能 (\overline{WE}) 控制着存储器的写和读操作。高字节 (\overline{UB}) 和低字节 (\overline{LB}) 控制信号控制着对数据字节的访问。

IS61LV25616AL 含有以下封装形式: JEDEC 标准 44 脚 400-mil SOJ、44 脚 TSOPType II、44 脚 LQFP 和 48 脚 Mini BGA (8mm×10mm)。

功能框图

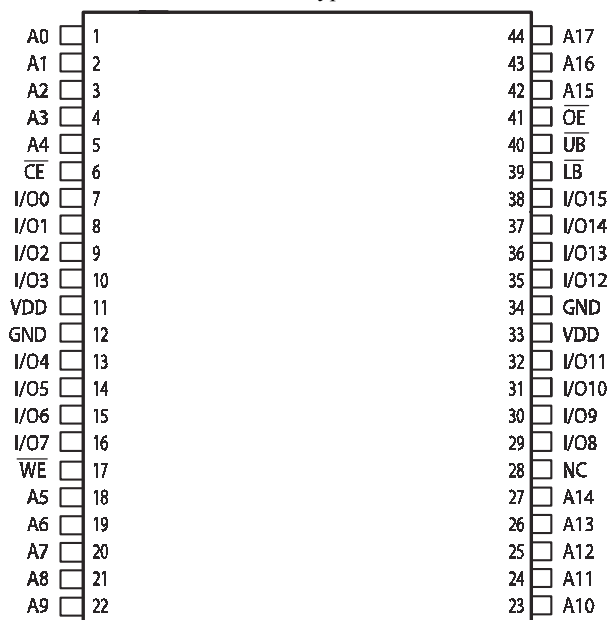


真值表

模式						I/O 管脚		V _{DD} 电流
	\overline{WE}	\overline{CE}	\overline{OE}	\overline{LB}	\overline{UB}	I/O0 - I/O7	I/O8 - I/O15	
不选择芯片工作	X	H	X	X	X	高阻	高阻	I _{SB1} , I _{SB2}
输出禁能	H	L	H	X	X	高阻	高阻	I _{cc}
	X	L	X	H	H	高阻	高阻	
读	H	L	L	L	H	D _{OUT}	高阻	I _{cc}
	H	L	L	H	L	高阻	D _{OUT}	
	H	L	L	L	L	D _{OUT}	D _{OUT}	
写	L	L	X	L	H	D _{IN}	高阻	I _{cc}
	L	L	X	H	L	高阻	D _{IN}	
	L	L	X	L	L	D _{IN}	D _{IN}	

管脚配置

44 脚 TSOP (Type II) 和 SOJ

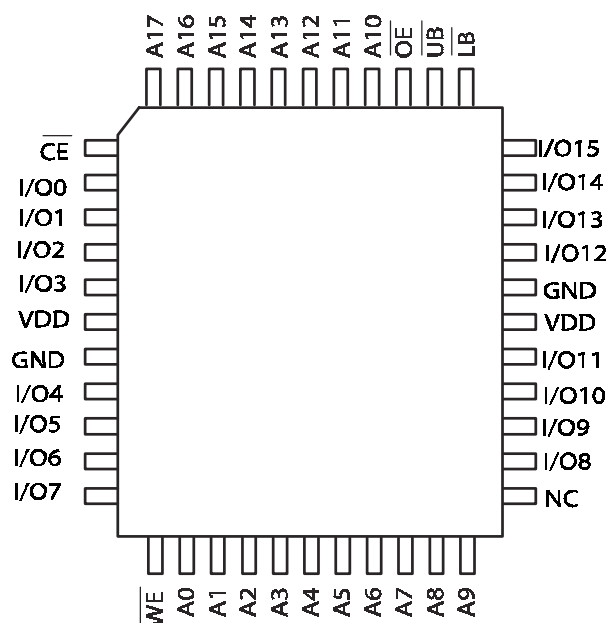


管脚描述

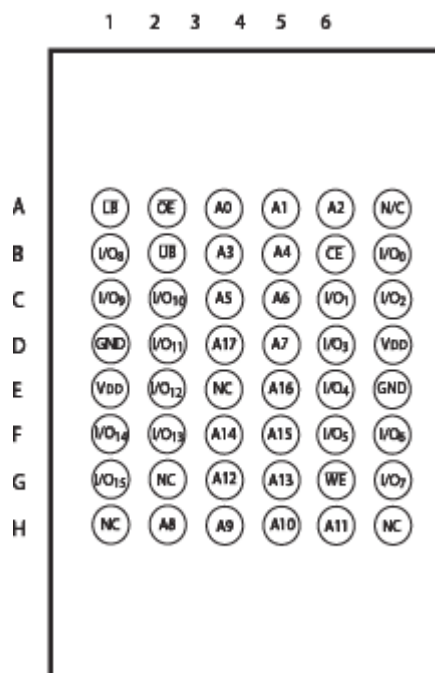
A0—A17	地址输入
I/O0—I/O15	数据输入/输出
\overline{CE}	芯片使能输入
\overline{OE}	输出使能输入
\overline{WE}	写使能输入
\overline{LB}	低字节控制 (I/O0—I/O7)
\overline{UB}	高字节控制 (I/O8—I/O15)
NC	不连接
V _{DD}	电源
GND	地

管脚配置

44 脚 LQFP



48 脚 mini BGA



管脚描述

A0—A17	地址输入
I/O0—I/O15	数据输入/输出
$\overline{\text{CE}}$	芯片使能输入
$\overline{\text{OE}}$	输出使能输入
$\overline{\text{WE}}$	写使能输入
$\overline{\text{LB}}$	低字节控制 (I/O0—I/O7)
$\overline{\text{UB}}$	高字节控制 (I/O8—I/O15)
NC	不连接
V _{DD}	电源
GND	地

绝对最大额定值⁽¹⁾

符号	参数	值	单位
V _{TERM}	对 GND 终端电压	-0.5~V _{DD} +0.5	V
T _{STG}	贮存温度	-65~+150	°C
P _T	功耗	1.0	W

注:

1. 超出上表中列出的值的条件会造成器件的永久损坏。上表只列出了器件正常工作的额定值，并未涉及器件在这些条件或超出这些条件下的功能操作。器件不能长时间工作在绝对最大额定值条件下，否则会影响其可靠性。

工作范围

		V _{DD}	
范围	环境温度	10ns	12ns
商业级	0°C~+70°C	3.3V+10%, -5%	3.3V±10%
工业级	-40°C~+85°C	3.3V+10%, -5%	3.3V±10%

DC 电气特性 (工作范围内)

符号	参数	测试条件		最小	最大	单位
V _{OH}	输出高电压	V _{DD} =Min., I _{OH} =-4.0mA		2.4	—	V
V _{OL}	输出低电压	V _{DD} =Min, I _{OL} =8.0Ma		—	0.4	V
V _{IH}	输入高电压			2.0	V _{DD} +0.3	V
V _{IL}	输入低电压 ⁽¹⁾			-0.3	0.8	V
I _{LI}	输入漏电流	GND≤V _{IN} ≤V _{DD}	Com.	-2	2	uA
			Ind.	-5	5	
I _{LO}	输出漏电流	GND≤V _{OUT} ≤V _{DD} 输出禁能	Com.	-2	2	uA
			Ind.	-5	5	

注:

1. 脉宽小于 10ns 的 V_{IL}(min)=-2.0V。

电源特性⁽¹⁾ (工作范围内)

符号	参数	测试条件		-10		-12		单位
				最小	最大	最小	最大	
I _{CC}	V _{DD} 动态工作电源电流	V _{DD} =Max., I _{OUT} =0mA, f=f _{MAX}	Com.	—	100	—	90	mA
			Ind.	—	110	—	100	
I _{SB}	TTL 等待电流 (TTL 输入)	V _{DD} =Max., V _{IN} =V _{IH} 或 V _{IL} $\overline{CE} \geq V_{IH}$, f=f _{MAX}	Com.	—	50	—	45	mA
			Ind.	—	55	—	50	
I _{SB1}	TTL 等待电流 (TTL 输入)	V _{DD} =Max., V _{IN} =V _{IH} 或 V _{IL} $\overline{CE} \geq V_{IH}$, f=0	Com.	—	20	—	20	mA
			Ind.	—	25	—	25	
I _{SB2}	CMOS 等待电流 (CMOS 输入)	V _{DD} =Max., $\overline{CE} \geq V_{DD}-0.2V$, V _{IN} ≥V _{DD} -0.2V 或 V _{IN} ≤0.2V, f=0	Com.	—	15	—	15	mA
			Ind.	—	20	—	20	

电容⁽¹⁾

符号	参数	条件	最大	单位
C _{IN}	输入电容	V _{IN} =0V	6	pF
C _{OUT}	输入/输出电容	V _{OUT} =0V	8	pF

注:

1. 这两个参数均在最开始时测得, 设计或处理的任何变化都将影响它们的值。

读周期变化特性⁽¹⁾ (工作范围内)

符号	参数	-10		-12		单位
		最小	最大	最小	最大	
t_{RC}	读周期时间	10	—	12	—	ns
t_{AA}	地址访问时间	—	10	—	12	ns
t_{OHA}	输出保持时间	2	—	2	—	ns
t_{ACE}	\overline{CE} 访问时间	—	10	—	12	ns
t_{DOE}	\overline{OE} 访问时间	—	4	—	5	ns
$t_{HZOE}^{(2)}$	\overline{OE} 到高阻输出	—	4	—	5	ns
$t_{LZOE}^{(2)}$	\overline{OE} 到低阻输出	0	—	0	—	ns
$t_{HZCE}^{(2)}$	\overline{CE} 到高阻输出	0	4	0	6	ns
$t_{LZCE}^{(2)}$	\overline{CE} 到低阻输出	3	—	3	—	ns
t_{BA}	\overline{LB} , \overline{UB} 访问时间	—	4	—	5	ns
$t_{HZB}^{(2)}$	\overline{LB} , \overline{UB} 到高阻输出	0	3	0	4	ns
$t_{LZB}^{(2)}$	\overline{LB} , \overline{UB} 到低阻输出	0	—	0	—	ns
t_{PU}	上电时间	0	—	0	—	ns
t_{PD}	掉电时间	—	10	—	12	ns

注:

1. 测试条件: 信号跳变时间为 3ns 或更短, 1.5V 的时间基准电平, 0V~3.0V 的输入脉冲, 图 1 所示的输出负载。
2. 参数都在图 2 所示的负载下测得。跳变定义为稳定状态电压的 $\pm 500mV$ 变化范围内。

AC 测试负载

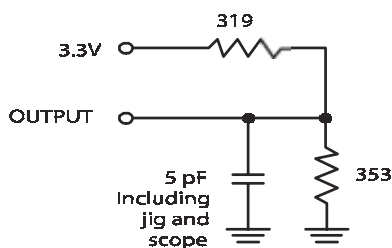


图 1

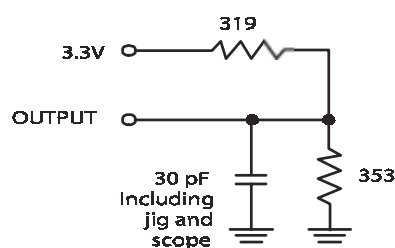


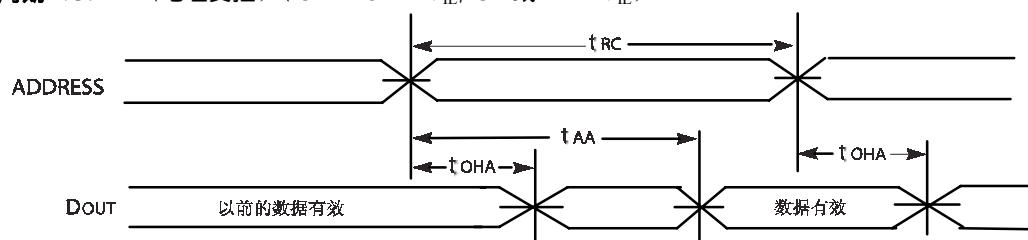
图 2

AC 测试条件

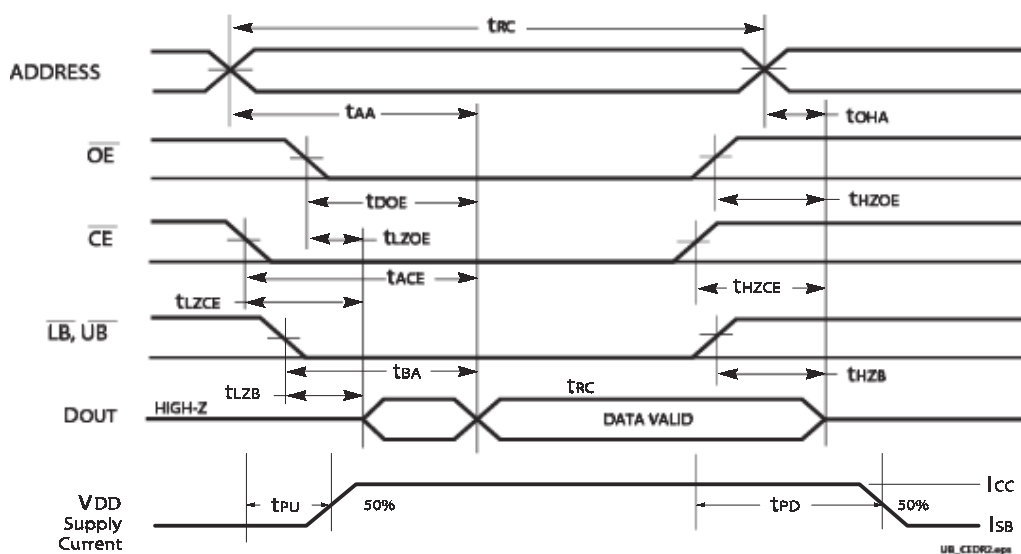
参数	单位
输入脉冲电平	0V~3.0V
输入上升和下降时间	3ns
输入和输出时序和基准电平	1.5V
输出负载	见图 1 和 2

AC 波形

读周期 NO.1^(1,2) (地址受控) ($\overline{CE} = \overline{OE} = V_{IL}$, \overline{UB} 或 $\overline{LB} = V_{IL}$)



读周期 NO.2^(1,3)



注:

1. 读周期内 \overline{WE} 为高电平。
2. 器件一直选中。 \overline{OE} 、 \overline{CE} 、 \overline{UB} 或 $\overline{LB} = V_{IL}$ 。
3. 地址在 \overline{CE} 变为低电平之前有效，以符合 \overline{CE} 的跳变。

写周期变化特性^(1,3)(工作范围内)

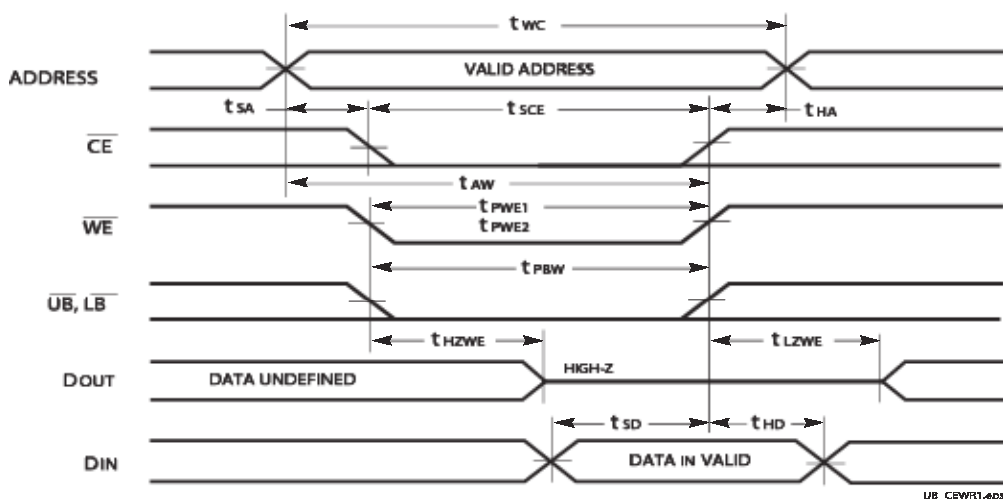
符号	参数	-10		-12		单位
		最小	最大	最小	最大	
t_{WC}	写周期时间	10	—	12	—	ns
t_{SCE}	\overline{CE} 到写结束	8	—	8	—	ns
t_{AW}	地址建立到写结束	8	—	8	—	ns
t_{HA}	写结束到地址保持	0	—	0	—	ns
t_{SA}	地址建立时间	0	—	0	—	ns
t_{PWB}	\overline{LB} , \overline{UB} 有效到写结束	8	—	8	—	ns
t_{PWE1}	\overline{WE} 脉冲宽度	8	—	8	—	ns
t_{PWE2}	\overline{WE} 脉冲宽度 ($\overline{OE} = \text{LOW}$)	10	—	12	—	ns
t_{SD}	数据建立到写结束	6	—	6	—	ns
t_{HD}	写结束到数据建立	0	—	0	—	ns
$t_{HZWE}^{(2)}$	\overline{WE} 低到高阻输出	—	5	—	6	ns
$t_{LZWE}^{(2)}$	\overline{WE} 高到低阻输出	2	—	2	—	ns

注:

1. 测试条件: 信号跳变时间为 3ns 或更短, 1.5V 的时间基准电平, 0V~3.0V 的输入脉冲, 图 1 所示的输出负载。
2. 参数都在图 2 所示的负载下测得。跳变定义为稳定状态电压的 $\pm 500\text{mV}$ 变化范围内。并非 100% 测得。
3. 内部写操作时间定义为 $\overline{\text{CE}}$ 低和 $\overline{\text{UB}}$ 或 $\overline{\text{LB}}$ 以及 $\overline{\text{WE}}$ 低的重叠部分。要启动写操作, 所有信号必须处于有效状态, 只要任何一个信号无效, 写操作就停止。数据输入的建立和保持时间以终止写操作信号的上升或下降沿为基准。

AC 波形

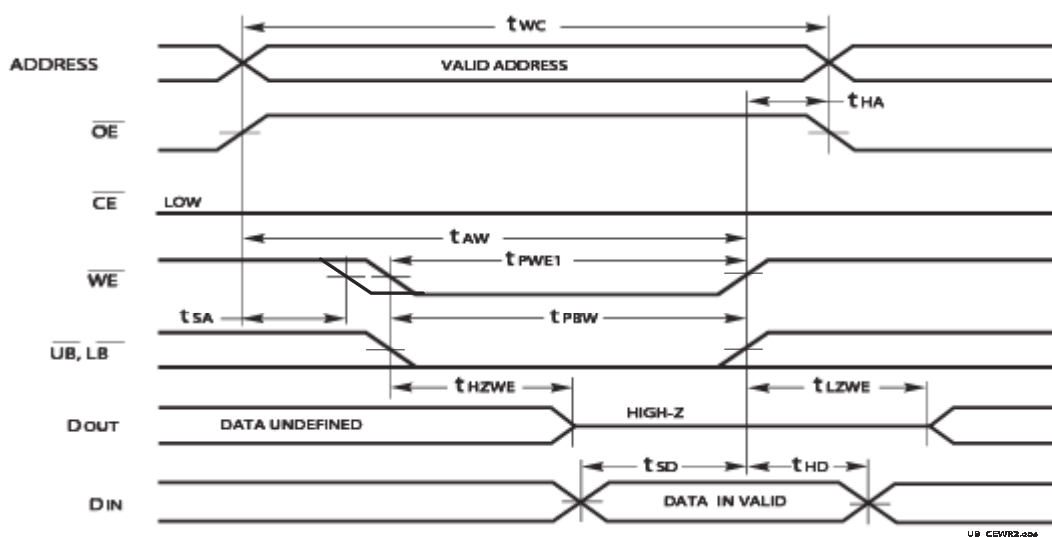
写周期 NO.1 ($\overline{\text{CE}}$ 受控, $\overline{\text{OE}}$ 为高或低) ⁽¹⁾



注:

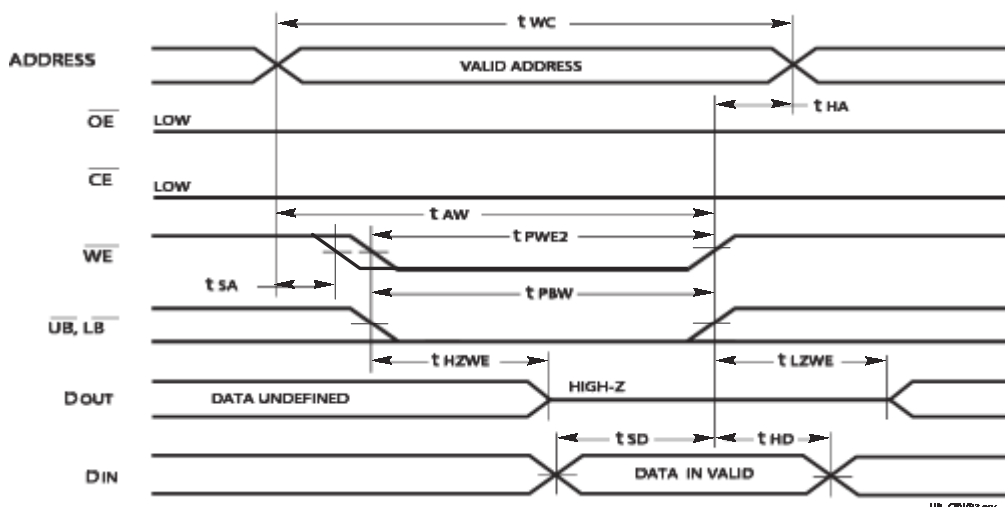
1. WRITE 是内部产生的信号, 它在 $\overline{\text{CE}}$ 和 $\overline{\text{WE}}$ 输入为低以及 $\overline{\text{LB}}$ 或 $\overline{\text{UB}}$ 输入为低的重叠时间内有效。
2. $\text{WRITE} = (\overline{\text{CE}}) [(\overline{\text{LB}}) = (\overline{\text{UB}})] (\overline{\text{WE}})$

写周期 NO.2 ($\overline{\text{WE}}$ 受控, 写周期内 $\overline{\text{OE}}$ 为高) ^(1,2)

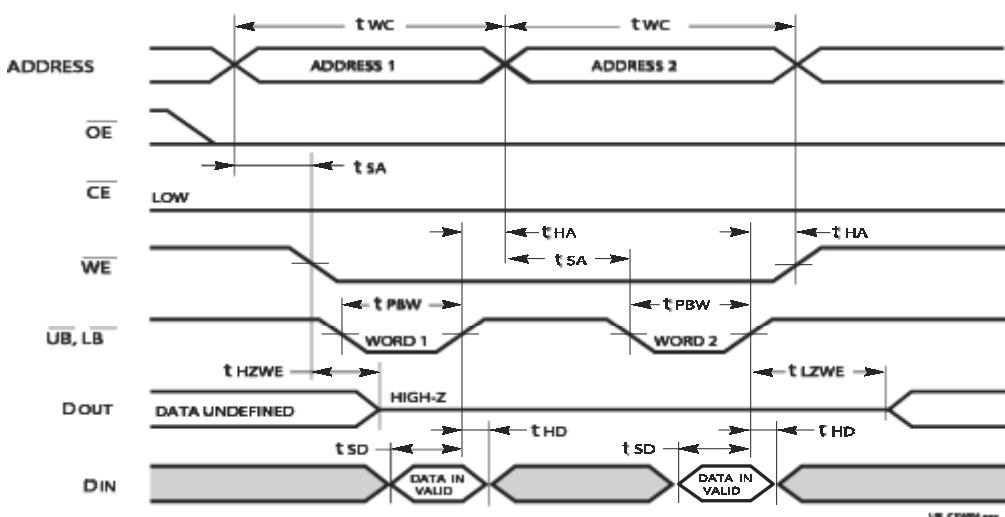


AC 波形

写周期 NO.3 (\overline{WE} 受控, 写周期内 \overline{OE} 为低) ⁽¹⁾



写周期 NO.4 (\overline{LB} , \overline{UB} 受控, 连续写) ^(1,3)



注:

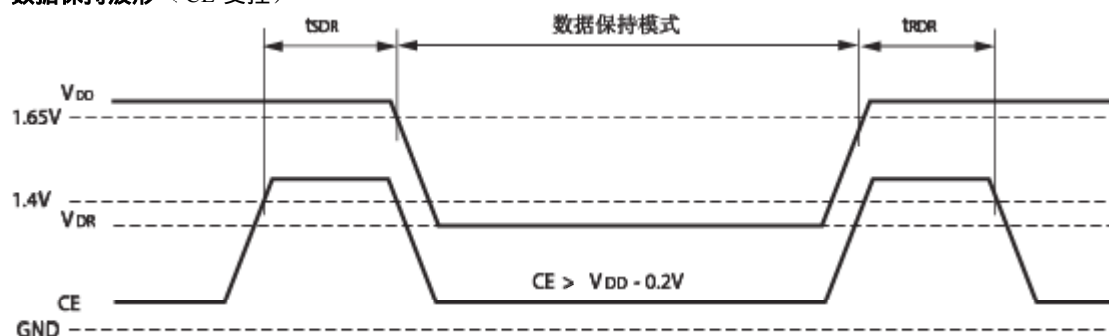
1. 内部写时间定义为 \overline{CE} =低、 \overline{UB} 和/或 \overline{LB} =低和 \overline{WE} =低的重叠时间。要启动一次写操作, 所有信号必须有效, 只要任何一个信号无效, 写操作就停止。 t_{SA} 、 t_{HA} 、 t_{SD} 和 t_{HD} 时间是以终止写操作信号的上升或下降沿为基准得到的。
2. 测试条件: \overline{WE} 为低之前 \overline{OE} 至少保持 4ns 的高电平, 使得 I/O 口变为高阻态。
3. 多个连续地址周期内 \overline{WE} 保持低电平, \overline{LB} 、 \overline{UB} 管脚用来控制写功能。

数据保持变化特性(LL)

符号	参数	测试条件	选项	最小	典型 ⁽¹⁾	最大	单位
V_{DR}	V_{DD} 数据保持电压	见数据保持波形		2.0	—	3.6	V
I_{DR}	数据保持电流	$V_{DD}=2.0V$, $\overline{CE} \geq V_{DD} - 0.2V$	Com.	—	5	10	mA
			Ind.	—	—	15	
t_{SDR}	数据保持建立时间	见数据保持波形		0	—	—	ns
t_{RDR}	恢复时间	见数据保持波形		t_{RC}	—	—	ns

注 1: 典型值在 $V_{DD}=3.0V$, $T_A=25^{\circ}C$ 的条件下测得。

数据保持波形 (CE 受控)



订购信息

商业级温度范围: $0^{\circ}C \sim +70^{\circ}C$

速度 (ns)	器件型号	封装
10	IS61LV25616AL-10T	TSOP (Type II)
	IS61LV25616AL-10K	400mil SOJ
	IS61LV25616AL-10LQ	LQFP
	IS61LV25616AL-10B	Mini BGA (8mm×10mm)
12	IS61LV25616AL-12T	TSOP (Type II)
	IS61LV25616AL-12K	400mil SOJ
	IS61LV25616AL-12B	Mini BGA (8mm×10mm)

工业级温度范围: $-40^{\circ}C \sim +85^{\circ}C$

速度 (ns)	器件型号	封装
10	IS61LV25616AL-10TI	TSOP (Type II)
	IS61LV25616AL-10KI	400mil SOJ
	IS61LV25616AL-10LQI	LQFP
	IS61LV25616AL-10BI	Mini BGA (8mm×10mm)
12	IS61LV25616AL-12TI	TSOP (Type II)
	IS61LV25616AL-12KI	400mil SOJ