

LM9617 单色 CMOS 图像传感器 VGA 30 FPS

概述

LM9617 是高性能、低功耗，1/3 英寸 VGA CMOS 有源像元传感器。用于获取静止或运动灰度图像并转换成数字数据流。

有源像元阵列提供片内 12 位 A/D 转换器、固定图形噪声消除单元、视频增益。另外，内部集成了灵活的时序和控制单元使用户可以最大限度地调整积分时间、有效窗口尺寸、增益和帧频，还提供了多种控制、时序和电源模式。

特性

- 出厂带微镜头
- 视频或快照操作
- 进步的扫描和积分读出模式
- 可编程像元时钟，隔帧和隔行延迟
- 可编程部分或全帧积分
- 可编程增益
- 水平和垂直子采样 (2:1 和 4:2)
- 取窗
- 外部快照触发和事件同步信号
- 自动黑电平补偿
- 可编程支持灵活的数字视频读出
 - 根据同步和时钟信号的极性
 - 前沿调整水平同步
- 可编程通过 2 个电信 I²C 兼容接口
- 电源复位和电源下电模式

应用

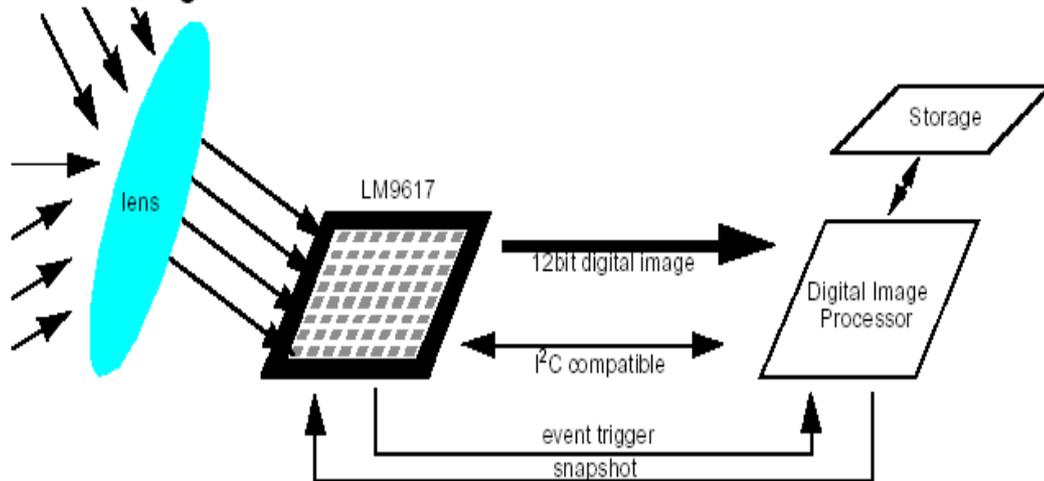
- 安全相机
- 玩具
- 机器人视觉
- 生物医学
- 红外相机
- 条码扫描仪

规格说明

- | | |
|---------|--|
| · 阵列模式 | 总计：664H × 504V
有效：648H × 488V |
| · 有效阵列 | 总计：4.98 mm × 3.78 mm
有效：4.86 mm × 3.66 mm |
| · 光学方式： | 1/3 |
| · 像元尺寸 | 7.5 μm × 7.5 μm |
| · 视频输出 | 8、10 和 12Bit Digital |
| · 动态范围 | 57dB |

- FPN 0.35%
- 灵敏度 28.7Kilo LSBs/lux.s
- 量子效率 27%
- 填充因子 47%
- 封装 48LCC
- 信号支持 3.3V
- 电源功耗 90mW
- 操作温度 0 至 50

System Block Diagram



管角说明

Pin	Name	I/O	Typ	描述
1	vsrvdd	IO	P	模拟双向，应通过 1.0uf 电容接地，该脚是内部电荷累积电压源
2	vrl	I	A	防饱和脚，一般接地
3	vdd_pix	I	P	3.3V 用于像元阵列
4	irq	O	D	数字输出，中断请求脚。该脚在快照模式产生中断
5	sadr	I	D	数字输入下拉电阻。该脚在传感器用于 I ² C 兼容系统中用于设计不同的从地址
6	sda	IO	D	I ² C 兼容串行接口数据总线。该脚输出时具有开路扇出驱动
7	sclk	I	D	I ² C 兼容串行接口时钟
8	snapshot	I	D	数字输入下拉电阻，用在使能快照模式
9	resetb	I	D	数字输入上拉电阻，当强制为逻辑 0 时传感器复位至其缺省电源上电状态。Resetb 信号内部同步到 mclk 信号，mclk 信号复位时产生。
10	pgwn	I	D	数字输入下拉电阻，当强制为逻辑 1 时传感器置输入电源下电模式

11	vss_dig	I	P	0V 电源输入用于数字单元
12	vdd_dig	I	P	3.3V 电源输入用于数字单元
13	hsync	IO	D	数字双向。为双模式脚。当传感器的数字视频口配置为主时（缺省），该脚为输出是行同步脉冲；当传感器数字视频口配置为从时，该脚为输入是行触发信号
14	vsync	IO	D	数字双向。为双模式脚。当传感器的数字视频口配置为主时（缺省），该脚为输出是场同步脉冲；当传感器数字视频口配置为从时，该脚为输入是帧触发信号
15	pclk	O	D	数字输出，像元时钟
16	mclk	I	D	数字输入，传感器主时钟输入
17	d0	O	D	数字输出。数字视频输出总线 Bit0，输出可有三态模式
18	NC			未用，勿连
19	NC			未用，勿连
20	d1	O	D	数字输出。数字视频输出总线 Bit1，输出可处于三态模式
21	d2	O	D	数字输出。数字视频输出总线 Bit2，输出可处于三态模式
22	d3	O	D	数字输出。数字视频输出总线 Bit3，输出可处于三态模式
23	d4	O	D	数字输出。数字视频输出总线 Bit4，输出可处于三态模式
24	d5	O	D	数字输出。数字视频输出总线 Bit5，输出可处于三态模式
25	d6	O	D	数字输出。数字视频输出总线 Bit6，输出可处于三态模式
26	d7	O	D	数字输出。数字视频输出总线 Bit7，输出可处于三态模式
27	d8	O	D	数字输出。数字视频输出总线 Bit8，输出可处于三态模式
28	d9	O	D	数字输出。数字视频输出总线 Bit9，输出可处于三态模式
29	d10	O	D	数字输出。数字视频输出总线 Bit10，输出可处于三态模式
30	d11	O	D	数字输出。数字视频输出总线 Bit11，输出可处于三态模式
31	vdd_od2	I	P	3.3V 电源输入用于数字 I/O 缓冲器
32	vss_od2	I	P	0V 电源输入用于数字 I/O 缓冲器
33	vdd_ana2	I	P	3.3V 电源输入用于模拟单元
34	vss_ana2	I	P	0V 电源输入用于模拟单元
35	vref_adc	I	A	A/D 参考电阻链电压，见图 4 等效电路
36	vss_ana1	I	P	0V 电源输入用于模拟单元
37	vdd_ana1	I	P	3.3V 电源输入用于模拟单元
38	offset	I	A	模拟输入用于调整传感器偏置，见图 4 等效电路

39	fine_ctrl	O	A	模拟输出用于驱动 offset 脚
40	gnd			接地
41	fine_i	I	A	偏移电流用于最佳偏置调整
42	NC			未用，勿连
43	NC			未用，勿连
44	vdd_od3	I	P	3.3V 电源输入用于传感器
45	vss_od3	I	P	0V 电源输入用于传感器
46	vss_od1	I	P	0V 电源输入用于数字 I/O 缓冲器
47	vdd_od1	I	P	3.3V 电源输入用于数字 I/O 缓冲器
48	extsync	O	D	数字输出，外部事件同步信号用于在快照模式时同步外部事件

图例：I=Input，O=Output，IO=Bi-directional，P=Power，D=Digital，A=Analog



Figure 4. Equivalent Circuits For *adc_ref* and *offset* pins

功能描述

1.0 综述

1.1 光采集和转换

LM9617 包含由 648 rows by 488 columns 组成的有源像元阵列。有效区域是由 8 rows 和 8 columns 被遮光的黑像素包围的。如图 7 示。

在开始一积分时间时片内时序和控制电路将在一行时间内复位阵列每个像素，如图 8。注意在同一行内的所有像素同时复位，而不是阵列的所有像素。

在积分时间结束时，时序和控制电路将给每行提供地址，同时传输像素积分值到相关双采样电路，然后到移位寄存器。如图 8。

一旦相关双采样数据被装入移位寄存器，时序和控制电路将从 a 列开始移出它们。

像元数据进入模拟视频放大器，这里用的是可编程增益放大器。

之后，通过增益调整转换每个像素的模拟量成 12 位数字数据，如图 9。

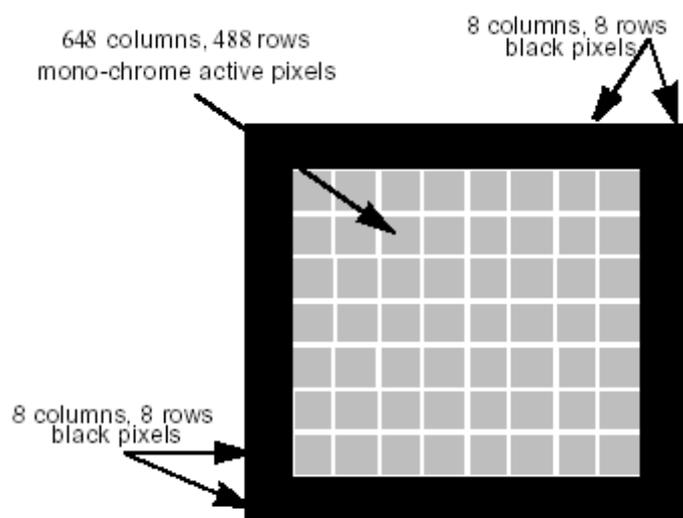


Figure 7: CMOS APS region of the LM9617

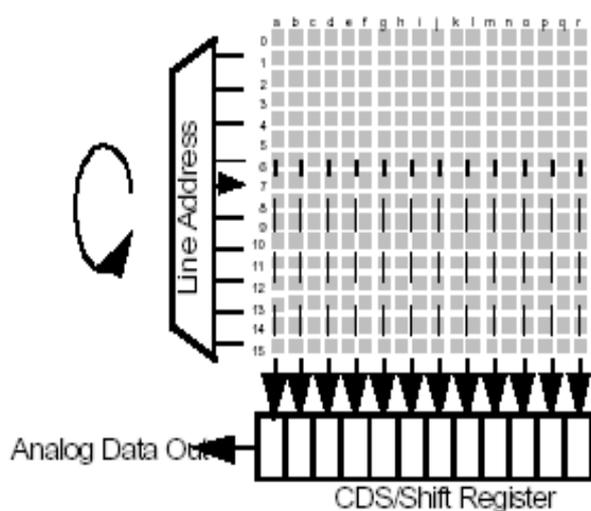


Figure 8: CMOS APS Row and Column addressing scheme

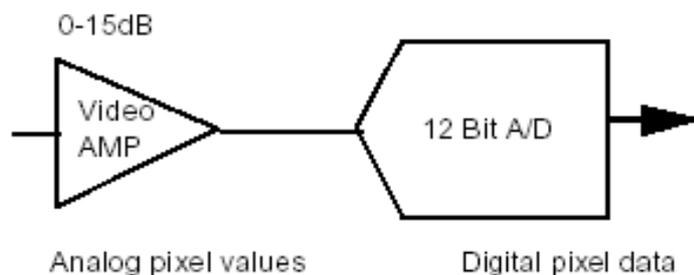


Figure 9: Analog Signals In, Digital Data Out.

数字像素值进一步处理：

- 剔除坏像素
- 帧转移之前补偿黑电平（见图 10）

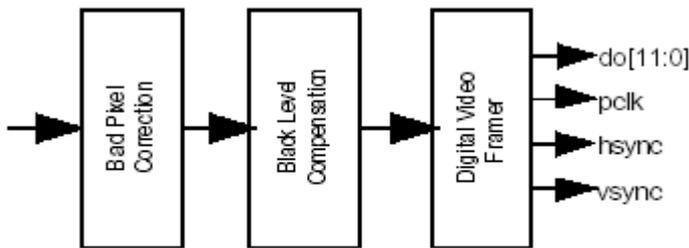


Figure 10. Digital Pixel Processing.

1.2 编程和控制接口

LM9617 编程、控制和状态监视通过两个 I²C 兼容串行总线实现。而且提供了从地址脚（见图 11）。

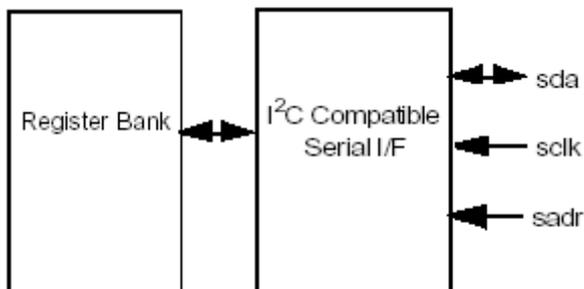


Figure 11. Control Interface to the LM9617.

附加的控制和状态脚：快照和外部事件同步由潜在的串行控制口完成单帧采集。中断请求也可以通过外部微处理器控制实现快照。（见图 12）

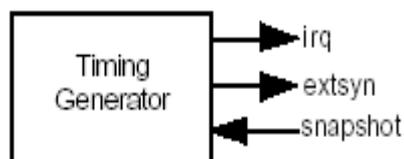


Figure 12. Snapshot & External Event Trigger Signals

2.0 取窗

内部时序和控制电路可在阵列有效区任意位置取任意尺寸窗口以 1×1 像素分辨力读出。该窗口读出被称为“显示窗口”。

扫描窗口必须首先定义，通过编程确定起始和结束行地址如图 13。四个坐标（起始行地址，起始列地址，结束行地址，结束列地址）定义“显示窗口”的尺寸和位置

进行读出（见图 13）。

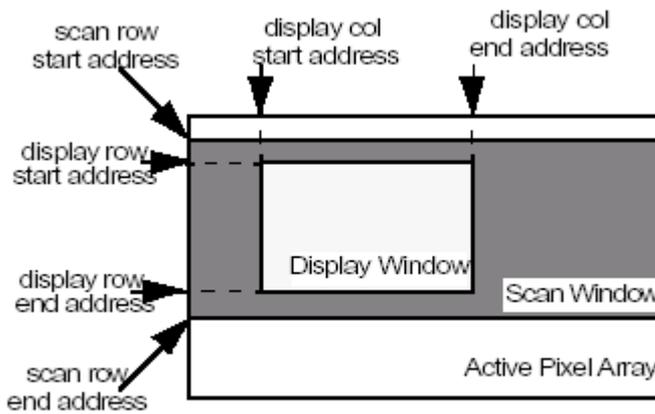


Figure 13. Windowing

注释：

- “显示窗口”必须定义在“扫描窗口”之中
- 显示窗口只能在步进扫描模式时读出
- 缺省时“显示窗口”为整个阵列

2.1 编程扫描窗

两个寄存器（SROWS、SROWE）用于扫描窗尺寸编程，扫描窗起始和结束行地址给出如下：

$$\text{扫描行起始地址} = (2 \times \text{SwStartRow}) + \text{SwLsb}$$

$$\text{扫描行结束地址} = (2 \times \text{SwEndRow}) + 1 + \text{SwLsb}$$

这里，SwStartRow 是在扫描窗起始行寄存器（SROWS）中

SwEndRow 是在扫描窗结束行寄存器（SROWE）中

SwLsb 是显示窗 LSB 寄存器（DWLSB）的 bit 6

2.2 编程显示窗口

5 个寄存器（DROWS、DROWE、DCOLS、DCOLE、DWLSB）用于显示窗口编程，描述在手册的寄存器部分。

3.0 读出模式

3.1 步进扫描读出模式

在步进扫描读出模式，显示窗中的每行每个像素连续的读出，在一个像素周期，

从左从上开始。因此，示例如图 13，读出将为 a_0, b_0, \dots, r_0 之后 a_1, b_1, \dots, r_1 一直到 r_{20} 。

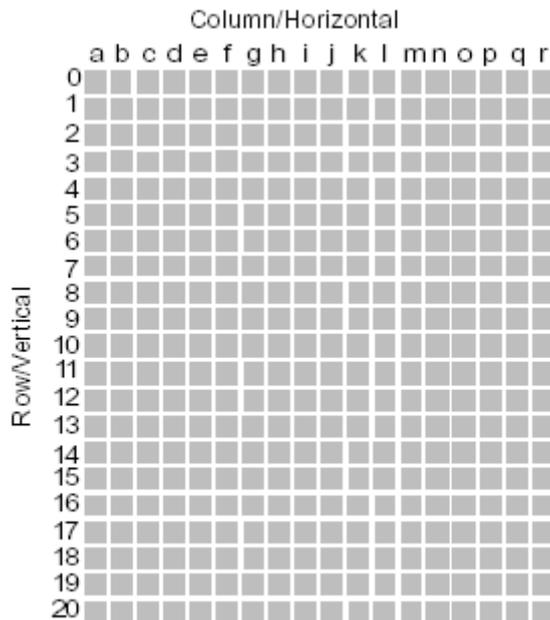


Figure 14: Progressive Scan Read Out Mode

3.2 隔行读出模式

在隔行读出模式，像素读出分两场，一奇场及一偶场。奇场由包含在显示窗中的偶行组成，首先读出。每个像素在奇场在一个像素周期同时读出，以左上角的像素为起始点。

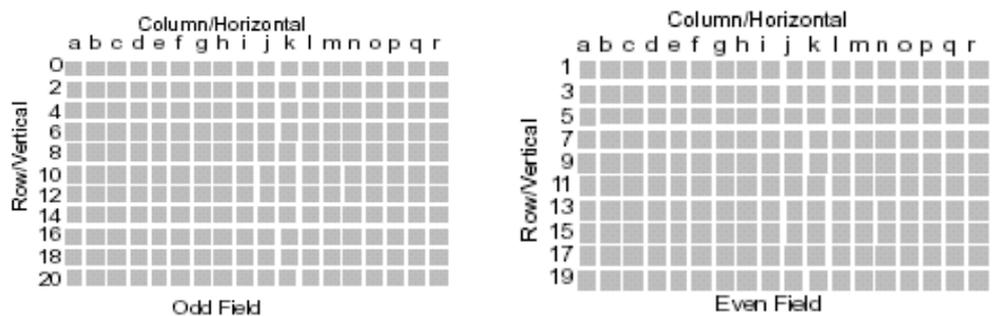


Figure 15: Interlace Read Out Mode

因此，如图所示，显示窗被分为两场，偶数场的像素 a_0, b_0, \dots, r_0 后边紧跟 a_2, b_2, \dots, r_2 ，以此类推直到像素 $a_{20}, b_{20}, \dots, r_{20}$ 首先被读出。偶数场的读出跟在奇场之后，从 a_1, b_1, \dots, r_1 边紧跟 a_3, b_3, \dots, r_3 ，以此类推直到像素 $a_{19}, b_{19}, \dots, r_{19}$ 。

4.0 子采样模式

4.1 2:1 子采样

时序和控制电路可以被编程为显示窗中的水平方向、垂直方向或两方向上的子采样像素，以 2:1 的比例如图 16 所示。

4.2 4:2 子采样

时序和控制电路可以被编程为显示窗中的水平方向、垂直方向或两方向上的子采样像素，以 2:1 的比例如图 17 所示。

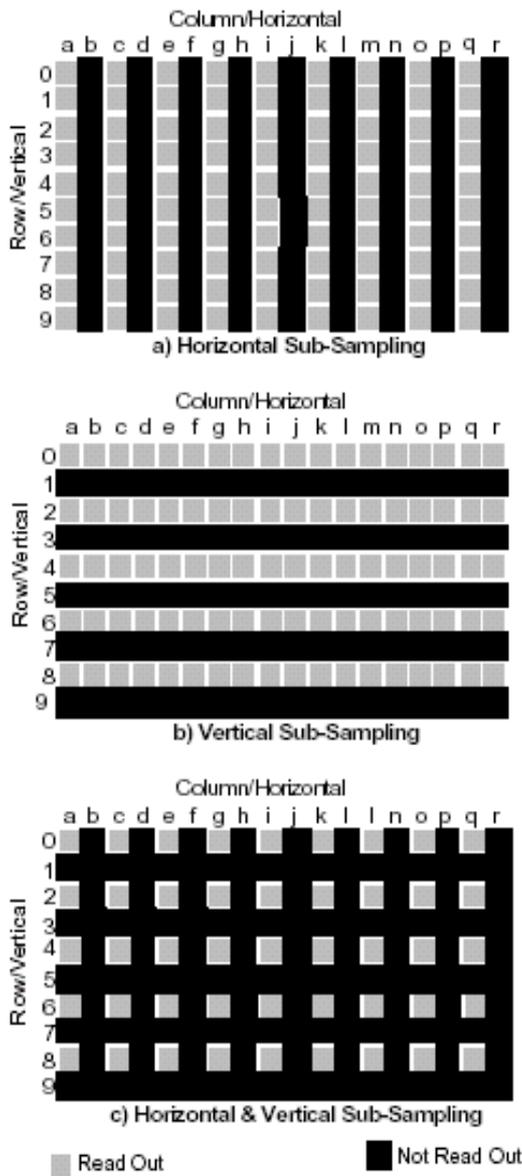


Figure 16: 2:1 Horizontal and Vertical Sub-Sampling

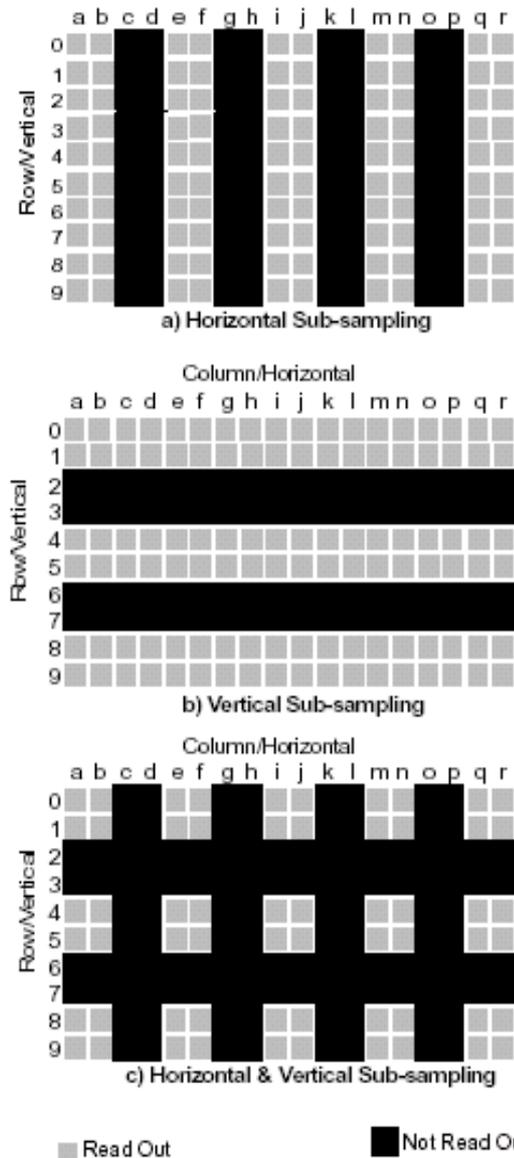


Figure 17: 4:2 Horizontal and Vertical Sub-Sampling

5.0 快照模式

LM9617 在硬件或软件控制下有采集单帧图像的功能，而与外部快门无关，两个寄存器 SNAPSHOTMODE0 和 SNAPSHOTMODE1，用于编程，监视和控制快照系列。

5.1 软件控制的快照

快照模式可以通过 I²C 兼容接口用软件读写快照模式寄存器来实现。

5.2 硬件控制的快照模式

LM9617 提供了两个专门的引脚，快照模式可以用硬件控制。“SNAPSHOT”脚必须通过写 MCFG0 寄存器的“SnapEnable”bit 来使能。

5.3 自动快照模式

在自动快照模式（见图 20）在收到 SNAPSHOT 或 *FTriggerNow* 触发信号，内部时序和控制电路将置 *FTriggerEN* bit 产生内部触发信号（见图 9），它们复位阵列在一行周期。复位周期结束时序和控制电路将产生信号通过 *extsync* 脚或 *FtSync* bit。在设置的积分时间结束时，快门将被信号关闭，像素读出开始如图 18a 所示。读出结束后 *FTriggerEN* 将自动复位传感器返回视频采集模式。如图 20。

如无外部快门可用的话，为了像素的充分积分，至少要采集两帧，如图 18b 应用自动快照模式，寄存器 SNAPSHOTMODE1 的 *SsEnage* bit 必须置为 0。

5.4 CPU 快照模式

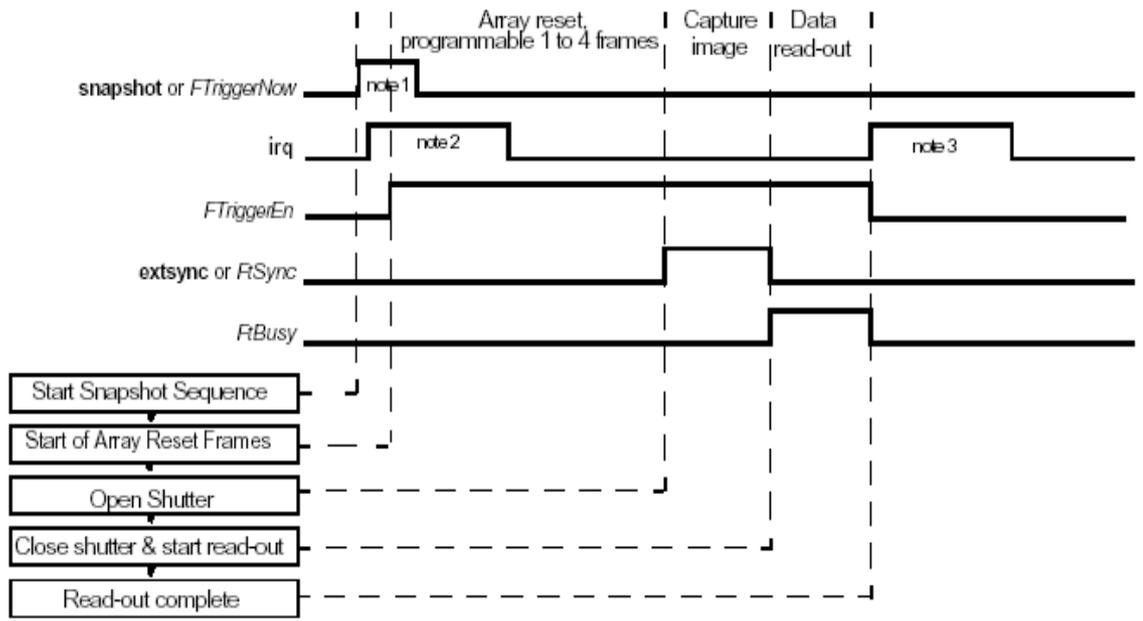
在 CPU 快照模式，*FTriggerNow* 是非自动的，内部中断发生器使能。

因此，接收到 SNAPSHOT 或 *FTriggerNow* 触发信号，内部时序和控制电路将产生内部 TRIGGER 信号见图 19，等待 IRQ 状态用于 *FTriggerEN* 手动设置见图 21。

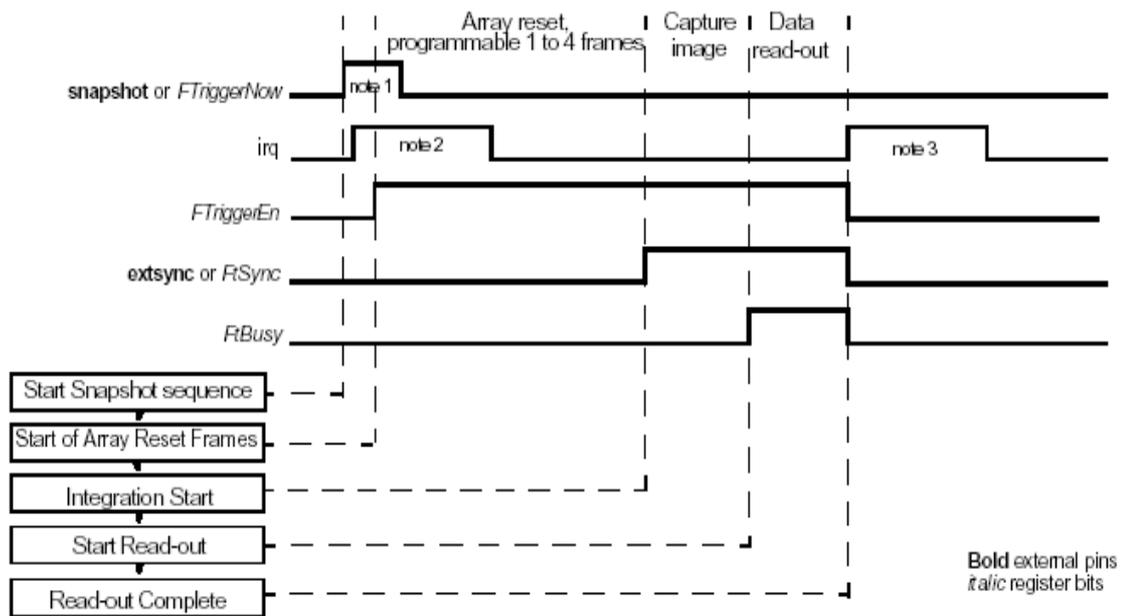
一旦 *FTriggerEN* 置位内部时序和控制电路将在一行周期内复位阵列。复位周期结束时序和控制电路将产生信号通过 *extsync* 脚或 *FtSync* bit 使快门开。在设置的积分时间结束时，快门将被信号关闭，像素读出开始如图 18a 所示。读出结束后 *FTriggerEN* 将自动复位传感器返回视频采集模式。如图 20。

如无外部快门可用，为了像素的充分积分，至少要采集两帧，如图 18b。

应用 CPU 快照模式，寄存器 SNAPSHOTMODE1 的 *SsEnage* bit 必须置为 1。



a) With External Shutter



b) Without External Shutter

- Note 1: This wave form shows the snapshot pin programmed to the default pulse mode.
- Note 2: The irq pulse is taken low when the snapshot trigger interrupt flag (*SsTrigFlag*) in the snapshot mode1 (*SNAPMODE1*) register is read.
- Note 3: The irq pulse is taken low when the snapshot trigger interrupt flag (*SsRdFlag*) in the snapshot mode1 (*SNAPMODE1*) register is read.

Figure 18. Snapshot Mode

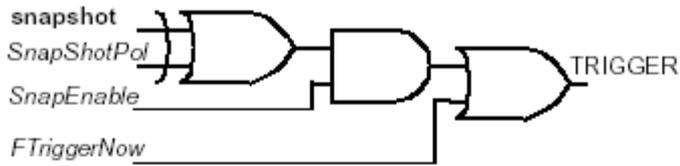


Figure 19. Snapshot Trigger Generation Logic

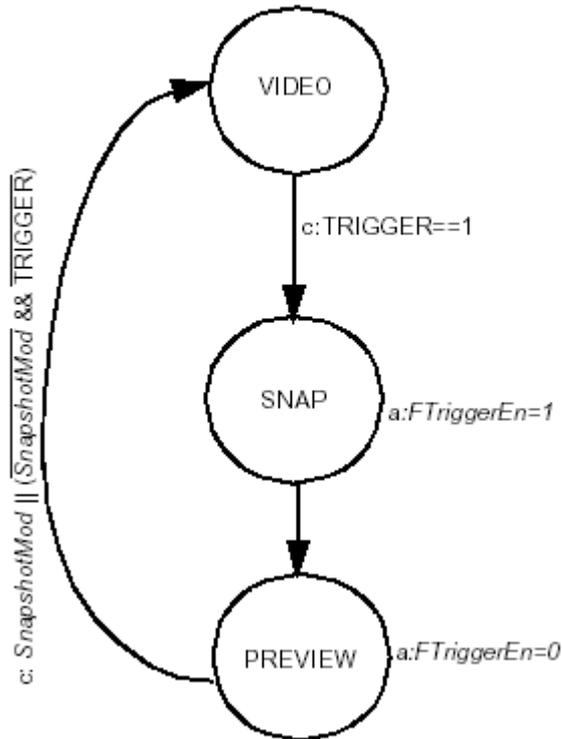


Figure 20. Auto Snapshot Mode State Diagram

中断发生器可在 CPU 快照模式时通过设置寄存器 SNAPSHOTMODE1 的 *SnapIntEn* bit 使能。中断将产生在外部中断引脚 *irq* 当快照序列被触发(TRIGGER=1) 或当快照序列读出完成时。见图 21。

当由一个 TRIGGER 事件产生中断时，寄存器 SNAPSHOTMODE1 中的 *SsTrigFlag* bit 置位。同样地，中断产生完成读出寄存器 SNAPSHOTMODE1 中的 *SsRdFlag* 置位。

irq 引脚极性也可编程，中断只能在读 *SsTrigFlag* 和 *SsRdFlag* 时被清除。见图 22。

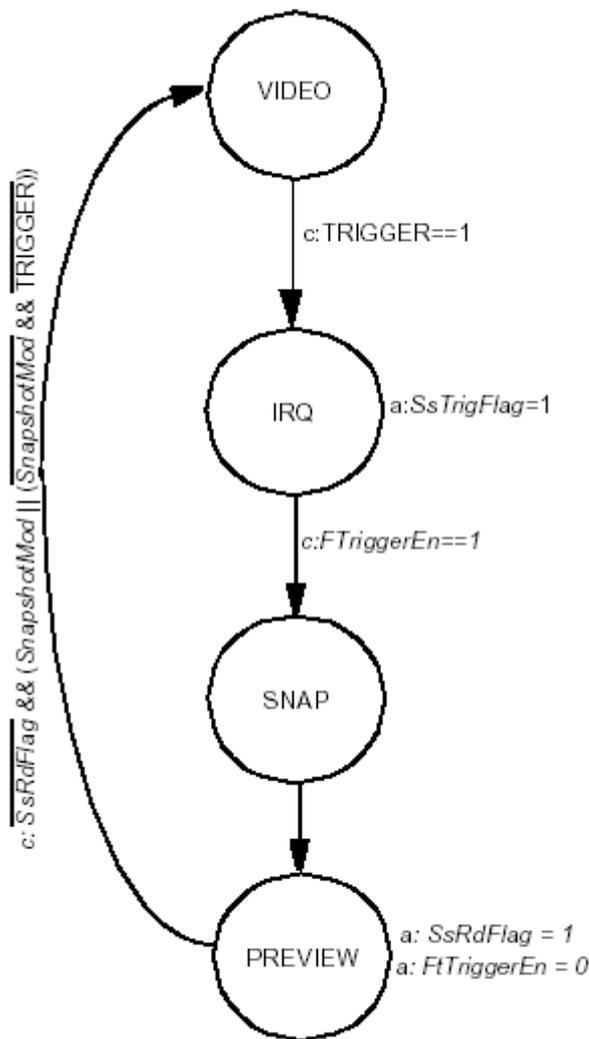


Figure 21. CPU Snapshot Mode State Diagram

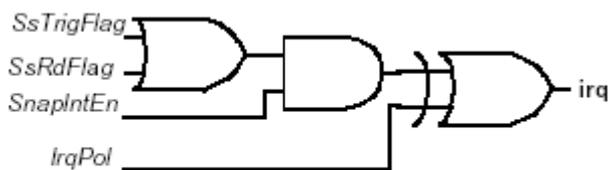


Figure 22. Interrupt Request Generation Logic

5.5 脉冲和电平触发模式

SNAPSHOT 引脚可设置为脉冲触发模式，一个快照序列在每个有效脉冲执行。或设置为电平触发模式，快照序列在 SNAPSHOT 引脚电平有效期间重复。见图 20，
21

脉冲和电平触发可设置寄存器 SNAPSHOTMODE1 的 *SnapshotMod* bit。

6.0 时钟发生模式

LM9617 包含时钟产生模式，能产生两种时钟如下：

· *Hclk*：叫做水平时钟，这是内部系统时钟，可以被编程为输入时钟或者 (*mclk*)，通过被 1-255 中的任何一个数去除。

· *CLKpixel*：像素时钟，这是外部像素时钟出现在数字视频口，它能够是 *Hclk* 或 *Hclk/2*，这个时钟不可以被编程。

7.0 帧频编程

一帧定义为阵列的每个像素被复位，光积分，信号转换为数字信号并提供给数字视频口，它们不是同时的，表现为串行的事件每个需要一定的时间见图 23。

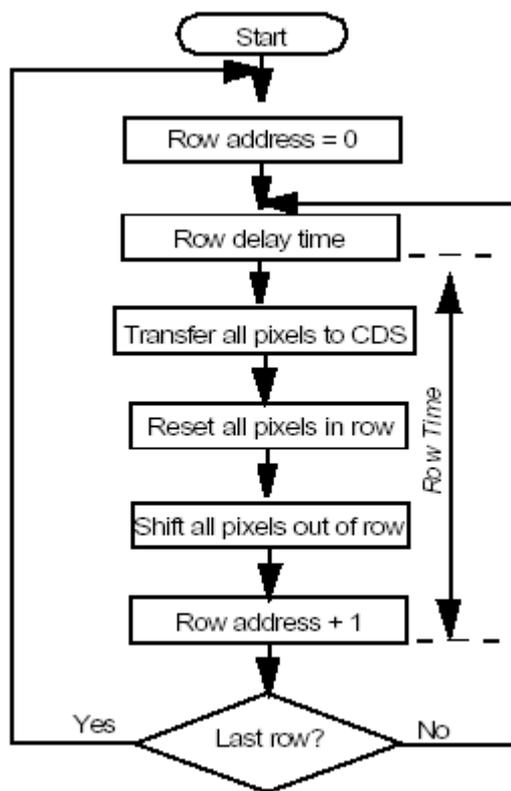


Figure 23. Frame Readout Flow Diagram

7.1 全帧积分

全帧积分为阵列每个像素在一帧连续光积分（如图 24）。

Hclk 时钟周期数和像素移出一行由下式给出：

$$RN_{Hclk} = R_{opcycle} + R_{delay}$$

这里：

Ropcycle 是固定整数值 780 描述行操作周期时间在若干 *Hclk* 时钟周期。这个时间完成输出所有行操作，概述如图 23。

Rdelay 可编程值在 0-2047 之间描述行延迟时间在若干 *Hclk* 时钟周期。这个参数确定外部行操作周期。(见行延时高和行延时低寄存器)。

该参数对应行在扫描窗中时由下式给出：

$$SWN_{rows} = (RAD_{end} - RAD_{start}) + 1$$

这里：

RADend 是定义窗的结束行地址。(见单元 2.1)

RADstart 是定义窗的起始行地址。(见单元 2.1)

该参数对应 *Hclk* 时钟确定操作于全帧模式时由下式给出：

$$FN_{Hclk} = [(M_{factor} \cdot SWN_{rows}) + F_{delay}] * RN_{Hclk}$$

这里：

Mfactor 是模式因子必用的。

Progressive Scan	1
Sub-sampling or Interlace/ Interlace	0.5

SWNrows 是所选的扫描窗的行数

Fdelay 是可编程值在 0—4097 之间描述帧延迟在若干 RN_{Hclk} 延迟。该参数确定外部帧周期。(见帧延迟高和帧延迟低寄存器) 它由所选定的模式决定。如下表：

帧频由下式给出：

$$FrameRate = \frac{Hclk}{FN_{Hclk}}$$

7.2 局部帧积分

有些情况值得要的是减少阵列像素的光积分时间而不改变帧频。

我们知道在局部帧积分可完成选定行在行之前复位像素，读出如图 24。该参数给出如下：

$$FP_{Hclk} = RN_{Hclk} * I_{time}$$

这里：

RN_{Hclk} 该参数是...移出一行。

I_{time} 该参数是当前行前复位（见积分时间高和积分时间低寄存器），积分时间极限值：

Mode	Limit
Progressive Scan	$I_{time} \leq SWN_{rows} + F_{delay}$
Interlace	$I_{time} \leq SWN_{rows} + 2 \cdot F_{delay}$
Sub-Sampled	$I_{time} \leq SWN_{rows} + 0.5 \cdot F_{delay}$

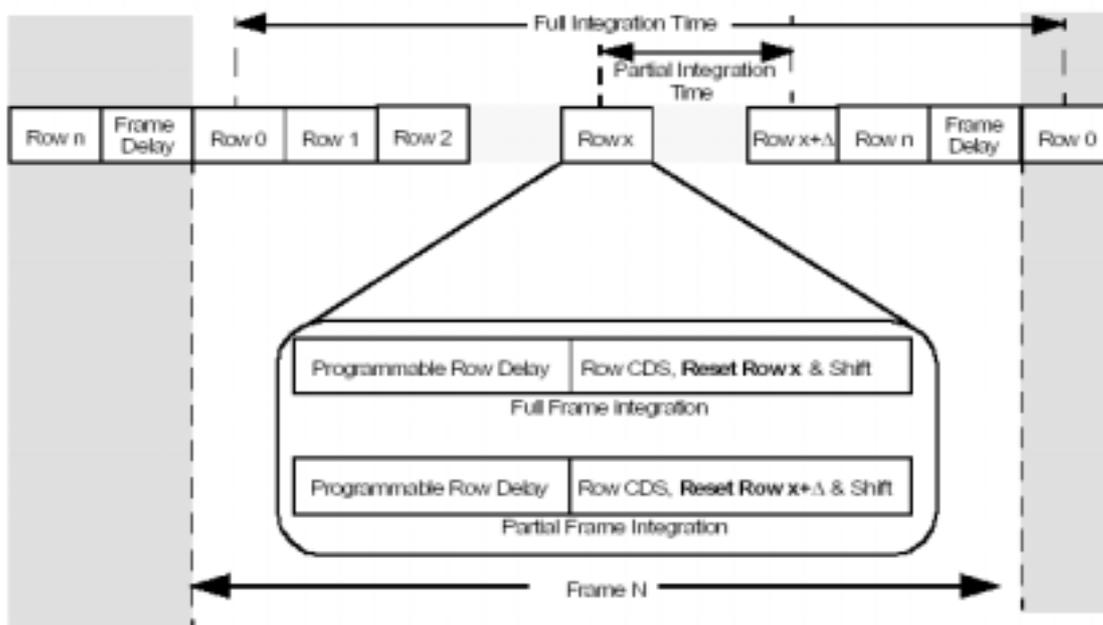


Figure 24. Partial and Full Frame Integration

7.3 帧频编程表

下表用于传感器编程。假定传感器工作频率为 48MHz 时钟。所有值为十进制。

register	vcclkgen	rdelayh	rdelayl	fdelayh	fdelayl	srows	srowe	dwisb
address	05hex	15hex	16hex	17hex	18hex	0Bhex	0Chex	12hex
fps		[10:8]	[7:0]	[11:8]	[7:0]	[8:1]	[8:1]	
30	4	0	0	0	9	0	251	50
15	4	0	0	2	40	0	251	50
7.5	4	0	0	6	12	0	251	50
3.75	4	3	12	6	12	0	251	50
25	4	0	172	0	0	0	251	50
12.5	5	0	0	1	226	0	251	50
6.25	5	0	0	5	188	0	251	50
3.125	4	0	156	14	14	0	251	50
5	4	2	255	4	23	0	251	50
4	5	0	0	10	12	0	251	50
3	5	0	0	14	14	0	251	50
2	6	0	200	13	248	0	251	50
1	6	3	241	15	126	0	251	50

8.0 信号处理

8.1 坏像素检测和修正

LM9617 构造有在操作中能进行坏像素检测和修正的模块。该模块可被用户关断。

8.2 黑电平补偿

另外，可编程增益 LM9617 构造有黑电平补偿模块如图 25，该模块可被关掉。

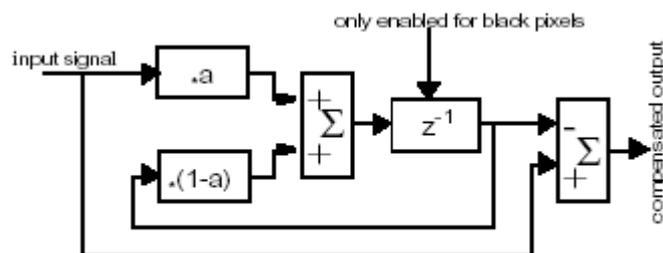


Figure 25. Digital Black Level Compensation.

黑电平补偿模块将减去阵列黑像素区信号的平均电平，补偿像素数字视频输出由于温度和积分时间决定的暗信号电平。指数平均电路见图 25 只能操作最小的重要的 8bit 视频数据。

9.0 电源管理

9.1 电源上电和下电

LM9617 带有片内电源管理系统通过数字和模拟电路打开 (Power up) 和关闭电源 (Power down)。

传感器可以进入下电模式，用逻辑 1 置 “*pdwn*” 引脚或通过 I²C 兼容接口写主配置寄存器下电位 (Power down bit)。

传感器可以进入上电模式，用逻辑 0 置 “*pdwn*” 引脚或通过 I²C 兼容接口写主配置寄存器下电位 (Power down bit)。

它可以用小于千分之一秒的时间使所有电路上电。电源管理器寄存器有一位指明传感器何时可用，这时间内传感器不能采集图像。电源管理寄存器中有一位状态位指明传感器何时可用。

9.2 先进的电源特性

另外该传感器的 Power up/Power down 特性，模拟视频处理部分可以被下电和... 缺省操作。信号增益电源功耗如下表：

PGA Amp	Power Saving
on	0mW
off	10mW

Figure 26. Power Control

10.0 模拟增益调整

内部模拟可编程增益放大器可适用线性增益 1 倍到 5.6 倍 64 个线性等级。可应用可编程增益 VGAIN 寄存器如下表：

VidGain Dec Code	VidGain Hex Code	Gain Amp Value
0	00	1
1	01	1.07
2	02	1.15
3	03	1.22
4	04	1.29
5	05	1.37
6	06	1.44
7	07	1.51
8	08	1.58
9	09	1.66
10	0A	1.73
11	0B	1.8
12	0C	1.88
13	0D	1.95
14	0E	2.02
15	0F	2.1
16	10	2.17
17	11	2.24
18	12	2.31
19	13	2.39
20	14	2.46
21	15	2.53
22	16	2.61
23	17	2.68
24	18	2.75
25	19	2.83
26	1A	2.9
27	1B	2.97
28	1C	3.04
29	1D	3.12
30	1E	3.19
31	1F	3.26

VidGain Dec Code	VidGain Hex Code	Gain Amp Value
32	20	3.34
33	21	3.41
34	22	3.48
35	23	3.56
36	24	3.63
37	25	3.7
38	26	3.77
39	27	3.85
40	28	3.92
41	29	3.99
42	2A	4.07
43	2B	4.14
44	2C	4.21
45	2D	4.29
46	2E	4.36
47	2F	4.43
48	30	4.5
49	31	4.58
50	32	4.65
51	33	4.72
52	34	4.8
53	35	4.87
54	36	4.94
55	37	5.02
56	38	5.09
57	39	5.16
58	3A	5.23
59	3B	5.31
60	3C	5.38
61	3D	5.45
62	3E	5.53
63	3F	5.6

11.0 偏置调整

为适应最好图像质量和光照条件使用传感器采集图像之前必须设置适当的偏置电压。该偏置电压必须应用到传感器偏置脚 (offset pin 38), 用于调整模拟视频信号输入到内部 A/D。

偏置电压电平确定图像的黑电平并直接影响图像质量。过高的偏置值将使图像过白或看起来模糊。偏置值过低时导致图像暗对比度平滑, 尽管光照条件好。

要获得好的偏置调整应该通过 I²C 兼容接口编程偏置电压。设置偏置电压应参照下列程序:

传感器的 *offset*, *fine_i* 和 *fine_ctrl* 引脚应连接如图 2。

按如下程序校准偏置:

- 写逻辑 1 到主配置寄存器 0 (MCFG0 : address 02Hex) 的 bit4 禁止暗电平补偿模块。
- 偏置调整可以用写 Offset Compensation Register (OCR : address 1F, 22 和 25hex) 写 00 hex 得到最大电压, 写 FF hex 得到最小电压。
- 运行如下二值查找运算法则
- For n=7 to step -1
- {置位 OCR 寄存器的 bit n (address 1F, 22 和 25hex) 逻辑 1 写入 I²C 兼容接口。
读出阵列整帧中各行前后 5 个黑像素计算平均黑电平 (BLaverage)
If (BLaverage > 100) then
Reset OCR 寄存器的 bit n (address 1F, 22 和 25hex) to 0
else
保持 bit n 置 1
}
- 使能黑电平补偿单元 (如果想得到) 通过写逻辑 0 到主配置寄存器 0 (MCFG0 : address 02Hex) 的 bit4。

12.0 偏置和增益

最好的偏置调整和校准方法在单元 11.0 描述回答了在固定的模拟增益下优化设置传感器的黑电平。但当模拟增益变化显著时传感器的黑电平将产生过白图像。

如何停止这种影响出现, 黑电平需要重新校准。可以通过图像处理调整图像对比度, 若没这个可能则用以下方法:

增益和偏置之间的关系可以用以下公式描述：

$$Offset(G) = Offset(0) + C * G^{0.4}$$

这里：

$Offset(G)$ 是编程到寄存器 OCR1, OCR2 和 OCR3 保证对应模拟增益 G 设置恰当的黑电平

$Offset(0)$ 是编程到寄存器 OCR1, OCR2 和 OCR3 保证使模拟增益一致 (G=0) 设置恰当的黑电平

C 是常数，来自传感器

G 可编程值，在传感器的 VGAIN 寄存器决定传感器的模拟增益。

以下程序可以计算 C 值。

用单元 11.0 描述的校准程序确定一致增益 $Offset(0)$ 下的偏置。注释：VGAIN 寄存器应置 0。

设置传感器的 VGAIN 为其最大值 31，重复单元 11.0 描述的校准程序。这将得到满增益 31 下的偏置，编程到寄存器 OCR1, OCR2 和 OCR3 保证设置恰当的黑电平。

对应传感器的 C 值可计算如下：

$$C = \frac{Offset(31) - Offset(0)}{3.95}$$

C 值计算出来后，由公式 1 可算出不同增益值时的偏置，C 具有小数点后 2 位精度。

13.0 串行总线

串行总线接口由 *sda* (串行数据) *sclk* (串行时钟) 和 *sadr* (设备地址选择) 引脚组成。LM9617 只能操作于从模式。

sclk 脚是输入，只用于控制串行口，LM9617 的所有其他时钟都用于主时钟脚 *mclk*

13.1 开始/停止

串行总线认可 *sda* 从逻辑 1 变到逻辑 0 *sclk* 为逻辑 1 是起始条件。认可 *sda* 从逻辑 0 变到逻辑 1 *sclk* 为逻辑 1 是被中断停止条件。如图 27

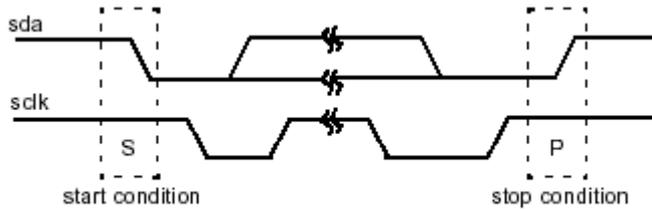


Figure 27. Start/Stop Conditions

13.2 设备地址

LM9617 串行总线地址当 *sadr* 锁定为低时设为 1010101，当 *sadr* 锁定为高时设为 0110011。该值对应 *sadr* 在上电时设置。

13.3 确认 (Acknowledgment)

如图 28，在 *sclk* 上的 Acknowledge 时钟脉冲为逻辑 1 状态下，LM9617 保持 *sda* 脚的值为逻辑 0。

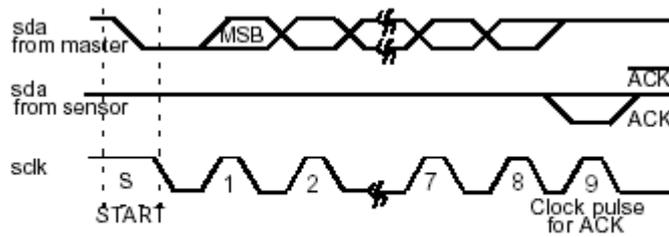


Figure 28. Acknowledge

13.4 数据有效

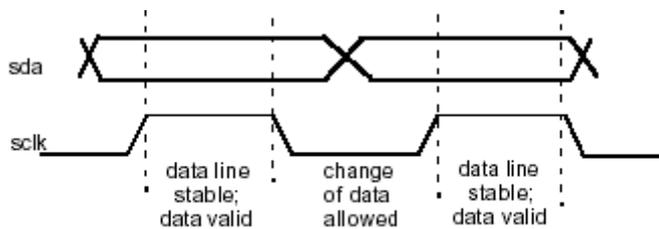


Figure 29. Data Validity

13.5 字节格式

每个字节包含 8bit。每个在总线上传输的字节必须有一个 *Acknowledgment*，字节中有意义的该位总应被首先传输。见图 30

13.6 写操作

写操作由传感器的设备地址和 *Write* bit 为起始条件初始化。当主控器接收到来自传感器的 *Acknowledgment* 时可传送 8 位内部寄存器地址。传感器将由第 2 个 *Acknowledgment* 信号响应主控器传送 8 个写数据位。当传感器完成接收时第 3 个 *Acknowledgment* 被发出。

13.7 读操作

读操作由传感器的设备地址和 *Write* bit 为起始条件初始化。当主控器接收到来自传感器的 *Acknowledgment* 时可传送 8 位内部寄存器地址字节。传感器将由第 2 个 *Acknowledgment* 信号响应。传感器必须由传感器的设备地址和 *Read* bit 发出新的起始条件。传感器将以读字节的 *Acknowledgment* 应答。

读操作在主控器由停止条件确定无 *Acknowledgment* 时或有下一个起始条件时完成。见图 32。

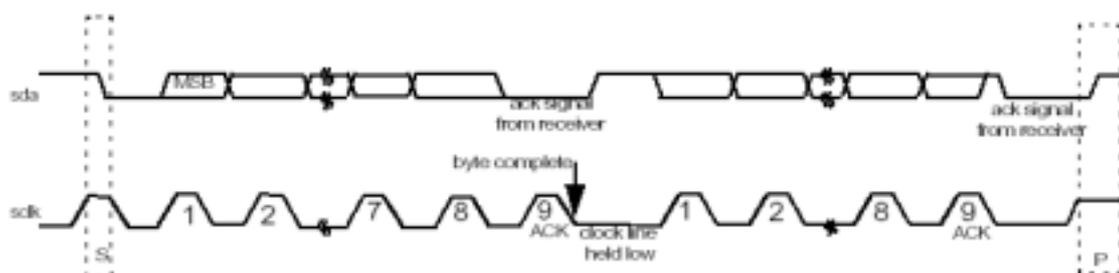


Figure 30. Serial Bus Byte Format



Figure 31. Serial Bus Write Operation

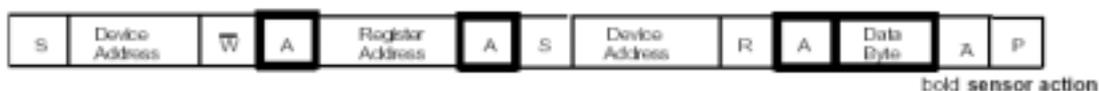


Figure 32. Serial Bus Read Operation

14.0 数字视频口

采集的图像被放到灵活的 12-bit 数字口如图 10。数字视频口由可编程 12-bit 数字数据总线 ($d[11:0]$) 和 3 个可编程同步信号 ($hsync$, $vsync$, $pclk$) 组成。

缺省时同步信号配置成操作于 “*master*” 模式。它们可编程为操作于 “*slave*” 模式。

以下部分详细的描述了数字视频口的时序和可编程模式。

像素数据输出到数字视频总线。总线可由 `VIDEOMODE1` 寄存器的

TriState bit 设成 3 态。

14.1 数字视频数据总线 (d[11:0])

提供的可编程多路开关把数字视频总线的引脚映射到内部像素输出器上。如图 33。

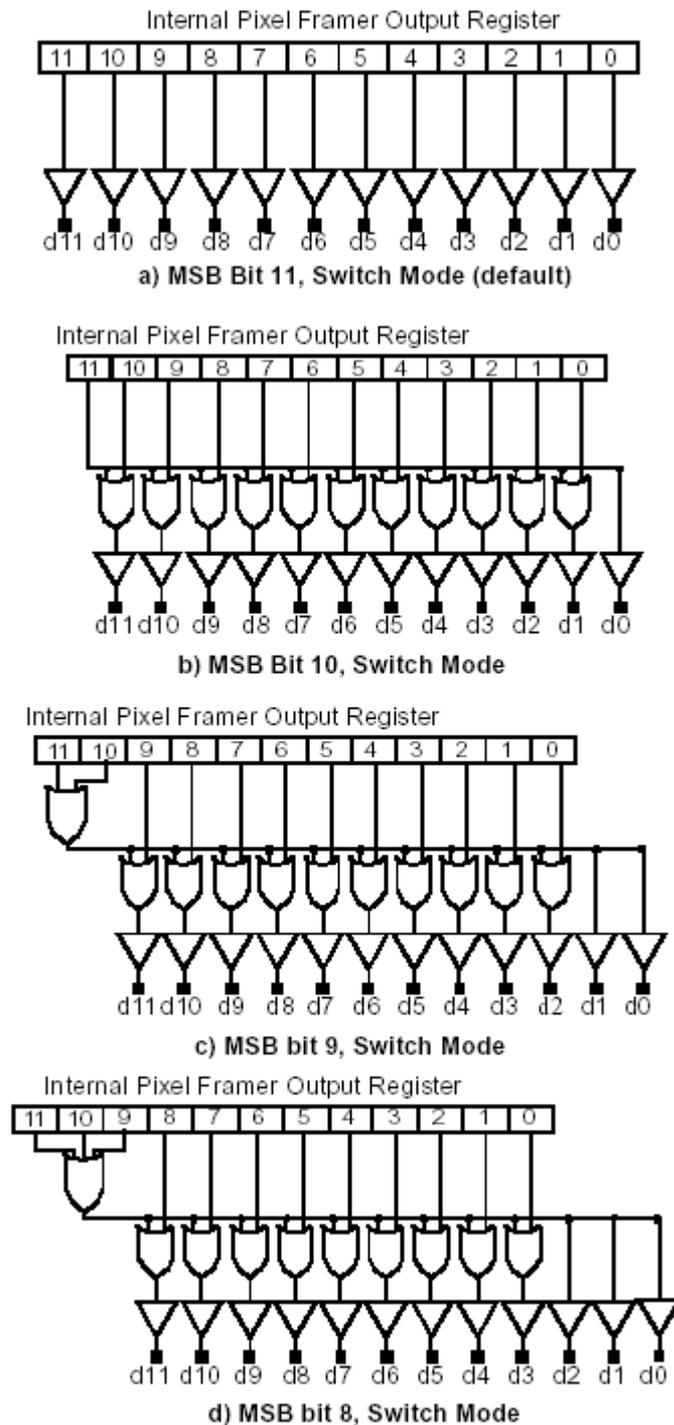
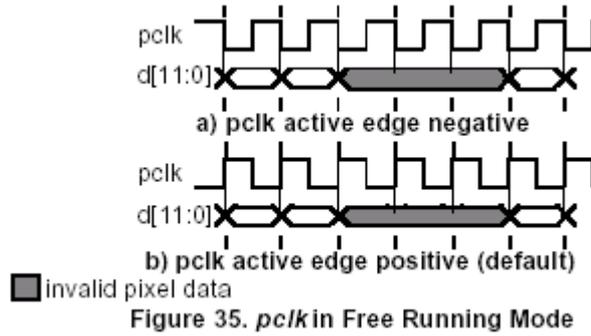


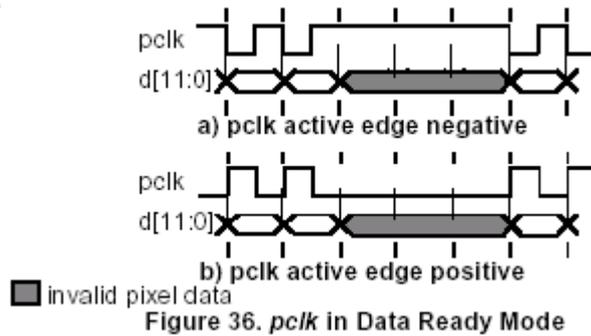
Figure 33. Digital Video Bus Switching Modes

传感器可以接到 8 或 10bit 数字视频处理系统示例如图 34。数字视频总线不接的位可



· 数据准备好模式

像素时钟将在有效像素数据出现在数字视频输出总线 $d[11:0]$ 上的确定一致时间内产生一脉冲见图 36。

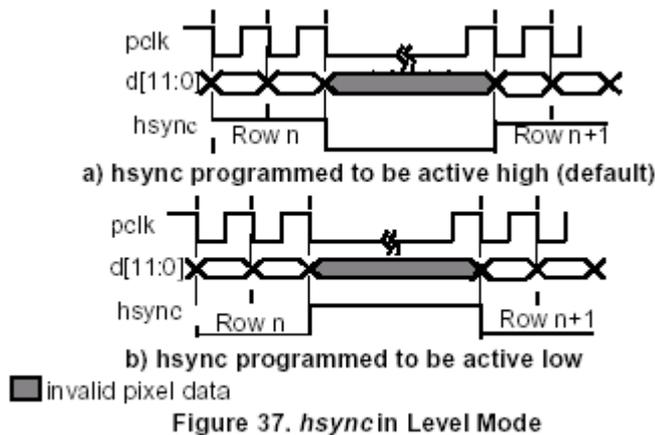


缺省时，像素时钟自由运行低有效（像素数据在时钟正沿改变）周期等于内部 *hclk*。时钟有效沿可编程使像素数据变化在时钟的正或负沿。

14.3 水平同步输出（*hsync*）

行同步输出 *hsync* 用于选定行数据。*hsync* 可编程工作于 2 种模式：

· 电平模式被用于当像素时钟编程为自由运行模式时。在电平模式 *hsync* 被确定为一电平（低或高）从每行开始保持到最后一像素读出到数字视频输出总线 $d[11:0]$ 上如图 37。*hsync* 电平总是与像素时钟 *pclk* 有效沿同步。



· 脉冲模式被用于当像素时钟编程为数据准备好模式时。在脉冲模式 *hsync* 在每行结束时产生一脉冲。脉冲宽度最小 4 个 *pclk* 周期且极性可设置如图 38。*hsync* 电平总是与像素时钟 *pclk* 有效沿同步

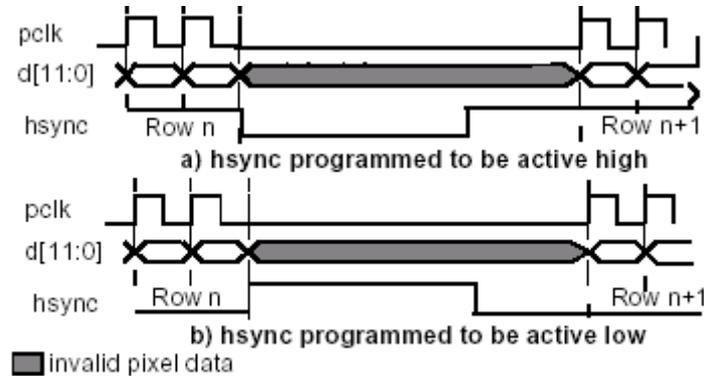


Figure 38. *hsync* in Pulse Mode

缺省时，每行第一个像素数据在 *hsync* 有效时立刻放到数字视频总线上。每行的开始部分，在真正的象素读出之前，可能会有总共可达 15 个暗象素被读出。这一特性是为了支持 level 模式和 pulse 模式。

14.4 水平和垂直同步脚 (*vsync*)

垂直同步输出脚，*vsync*，被用做帧内象素数据的指示器。*Vsync* 脚输出可以被编程操作于下面两种模式：

· 当像素时钟 *pclk* 被编程操作于自由运行模式下时，应该用水平模式。水平模式下，每帧开始时 *vsync* 输出脚为一特定标准（高或低）并保持该状态直到该行最后象素被 *d[11:0]* 取代，如图 39。*Hsync* 标准总是与 *pclk* 的边沿同步。

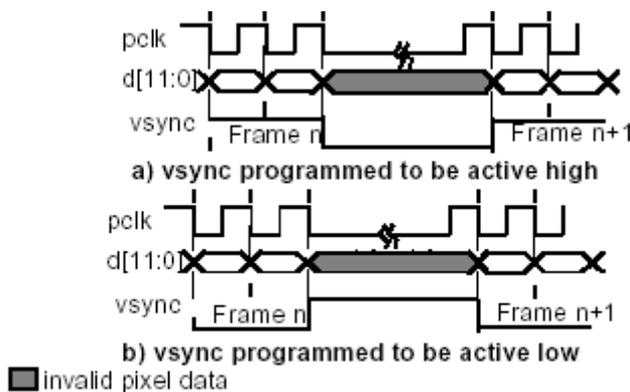
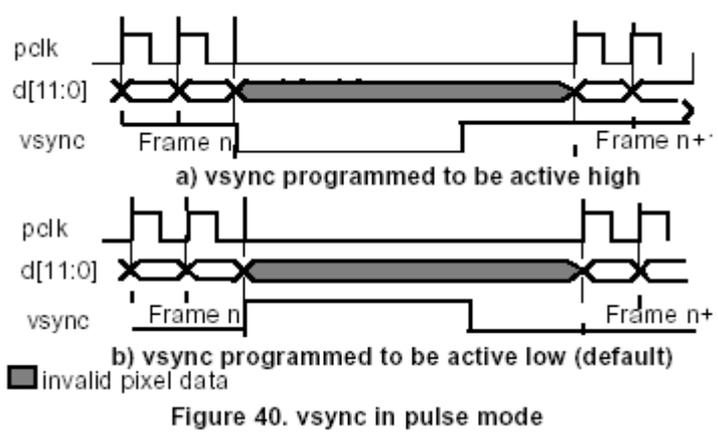


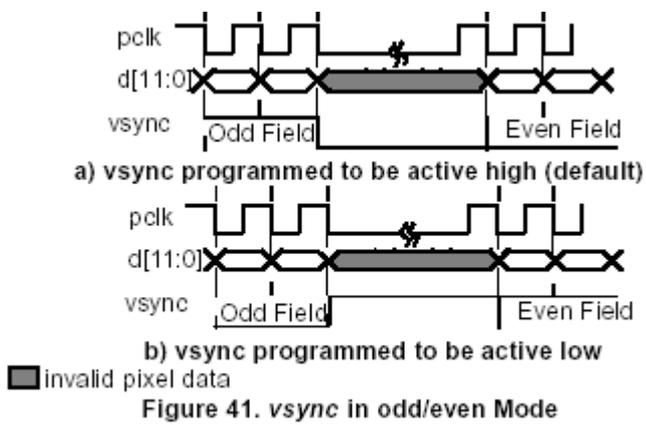
Figure 39. *vsync* in Level Mode

· 在数据准备模式，脉冲模式用于象素周期 *pclk* 被编程为操作之时在脉冲模式。*vsync* 输出管脚在每帧的结束时产生一个脉冲，其脉冲宽度是四 *hclk* 周期中最小的，其极性被编程为如图 40 示。*Vsync* 状态总是与 *pclk* 的边沿同步。



14.5 奇/偶模式

在奇/偶模式，vsync 信号指示当前放在数字信号线 d[11:0]上的象素来至于奇/偶场。在此模式下 vsync 的极性可以被编程，如图 41 示。



Functional Description (continued)

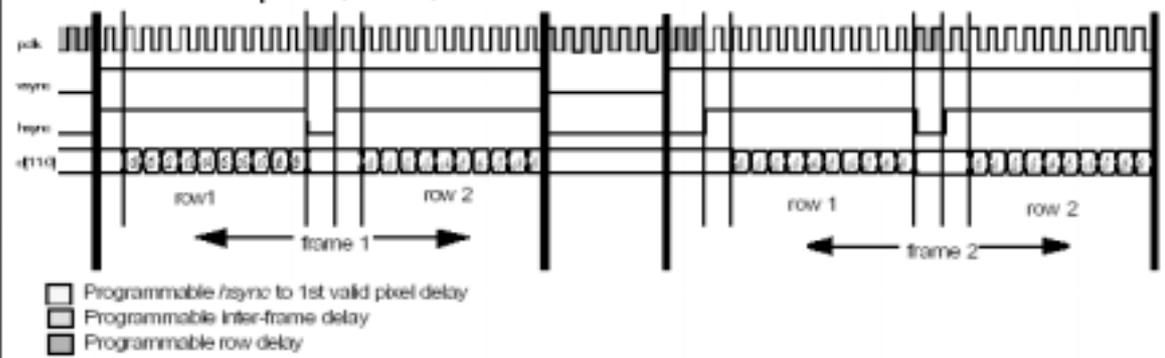


Figure 42. Example of Digital Video Port Timing in Progressive Scan Mode

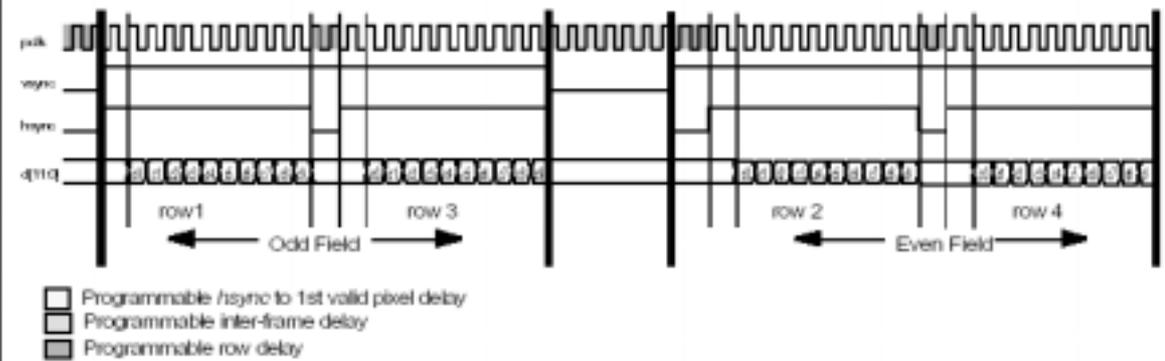


Figure 43. Example of Digital Video Port Timing in Interlaced Mode

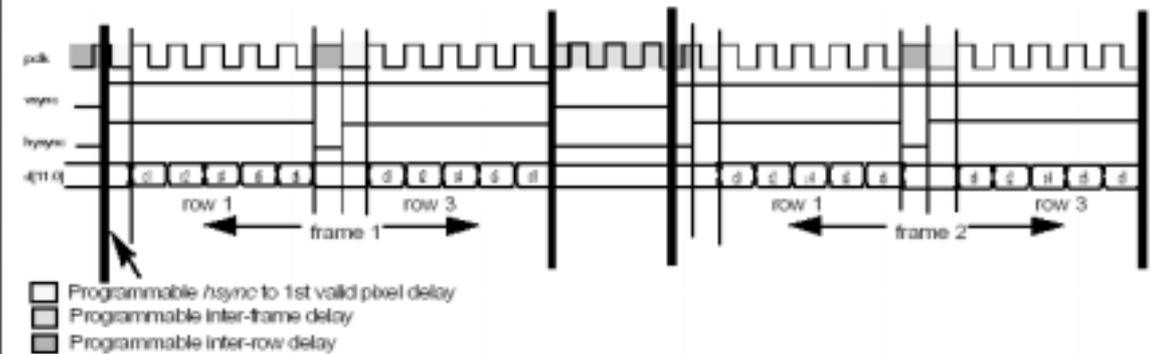


Figure 44. Example of Digital Video Port Timing in 2:1 Sub-sampling Mode

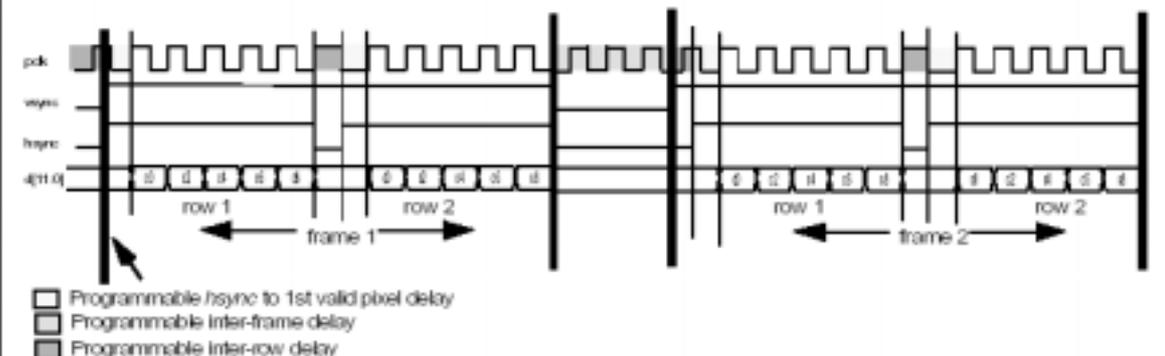


Figure 45. Example of Digital Video Port Timing in 4:2 Sub-sampling Mode

14.6 从模式下的同步信号

从模式下传感器的数字视频口的同步信号可以被编程操作。从模式下积分时序和控制区只有在接收外部源触发器信号时才开始帧和行处理。

从模式的两个同步信号如下：

hsync 是行触发输入信号。

Vsync 是帧触发输入信号。

图 46 显示从模式下 LM9617's 数字视频口与数字视频控制端 DVP 的接口。

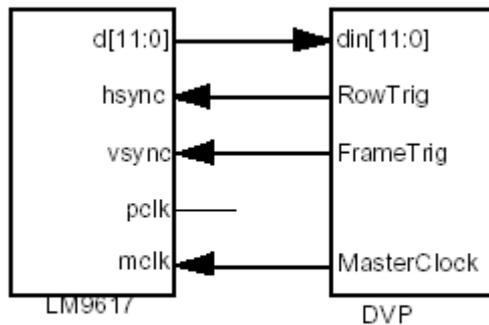


Figure 46. LM9617 in slave mode

14.7 行触发输入脚 (hsync)

行触发输入脚 (hsync) 用于触发处理给定行，在最后的两个 mclk 周期有效。确定行触发后，第一个象素数据出现在 d[11:0] “Xmclk” 期。

Xmclk 由下式给出：

$$Xmclk = 124 + DW_{StAd}$$

这里 DW_{StAd} 显示窗列的起始地址。

行触发电平的有效极性可编程。缺省说为高电平。

14.8 帧触发输入脚 (vsync)

帧触发输入脚 (vsync) 用于启动行地址计数器和准备行处理矩阵。它在最后一个 mclk 周期必须被置为有效，而且有效时间不能多于 96 mclk 周期，如 48 图所示。行触发电平的有效极性可编程。缺省说为高电平。

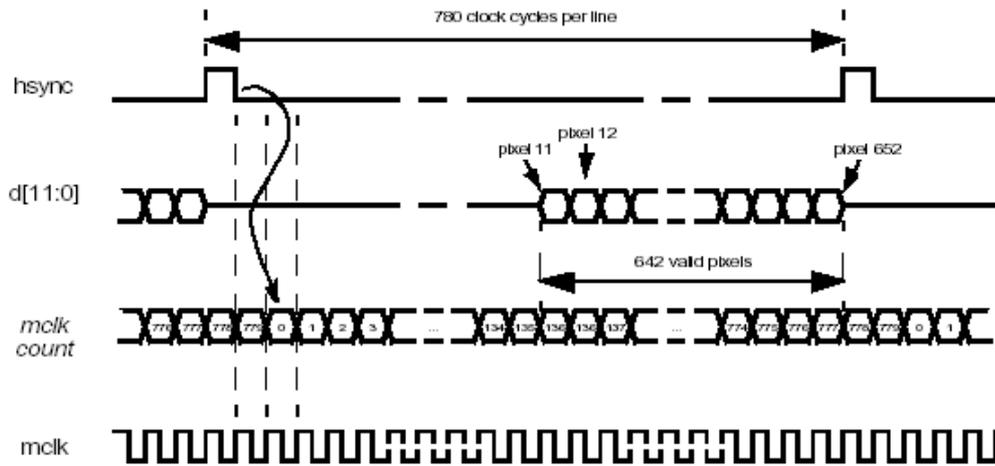


Figure 47. hsync slave mode timing diagram for centred display window of 642 pixels

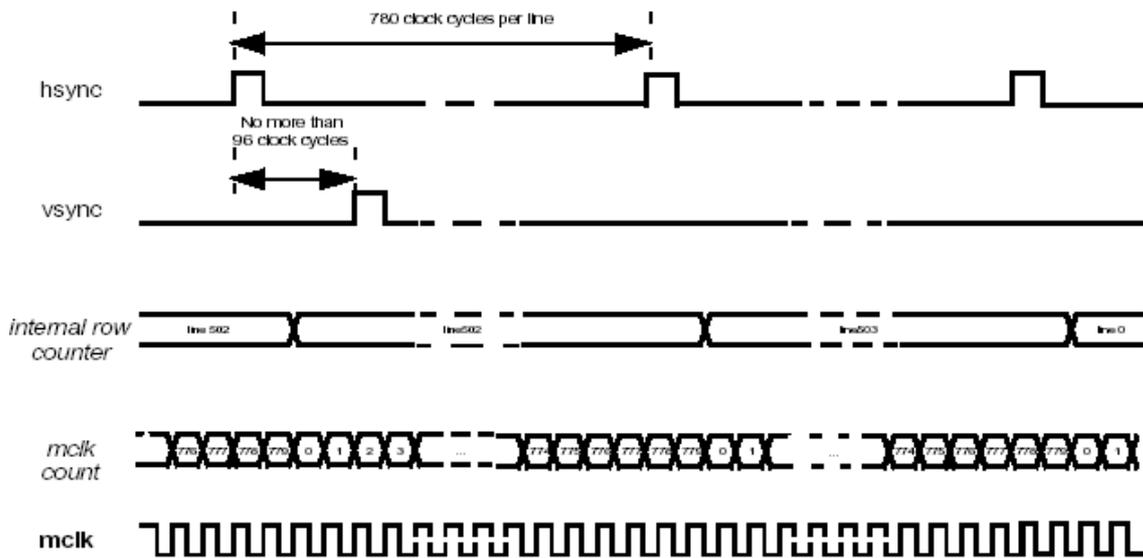


Figure 48. vsync slave mode timing diagram for scan window of 504 rows.

存储器表

地址	寄存器	起始值	说明
00h			保留
01h	REV	02h	修改寄存器
02h	MCFG0	00h	主配置寄存器 0
03h	MCFG1	00H	主配置寄存器 1
04h	PCR	04H	能量控制寄存器
05h	VCLKGEN	04H	视频时钟发生器
06h	VMODE0	00H	视频模式 0 寄存器
07h	VMODE1	00H	视频模式 1 寄存器
08h	VMODE2	00H	视频模式 2 寄存器

09h	SNAPMODE0	00H	快照模式 0 寄存器
0Ah	SNAPMODE1	00H	快照模式 1 寄存器
0Bh	SROWS	00H	扫描窗行开始寄存器
0Ch	SROWE	FBH	扫描窗行结束寄存器
0Dh			保留
0Eh	DROWS	00H	显示窗行开始寄存器
0Fh	DROWE	FBH	显示窗行结束寄存器
10H	DCOLS	00H	显示窗列开始寄存器
11H	DCOLE	A5H	显示窗列结束寄存器
12H	DWLSB	32H	显示窗 LSB 寄存器
13H	ITIMEH	00H	积分时间高寄存器
14H	ITIMEL	00H	积分时间低寄存器
15H	RDELAYH	00H	行延时高寄存器
16H	RDELAYL	00H	行延时低寄存器
17H	FDELAYL	00H	场延时高寄存器
18H	FDELAYH	00H	场延时低寄存器
19H	VGAIN	00H	视频获取寄存器
1FH	OCR1	00H	偏移量补偿寄存器 1
22H	OCR1	00H	偏移量补偿寄存器 1
25H	OCR2	00H	偏移量补偿寄存器 2
26H	BLCOEFF	00H	黑电平补偿系数寄存器
27H	BPTH0H	00H	坏像素门限 0 高寄存器
28H	BPTH0L	00H	坏像素门限 0 低寄存器
29H	BPTH1H	00H	坏像素门限 1 高寄存器
2AH	BPTH1L	00H	坏像素门限 1 低寄存器

寄存器设置

以下部分描述 LM9617 寄存器库的所有有用寄存器及其功能

寄存器名 设置 Rev 寄存器

记为 Rev

地址 01H

类型 只读

位 (bit)	位符号	说明
7 : 0	Si Rev	硅修改寄存器

寄存器名 主配置寄存器 0

记为 MCFG0

地址 0 2H

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7	PwrUpBusy	(只读位) 指示当前电源进行初始化。当该位为 0 时，传感器准备好
6	PwrDown	确信传感器下电。寄存器该位为 1 与 pdwn 脚高电平功能相同。清除 (缺省) 该位传感器上电。
5	BPCorrectio n	确信使能坏像素探测和修正电路，清除该位 (缺省) 为电路断开
4	/BlkComp	确信黑电平补偿电路断开，清除该位 (缺省) 为电路接通
3	SnapEnable	确信使能外部快照脚，清除该位 (缺省) 外部快照脚无效
2 : 0		保留

寄存器名 主配置寄存器 1

记为 MCFG1

地址 0 3H

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7	/ColorMode	确定，当使用单色传感器为确定。当该位在逻辑 1 下子采样设置为 2 : 1，在隔行扫描期间隔行输出。当使用彩色传感器为清除 (缺省)。当该位在逻辑 0 时子采样设置为 4 :

		2, 在隔行扫描期间每隔两行输出。
6	SnapMode	设置敏感器为隔行扫描输出模式时为确定。清除 (缺省) 该位置敏感器为累进扫描输出模式。
5	HSubSamEn	确信使能水平子采样, 清除 (缺省) 为水平子采样无效
4	VSubSamEn	确信使能垂直子采样, 清除 (缺省) 为垂直子采样无效
3		保留
2	SlaveMode	在从模式用于配置数字视频输出口的同步信号操作。缺省时, 数字视频输出口的同步信号配置为主模式。
1 : 0		保留

寄存器名 电源控制寄存器 1
记为 RCR
地址 04H
类型 读/写
起始值 00H

位 (bit)	位符号	说明
7	ByPassGain	确定, 当从 CDS 输出的模拟视频信号发送到 12 位 A/D 的输入。清除 (缺省) 当发送信号到视频增益放大器。
6 : 4		保留
3	PwDnPGA	确信可编程视频放大器掉电。清除 (缺省) 为编程视频放大器上电
2 : 1		保留
0	PwDnADC	确信 12 位 A/D 转换器掉电。清除 (缺省) 为 12 位 A/D 转换器上电

寄存器名 Hclk 产生寄存器
记为 VCLKGEN
地址 05H
类型 读/写
起始值 04H

位 (bit)	位符号	说明

7 : 0	HclkGen	用来分频敏感器的主输入时钟，mclk 产生内部敏感器时钟，Hclk。编程 00H（缺省）为 Hclk 等于 mclk 或者分频 mclk，用 1—FFH 中的数。
-------	---------	---

寄存器名 数字视频模式 0
记为 VMODE0
地址 0 6H
类型 读/写
起始值 00H

位 (bit)	位符号	说明
7 : 6	PixDataSel	用于编程数字视频总线 d[11 :0]的有效位 ,从 MSD 的 d[11] 开始。无效的三态为： 00 : 12 位模式，数字视频总线 d[11 : 0]有效（缺省）。 01 : 10 位模式。数字视频总线 d[11 : 2]有效。 02 : 8 位模式。数字视频总线 d[11 : 4]有效。 11 : 保留
5 : 4	PixDataMsb	用于编程发送内部视频 A/D 的 MSB 输出到数字视频总线的一位。 00 : A/D[11 : 0]---d[11 : 0] 01 : A/D[10 : 0]---d[11 : 1] 10: A/D[9 : 0]---d[11 : 2] 11: A/D[8 : 0]---d[11 : 3]
3 : 0		保留

寄存器名 数字视频模式 1
记为 VMODE1
地址 0 7H
类型 读/写
起始值 00H

位 (bit)	位符号	说明
7	PixClkMode	确定设置 pclk 为数据准备模式，清除（缺省）设置 pclk 为

		自由运行模式。
6	VsyncMode	确定设置 vsync 脚为脉冲模式，清除（缺省）vsync 脚为电平模式
5	HsyncMode	确定迫使水平同步信号为每行结束的 4 脉冲时钟的最小值。清除（缺省）水平同步信号为行内电平指示为无效数据。
4	PixClkPol	确定设置像素时钟的有效边沿为负。清除（缺省）设置像素时钟的有效边沿为正。
3	VsynPol	确定迫使垂直同步信号在场读出时产生一个逻辑 0，（电平模式）；或在每场读出结束时产生一个负脉冲，（脉冲模式）。清除（缺省）迫使垂直同步信号在场读出时产生一个逻辑 1，（电平模式）；或在每场读出结束时产生一个负脉冲，（脉冲模式）。
2	HsynPol	确定迫使水平同步信号在行读出时产生一个逻辑 0，（电平模式）；或在每行读出结束时产生一个负脉冲，（脉冲模式）。清除（缺省）迫使水平同步信号在场读出时产生一个逻辑 1，（电平模式）；或在读出结束时产生一个负脉冲，（脉冲模式）。
1	OddEvenEn	确定迫使 vsync 脚作为奇/偶场指示器。清除（缺省）迫使 vsync 脚作为垂直同步信号。
0	TriState	确使三态所有数字视频口的输出信号（状态和控制）。清除（缺省）为使能所有数字视频口的输出信号（状态和控制）。

寄存器名 数字视频模式 2

记为 VMODE2

地址 0 8H

类型 读/写

起始值 00H

起始值 00H

位 (bit)	位符号	说明
-----------	-----	----

7 : 4	HsyncAdjust PassGain	用于编程在每行开始的第一个无效像素的 hsync 的起始沿。0H-HF 相当于 0-15 像素时钟，缺省 0。
3 : 0		保留

寄存器名 快照模式配置寄存器 0

记为 SNAPMDE0

地址 0 9H

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7 : 6	SsFrames	编程设置在无外部快门下的快照读出之前的场要求数据 (见图 18), 缺省设置为 00。 0 : 一场 01 : 两场 10 : 三场 11 : 四场
5	ShutterEn	确定设置 extsync 信号的电平为 0。清除 (缺省) 设置 extsync 信号的电平为 1。
2	SnapshotMod	确定设置快照脚为电平模式。在电平模式, 传感器连续运行快照时序, 直到快照脚被放置有效电平。清除 (缺省) 设置快照脚为脉冲模式。在脉冲模式, 传感器只运行在快照脚上的快照时序脉冲。
1	SnapShotPol	确定设置 快照脚为正沿有效。清除 (缺省) 设置 快照脚为负沿有效
0	IrqPol	确使设置 irq 信号的有效电平为 0。清除 (缺省) 设置 irq 信号的有效电平为 1。

寄存器名 快照模式配置寄存器 1

记为 SNAPMDE1

地址 0 AH

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7	SnapinEn	确定使能快照中断的产生。清除 (缺省) 快照中断无效。
6	SsTrigFlag	(只读脚) 快照触发中断标志。该位逻辑 1 表示在快照读出时序完成时 irq 脚产生中断。读时该位清除。
5	SsRdFlag	(只读脚)
4	/SsEngage	确定允许 CPU 控制快照时序。该模式下, 快照快门产生一中断到 CPU, 而且 CPU 通过置位该寄存器的 FtiggerEn 位手动产生快照时序。清除 (缺省) 设置自动快照时序。在自动模式, 当快照快门被使能, 快照时序开始。
3	FtSync	(只读) 内部同步信号。逻辑 1 表示要求同步。该位等价于外部的 extsync 脚。
2	FtBusy	只读。场快门忙位。逻辑 1 表示忙于读像素数据, 见图 18。
1	FTriggerNow	确使开始快照时序。此时场快门的功能等于外部快照脚缺省为 0。
0	FtriggerEn	确使使能快照时序(见该寄存器的 SsEngage 位)缺省为 0。

寄存器名 扫描窗行开始寄存器

记为 SROWS

地址 0 BH

类型 读/写

起始值 00H

起始值 00H

位 (bit)	位符号	说明
7 : 0	SwStartRow	用于编程扫描窗的开始行地址 MSBs。如果寄存器的位 6DWLSB 设置为 1, 开始行地址从 1 渐增, 否则用原值。。

寄存器名 扫描窗行结束寄存器

记为 SROWE

地址 0 CH

类型 读/写

起始值 00H

起始值 FBH

位 (bit)	位符号	说明
7 : 0	SwEndRow	用于编程扫描窗的 结束行地址 MSBs。如果寄存器的位 6DWLSB 设置为 1，结束行地址从 1 渐增，否则用原值。

寄存器名 显示窗行开始寄存器

记为 DROWS

地址 0 EH

类型 读/写

起始值 00H

起始值 00H

位 (bit)	位符号	说明
7 : 0	SwStartRow	用于编程显示窗的开始行地址 MSBs。LSB 可以用 DWLSB 寄存器编程。

寄存器名 显示窗行结束寄存器

记为 DROWE

地址 0 FH

类型 读/写

起始值 FBH

位 (bit)	位符号	说明
7 : 0	DwEndtRow	用于编程显示窗的结束行地址 MSBs。LSB 可以用 DWLSB 寄存器编程。

寄存器名 显示窗列开始寄存器

记为 DCOLS

地址 10H

类型 读/写

起始值 00H

起始值 00H

位 (bit)	位符号	说明
7 : 0	DwStartCol	用于编程显示窗的开始列地址 MSBs。两个 LSB 可以用 DWLSB 寄存器编程。

寄存器名 显示窗列结束寄存器
记为 DCOLE
地址 11H
类型 读/写
起始值 A5H

位 (bit)	位符号	说明
7 : 0	DwEndCol	用于编程显示窗的结束列地址 MSBs。两个 LSB 可以用 DWLSB 寄存器编程。

寄存器名 显示窗 LSB 寄存器
记为 DWLSB
地址 12H
类型 读/写
起始值 32H

位 (bit)	位符号	说明
7		保留
6	SwLsb	确定从 1 开始增加扫描窗开始和结束地址。清除 (缺省) 用原值。
5	DwCel[1]	用于编程显示窗的结束列地址位 1，缺省为 1。
4	DwCel[0]	用于编程显示窗的结束列地址位 0，缺省为 1。
3	DwCSL[1]	用于编程显示窗的开始列地址位 1，缺省为 0。
2	DwCSL[0]	用于编程显示窗的开始列地址位 0，缺省为 0。
1	DwERLsb	用于编程显示窗的结束行地址位 1，缺省为 1。
	DwSRLsb	用于编程显示窗的开始行地址位 0，缺省为 0。

寄存器名 积分时间高寄存器
记为 ITIMEH
地址 13H

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7 : 4		保留
3 : 0	Itime[11:8]	编程设置积分时间矩阵。寄存器的编程值为在选择行被预置之前的行数。

寄存器名 积分时间低寄存器

记为 ITIMEL

地址 14H

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7 : 0	Itime[7 : 0]	编程设置积分时间矩阵。寄存器的编程值为在选择行被预置之前的行数。

寄存器名 行延时高寄存器

记为 RDELAYH

地址 15H

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7 : 3		保留
2 : 0	Rdelay[10 : 8]	用于编程 MSBs 的行延时。

寄存器名 行延时低寄存器

记为 RDELAYL

地址 16H

类型 读/写

起始值 00H

位 (bit)	位符号	说明
-----------	-----	----

7 : 0	Rdelay[7 ; 0]	用于编程 MSBs 的行延时。
-------	---------------	-----------------

寄存器名 场延时高寄存器

记为 FDELAYH

地址 17H

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7 : 4		保留
3 : 0	Fdelay[11 : 8]	用于编程 MSBs 的场延时。

寄存器名 场延时低寄存器

记为 FDELAYL

地址 18H

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7 : 0	Fdelay[7 : 0]	用于编程 MSBs 的场延时。

寄存器名 视频增益寄存器

记为 VGAIN

地址 19H

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7 : 6		保留
5 : 0	VidGain	用于编程全部的视频增益。00H 为 0dB 增益 ;3F H 为 15dB 增益。每步线性增加。

寄存器名 偏移量补偿寄存器 0

记为 OCR0

地址 1FH

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7 : 0	OffsetVol	寄存器定义出现在 offset-ctrl 脚的电压电平。

寄存器名 偏移量补偿寄存器 1

记为 OCR1

地址 22H

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7 : 0	OffsetVol	寄存器定义出现在 offset-ctrl 脚的电压电平。

寄存器名 偏移量补偿寄存器 2

记为 OCR2

地址 25H

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7 : 0	OffsetVol	寄存器定义出现在 offset-ctrl 脚的电压电平。

寄存器名 黑电平补偿系数寄存器

记为 BLCOEFF

地址 26H

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7 : 0	Alpha[7:0]	黑像素的指数平均系数。

寄存器名 门槛 0 高寄存器

记为 BPTH0H

地址 27H

类型 读/写

起始值 00H

位 (bit)	位符号	说明
7 : 0	BPT0[11:4]	用于编程黑电平修正阈值 0 的 LSBs.

寄存器名 阈值 0 低寄存器
 记为 BPTH0L
 地址 28H
 类型 读/写
 起始值 00H

位 (bit)	位符号	说明
7 : 4	BpTo[3:0]	用于编程黑电平修正阈值 0 的 LSBs.
3 : 0		保留

寄存器名 阈值 1 高寄存器
 记为 BPTH1H
 地址 29H
 类型 读/写
 起始值 00H

位 (bit)	位符号	说明
7 : 0	THR1[11:4]	用于编程黑电平修正阈值 1 的 LSBs.

寄存器名 阈值 1 低寄存器
 记为 BPTH0L
 地址 2AH
 类型 读/写
 起始值 00H

位 (bit)	位符号	说明
7 : 4	THR1 [3:0]	用于编程黑电平修正阈值 1 的 LSBs.
3 : 0		保留

时序资料

1.0 数字视频口主模式时序

Timing Information

1.0 DIGITAL VIDEO PORT MASTER MODE TIMING

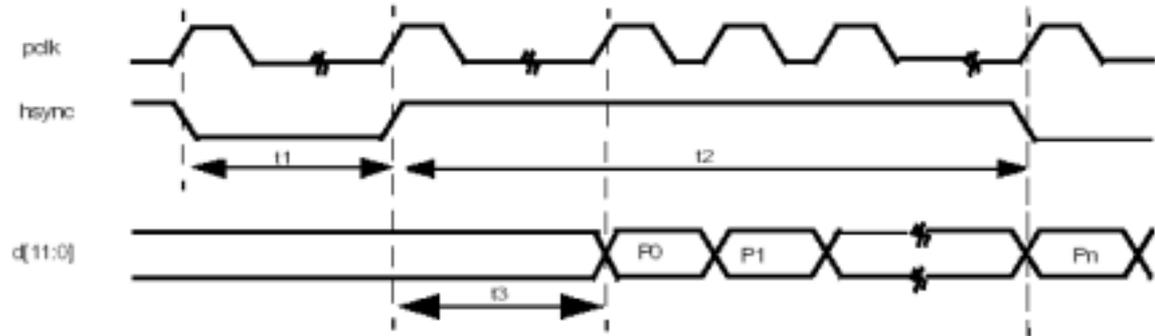


Figure 49. Row Timing Diagram

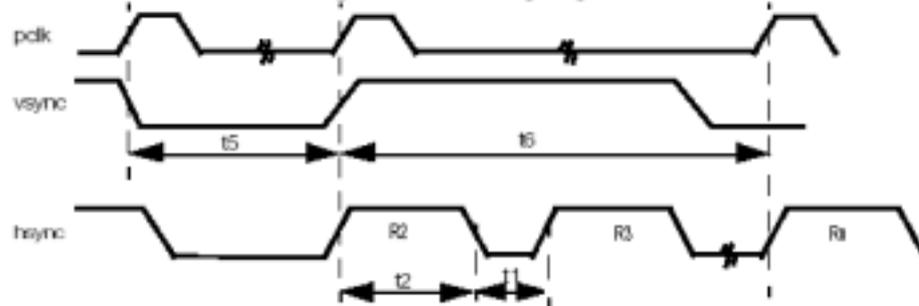


Figure 50. Frame Timing

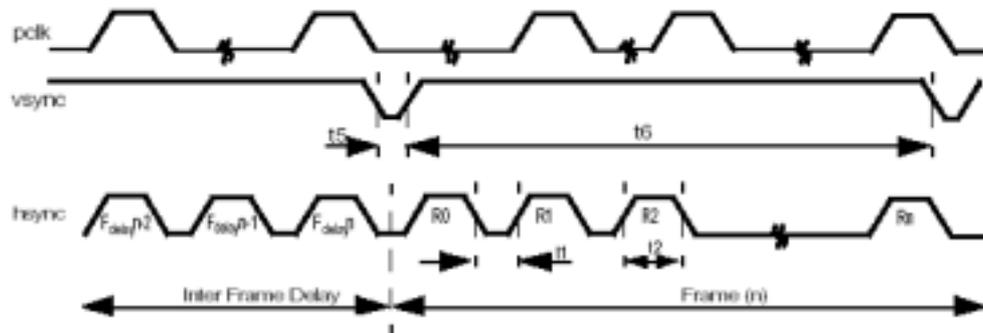


Figure 51. Frame Delay Timing (With Inter Frame Delay).

Label	Descriptions	Min	Typ	Max
t0	pcik period	74.4ns	83.3ns	1.0μs
t1	hsync low level mode pulse mode	$(116 - HsyncAdjust) \cdot pcik$ $16 \cdot pcik$		(see note a & b)
t2	hsync high level mode pulse mode	$(664 - HsyncAdjust) \cdot pcik$ $764 \cdot pcik$		(see note a & b)
t3	first valid pixel data after hsync active	$HsyncAdjust \cdot pcik$		(see note a & b)
t5	vsync low level mode pulse mode	$116 \cdot pcik$ $16 \cdot pcik$		(see note a & b)
t6	vsync high level mode pulse mode	$(FN_{Max} - 116) \cdot pcik$ $16 \cdot pcik$		(see note a & b)

Note a: See *Frame Rate Programming* section for more details

Note b: See *Digital Video Port Registers* for more details

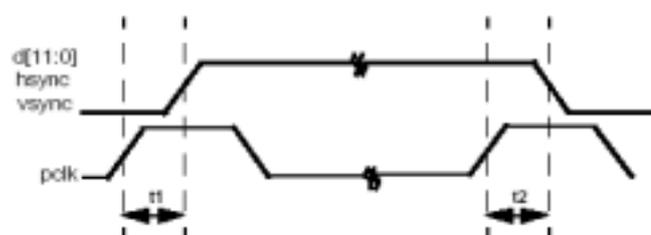


Figure 52. $d[11:0]$, $hsync$ & $vsync$ to Active High $pcik$ Timing

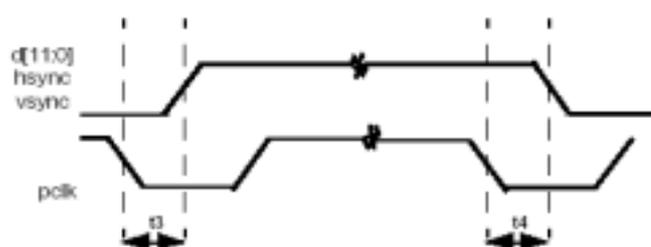


Figure 53. $d[11:0]$, $hsync$ & $vsync$ to Active Low $pcik$ Timing

The following specifications apply for all supply pins = +3.3V and $C_L = 10pF$ unless otherwise noted. **Boldface limits apply for TA : T_{MIN} to T_{MAX}** ; all other limits $T_A = 25^\circ C$ (Note 7)

Label	Descriptions	Min	Typ	Max
t1	Rising $pcik$ to Rising $hsync$, $vsync$ or $d[11:0]$		25ns	
t2	Rising $pcik$ to Falling $hsync$, $vsync$ or $d[11:0]$		23ns	
t3	Falling $pcik$ to rising $hsync$, $vsync$ or $d[11:0]$		25ns	
t4	Falling $pcik$ to falling $hsync$, $vsync$ or $d[11:0]$		23ns	

2.0 数字视频口从模式时序

2.0 DIGITAL VIDEO PORT SLAVE MODE TIMING

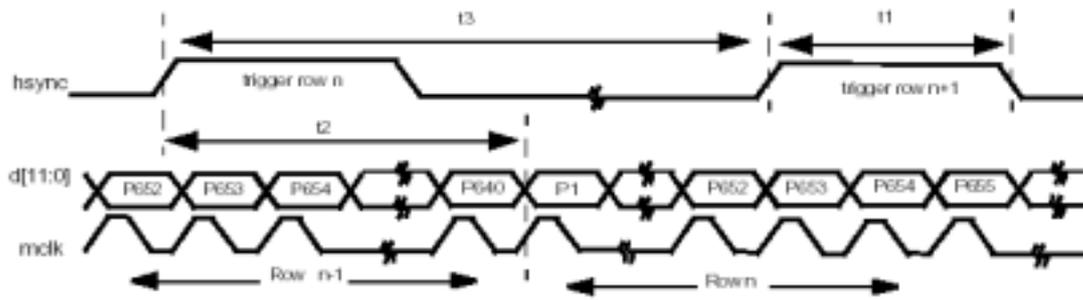


Figure 54. Slave Mode Row Trigger and Readout Timing

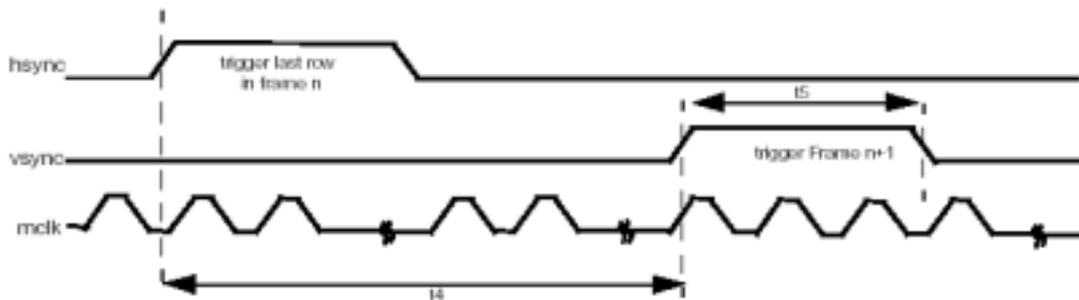


Figure 55. Slave Mode $d[11:0]$, $hsync$ & $vsync$ to $pclk$ Timing

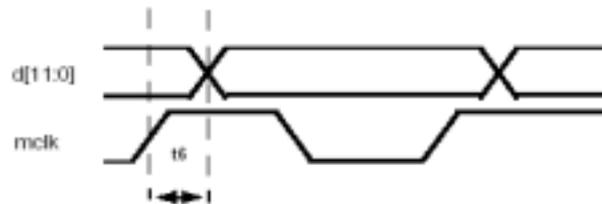


Figure 56. Rising Edge of $mclk$ to Valid Pixel Data

The following specifications apply for all supply pins = +3.0V & $C_L = 10\text{pF}$ unless otherwise noted. **Boldface limits** apply for $T_A = T_{MIN}$ to T_{MAX} ; all other limits $T_A = 25^\circ\text{C}$ (Note 7)

Label	Descriptions	Min	Typ	Max
t1	Pulse width of row trigger	2 · mclk		
t2	First pixel out after rising edge of row trigger	124 · mclk		124 · mclk
t3	Minimum time between row triggers.	780 · mclk		
t4	Max time to assert next frame trigger after last row trigger.			96 · mclk
t5	Pulse width of Frame trigger	2 · mclk		
t6	Time to valid pixel data after rising edge of mclk		44ns	

3.0 数字视频口信号捕获（快照模式）时序

3.0 DIGITAL VIDEO PORT SINGLE FRAME CAPTURE (SNAPSHOT MODE) TIMING

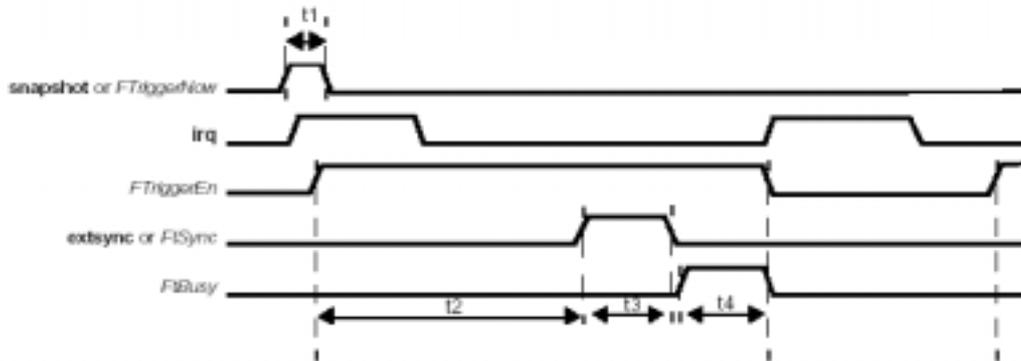


Figure 57. Snapshot Mode Timing With External Shutter

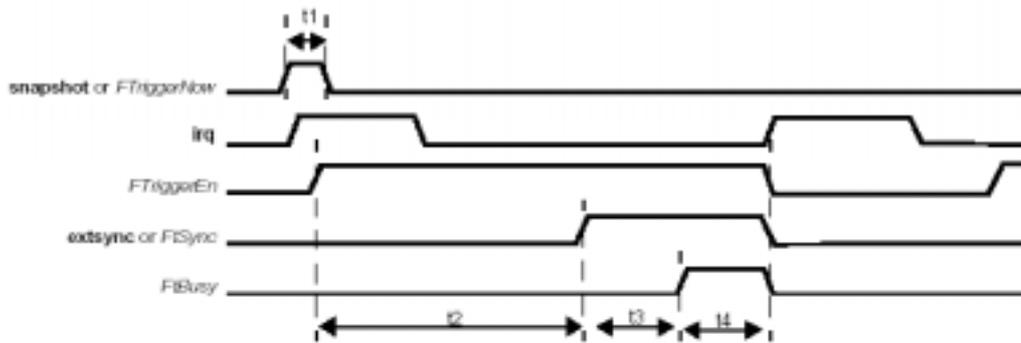


Figure 58. Snapshot Timing Without External Shutter

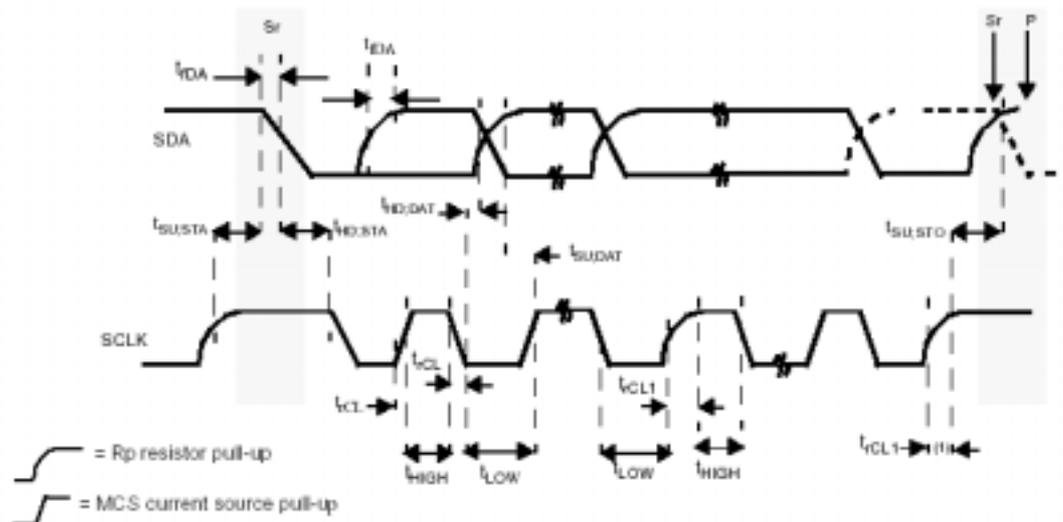
Label	Descriptions	Equation	
t1	Minimum Snapshot Trigger Pulse Width	$2 \cdot mclk$	(see notes a & b)
t2	Minimum time from Snapshot Pulse to <i>extsync</i>	FN_{Hclk}	(see notes a & b)
t3	Array Integration Time	FN_{Hclk}	(see notes a & b)
t4	Pixel Read Out	FN_{Hclk}	(see notes a & b)

Note a: See 7.0 Frame Rate Programming section for more details

Note b: See Snapshot Mode for more details

4.0 连续总线时序

4.0 SERIAL BUS TIMING



(1) Rising edge of the first SCLK pulse after an acknowledge bit.

Figure 59. I²C Compatible Serial Bus Timing.

The following specifications apply for all supply pins = +3.3V, $C_L = 10\text{pF}$, and $\text{sofk} = 400\text{KHz}$ unless otherwise noted. **Boldface limits apply for $T_A = T_{MIN}$ to T_{MAX} ; all other limits $T_A = 25^\circ\text{C}$ (Note 7)**

PARAMETER	SYMBOL	MIN	MAX	UNIT
sofk clock frequency	f_{SCLK}	0	400	KHz
Set-up time (repeated) START condition	$t_{SU,STA}$	0.6	-	μS
Hold time (repeated) START condition	$t_{HD,STA}$	0.6	-	μS
LOW period of the sofk clock	t_{LOW}	1.3	-	μS
HIGH period of the sofk clock	t_{HIGH}	0.6	-	μS
Data set-up time	$t_{SU,DAT}$	180	-	nS
Data hold time	$t_{HD,DAT}$	0	0.9	μS
Set-up time for STOP condition	$t_{SU,STO}$	0.6		μS
Capacitive load for sda and sofk lines	C_b		400	pF

