



1.5Mps、单电源、低功耗、真差分、12位ADC

MAX1224/MAX1225

概述

MAX1224/MAX1225 12位模数转换器 (ADC) 具有低功耗、高速、串行输出的特点，其采样速率最高可达 1.5Mps。器件提供真差分输入，较单端输入可提供更好的噪声抑制、失真改善以及更宽的动态范围。标准的 SPI™/QSPI™/MICROWIRE™ 接口提供转换所需的时钟信号。可以轻松地与标准数字信号处理器 (DSP) 的同步串行接口连接。

MAX1224/MAX1225 工作在 +2.7V 至 +3.6V 的单电源电压，需要一个外部基准源。MAX1224 允许单极性模拟输入，而 MAX1225 允许双极性模拟输入。器件具有局部关断模式和完全关断模式，能够将两次转换之间的电源电流分别降低至 1mA (典型值) 和 1μA (最大值)。器件还具有一个独立的电源输入 (V_L)，可直接与 +1.8V 到 V_{DD} 的数字逻辑接口。高转换速度、低功耗、较好的交流性能和直流准确度 ($\pm 1.5\text{LSB INL}$) 等特性使得 MAX1224/MAX1225 非常适合工业过程控制、电机控制、基站等应用。

MAX1224/MAX1225 提供 12 引脚的 TQFN 封装，工作于商业级温度范围 (0°C 至 +70°C) 和扩展级温度范围 (-40°C 至 +85°C)。

应用

数据采集

票据认证

电机控制

通讯

便携式仪表

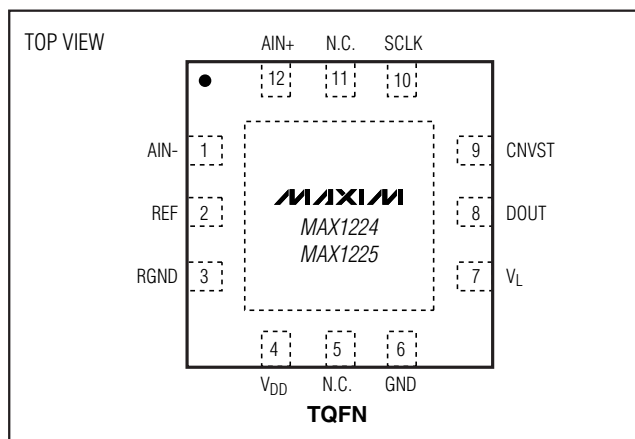
关键特性

- ◆ 1.5Mps 采样速率
- ◆ 功耗仅 18mW (典型值)
- ◆ 关断电流仅 1μA (最大值)
- ◆ 高速、SPI 兼容、三线串行接口
- ◆ 525kHz 输入频率下 69dB 的 S/(N+D)
- ◆ 内部真差分采样/保持 (T/H)
- ◆ 外部基准源
- ◆ 无流水线延迟
- ◆ 小巧的 12 引脚 TQFN 封装

订购信息

PART	TEMP RANGE	PIN-PACKAGE	INPUT
MAX1224CTC-T	0°C to +70°C	12 TQFN-12	Unipolar
MAX1224ETC-T	-40°C to +85°C	12 TQFN-12	Unipolar
MAX1225CTC-T	0°C to +70°C	12 TQFN-12	Bipolar
MAX1225ETC-T	-40°C to +85°C	12 TQFN-12	Bipolar

引脚排列

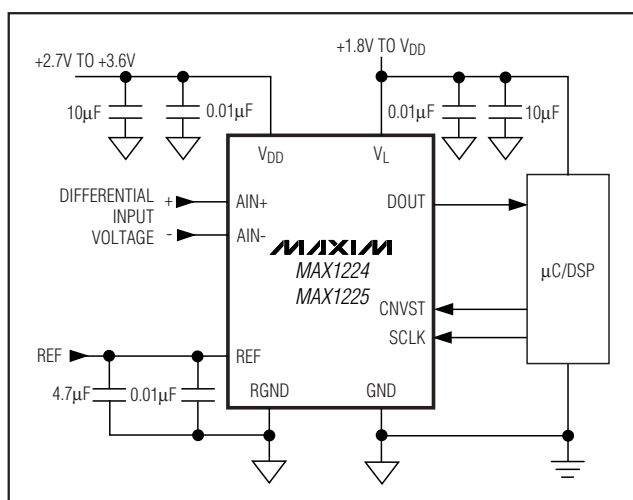


SPI/QSPI 是 Motorola, Inc. 的商标。

MICROWIRE 是 National Semiconductor Corp. 的商标。



典型工作电路



1.5Msps、单电源、低功耗、 真差分、12位ADC

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND-0.3V to +6V
 V_L to GND-0.3V to the lower of (V_{DD} + 0.3V) and +6V
 Digital Inputs
 to GND-0.3V to the lower of (V_{DD} + 0.3V) and +6V
 Digital Output
 to GND-0.3V to the lower of (V_L + 0.3V) and +6V
 Analog Inputs and
 REF to GND-0.3V to the lower of (V_{DD} + 0.3V) and +6V
 RGND to GND-0.3V to +0.3V

Maximum Current into Any Pin50mA
 Continuous Power Dissipation (T_A = +70°C)
 12-Pin TQFN (derate 16.9mW/°C above +70°C)1349mW
 Operating Temperature Ranges
 MAX127_ CTC0°C to +70°C
 MAX127_ ETC-40°C to +85°C
 Junction Temperature+150°C
 Storage Temperature Range-60°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.7V to +3.6V, V_L = V_{DD}, V_{REF} = 2.048V, f_{SCLK} = 24.0MHz, 50% duty cycle, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V_{DD} = 3V and T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			12			Bits
Relative Accuracy	INL	(Note 1)	-1.5		+1.5	LSB
Differential Nonlinearity	DNL	Guaranteed no missing codes (Note 2)	-1.0		+1.5	LSB
Offset Error					±8.0	LSB
Offset-Error Temperature Coefficient				±1		ppm/°C
Gain Error		Offset nulled			±6.0	LSB
Gain Temperature Coefficient				±2		ppm/°C
DYNAMIC SPECIFICATIONS (f_{IN} = 525kHz sine wave, V_{IN} = V_{REF}, unless otherwise noted.)						
Signal-to-Noise Plus Distortion	SINAD		66	69		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-80	-76	dB
Spurious-Free Dynamic Range	SFDR			-83	-76	dB
Intermodulation Distortion	IMD	f _{IN1} = 250kHz, f _{IN2} = 300kHz		-78		dB
Full-Power Bandwidth		-3dB point		15		MHz
Full-Linear Bandwidth		S/(N + D) > 68dB, single ended		1.2		MHz
CONVERSION RATE						
Minimum Conversion Time	t _{CONV}	(Note 3)			0.667	μs
Maximum Throughput Rate			1.5			Msps
Minimum Throughput Rate		(Note 4)	10			ksps
Track-and-Hold Acquisition Time	t _{ACQ}	(Note 5)		125		ns
Aperture Delay				5		ns
Aperture Jitter		(Note 6)		30		ps
External Clock Frequency	f _{SCLK}	(Note 7)			24.0	MHz

1.5Msps、单电源、低功耗、 真差分、12位ADC

MAX1224/MAX1225

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+3.6V$, $V_L = V_{DD}$, $V_{REF} = 2.048V$, $f_{SCLK} = 24.0MHz$, 50% duty cycle, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{DD} = 3V$ and $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUTS (AIN+, AIN-)						
Differential Input Voltage Range	V_{IN}	AIN+ - AIN-, MAX1224	0	V_{REF}		V
		AIN+ - AIN-, MAX1225	$-V_{REF} / 2$	$+V_{REF} / 2$		
Absolute Input Voltage Range			0	V_{DD}		V
DC Leakage Current				± 1		μA
Input Capacitance		Per input pin		16		pF
Input Current (Average)		Time averaged at maximum throughput rate		50		μA
REFERENCE INPUT (REF)						
REF Input Voltage Range	V_{REF}		1.0	$V_{DD} + 50mV$		V
Input Capacitance				20		pF
DC Leakage Current				± 1		μA
Input Current (Average)		Time averaged at maximum throughput rate		200		μA
DIGITAL INPUTS (SCLK, CNVST)						
Input-Voltage Low	V_{IL}			$0.3 \times V_L$		V
Input-Voltage High	V_{IH}		$0.7 \times V_L$			V
Input Leakage Current	I_{IL}			0.05	± 10	μA
DIGITAL OUTPUT (DOUT)						
Output Load Capacitance	C_{OUT}	For stated timing performance			30	pF
Output-Voltage Low	V_{OL}	$I_{SINK} = 5mA$, $V_L \geq 1.8V$			0.4	V
Output-Voltage High	V_{OH}	$I_{SOURCE} = 1mA$, $V_L \geq 1.8V$	$V_L - 0.5V$			V
Output Leakage Current	I_{OL}	Output high impedance		± 0.2	± 10	μA
POWER REQUIREMENTS						
Analog Supply Voltage	V_{DD}		2.7		3.6	V
Digital Supply Voltage	V_L		1.8		V_{DD}	V
Analog Supply Current, Normal Mode	I_{DD}	Static, $f_{SCLK} = 24.0MHz$		5	7	mA
		Static, no SCLK		4	5	
		Operational, 1.5Msps		6	8	
Analog Supply Current, Partial Power-Down Mode	I_{DD}	$f_{SCLK} = 24.0MHz$		1		mA
		No SCLK		1		
Analog Supply Current, Full Power-Down Mode	I_{DD}	$f_{SCLK} = 24.0MHz$		1		μA
		No SCLK		0.3	1	
Digital Supply Current (Note 8)		Operational, full-scale input at 1.5Msps		0.3	1	mA
		Static, $f_{SCLK} = 24.0MHz$		0.15	0.5	
		Partial/full power-down mode, $f_{SCLK} = 24.0MHz$		0.1	0.3	
		Static, no SCLK, all modes		0.1	1	μA
Positive-Supply Rejection	PSR	Full-scale input, 3V +20%, -10%		± 0.2	± 3.0	mV

1.5Msps、单电源、低功耗、 真差分、12位ADC

TIMING CHARACTERISTICS

($V_{DD} = +2.7V$ to $+3.6V$, $V_L = V_{DD}$, $V_{REF} = 2.048V$, $f_{SCLK} = 24.0MHz$, 50% duty cycle, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{DD} = 3V$ and $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Pulse-Width High	t_{CH}	$V_L = 2.7V$ to V_{DD}	18.7			ns
		$V_L = 1.8V$ to V_{DD} , minimum recommended (Note 7)		22.5		
SCLK Pulse-Width Low	t_{CL}	$V_L = 2.7V$ to V_{DD}	18.7			ns
		$V_L = 1.8V$ to V_{DD} , minimum recommended (Note 7)		22.5		
SCLK Rise to DOUT Transition	t_{DOUT}	$C_L = 30pF$, $V_L = 2.7V$ to V_{DD}			17	ns
		$C_L = 30pF$, $V_L = 1.8V$ to V_{DD}			24	
DOUT Remains Valid After SCLK	t_{DHOLD}	$V_L = 1.8V$ to V_{DD}	4			ns
CNVST Fall to SCLK Fall	t_{SETUP}	$V_L = 1.8V$ to V_{DD}	10			ns
CNVST Pulse Width	t_{CSW}	$V_L = 1.8V$ to V_{DD}	20			ns
Power-Up Time; Full Power-Down	t_{PWR-UP}			2		ms
Restart Time; Partial Power-Down	t_{RCV}			16		Cycles

Note 1: Relative accuracy is the deviation of the analog value at any code from its theoretical value after the gain error and the offset error have been nulled.

Note 2: No missing codes over temperature.

Note 3: Conversion time is defined as the number of clock cycles (16) multiplied by the clock period.

Note 4: At sample rates below 10ksps, the input full-linear bandwidth is reduced to 5kHz.

Note 5: The listed value of three SCLK cycles is given for full-speed continuous conversions. Acquisition time begins on the 14th rising edge of SCLK and terminates on the next falling edge of CNVST. The IC idles in acquisition mode between conversions.

Note 6: Undersampling at the maximum signal bandwidth requires the minimum jitter spec for SINAD performance.

Note 7: 1.5Msps operation guaranteed for $V_L > 2.7V$. See the *Typical Operating Characteristics* section for recommended sampling speeds for $V_L < 2.7V$.

Note 8: Digital supply current is measured with the V_{IH} level equal to V_L , and the V_{IL} level equal to GND.

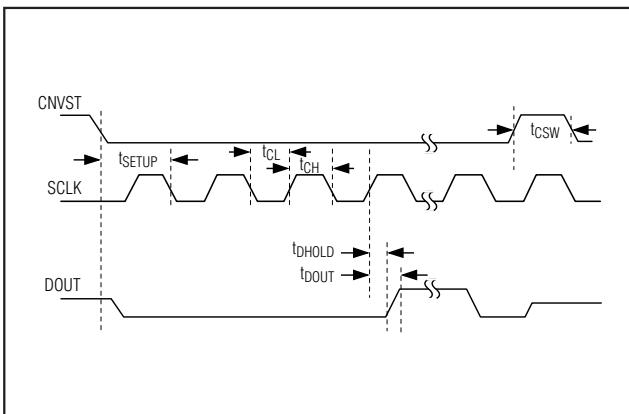


图 1. 详细的串行接口时序

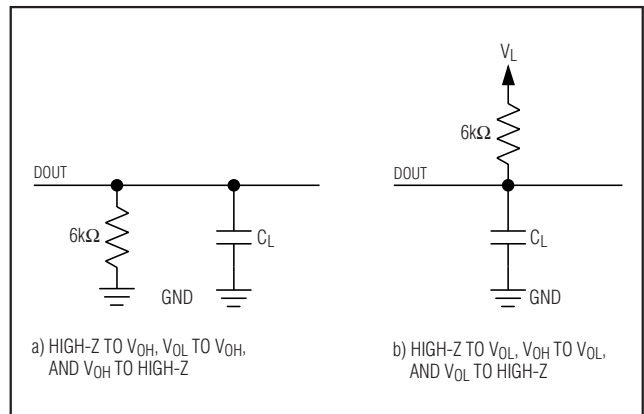


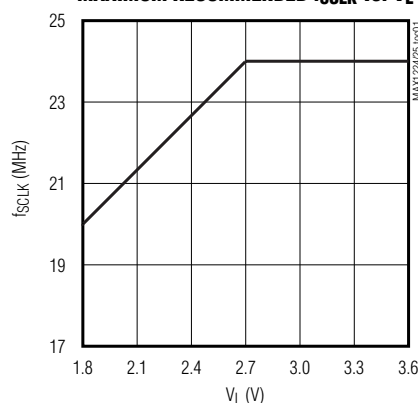
图 2. 使能/禁用时间测试的负载电路

1.5Mps、单电源、低功耗、 真差分、12位ADC

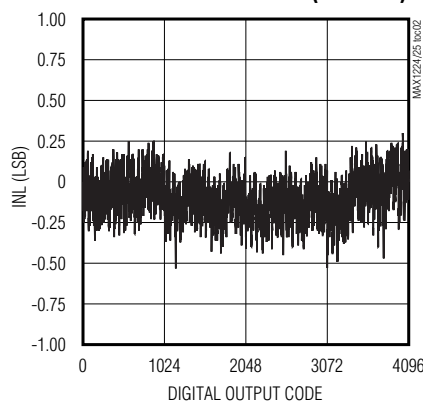
典型工作特性

($V_{DD} = +3V$, $V_L = V_{DD}$, $V_{REF} = 2.048V$, $f_{SCLK} = 24MHz$, $f_{SAMPLE} = 1.5Mps$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are measured at $T_A = +25^\circ C$)

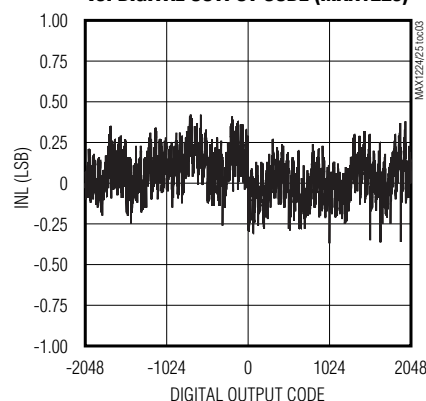
MAXIMUM RECOMMENDED f_{SCLK} vs. V_L



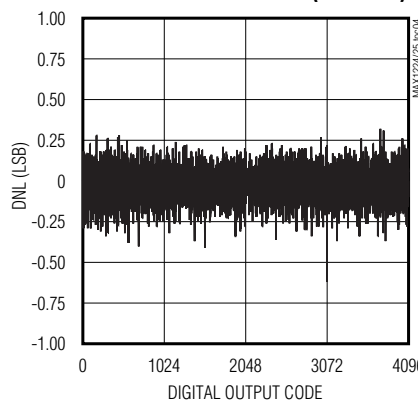
INTEGRAL NONLINEARITY vs. DIGITAL OUTPUT CODE (MAX1224)



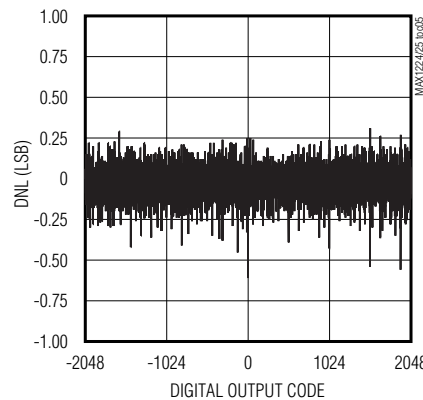
INTEGRAL NONLINEARITY vs. DIGITAL OUTPUT CODE (MAX1225)



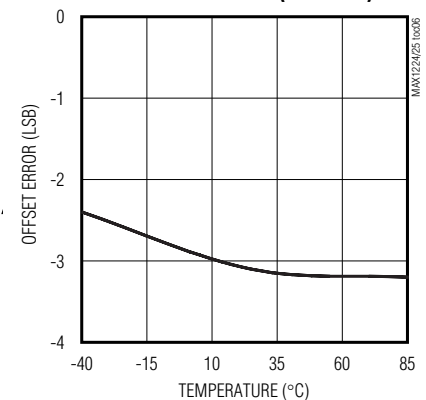
DIFFERENTIAL NONLINEARITY vs. DIGITAL OUTPUT CODE (MAX1224)



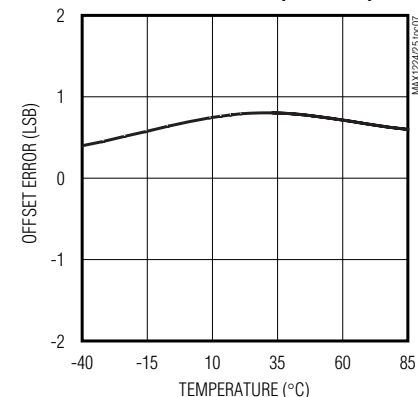
DIFFERENTIAL NONLINEARITY vs. DIGITAL OUTPUT CODE (MAX1225)



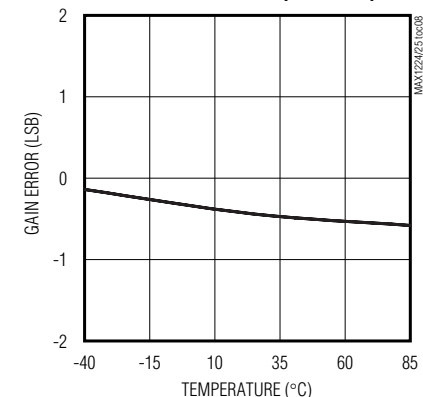
OFFSET ERROR vs. TEMPERATURE (MAX1224)



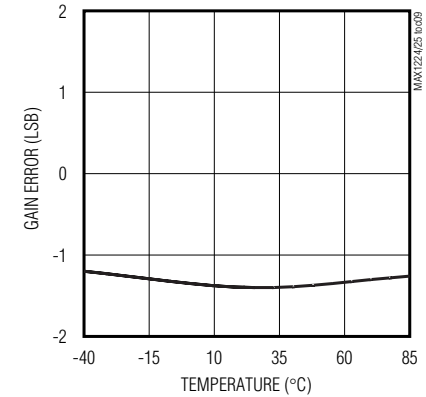
OFFSET ERROR vs. TEMPERATURE (MAX1225)



GAIN ERROR vs. TEMPERATURE (MAX1224)



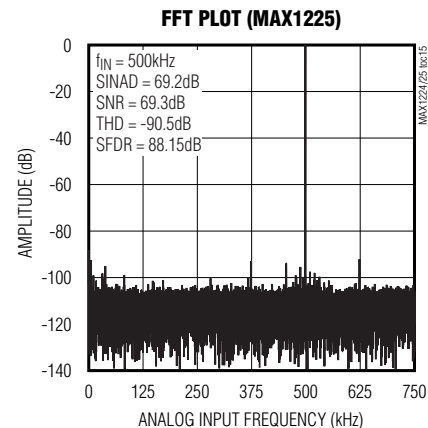
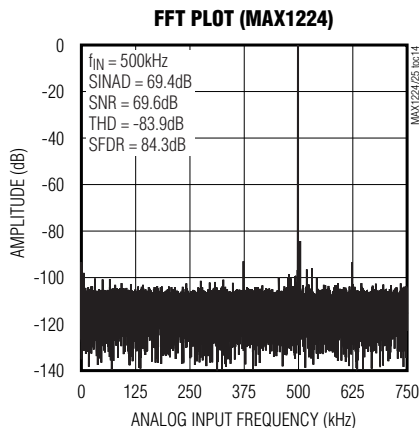
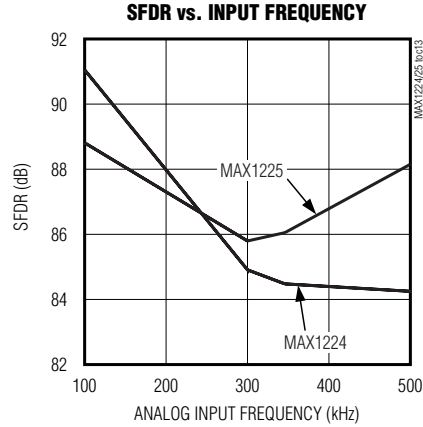
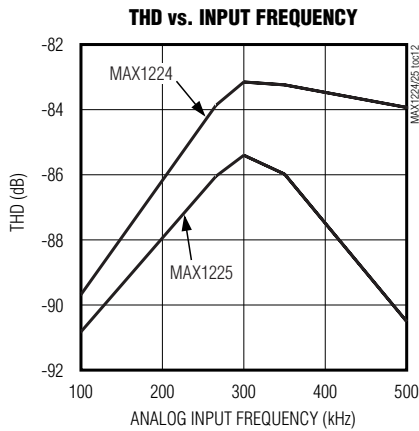
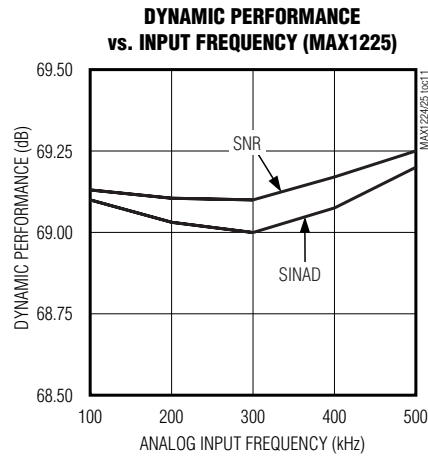
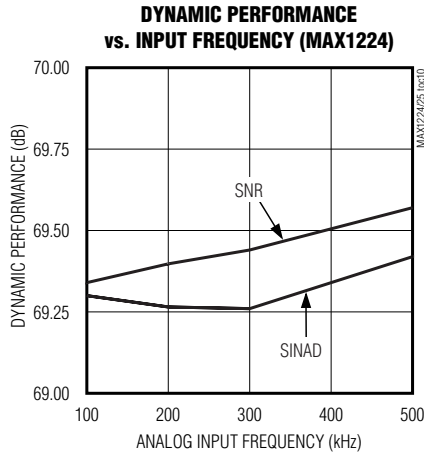
GAIN ERROR vs. TEMPERATURE (MAX1225)



1.5Mps、单电源、低功耗、 真差分、12位ADC

典型工作特性 (续)

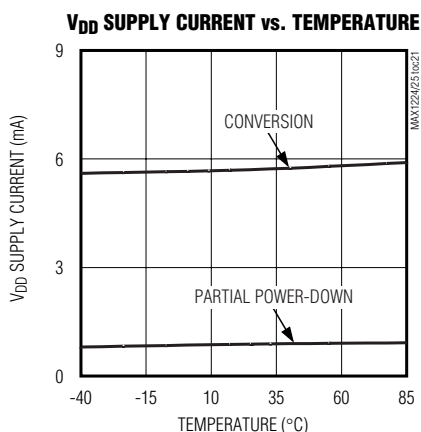
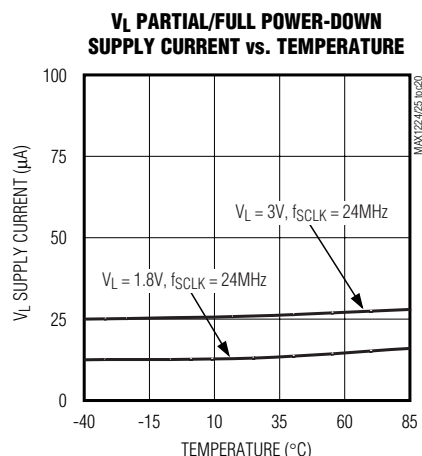
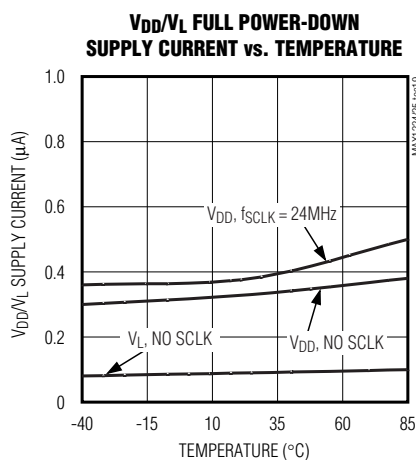
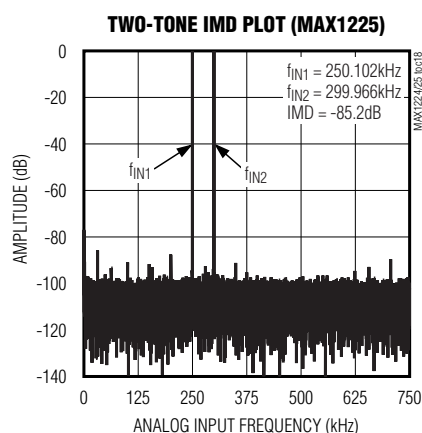
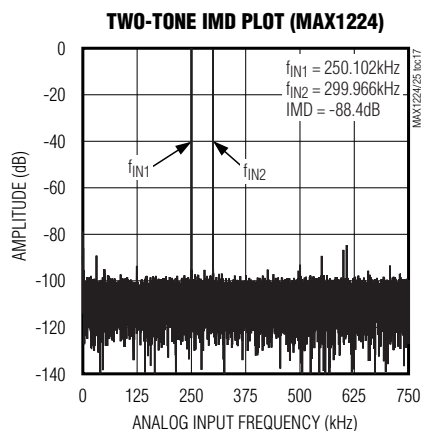
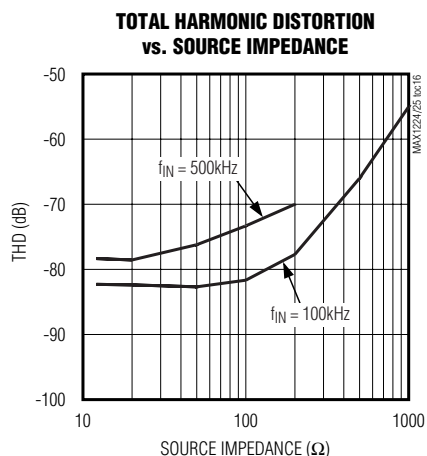
($V_{DD} = +3V$, $V_L = V_{DD}$, $V_{REF} = 2.048V$, $f_{SCLK} = 24MHz$, $f_{SAMPLE} = 1.5Mps$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are measured at $T_A = +25^\circ C$)



1.5Mps、单电源、低功耗、 真差分、12位ADC

典型工作特性 (续)

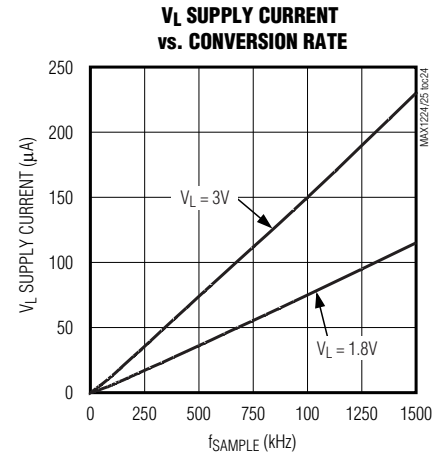
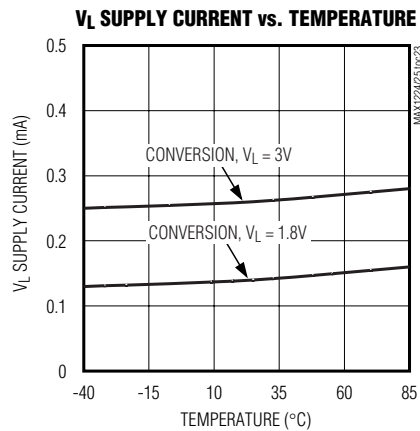
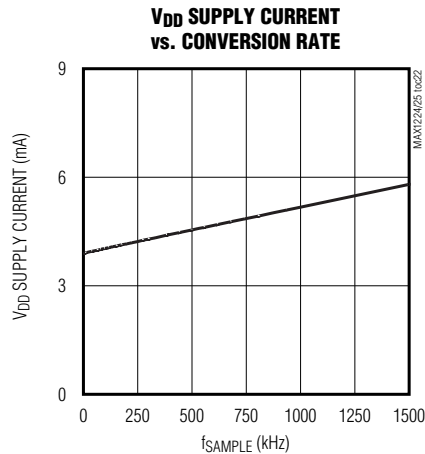
($V_{DD} = +3V$, $V_L = V_{DD}$, $V_{REF} = 2.048V$, $f_{SCLK} = 24MHz$, $f_{SAMPLE} = 1.5Mps$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are measured at $T_A = +25^{\circ}C$)



1.5Msps、单电源、低功耗、 真差分、12位ADC

典型工作特性 (续)

($V_{DD} = +3V$, $V_L = V_{DD}$, $V_{REF} = 2.048V$, $f_{SCLK} = 24MHz$, $f_{SAMPLE} = 1.5Msps$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are measured at $T_A = +25^\circ C$)



引脚说明

引脚	名称	功能
1	AIN-	模拟输入负端
2	REF	外部基准电压输入。 V_{REF} 设置模拟输入范围。使用 $0.01\mu F$ 电容和 $4.7\mu F$ 电容旁路 REF 至 RGND。
3	RGND	基准地。连接 RGND 至 GND。
4	V_{DD}	模拟正电源电压 (+4.75V 至 +5.25V)。使用 $0.01\mu F$ 电容和 $10\mu F$ 电容旁路 V_{DD} 至 GND。
5, 11	N.C.	浮空
6	GND	地。GND 在内部连接至 EP。
7	V_L	逻辑正电源电压 (1.8V 至 V_{DD})。使用 $0.01\mu F$ 电容和 $10\mu F$ 电容旁路 V_L 至 GND。
8	DOUT	串行数据输出。在 SCLK 的上升沿移出数据。
9	CNVST	转换启动。强制 CNVST 为高电平使器件准备转换。在 CNVST 的下降沿启动转换。CNVST 的下降沿决定采样时刻。
10	SCLK	串行时钟输入。串行时钟从串行接口移出数据。SCLK 也决定转换速率。
12	AIN+	模拟输入正端。
—	EP	裸露焊盘。EP 在内部连接至 GND。

1.5Mps、单电源、低功耗、 真差分、12位ADC

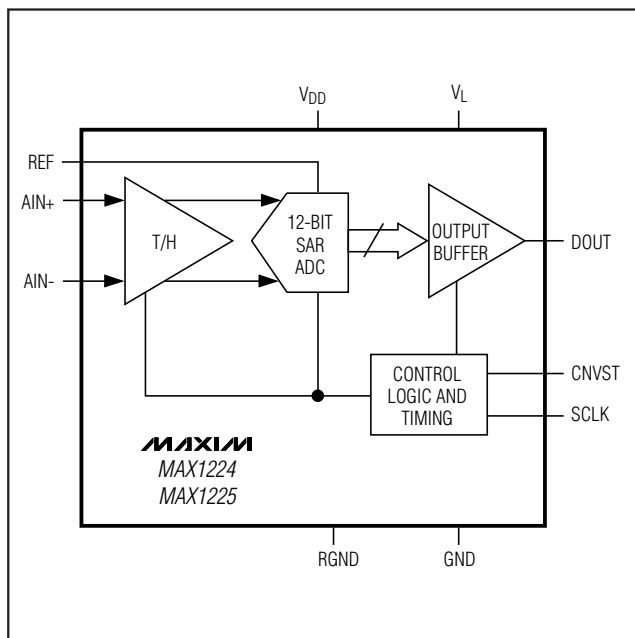


图 3. 功能框图

详细说明

MAX1224/MAX1225采用输入采样/保持和逐次逼近寄存器 (SAR) 电路，将模拟输入信号转换为 12 位数字输出。串行接口仅需要三根数字连接线 (SCLK、CNVST 和 DOUT)，提供了与微处理器 (μP) 和 DSP 的便利连接。图 3 给出了简化的 MAX1224/MAX1225 内部结构。

真差分模拟输入采样/保持器

图 4 等效电路给出了 MAX1224/MAX1225 的输入结构，它由采样/保持器、比较器以及开关电容型数模转换器 (DAC) 构成。在上次转换的第 14 个 SCLK 上升沿，采样/保持器进入其采样模式。一旦上电，采样/保持器就立即进入其采样模式。输入电容正极连接至 AIN+，输入电容负极与 AIN- 相连。在 CNVST 的下降沿采样/保持器进入保持状态，转换正负输入之间采样的差值。采样/保持器采集输入信号所需的时间取决于其输入电容的充电速度。如果输入信号源的阻抗较高，那么采样时间会加

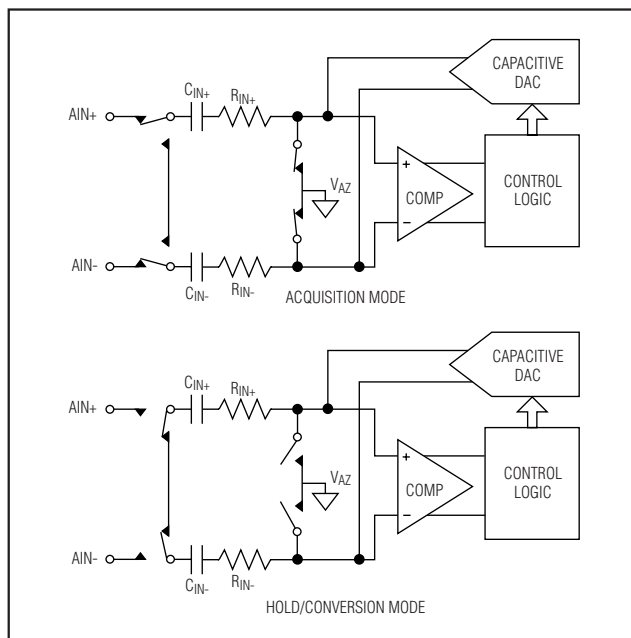


图 4. 等效输入电路

长。采样时间 t_{ACQ} 是采集信号所必需的最短时间。它由以下公式计算：

$$t_{ACQ} \geq 9 \times (R_S + R_{IN}) \times 16\text{pF}$$

其中， $R_{IN} = 200\Omega$ ， R_S 是输入信号的源阻抗。

注： t_{ACQ} 不会小于 125ns，并且任何低于 12Ω 的源阻抗不会显著影响 ADC 的交流性能。

输入带宽

ADC 的输入采样电路具有 15MHz 小信号带宽，使其能够数字化高速瞬变信号，以及通过使用欠采样技术测量带宽超过 ADC 采样速率的周期信号。为避免高频信号进入所感兴趣的频段，建议采用抗混叠滤波器。

模拟输入保护

内部保护二极管将模拟输入钳位至 V_{DD} 和 GND，允许模拟输入引脚的电压摆幅从 $GND - 0.3V$ 至 $V_{DD} + 0.3V$ ，而不会损坏器件。为确保正确转换，两个输入端电压都不能超出 V_{DD} 或者低于 GND。

1.5Mps、单电源、低功耗、真差分、12位ADC

串行接口

上电初始化与启动转换

在初始上电后，MAX1224/MAX1225 要求一个完整的转换周期，以初始化内部校准电路。在完成初始化转换之后，器件就准备好了正常工作。仅在硬件上电后需要进行初始化，而在退出局部关断模式或者完全关断模式之后并不需要。

CNVST拉低将启动一次转换。在 CNVST 信号的下降沿，采样 / 保持器进入其保持模式，启动转换过程。SCLK 提供转换时钟，数据随后从 DOUT 串行移出。

时序与控制

启动转换和读数据操作由 CNVST 和 SCLK 数字输入信号控制。图 1 和图 5 给出了时序图，描述串行接口的工作方式。

CNVST 的下降沿启动一次转换时序：采样 / 保持器保持输入电平，ADC 开始转换，DOUT 从高阻态变为逻辑低电平。SCLK 用于驱动转换进程，并串行移出每个转换完成的数据位。

在第 4 个 SCLK 上升沿之后，SCLK 开始移出数据。在每个 SCLK 上升沿的 t_{DOUT} 之后 DOUT 输出才有效，并且在下一个上升沿之后，还将保持 4ns (t_{DHOLD}) 的有效时间。第 4 个时钟上升沿在 DOUT 引脚输出转换结果的 MSB 位，并且 MSB 在第 5 个上升沿之后保持 4ns 的有效时间。由于共有 12 个数据位和 3 个引导零位，所以至少需要 16 个时钟上升沿移出所有位。为连续工作，需要在第 14 个和第 16 个 SCLK 上升沿之间将 CNVST 拉高。如果 CNVST 信号在第 16 个 SCLK 周期的下降沿保持低电平，DOUT 线会在 CNVST 的上升沿或者下一个 SCLK 上升沿变为高阻态。

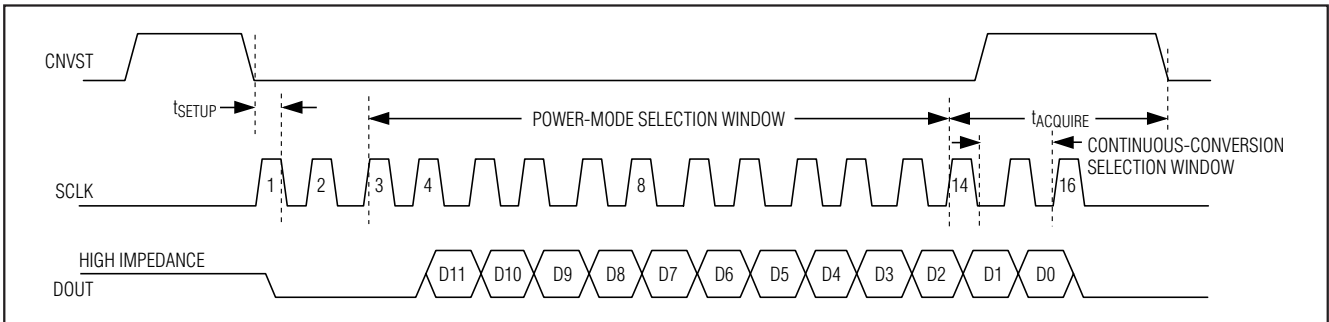


图 5. 接口时序

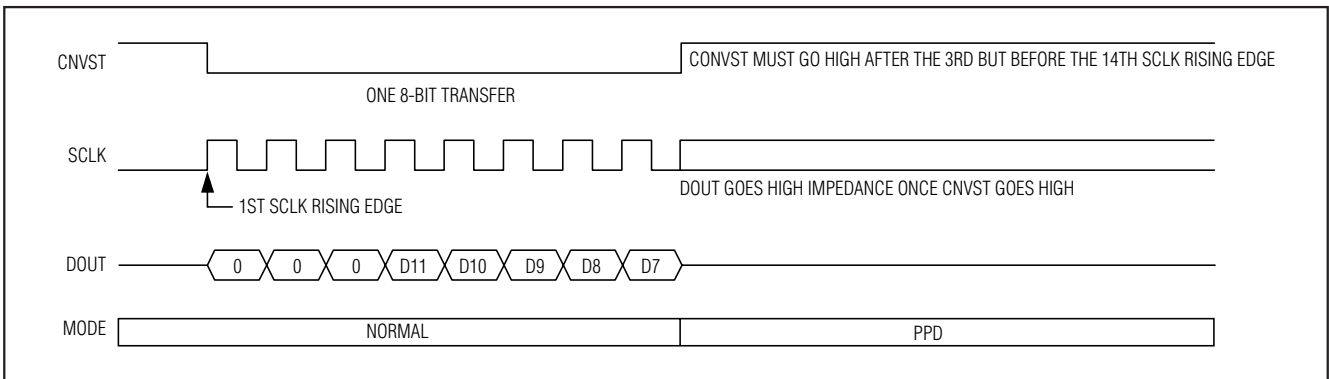


图 6. SPI 接口——局部关断模式

1.5Mps、单电源、低功耗、真差分、12位ADC

应用信息

外部基准源

MAX1224/MAX1225 要求一个外部基准源。在 REF 引脚使用 $4.7\mu\text{F}$ 和 $0.01\mu\text{F}$ 旁路电容，以达到最佳性能。基准输入范围： $+1\text{V}$ 至 V_{DD} 。

如何启动转换

模/数转换由 CNVST 信号启动，由 SCLK 信号提供时钟，而转换结果由 SCLK 信号从 DOUT 引脚串行移出。当 SCLK 信号处于空闲的低或者高电平，CNVST 信号的下降沿启动一次转换。这使模拟输入级由采样模式转换为保持模式，DOUT 引脚由高阻态变为低电平。完成一次正常的转换需要 16 个 SCLK 周期。如果 CNVST 信号在第 16 个 SCLK 信号下降沿期间保持低电平，DOUT 引脚会在下一个 CNVST 或者 SCLK 的上升沿返回至高阻态，以使多片器件共享该串行接口。如果 CNVST 信号在第 14 个 SCLK 上升沿之后并在第 16 个上升沿之前拉为高电平，DOUT 引脚保持有效以便进行连续的转换。当器件执行连续转换时，具有最高的数据吞吐率。图 10 描述了使用典型串行接口的转换方式。

局部关断模式和完全关断模式

将 MAX1224/MAX1225 设置为局部关断模式或者完全关断模式，会显著降低器件的功耗。局部关断模式尤其适合于数据采样次数少、且要求快速唤醒的应用。在第 3 个 SCLK 上升沿之后和第 14 个 SCLK 上升沿之前拉高 CNVST 信号，将进入并维持在局部关断模式 (如图 6 所示)。这使电源电流减小至 1mA 。拉低 CNVST 信号，并在拉高 CNVST 信号之前至少保持 14 个 SCLK 周期，将退出局部关断模式。

完全关断模式适合于数据采样次数少、要求极低电源电流的应用。为了进入完全关断模式，MAX1224/MAX1225 必须先进入局部关断模式。执行上述的 SCLK/CNVST 操作时序，以进入局部关断模式。然后重复相同的工作时序，将进入完全关断模式 (如图 7 所示)。拉低 CNVST 信号，并在拉高 CNVST 信号之前至少保持 14 个 SCLK 周期，将退出完全关断模式。在局部/完全关断模式下，保持 SCLK 信号逻辑低或者逻辑高电平，以尽可能降低功耗。

传输函数

图 8 给出了 MAX1224 的单极性传输函数。图 9 给出了 MAX1225 的双极性传输函数。MAX1224 输出二进制原码，而 MAX1225 输出二进制补码。

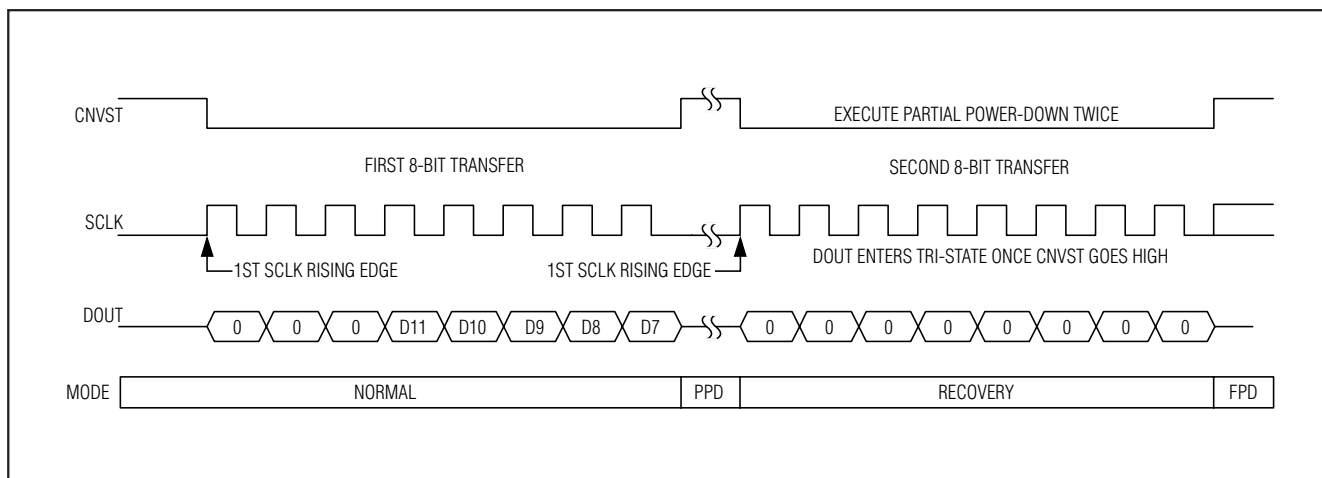


图 7. SPI 接口——完全关断模式

1.5Mps、单电源、低功耗、真差分、12位ADC

与标准接口连接

MAX1224/MAX1225 串行接口完全兼容 SPI/QSPI 和 MICROWIRE (如图 11 所示)。如果有串行接口, 将 CPU 的串行接口设置为主机模式, 这样由 CPU 产生串行时钟。选择时钟频率可达 28.8MHz。

SPI 与 MICROWIRE

当使用 SPI 或者 MICROWIRE 接口时, MAX1224/MAX1225 兼容于 SPI 或 MICROWIRE 的四种工作模式, 通过控制寄存器中 CPHA 和 CPOL 位进行编程选择。转换开始于 CNVST 信号下降沿, DOUT 变为低电平, 指示转换正在进行。从 ADC 获取完整的 12 位数据, 需要连续的两次单字节读数。DOUT 在 SCLK 的上升沿输出数据。在 t_{DOUT} 时间之后, 保证 DOUT 有效, 并且保持有效状态直到下一个 SCLK 上升沿之后的 t_{DHOLD} 时间。当设置 CPOL = 0、CPHA = 0, 或者 CPOL = 1、CPHA = 1 时, 数据在下一个上升沿移入微处理器。当使用 CPOL = 0 与 CPHA = 1 或者 CPOL = 1 与 CPHA = 0 时, 数据在下一个下降沿移入微处理器。图 11 给出了连接方式, 而图 12 和图 13 给出了工作时序。请参考时序特性部分, 以采用最佳的工作模式。

QSPI

SPI 要求两次单字节读数, 以从 ADC 得到 12 位转换数据, 而 QSPI 与 SPI 不同, 允许采用最少的时钟周期移出数据。MAX1224/MAX1225 要求微处理器发送 16 个时钟周期, 以移出 12 位数据。图 14 给出了使用 CPOL = 1 和 CPHA = 1 模式的传输方式。转换结果包括 3 个 0 位, 随后是 12 位数据位和一个后补 0 位, 采用高位先出的格式。

与 TMS320C54_ 的 DSP 连接

MAX1224/MAX1225 可以直接接口至 Texas Instruments, Inc 的 TMS320C54_ 系列 DSP。设置 DSP, 以产生其自身的时钟或者采用外部时钟信号。既可使用标准的串口, 也可以使用带缓冲的串口。图 15 给出了 MAX1224/MAX1225 与 TMS320C54_ 之间最简单的接口方式。发送串行时钟 (CLKX) 驱动接收串行时钟 (CLKR) 和 SCLK, 发送帧同步信号 (FSX) 驱动接收帧同步信号 (FSR) 和 CNVST 信号。

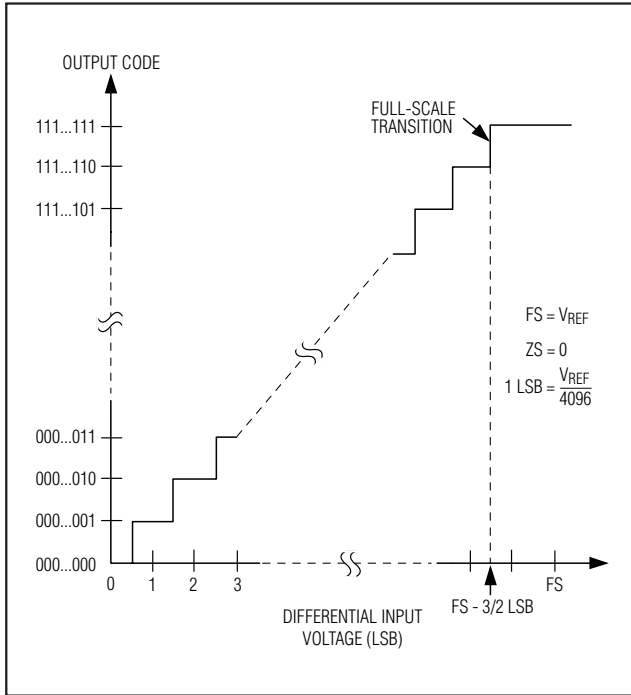


图 8. 单极性传输函数 (仅适用于 MAX1224)

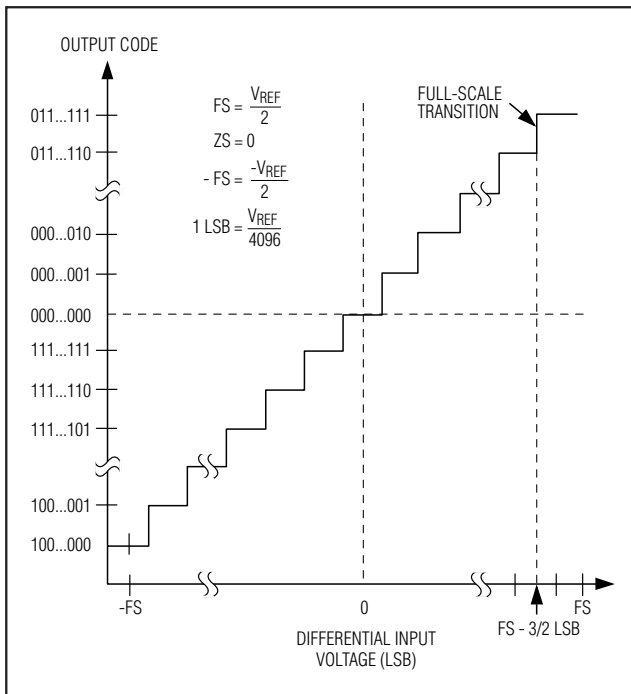


图 9. 双极性传输函数 (仅适用于 MAX1225)

1.5Mps、单电源、低功耗、
真差分、12位ADC

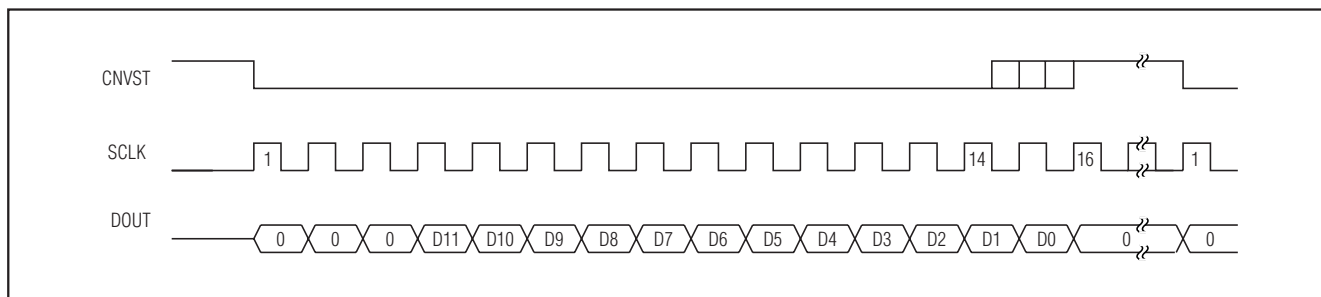


图 10. 采用突发/连续时钟的连续转换

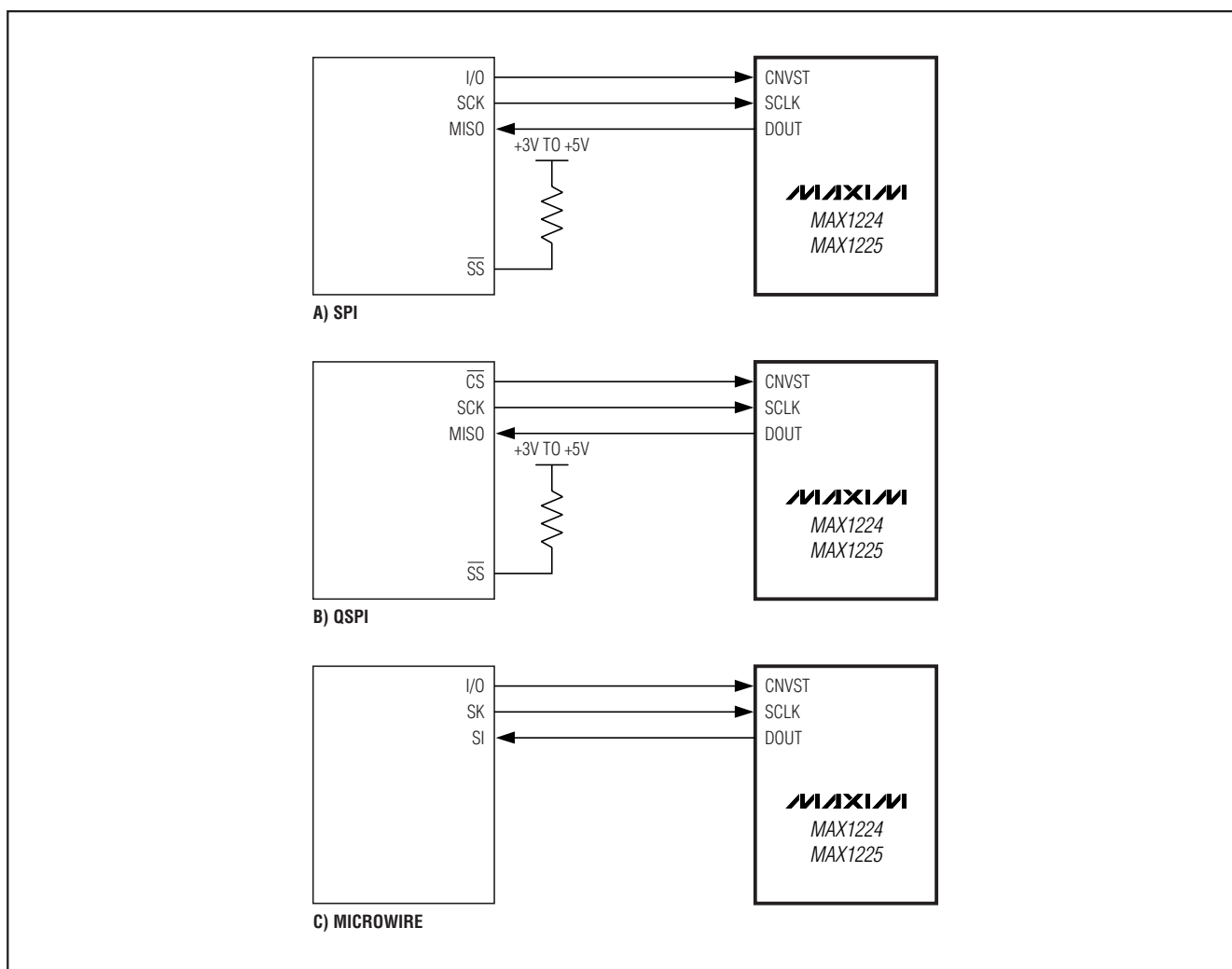


图 11. 通用的MAX1224/MAX1225 串行接口连接方式

1.5Mps、单电源、低功耗、 真差分、12位ADC

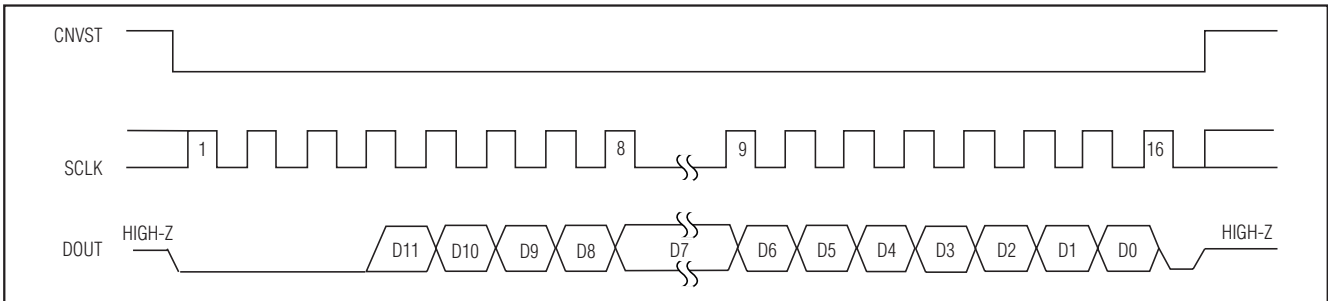


图 12. SPI/MICROWIRE 串行接口时序——单次转换 ($CPOL = CPHA = 0$), ($CPOL = CPHA = 1$)

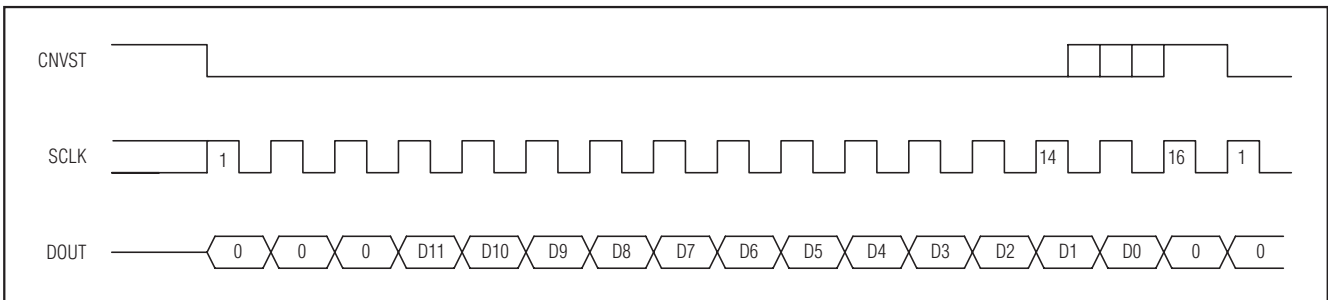


图 13. SPI/MICROWIRE 串行接口时序——连续转换 ($CPOL = CPHA = 0$), ($CPOL = CPHA = 1$)

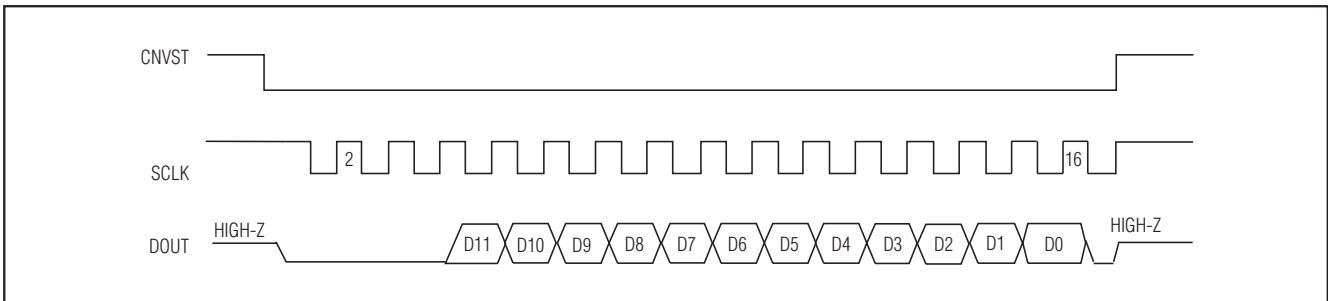


图 14. QSPI 串行接口时序——单次转换 ($CPOL = 1$, $CPHA = 1$)

为了进行连续转换，设置串口发送时钟信号，并且在数据传输之前产生一个时钟周期的帧同步信号。串口配置寄存器 (SPC) 应该设置为内部帧同步 ($TXM = 1$)、片内时钟源驱动 $CLKX$ ($MCM = 1$)、突发方式 ($FSM = 1$)，以及 16 位字长 ($FO = 0$)。

这种设置允许连续转换，只要在下一次转换前数据传输寄存器 (DXR) 和数据接收寄存器 (DRR) 投入使用。另一种方式，当使用带缓冲的串口时可以启用自动缓冲模式，执行转换和读取数据，且无需 CPU 参与。当 MAX1224/

MAX1225 工作的模拟电源电压高于 DSP 电源电压时，连接 V_L 至 TMS320C54_ 的电源电压。可使用 $FO = 1$ 设置字长为 8 位，以执行关断模式。在两种关断模式下，CNVST 引脚必须空闲于高电平状态。

另一种连接 MAX1224/MAX1225 与 TMS320C54_ 的方法是从外部产生两个器件的时钟信号。这种连接方式如图 16 所示，串行时钟信号 (CLOCK) 驱动 $CLKR$ 和 $SCLK$ ，转换信号 (CONVERT) 驱动 FSR 和 $CNVST$ 。

串口必须设置为接受外部时钟和外部帧同步信号。

1.5Mps、单电源、低功耗、真差分、12位ADC

SPC寄存器应该写入如下信息：

TXM = 0，外部帧同步

MCM = 0，CLKX信号取自 CLKX引脚

FSM = 1，突发方式

FO = 0，数据发送/接收采用 16 位字长

这种设置允许连续转换，只要在下次转换前 DRR 寄存器投入使用。另一种方式，当使用带缓冲的串口时可以启

用自动缓冲模式，执行转换和读取数据，且无需 CPU 参与。当 MAX1224/MAX1225 工作的模拟电源电压高于 DSP 电源电压时，连接 V_L 至 TMS320C54_ 的电源电压。

MAX1224/MAX1225 也可以采用以下方式与 TMS320C54_ 连接：利用数据传输 (DX) 引脚驱动 CNVST 信号，内部产生的 CLKX 信号驱动 SCLK。CNVST 信号需要一个上拉电阻，以便在 DX 变为高阻态时使其保持高电平，并且必须不断地向 DXR 寄存器写入 0001h，以进行连续转换。将 00FFh 写入 DXR 寄存器，可能将进入关断模式 (参考图 17 和图 18)。

与 ADSP21_ _ _ 的 DSP 连接

MAX1224/MAX1225 可以直接与 Analog Devices, Inc 的 ADSP21_ _ _ 系列 DSP 连接。图 19 给出了 MAX1224/MAX1225 与 ADSP21_ _ _ 的直接连接方式。与 MAX1224/MAX1225 接口时有两种可编程的工作模式。为了进行连续转换，CNVST 信号置为低电平，在传输上次结果的 LSB 期间拉高一个时钟周期。ADSP21_ _ _ 的 STCTL 与 SRCTL 寄存器应该配置为超前成帧 (LAFR = 0) 和高电平有效帧 (LTFS = 0, LRFS = 0) 信号。在这种模式下，设置与数据无关的帧同步位 (DITFS = 1)，而无需多次写入传输数据寄存器。对于单次转换，CNVST 信号为闲置高电平，并在整个转换期间拉低。因此，ADSP21_ _ _ 的 STCTL 和 SRCTL 寄存器应该配置为滞后成帧 (LAFR = 1) 和低电平有效帧 (LTFS = 1, LRFS = 1) 信号。在此条件下，将字长设置为 8 位 (SLEN = 1001)，这也是最好的进入关断模式的方法。当 MAX1224/MAX1225 工作电源电压高于 DSP 的电源电压时，连接 V_L 引脚至 ADSP21_ _ _ 电源电压 (参考图 17 和图 18)。

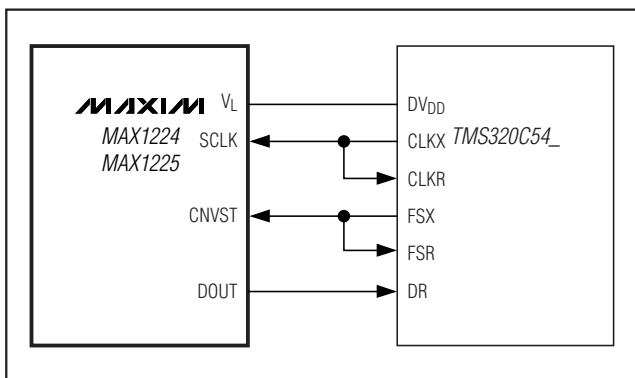


图 15. 连接至 TMS320C54_ 内部时钟

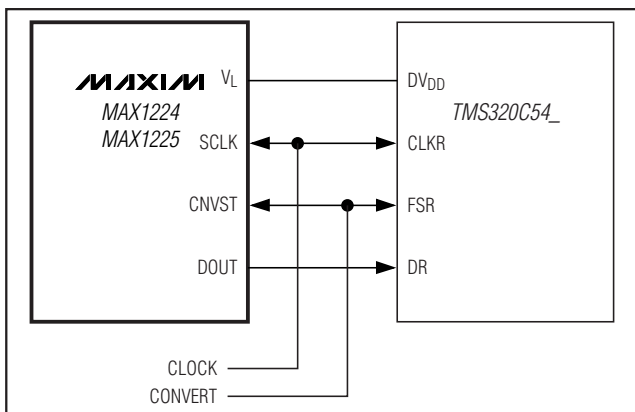


图 16. 连接至 TMS320C54_ 外部时钟

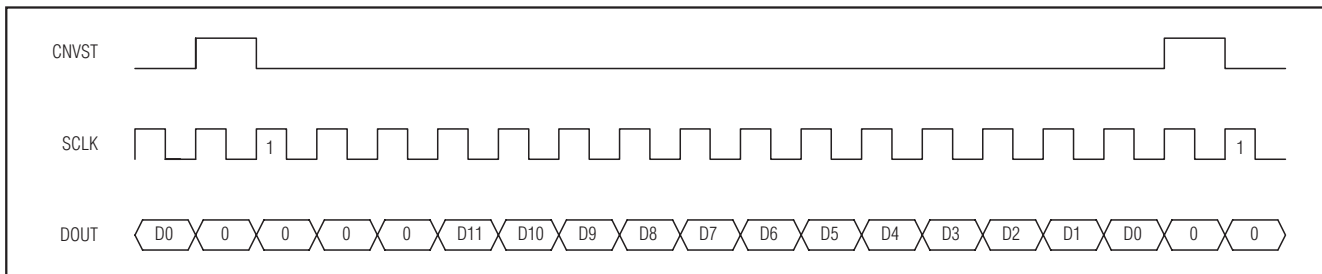


图 17. DSP 接口——连续转换

1.5Mps、单电源、低功耗、 真差分、12位ADC

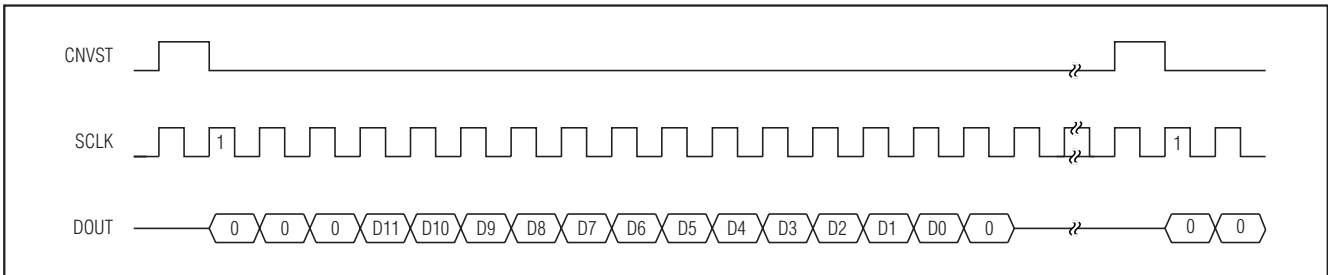


图 18. DSP 接口——单次转换，连续/突发时钟

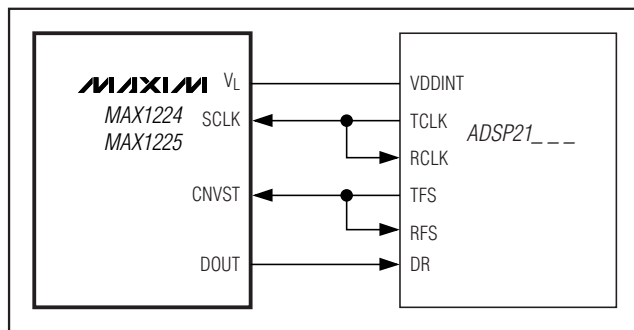


图 19. 连接至 ADSP21_--

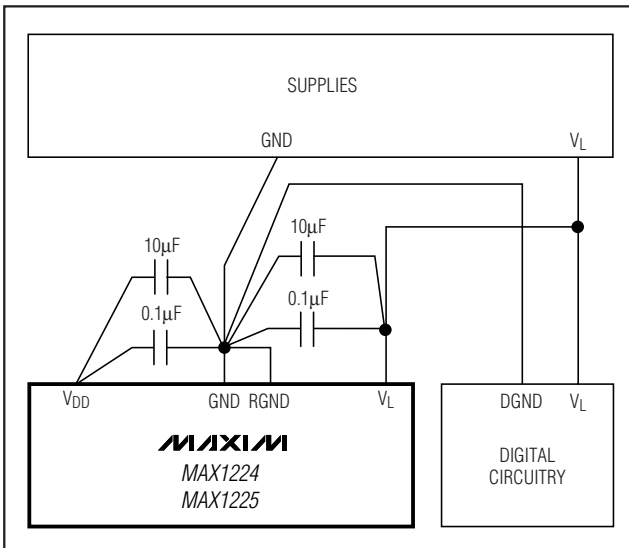


图 20. 电源接地情况

布局，接地与旁路

为达到最佳性能，应使用印刷电路板，不推荐使用连线板。电路板布局应该确保数字信号线与模拟信号线互相分离。不允许模拟和数字（特别是时钟）信号线平行，也不允许数字线位于 ADC 封装的底部。

图 20 给出了推荐的系统地连接方式。在 GND 建立一个单点模拟地（星型接地点），与逻辑地分开。连接所有的模拟地和 DGND 至星型接地点，以进一步减小噪声。返回该电源地的地连接线阻抗必须很低，且尽可能短，以保证无噪声工作。

V_{DD} 电源的高频噪声会影响 ADC 高速比较器。采用 $0.01\mu\text{F}$ 和 $10\mu\text{F}$ 旁路电容将电源旁路至单点模拟地。为达到最佳的电源噪声抑制，应尽量缩短电容的引线长度。

定义

积分非线性

积分非线性 (INL) 为实际转换函数与直线的实际偏差。在消除失调和增益误差后，该直线可以是一条最佳的拟合直线，也可以是转换函数两个端点之间的连线。MAX1224/MAX1225 的静态线性参数是采用端点法测量的。

微分非线性

微分非线性 (DNL) 是指实际的步长与 1 个 LSB 的理想值之间的差值。1 个 LSB 或更小的 DNL 误差特性保证无失码和传输函数的单调性。

孔径抖动

孔径抖动 (t_{AJ}) 是指采样之间的采样时间变化。

孔径延迟

孔径延迟 (t_{AD}) 定义为 CNVST 信号的下降沿与实际的采样时刻之间的延时时间。

1.5Msps、单电源、低功耗、真差分、12位ADC

信噪比

对于一个由数字采样理想重建的波形，信噪比 (SNR)是指满量程模拟输入 (RMS值)与 RMS量化误差 (残留误差)的比值。理论的最小模数转换噪声由量化误差引起，直接取决于 ADC的分辨率 (N位)：

$$\text{SNR} = (6.02 \times N + 1.76)\text{dB}$$

实际上，除了量化噪声还有其它的噪声源，包括热噪声、基准源噪声以及时钟抖动等。因此，SNR由 RMS信号值与 RMS噪声值的比计算得到。其中，RMS噪声值等于所有频谱成分减去其基波、前五次谐波和直流失调。

信号与噪声+失真比

信号与噪声+失真比 (SINAD)是指 RMS的基波幅度与所有其它的 ADC输出信号 RMS有效值的比：

$$\text{SINAD(dB)} = 20 \times \log (\text{SignalRMS} / \text{NoiseRMS})$$

有效位数

有效位数 (ENOB)给出了在特定输入频率和采样速率下 ADC的精度。理想的 ADC误差仅包括量化噪声。在输入范围等于 ADC的满量程范围时，由以下公式计算 ENOB值：

$$\text{ENOB} = \frac{(\text{SINAD} - 1.76)}{6.02}$$

总谐波失真

总谐波失真 (THD)是指输入信号前五次谐波的 RMS之和与其基波的比值。由如下公式表示：

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

V_1 是基波幅度， V_2 至 V_5 是二次至五次谐波的幅度。

无杂散动态范围

无杂散动态范围 (SFDR)是基波分量 (最大信号分量)的 RMS幅度与最大失真分量的 RMS值的比率。

全功率带宽

全功率带宽是指在满量程输入情况下输入信号幅度下降 3dB时的频率值。

全线性带宽

全线性带宽是指信号与噪声+失真比 (SINAD)等于 68dB时的频率值。

交调失真

对于任何具有非线性器件，当两个频率不同 (f_1 和 f_2)的正弦波输入器件时，器件会产生失真分量。交调失真 (IMD)是指 Nyquist频率内的 IM2至 IM5的交调乘积的总功率相对于两路输入 f_1 和 f_2 的总输入功率的比值。各输入音调幅度为 -7dBFS。

各个交调乘积成分如下所示：

- 二阶交调乘积 (IM2)： $f_1 + f_2$, $f_2 - f_1$
- 三阶交调乘积 (IM3)： $2f_1 - f_2$, $2f_2 - f_1$, $2f_1 + f_2$, $2f_2 + f_1$
- 四阶交调乘积 (IM4)： $3f_1 - f_2$, $3f_2 - f_1$, $3f_1 + f_2$, $3f_2 + f_1$
- 五阶交调乘积 (IM5)： $3f_1 - 2f_2$, $3f_2 - 2f_1$, $3f_1 + 2f_2$, $3f_2 + 2f_1$

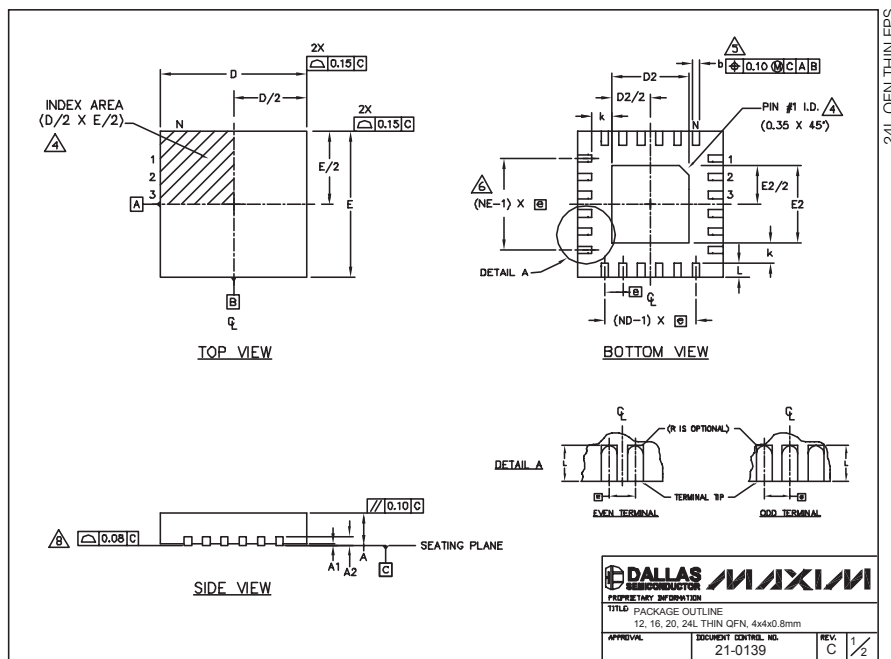
芯片信息

TRANSISTOR COUNT: 13,016

PROCESS: BiCMOS

1.5MSPS、单电源、低功耗、 真差分、12位ADC

封装信息

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com/packages。)

COMMON DIMENSIONS												
PKG	12L 4x4			16L 4x4			20L 4x4			24L 4x4		
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
AL	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30
D	3.90	4.00	4.30	3.90	4.00	4.10	3.90	4.00	4.30	3.90	4.00	4.10
E	3.90	4.00	4.30	3.90	4.00	4.10	3.90	4.00	4.30	3.90	4.00	4.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50
N	12			16			20			24		
ND	3			4			5			6		
NE	3			4			5			6		
Ver. Var.	VGG			VGG			VGG-1			VGG-2		

EXPOSED PAD VARIATIONS									
PKG. CODES	D2			E2			DOWN BONDS ALLOWED		
T1244-2	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T1244-3	1.95	2.30	2.25	1.95	2.10	2.25	YES		
T1244-4	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T1644-2	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T1644-3	1.95	2.30	2.25	1.95	2.10	2.25	YES		
T1644-4	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T2044-1	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T2044-2	1.95	2.30	2.25	1.95	2.10	2.25	YES		
T2044-3	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T2444-1	2.45	2.60	2.63	2.45	2.60	2.63	NO		
T2444-2	1.95	2.30	2.25	1.95	2.10	2.25	YES		
T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES		
T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO		

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SFF-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR T2444-1, T2444-3 AND T2444-4.

DALLAS SEMICONDUCTOR MAXIM

PROPRIETARY INFORMATION

TITLE PACKAGE OUTLINE

12, 16, 20, 24L THIN QFN, 4x4x0.8mm

APPROVAL

DOCUMENT CONTROL NO.

21-0139

REV. C

2/2

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

18 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**

© 2003 Maxim Integrated Products

Printed USA

MAXIM 是 Maxim Integrated Products, Inc. 的一个注册商标。