

-48V热插拔控制器，外置 R_{SENSE} 、提供较高的栅极下拉电流

概述

MAX5921/MAX5939热插拔控制器能使电路板卡安全地热插入带电背板。MAX5921/MAX5939工作在-20V至-80V，非常适合-48V供电系统。这两款芯片引脚与LT1640和LT4250兼容，而且性能优于这些芯片。

MAX5921/MAX5939为电路板卡提供受控制的开启功能，以防损坏电路板连接器和电路板器件，并可避免电源线上的瞬态故障。MAX5921/MAX5939提供欠压、过压和过流保护功能。这些器件确保在为负载供电之前保持输入电压稳定、并使其在容限范围以内。

出现故障时，MAX5921/MAX5939通过断开外部MOSFET对系统提供过流和短路保护。MAX5921/MAX5939通过将负载电流限制到一个安全水平来防止输入电压跃变的影响，无需切断负载供电。

芯片集成了漏极开路、电源就绪状态输出， \overline{PWRGD} 或PWRGD能够用来启动后续转换器（参见“选择指南”）。另外，内置热关断功能可以在过热情况下保护外部MOSFET。MAX5939具有故障锁定功能；MAX5921带有故障发生后的自动重试电路。

MAX5921/MAX5939采用8引脚SO封装，工作在扩展级温度范围：-40°C到+85°C。

应用

电信线卡
网络开关/路由器
局用线卡
服务器线卡
基站线卡

典型工作电路和选择指南在本数据资料的最后给出。

特性

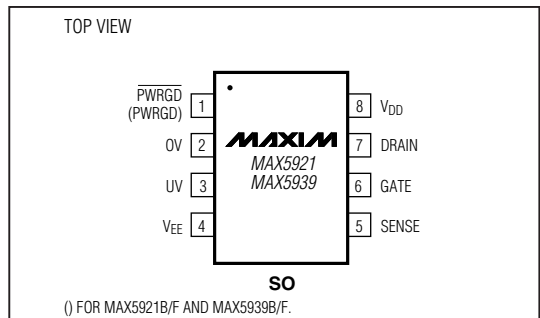
- ◆ 能够在-48V带电背板上安全地插入或拔出板卡
- ◆ 与LT1640和LT4250引脚兼容
- ◆ 电路断路器可以避免输入电压跃变和电流尖峰的影响
- ◆ 短路状态下GATE下拉电流为450mA
- ◆ GATE下拉电流呈指数变化
- ◆ 可承受-100V输入瞬变电压，无需外部器件
- ◆ 可编程浪涌电流和短路电流限制
- ◆ -20V至-80V工作电压
- ◆ 可编程过压保护
- ◆ 可编程欠压锁定，带有脉冲干扰滤波器
- ◆ 过流故障积分器
- ◆ 能够在短路负载下上电
- ◆ 电源就绪控制输出
- ◆ 热关断电路保护外部MOSFET

订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX5921AESA	-40°C to +85°C	8 SO
MAX5921BESA	-40°C to +85°C	8 SO

更多的订购信息在本数据资料的最后部分给出。

引脚配置



-48V热插拔控制器，外置 R_{SENSE} 、提供较高的栅极下拉电流

ABSOLUTE MAXIMUM RATINGS

All Voltages Are Referenced to V_{EE} . Unless Otherwise Noted
 Supply Voltage ($V_{DD} - V_{EE}$) -0.3V to +100V
 DRAIN, PWRGD, PWRGD -0.3V to +100V
 PWRGD to DRAIN -0.3V to +95V
 PWRGD to V_{DD} -95V to +85V
 SENSE (Internally Clamped) -0.3V to +1.0V
 GATE (Internally Clamped) -0.3V to +18V
 UV and OV -0.3V to +60V
 Current into SENSE +40mA

Current into GATE +300mA
 Current into Any Other Pin +20mA
 Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)
 8-Pin SO (derate 5.9mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$) 471mW
 Operating Temperature Range -40°C to $+85^\circ\text{C}$
 Junction Temperature $+150^\circ\text{C}$
 Storage Temperature Range -65°C to $+150^\circ\text{C}$
 Lead Temperature (soldering, 10s) $+300^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{EE} = 0\text{V}$, $V_{DD} = 48\text{V}$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$, unless otherwise noted.) (Notes 1, 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
Operating Input Voltage Range	V_{DD}		20		80	V
Supply Current	I_{DD}	Current into V_{DD} with UV = 3V, OV, DRAIN, SENSE = V_{EE} , GATE = floating		0.7	2	mA
GATE DRIVER AND CLAMPING CIRCUITS						
Gate Pullup Current	I_{PU}	GATE drive on, $V_{GATE} = V_{EE}$	-30	-45	-60	μA
Gate Pulldown Current	I_{PD}	$V_{SENSE} - V_{EE} = 100\text{mV}$, $V_{GATE} = 2\text{V}$ (Note 2)	24	50	70	mA
External Gate Drive	ΔV_{GATE}	$V_{GATE} - V_{EE}$, steady state, $20\text{V} \leq V_{DD} \leq 80\text{V}$	10	13.5	18	V
GATE to V_{EE} Clamp Voltage	V_{GSCLMP}	$V_{GATE} - V_{EE}$, $I_{GS} = 30\text{mA}$	15	16.4	18	V
CIRCUIT BREAKER						
Current-Limit Trip Voltage	V_{CL}	$V_{CL} = V_{SENSE} - V_{EE}$	40	50	60	mV
SENSE Input Current	I_{SENSE}	$V_{SENSE} = 50\text{mV}$	-1	-0.2	0	μA
UNDERVOLTAGE LOCKOUT						
Supply Internal Undervoltage Lockout Voltage High	V_{UVLOH}	V_{DD} increasing	13.8	15.4	17.0	V
Supply Internal Undervoltage Lockout Voltage Low	V_{UVLOL}	V_{DD} decreasing	11.8	13.4	15.0	V
UV INPUT						
UV High Threshold	V_{UVH}	UV voltage increasing	1.240	1.255	1.270	V
UV Low Threshold	V_{UVL}	UV voltage decreasing	1.105	1.125	1.145	V
UV Hysteresis	V_{UVHY}			130		mV
UV Input Current	I_{INUV}	UV = V_{EE}	-0.5		0	μA
OV INPUT						
OV High Threshold	V_{OVH}	OV voltage rising	1.235	1.255	1.275	V
OV Low Threshold	V_{OVL}	OV voltage decreasing	1.189	1.205	1.221	V
OV Voltage Reference Hysteresis	V_{OVHY}			50		mV
OV Input Current	I_{INOV}	OV = V_{EE}	-0.5		0	μA

-48V热插拔控制器，外置 R_{SENSE} 、 提供较高的栅极下拉电流

MAX5921/MAX5939

ELECTRICAL CHARACTERISTICS (continued)

($V_{EE} = 0V$, $V_{DD} = 48V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$, unless otherwise noted.) (Notes 1, 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
PWRGD OUTPUT SIGNAL (REFERENCED TO DRAIN)							
DRAIN Input Current	I_{DRAIN}	$V_{DRAIN} = 48V$	10	80	250	μA	
DRAIN Threshold for PWRGD	V_{DL}	$V_{DRAIN} - V_{EE}$ threshold for power-good condition, DRAIN decreasing	1.1	1.7	2.0	V	
GATE High Threshold	V_{GH}	$\Delta V_{GATE} - V_{GATE}$, decreasing	1.0	1.6	2.0	V	
PWRGD, \overline{PWRGD} Output Leakage	I_{OH}	$V_{PWRGD} = 80V$, $V_{DRAIN} = 48V$ $V_{PWRGD} = 80V$, $V_{DRAIN} = 0V$			10 10	μA	
PWRGD Low Voltage ($V_{PWRGD} - V_{EE}$)	V_{OL}	$V_{DRAIN} - V_{EE} < V_{DL}$, $I_{SINK} = 5mA$ (A, E versions)		0.11	0.4	V	
PWRGD Low Voltage ($V_{PWRGD} - V_{DRAIN}$)	V_{OL}	$V_{DRAIN} = 5V$, $I_{SINK} = 5mA$ (B, F versions)		0.11	0.4	V	
OVERTEMPERATURE PROTECTION							
Overtemperature Threshold	$T_{OT(TH)}$	Junction temperature, temperature rising		135		$^{\circ}C$	
Overtemperature Hysteresis	T_{HYS}	See <i>Thermal Shutdown</i> section		20		$^{\circ}C$	
AC PARAMETERS							
OV High to GATE Low	t_{PHLOV}	Figures 1a, 2		0.5		μs	
UV Low to GATE Low	t_{PHLUV}	Figures 1a, 3		0.4		μs	
OV Low to GATE High	t_{PLHOV}	Figures 1a, 2		3.3		μs	
UV High to GATE High	t_{PLHUV}	Figures 1a, 3		8.4		ms	
SENSE High to GATE Low	$t_{PHLSENSE}$	Figures 1a, 4a		1		μs	
Current Limit to GATE Low	t_{PHLCL}	Time from continuous current limit to GATE shutdown (see <i>Overcurrent Fault Integrator</i> section), Figures 1b, 4b	A, B versions	0.35	0.5	0.65	ms
			E, F versions	1.4	2.0	2.6	
DRAIN Low to \overline{PWRGD} Low DRAIN Low to ($\overline{PWRGD} - DRAIN$) High	t_{PHLDL}	Figures 1a, 5a; A and E versions		8.2		ms	
		Figures 1a, 5a; B and F versions		8.2			
GATE High to \overline{PWRGD} Low GATE High to ($\overline{PWRGD} - DRAIN$) High	t_{PHLGH}	Figures 1a, 5b; A and E versions		8.2		ms	
		Figures 1a, 5b; B and F versions		8.2			
TURN-OFF							
Latch-Off Period	t_{OFF}	(Note 3)	A, B, E, F versions	128 x t_{PHLCL}		ms	

Note 1: All currents into device pins are positive; all currents out of device pins are negative. All voltages are referenced to V_{EE} , unless otherwise specified.

Note 2: Gate pulldown current after the current limit to GATE low (t_{PHLCL}) time has elapsed.

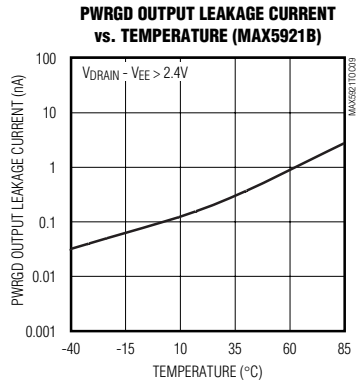
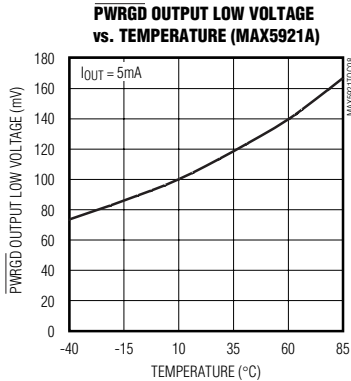
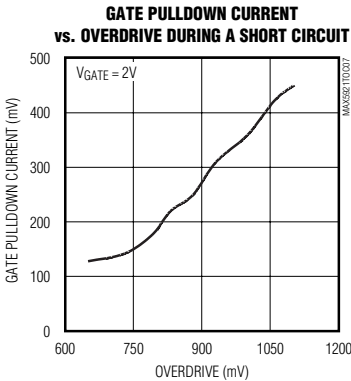
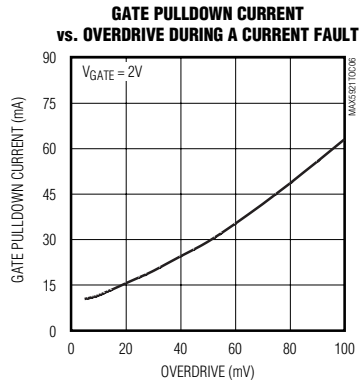
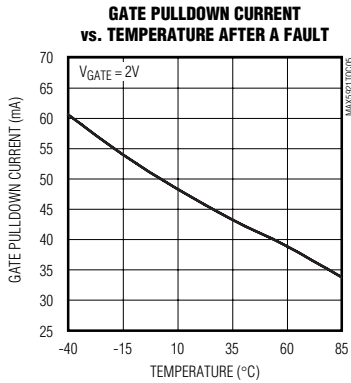
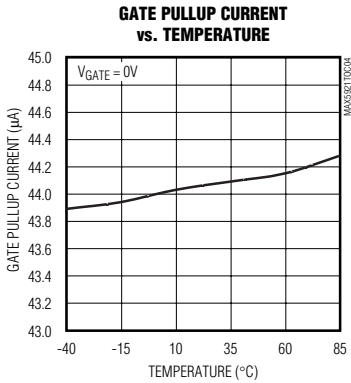
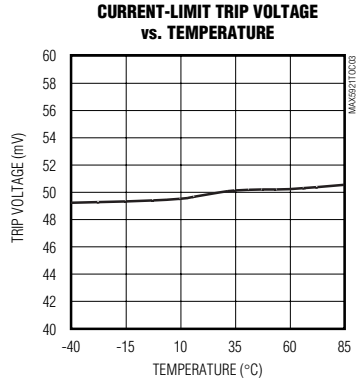
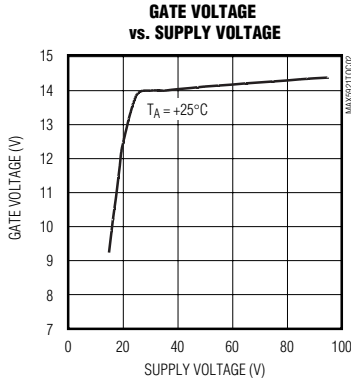
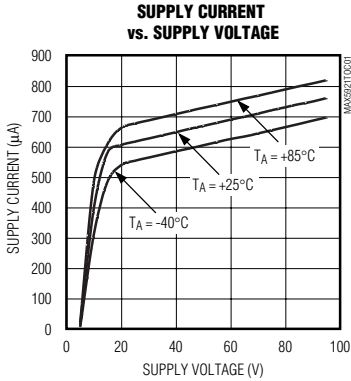
Note 3: Minimum duration of GATE pulldown following a circuit breaker fault. The MAX5921_ automatically restarts after a circuit breaker fault. The MAX5939_ is latched off and can be reset by toggling UV low. The GATE pulldown does not release until t_{OFF} has elapsed.

Note 4: The min/max limits are 100% production tested at $+25^{\circ}C$ and $+85^{\circ}C$ and guaranteed by design at $-40^{\circ}C$.

-48V热插拔控制器，外置 R_{SENSE} 、提供较高的栅极下拉电流

典型工作特性

($V_{DD} = +48V$, $V_{EE} = 0V$, $T_A = +25^\circ C$, unless otherwise noted.)



-48V热插拔控制器，外置 R_{SENSE} 、提供较高的栅极下拉电流

MAX5921/MAX5939

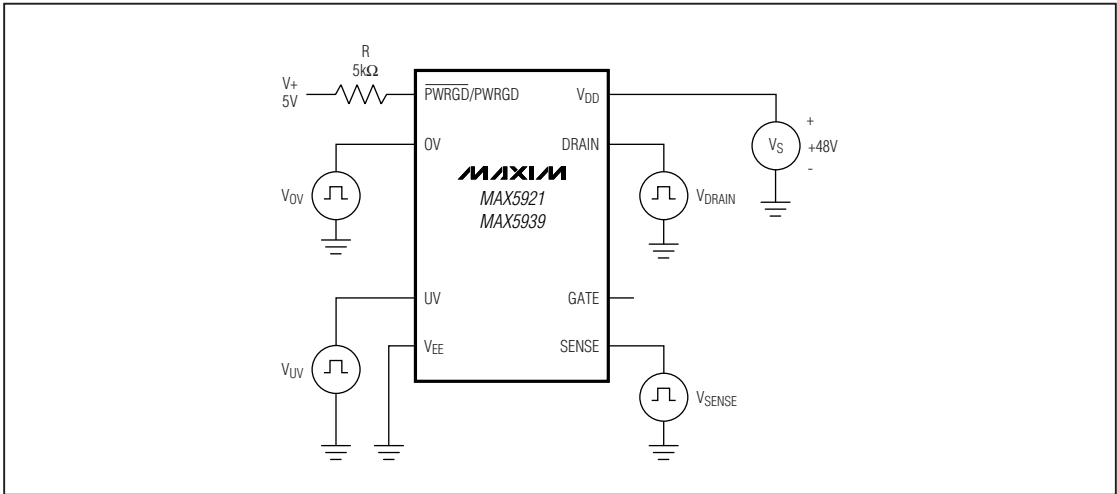


图 1a、测试电路 1

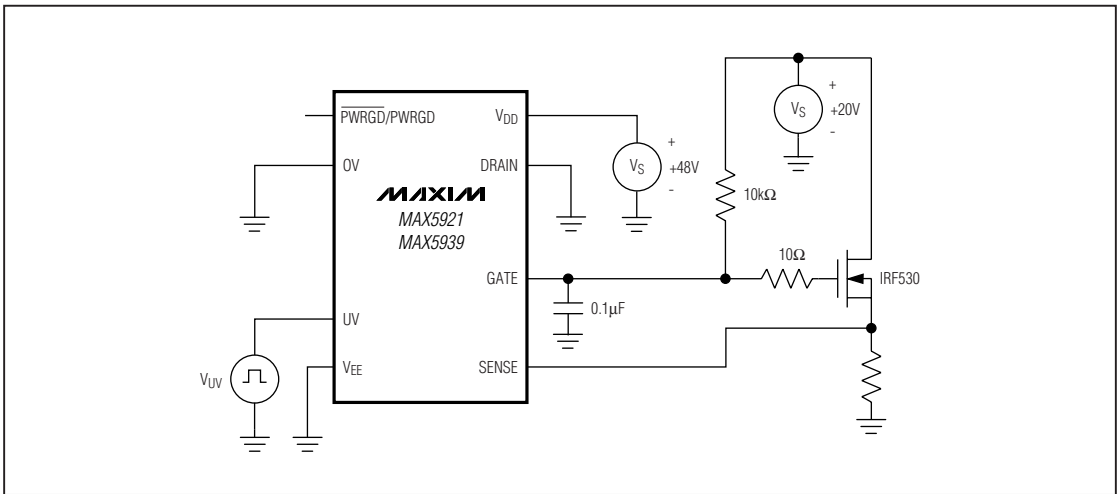


图 1b、测试电路 2

-48V热插拔控制器，外置 R_{SENSE} 、提供较高的栅极下拉电流

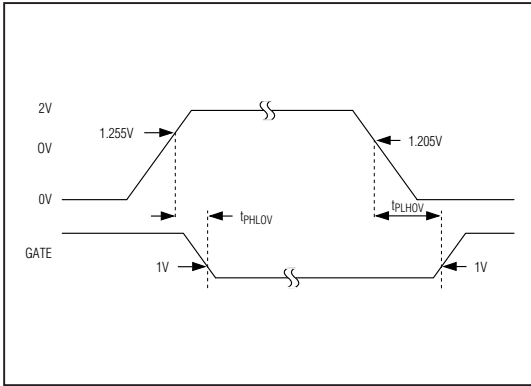


图2、OV与GATE的时序关系

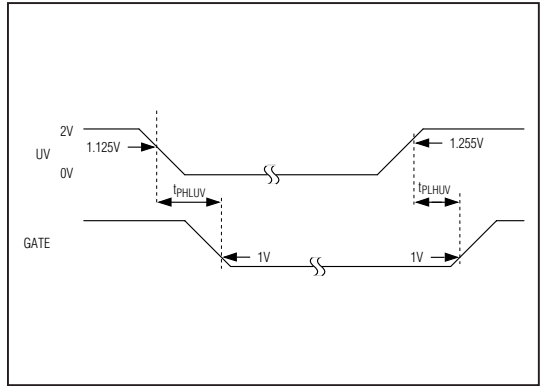


图3、UV与GATE的时序关系

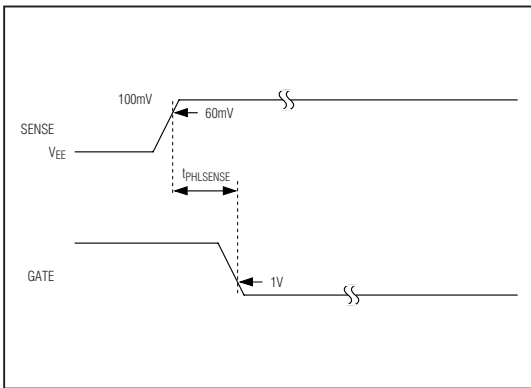


图4a、SENSE与GATE的时序关系

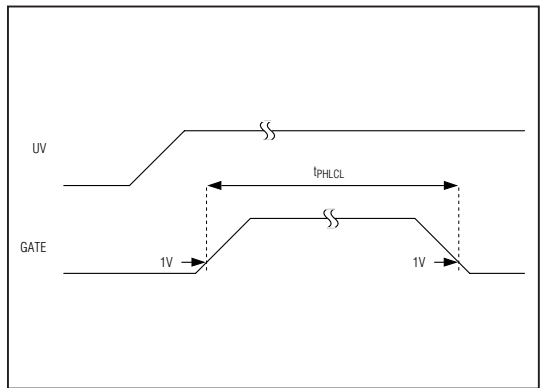


图4b、限流门限有效

-48V热插拔控制器，外置 R_{SENSE} 、提供较高的栅极下拉电流

时序图(续)

MAX5921/MAX5939

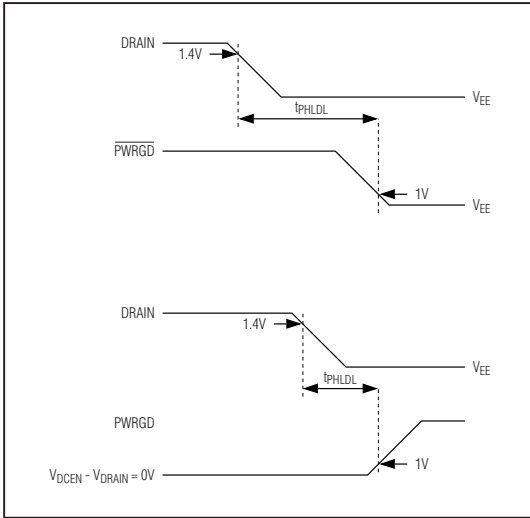


图5a、DRAIN与 \overline{PWRGD} /PWRGD的时序关系

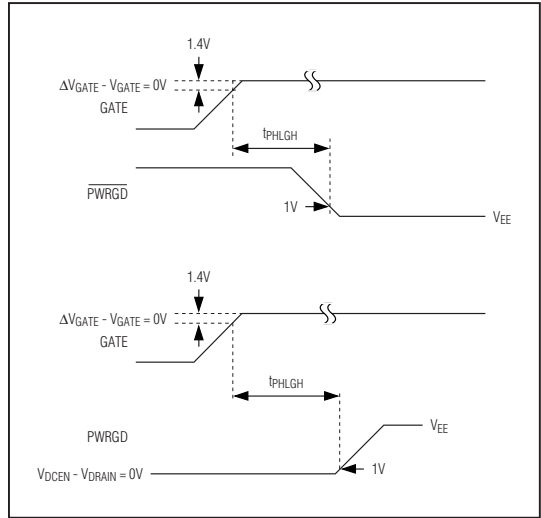
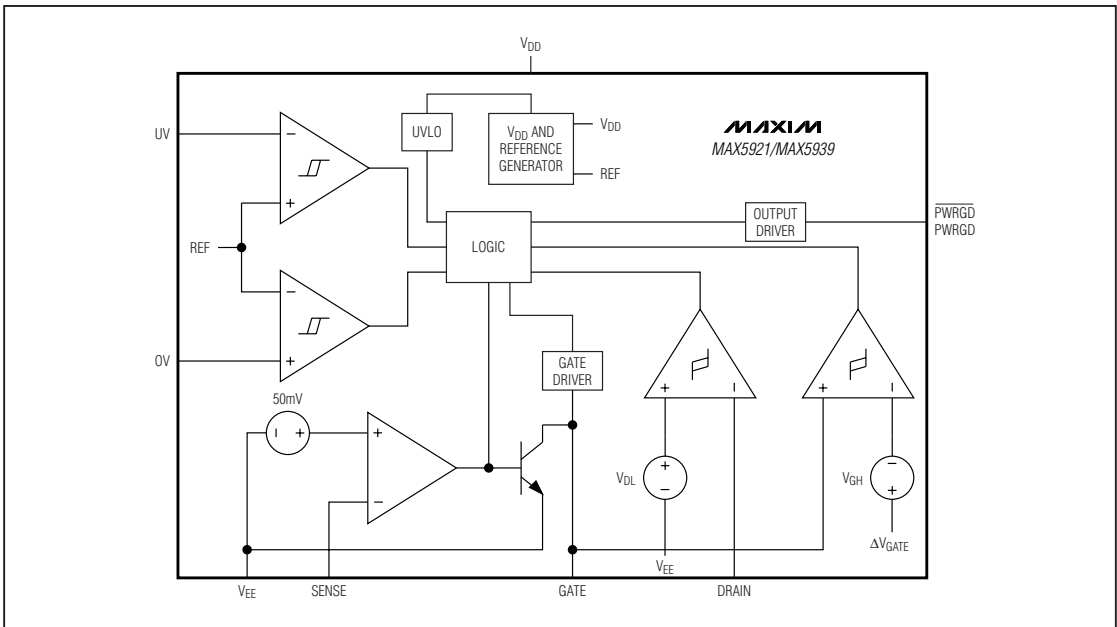


图5b、GATE与 \overline{PWRGD} /PWRGD的时序关系

原理框图



-48V热插拔控制器，外置 R_{SENSE} 、 提供较高的栅极下拉电流

引脚说明

引脚		名称	功能
MAX5921A/ MAX5921E MAX5939A/ MAX5939E	MAX5921B/ MAX5921F MAX5939B/ MAX5939F		
1	—	$\overline{\text{PWRGD}}$	电源就绪信号输出。 $\overline{\text{PWRGD}}$ 是以 V_{EE} 为参考的低电平有效、漏极开路状态输出。当 $V_{\text{DRAIN}}-V_{EE}\leq V_{\text{DL}}$ 并且 $V_{\text{GATE}}>\Delta V_{\text{GATE}}$ 时， $\overline{\text{PWRGD}}$ 锁定为低电平，表明电源就绪。否则， $\overline{\text{PWRGD}}$ 为漏极开路状态。
—	1	PWRGD	电源就绪信号输出。PWRGD是以DRAIN为参考的高电平有效、漏极开路状态输出。当 $V_{\text{DRAIN}}-V_{EE}\leq V_{\text{DL}}$ 并且 $V_{\text{GATE}}>\Delta V_{\text{GATE}}-V_{\text{GH}}$ 时，PWRGD锁定为高阻态，表明电源就绪。否则，PWRGD下拉到DRAIN电平。
2	2	OV	过压检测输入。OV以 V_{EE} 为参考。当OV上拉到 V_{OVH} 电压以上时，GATE拉低。在OV电平降至 $V_{\text{OVH}}-V_{\text{OVHY}}$ 以前GATE将一直保持低电平。
3	3	UV	欠压检测输入。UV以 V_{EE} 为参考。当UV电平上拉到 V_{UVH} 以上时，GATE使能。当UV电平下拉到 V_{UVL} 以下时，GATE拉低。出现故障后还可以用UV复位电路断路器。为了复位电路断路器，需要UV电平下拉到 V_{UVL} 以下。出现故障后可以立即发出复位命令，但是，直到故障状态解除、再经过 t_{OFF} 延迟时间后器件才会重启。
4	4	VEE	负电源输入。与负电源连接。
5	5	SENSE	电流检测输入。接外部检流电阻和外部MOSFET的源极。通过监视外部检流电阻上的压降检测过流和短路故障。将SENSE接 V_{EE} ，可禁止限流功能。
6	6	GATE	栅极驱动输出。接外部N沟道MOSFET的栅极。
7	7	DRAIN	输出电压检测输入。接输出电压节点（外部N沟道MOSFET的漏极）。为得到最佳的热保护效果，放置MAX5921/MAX5939时需保证DRAIN尽可能靠近外部MOSFET的漏极。
8	8	VDD	正电源输入。该引脚是负电源系统中的电源地。与电源输入的高电位点连接。

详细说明

MAX5921/MAX5939为48V电源系统集成了热插拔控制器，允许电路板安全地热插入带电背板，不会在电源线上产生瞬态故障。当把电路板插入带电背板时，电路板上电源模块或开关电源输入端的旁路电容会在它们放电时吸入很大的浪涌电流。不受控制的浪涌电流会在系统电源上造成瞬态故障，损坏线路板上的器件。

MAX5921/MAX5939为电路板卡提供受控的开启过程，避免损坏连接器和板上器件，并可避免电源线上出现瞬态故障。MAX5921/MAX5939都具有欠压、过压和过流保护功能。MAX5921/MAX5939确保为负载供电之前输入电压稳定、并使其保持在容限范围以内。通过将负载电流限制到一个安全水平来防止输入电压跃变的影响，无需切断负载供电。

-48V热插拔控制器，外置 R_{SENSE} 、提供较高的栅极下拉电流

电路板插入

图 6a 是一个典型的 -48V 系统的热插拔电路。当电路板首次与背板连结时，Q1 的漏极与栅极之间的电容 (C_{gd}) 将栅极电压上拉到 $1V_{EE} \times C_{gd} / (C_{gd} + C_{gs})$ 。MAX5921/MAX5939 在 GATE 和 V_{EE} 之间具有内部动态嵌位，能够在热插入期间保持 Q1 的栅极电压为低，防止 Q1 将未受控制的电流传递给负载。在大多数应用中，MAX5921/MAX5939 内部在 GATE 和 V_{EE} 之间的内部嵌位可以省去外部栅源电容。在板卡插入过程中，电阻 R3 限制流入嵌位电路的电流。

电源电压缓慢上升

MAX5921/MAX5939 可以安装在背板上或可移动的电路板卡上 (如图 6a 所示)。通过在电源通道上放置的一个外部 N 沟道 MOSFET 调整管给负载供电。

当电路板插入背板、 V_{EE} 电源电压稳定并保持在欠压和过压容限范围以内后，随着 $45\mu A$ 电流源对 Q1 栅极充电，MAX5921/MAX5939 逐渐开启外部 MOSFET。电容 C2 提供的反馈信号准确地限制浪涌电流。

可根据以下公式计算浪涌电流：

$$I_{INRUSH} = I_{PU} \times C_L / C_2$$

这里， C_L 是总的负载电容，等于 $C_3 + C_4$ ， I_{PU} 是栅极上拉电流。

图 6b 表示浪涌电流波形。流经 C2 的电流控制栅极电压。漏极电压按一定斜率上升，最后，栅极电压充电达到终值。GATE 到 SENSE 端的嵌位电路将 ΔV_{GATE} 的最大值限制在 18V 以内。

拔出电路板

如果从背板上拔出电路板，则 UV 端的电压降低至 UVLO 检测门限，MAX5921/MAX5939 断开外部 MOSFET。

限流和电子断路器

MAX5921/MAX5939 集成了限流功能和断路器，以便在负载电流过大和短路情况下保护电路。通过检测 V_{EE} 和 SENSE 之间的外部检流电阻的电压来监视负载电流。

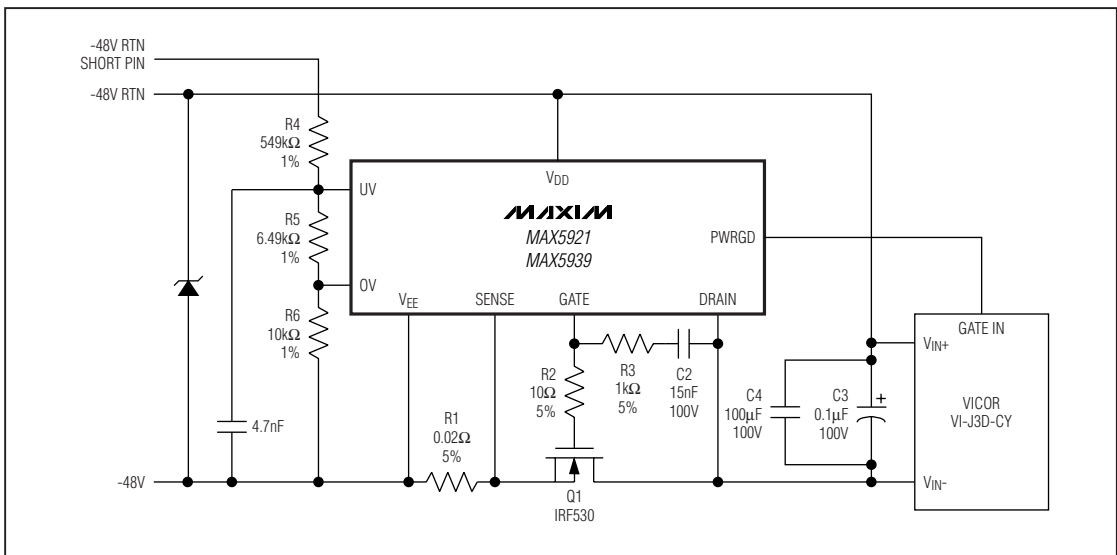


图6a、浪涌控制电路/典型应用电路

-48V热插拔控制器，外置 R_{SENSE} 、提供较高的栅极下拉电流

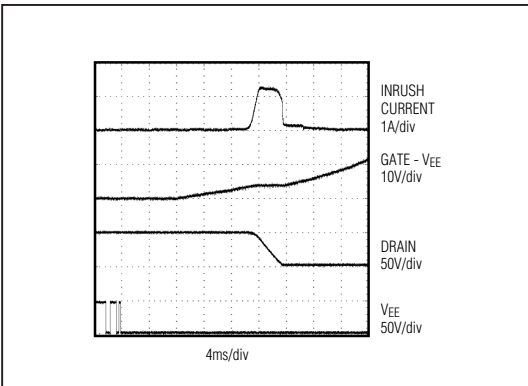


图 6b、浪涌控制波形

如果 V_{EE} 和 SENSE 之间的电压达到限流门限电压 (V_{CL})，则 MAX5921/MAX5939 将 GATE 端拉低，并调节流经外部 MOSFET 的电流，使 $V_{SENSE} - V_{EE} \leq V_{CL}$ 。当负载吸收电流降低到 V_{CL}/R_{SENSE} 时，GATE 电压将再次回升。但是，如果在 t_{PHLCL} 周期内，负载电流保持在 V_{CL}/R_{SENSE} 的限流值，电子断路器将被触发，MAX5921/MAX5939 将断开外部 MOSFET。

出现过流故障后，MAX5921 经过 t_{OFF} 时间后会自动重启；MAX5939 电路断路器则通过触发 UV 或重新上电才能复位。除非是重新上电，否则，MAX5939 将等待 t_{OFF} 时间后才会开启外部 FET 的栅极。

负载电流调节

只要 $V_{SENSE} - V_{EE} > V_{CL}$ ，MAX5921/MAX5939 会通过从 GATE 端拉电流实现负载电流调节。这就降低了外部 MOSFET 的栅源电压，从而减小负载电流。当 $V_{SENSE} - V_{EE} < V_{CL}$ 时，MAX5921/MAX5939 利用 $45\mu A (I_{PU})$ 电流拉高 GATE。

指数函数电流调节

出现过流故障时，MAX5921/MAX5939 提供一个呈指数函数变化的下拉电流来断开外部 FET。当 $V_{SENSE} - V_{EE}$ 电位高于 $50mV (V_{CL})$ 时，GATE 下拉电流增大 (参见“典型工作特性”)。

负载电流调节(短路情况)

MAX5921/MAX5939 器件还包括有连接到 GATE 端的快速、大电流下拉源 (参见“典型工作特性”)。在出现灾难性的过流或短路故障时，如果 V_{SENSE} 比 V_{EE} 高出 $650mV$ (典型值)，将激活大电流下拉功能。大电流下拉电路从 GATE 端吸入 $450mA$ 电流，迅速断开外部 MOSFET。

抑制输入电压跃变

MAX5921/MAX5939 可以避免输入电源电压跃变的影响。输入电源电压的快速增大 ($V_{DD} - V_{EE}$ 增大) 会产生跃变电流： $I = C_L \times \Delta V_{IN} / \Delta t$ ，正比于输入电压的摆率 ($\Delta V_{IN} / \Delta t$)。如果负载电流在输入电压跃变期间大于 V_{CL} / R_{SENSE} ，MAX5921/MAX5939 限流电路将起作用，拉低栅极电压，并将负载电流限制在 V_{CL} / R_{SENSE} 。然后，DRAIN 端的电压 (V_{DRAIN}) 将按照比输入电压摆率低得多的速率回升。当漏极电压上升速度开始变缓时，漏栅极间的反馈电容 C_2 迫使栅极电压回退，降低漏源电压 (V_{GS}) 和流过外部 MOSFET 的电流。一旦输入电源达到其终值，DRAIN 摆率 (和由此产生的浪涌电流) 将受电容 C_2 的制约，与启动过程的受限状况相同 (参见“电源电压缓慢上升”部分)。为确保正确工作，所选择的 R_{SENSE} 必须保证限流值高于负载电流与摆率模式下流入负载电容的动态电流。

如果负载电流与电容充电电流之和低于电流限制，则不会触发电路断路器。

欠压和过压保护

利用 UV 和 OV 检测欠压和过压故障。UV 和 OV 与内部模拟比较器连接，比较器滞回分别为 $130mV (UV)$ 和 $50mV (OV)$ 。当 UV 电压降低到相应门限或 OV 电压上升到相应门限时，GATE 端拉低，并且，GATE 将在 UV 变高、OV 变低之前，即输入电源电压达到指定范围之前持续保持低电平。MAX5921/MAX5939 具有内部锁定功能 (UVLO)，无论 UV 输入如何，外部 MOSFET 将一直保持断开状态，直到输入电源电压超出 $15.4V$ 。

发生故障后，还能利用 UV 复位电路断路器。将 UV 电平下拉至 V_{UVL} 即可复位电路断路器。

-48V热插拔控制器，外置 R_{SENSE} 、提供较高的栅极下拉电流

MAX5921/MAX5939

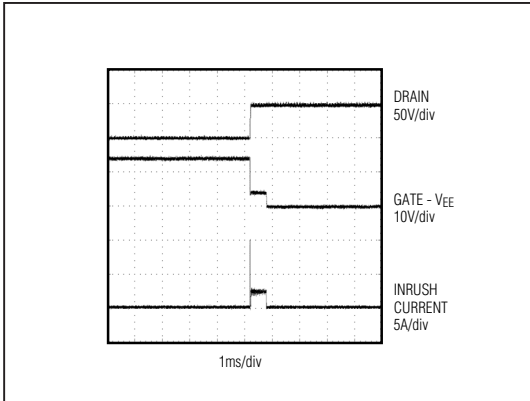


图7、短路保护波形

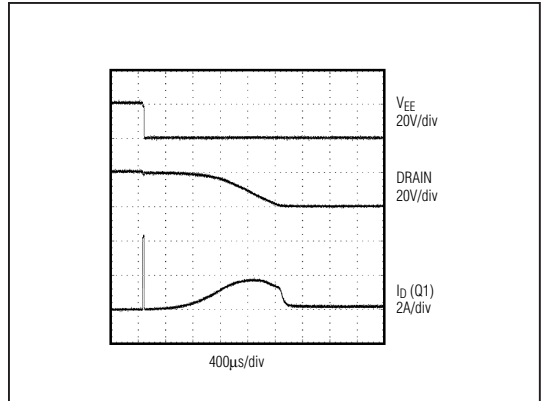


图8、输入电源的电压跃变

图 10 用来说明如何利用三个电阻设置欠压和过压触发门限。当 $R4 = 549k\Omega$ 、 $R5 = 6.49k\Omega$ 和 $R6 = 10k\Omega$ 时，设定欠压门限为 38.5V(解除欠压状态门限为 43V)，过压门限为 71V。电阻分压器还可以增大输入电源的欠压和过压滞回，分别达到 4.5V 和 2.8V。

\overline{PWRGD} / PWRGD 输出

热插入后，利用 \overline{PWRGD} (PWRGD) 输出可以启动电源模块。利用 MAX59_A (\overline{PWRGD}) 可以启动一个带有低电平使能输入的模块 (如图 12 所示)，或者利用 MAX59_B (PWRGD) 启动一个带有高电平使能输入的模块 (如图 11 所示)。

PWRGD 信号以 DRAIN 端为参考，该端是电源模块的负电源。 \overline{PWRGD} 信号以 V_{EE} 为参考。

欠压状态下，MAX5921A(有关完整的选择信息参见“选择指南”)或 MAX5939A 的 DRAIN 电压相对于 V_{EE} 为高，GATE 端电压为低时，内部将 MOSFET Q2 下拉至断开状态， \overline{PWRGD} 输出变为高阻态 (如图 13 所示)。利用模块内部的上拉电流源将 \overline{PWRGD} 拉高，使模块关断。当 DRAIN 电压降低到 V_{DL} ，并且 GATE 电压大于 $\Delta V_{GATE} - V_{GH}$ 时，Q2 导通， \overline{PWRGD} 被下拉为低电平，开启模块。

\overline{PWRGD} 信号也能用来开启 LED 或光耦，指示电源状态正常 (如图 13 所示) (参见“元件选择步骤”部分)。

当 DRAIN 电压降低到 V_{DL} ，并且 GATE 电压大于 $\Delta V_{GATE} - V_{GH}$ 时，MOSFET Q3 导通， I_1 与 V_{EE} 短路，Q2 断开。模块中的上拉电流将 PWRGD 拉高，启动模块。

欠压状态下，MAX5921B/MAX5939B(有关完整的选择信息参见“选择指南”)的 DRAIN 电压相对于 V_{EE} 为高，GATE 电压为低时，MOSFET Q3 断开，使得 I_1 与内部 MOSFET Q2 将 \overline{PWRGD} 嵌位到 DRAIN 端电压，关断模块。

一旦 PWRGD 和 \overline{PWRGD} 输出有效，MAX5921/MAX5939 的输出不会因为过压 (OV) 故障而翻转。

GATE 端电压调节

启动后，如果符合以下条件 GATE 变高：UV 为高，OV 为低，电源电压高于 V_{UVLOH} 以及 $V_{SENSE} - V_{EE}$ 小于 50mV。利用 $45\mu A$ 电流源拉高栅极，并将其调节到比 V_{EE} 高出 13.5V。MAX5921/MAX5939 内部嵌位电路可确保外部 MOSFET 的 GATE 电压始终不会超出 18V。在快速升高 V_{DD} 期间，附加的动态嵌位电路使 GATE 和 SENSE 电位尽可能保持接近，以防意外开启 FET。当检测到故障时，GATE 被拉低 (参见“负载电流调节”部分)。

-48V热插拔控制器，外置 R_{SENSE} 、提供较高的栅极下拉电流

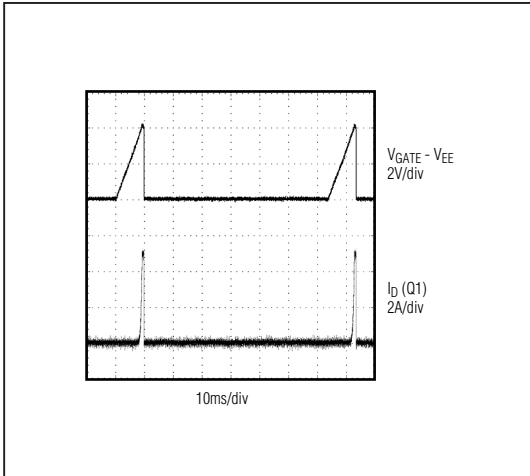


图9、短路后的自动重启

过流故障积分器

MAX5921/MAX5939带有一个过流故障积分器。当检测到过流情况时，内部数字计数器的数值递增。对于限流状态持续时间最大值为 $500\mu\text{s}$ 的器件，数字计数器的时钟周期是 $32\mu\text{s}$ ；对于限流状态持续时间最大值为 2ms 的器件，时钟周期是 $128\mu\text{s}$ 。不足 $32\mu\text{s}$ 的过流被认为是 $32\mu\text{s}$ 过流。当MAX5921/MAX5939A的计数值达到 $500\mu\text{s}$ 时（最大限流状态持续时间），被认为是产生了过流故障。如果过流故障持续时间不到 $500\mu\text{s}$ ，则计数器开始以低于递增速率128倍的速度（最大限流占空比）递减。如果过流状态的占空比大于最大限流占空比（参见图14），则重复出现的过流状态将导致一次故障报警。

热关断

MAX5921/MAX5939包含一个内部管芯温度监视器，当管芯温度达到热关断阈值 T_{OT} 时，MAX5921/MAX5939将GATE端拉低，并关断外部MOSFET。如果MOSFET和MAX5921/MAX5939之间有良好的导热通道，芯片可为外部MOSFET提供热保护。将MAX5921/MAX5939靠

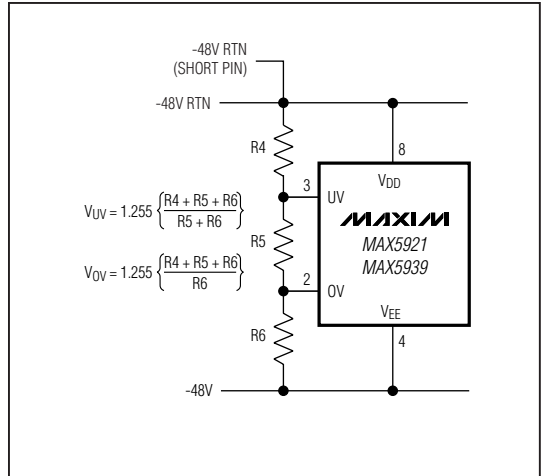


图10、欠压和过压检测

近外部MOSFET的漏极放置，由于大部分功率消耗在漏极，可以获得最佳的热保护效果。

发生热关断故障后，MAX5921_至少在 t_{OFF} 时间内关断FET，以使MOSFET渐渐冷却。当温度降低到热关断阈值以下 20°C 时，MAX5921_芯片重新启动。

发生热关断故障后，MAX5939_锁定。MAX5939_能通过触发UV至低电平或重新上电使系统重新启动。但是，触发UV时，芯片将保持关断FET的时间至少为 t_{OFF} 。

应用信息

检流电阻

电路断路器的限流门限被设定为 50mV （典型值）。选择一个检流电阻，使其在高于最大标准工作电流时所产生的压降等于或大于限流门限值。通常，启动过程中，将过流电流设定为标准负载电流与动态负载电容充电电流之和的1.5倍至2.0倍。选择限流电阻的额定功率大于 $(V_{CL})^2/R_{SENSE}$ 。

-48V热插拔控制器，外置 R_{SENSE} 、 提供较高的栅极下拉电流

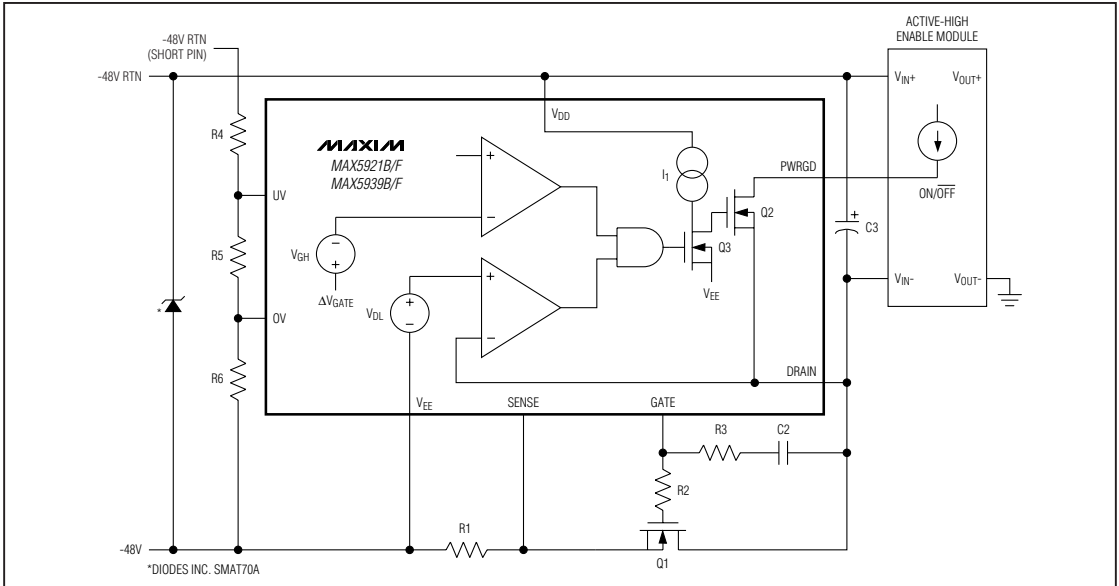


图 11、高电平有效使能模块

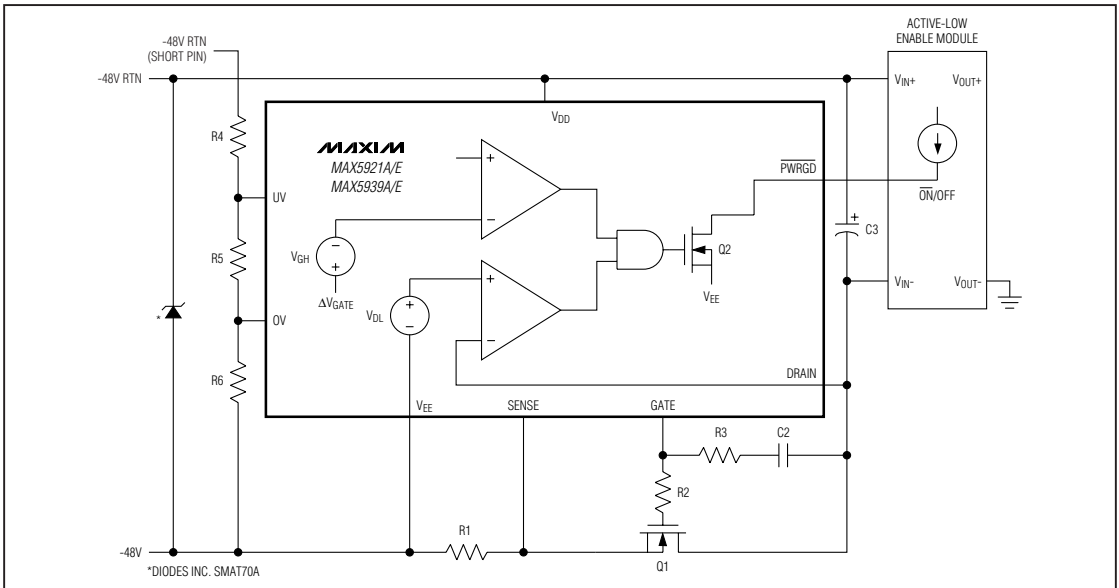


图 12、低电平有效使能模块

-48V热插拔控制器，外置 R_{SENSE} 、提供较高的栅极下拉电流

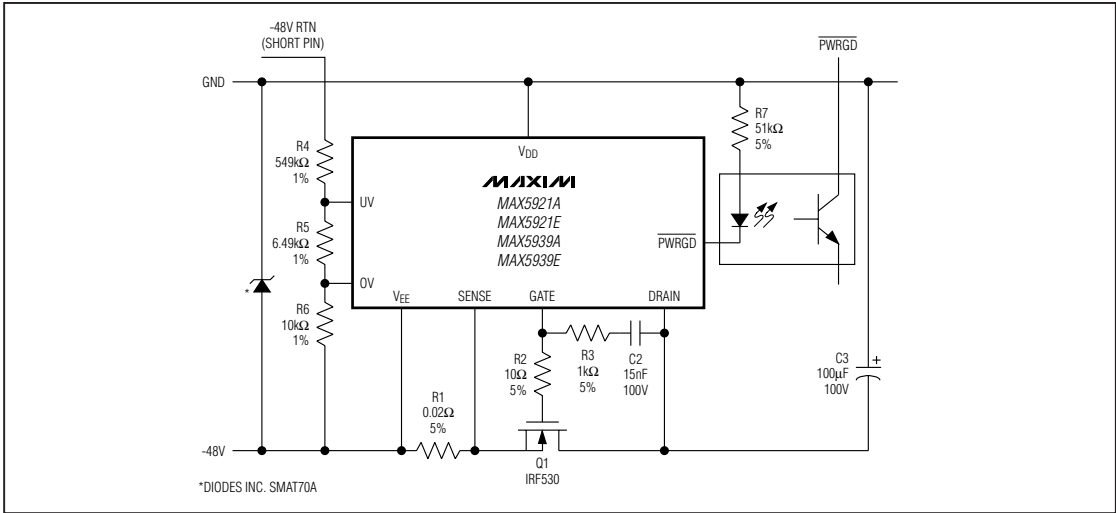


图 13、利用 PWRGD 驱动光耦

元件选择步骤：

- 确定负载电容：

$$C_L = C_2 + C_3 + \text{模块输入电容}$$

- 确定负载电流 I_{LOAD}
- 选择电路断路器电流，例如：

$$I_{CB} = 2 \times I_{LOAD}$$

- 计算 R_{SENSE} ：

$$R_{SENSE} = \frac{50\text{mV}}{I_{CB}}$$

注意，考虑到触发电压容限， I_{CB} 波动为 $\pm 20\%$ 。

- 设置所容许的浪涌电流：

$$I_{INRUSH} \leq 0.8 \times \frac{40\text{mV}}{R_{SENSE}} - I_{LOAD} \quad \text{或}$$

$$I_{INRUSH} + I_{LOAD} \leq 0.8 \times I_{CB(\text{MIN})}$$

- 确定 C_2 值：

$$C_2 = \frac{45\mu\text{A} \times C_L}{I_{INRUSH}}$$

- 计算 C_1 值：

$$C_1 = (C_2 + C_{gd}) \times \left(\frac{V_{IN(\text{MAX})} - V_{GS(\text{TH})}}{V_{GS(\text{TH})}} \right)$$

- 确定 R_3 值：

$$R_3 = \frac{150\mu\text{s}}{C_2}$$

- 设定 $R_2 = 10\Omega$ 。
- 如果利用图 14 所示的光耦，则确定 LED 串联电阻为：

$$R_7 = \frac{V_{IN(\text{NOMINAL})} - 2V}{3 \leq I_{LED} \leq 5\text{mA}}$$

尽管推荐的光耦没有指定工作在 5mA 以下，但其性能能够允许电源电压短时间低至 36V，此时，LED 电流 = 2.2mA 至 3.7mA。如果将 R7 设置在 51kΩ，光耦应该能够在所期望的温度和输入电压范围，确保在输入为 48V、LED 电流 = 0.9mA，输入为 36V、电流 = 0.7mA 时正常工作。

如果预计输入电压会在瞬间达到 100V 以上，则需选择一个输入瞬间电压抑制二极管 (TVS) 限定 MAX5921/MAX5939 的最大电压不超过 100V。比较适合的器件有：Diodes Inc. 的 SMAT70A，是符合电信规范的 TVS。

选择 Q1 满足电源电压、负载电流、效率和 Q1 封装功耗要求：

$$BV_{DSS} \geq 100V$$

$$I_{D(\text{ON})} \geq 3 \times I_{LOAD}$$

DPAK, D²PAK, or TO-220AB

-48V热插拔控制器，外置 R_{SENSE} 、提供较高的栅极下拉电流

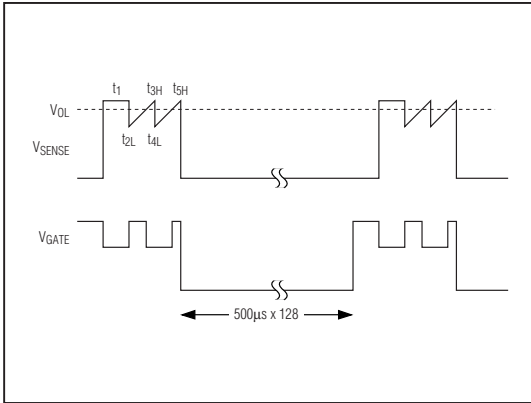


图14、MAX5921A过流故障实例

实际选用的最低 $R_{DS(ON)}$ ，根据预计的限制条件，数值为 $14m\Omega$ 至 $540m\Omega$ ，击穿电压 $100V$ 。

确保在标准负载电流下， $Q1$ 结温的上升不会超出所选封装的要求。确保电压瞬变期间 I_{CB} 电流不超出所允许的瞬态安全工作区域。这由 $Q1$ 制造商提供的数据资料中的 SOA 和瞬时热阻曲线确定。

例1：

$I_{LOAD} = 2.5A$ ，效率 = 98%，则 $V_{DS} = 0.96V$ 或在工作温度下 $R_{DS(ON)} \leq 384m\Omega$ 是容许的。现有 D^2PAK 封装的 $R_{DS(ON)} \leq 180m\Omega$ 、 $I_{D(ON)} = 10A$ 的 IRL520NS 100V NMOS。（Vishay Siliconix 公司提供 DPAK 封装、 $R_{DS(ON)} \leq 25m\Omega$ 、 $I_{D(ON)} = 40A$ 的 SUD40N10-25 100V NMOS，但其管芯尺寸较大，价格较高）。

使用 IRL520NS，即使在 $+80^\circ C$ 时，也能保证 $V_{DS} \leq 0.625V$ ，效率 $\geq 98.6\%$ 。其 $P_D \geq 1.56W$ ，由于封装热阻为 $\theta_{JC} = 3.1^\circ C/W$ ，结温的上升会高出外壳温度大约 $5^\circ C$ 。当然，使用 SUD40N10-25 会得到 99.8% 以上的效率，足以补偿成本的增加。

如果将 I_{CB} 设定为 I_{LOAD} 的两倍，或 $5A$ ，则 V_{DS} 可加倍到 $\leq 1.25V$ 。如果 $C_{OUT} = 4000\mu F$ ，输入电压瞬变 $\Delta 36V$ ，则 $5A$ 充电电流脉冲为：

$$t = \frac{4000\mu F \times 1.25V}{5A} = 1ms$$

数据资料瞬时热阻曲线在 $1ms$ 处所对应的 $\theta_{JC} = 0.9^\circ C/W$ 。 $P_D = 6.25W$ ，则 $\Delta T_{JC} = 5.6^\circ C$ 。很明显，这是不成问题的。

例2：

$I_{LOAD} = 10A$ ，效率 = 98%，允许 $V_{DS} = 0.96V$ 、 $R_{DS(ON)} \leq 96m\Omega$ 。 D^2PAK 封装的 IRL530 列出 $+25^\circ C$ 时 $R_{DS(ON)} \leq 90m\Omega$ ， $+80^\circ C$ 时 $R_{DS(ON)} \leq 135m\Omega$ 。 $+25^\circ C$ 时功率耗散是 $9.6W$ ， $+80^\circ C$ 时功率耗散是 $14.4W$ 。结点到外壳热阻是 $1.9^\circ C/W$ ，因此结点温度的上升会比 $+25^\circ C$ 外壳温度高出大约 $5^\circ C$ 。为得到更高的效率，考虑使用 $R_{DS(ON)} \leq 44m\Omega$ 的 IRL540NS。可以得到 $\eta = 99\%$ ， $P_D \leq 4.4W$ ，并且 $+25^\circ C$ 时 $T_{JC} = +4^\circ C$ ($\theta_{JC} = 1.1^\circ C/W$)。

由瞬态情况下的热量计算得到 $I_{CB} = 20A$ ， $V_{DS} = 1.8V$ ， $t = 0.5ms$ ，瞬时 $\theta_{JC} = 0.12^\circ C/W$ ， $P_D = 36W$ 和 $\Delta T_{JC} = 4.3^\circ C$ 。

布板要求

MAX5921/MAX5939 和外部 MOSFET 之间良好的热传导性是保证有效发挥热关断功能的关键。将 MAX5921/MAX5939 尽可能靠近外部 MOSFET 漏极放置，并且使用较宽的电路板引线以获得良好的热传导效果。图 15 是推荐的在 PC 板上生成检流电阻的 Kelvin 检流布板范例。

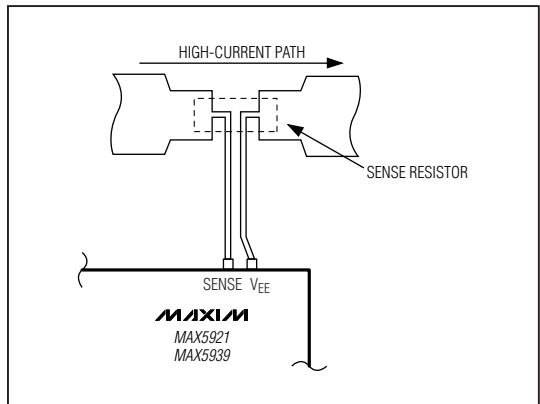


图15、Kelvin 检流布板范例

-48V热插拔控制器，外置 R_{SENSE} 、 提供较高的栅极下拉电流

选择指南

PART	DCEN POLARITY	FAULT MANAGEMENT	MAXIMUM CURRENT-LIMIT DURATION (ms)	MAXIMUM CURRENT-LIMIT DUTY CYCLE
MAX5921AESA	Active-Low $\overline{\text{PWRGD}}$	Autoretry	0.5	1/128
MAX5921BESA	Active-High PWRGD	Autoretry	0.5	1/128
MAX5921EESA	Active-Low $\overline{\text{PWRGD}}$	Autoretry	2	1/128
MAX5921FESA	Active-High PWRGD	Autoretry	2	1/128
MAX5939AESA	Active-Low $\overline{\text{PWRGD}}$	Latched	0.5	1/128
MAX5939BESA	Active-High PWRGD	Latched	0.5	1/128
MAX5939EESA	Active-Low $\overline{\text{PWRGD}}$	Latched	2	1/128
MAX5939FESA	Active-High PWRGD	Latched	2	1/128

订购信息(续)

PART	TEMP RANGE	PIN-PACKAGE
MAX5921EESA*	-40°C to +85°C	8 SO
MAX5921FESA*	-40°C to +85°C	8 SO
MAX5939AESA	-40°C to +85°C	8 SO
MAX5939BESA	-40°C to +85°C	8 SO
MAX5939EESA*	-40°C to +85°C	8 SO
MAX5939FESA*	-40°C to +85°C	8 SO

* 未来产品——请与工厂联系。

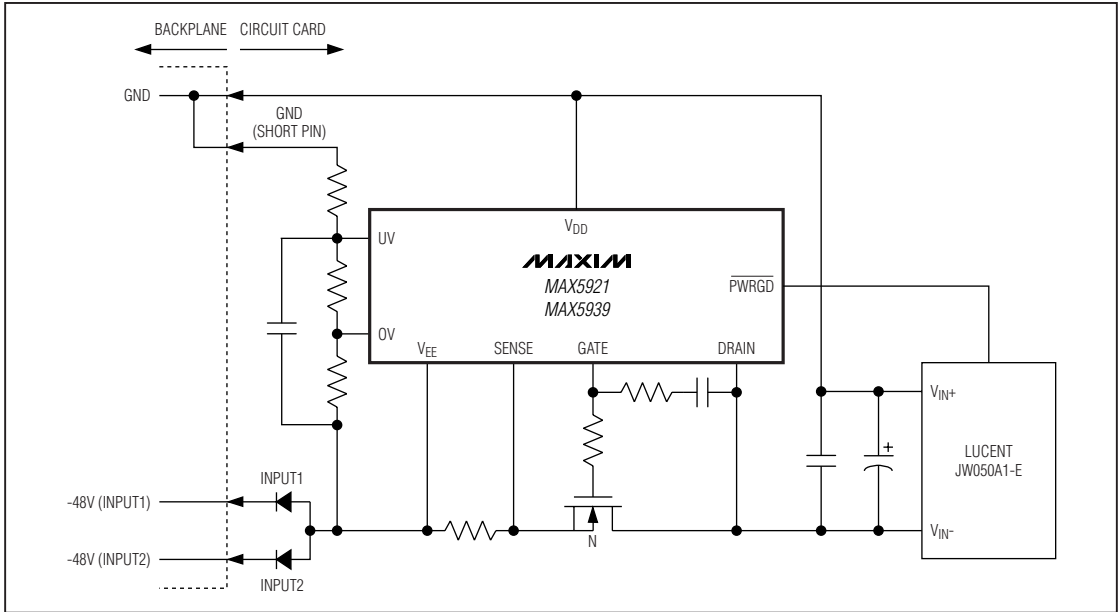
芯片信息

TRANSISTOR COUNT: 2645
PROCESS: BiCMOS

-48V热插拔控制器，外置 R_{SENSE} 、 提供较高的栅极下拉电流

典型工作电路

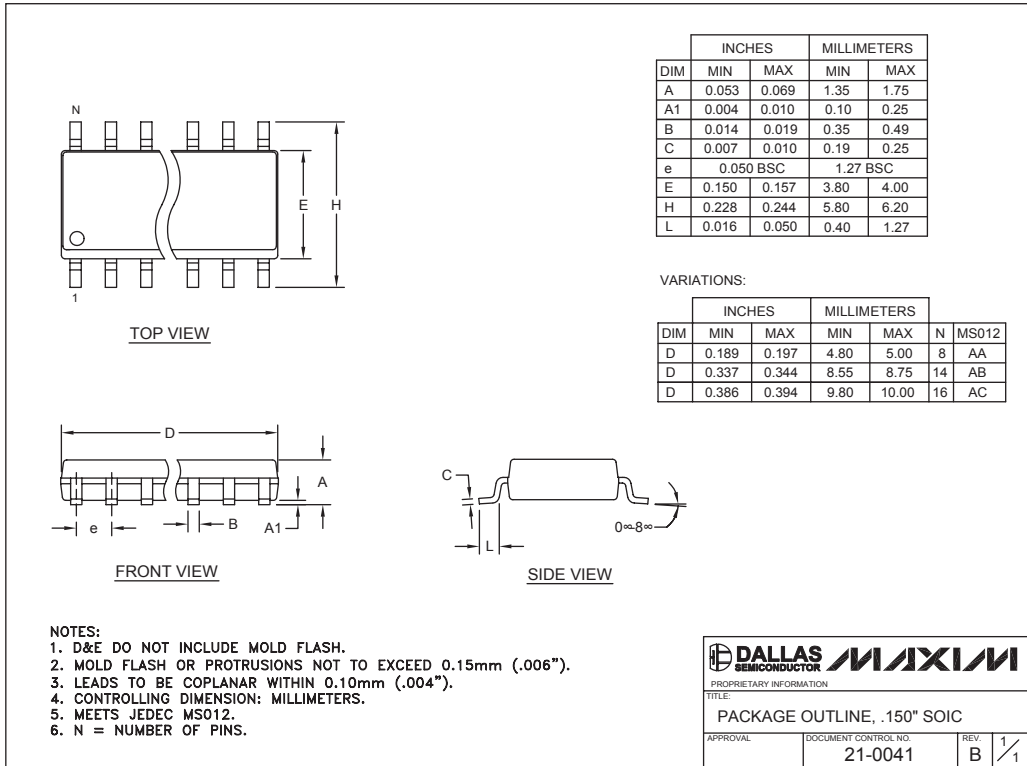
MAX5921/MAX5939



-48V热插拔控制器，外置 R_{SENSE} 、提供较高的栅极下拉电流

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com/packages。)



MAXIM北京办事处

北京 8328 信箱 邮政编码100083

免费电话: 800 810 0310

电话: 010-6201 0598

传真: 010-6201 0298

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

18 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**