

3V 与 5V 混合系统中逻辑器接口问题

作者 Mike Magdaluyo 是 Philips 半导体公司逻辑产品部的应用工程师

由 c51bbs 的 xu 推荐

1 引言

近年来,随着便携式数字电子产品如笔记本电脑、数字式移动电话、寻呼机、手持式测试仪表等的迅速发展,要求使用体积小、功耗低、电池耗电小的器件,数字系统的工作电压已经从 5V 降至 3V 甚至更低(例如 2.5V 和 1.8V 标准的引进)。但是目前仍有许多 5V 电源的逻辑器件和数字器件可用,因此在许多设计中 3V (含 3.3V) 逻辑系统和 5V 逻辑系统共存,而且不同的电源电压在同一电路板中混用。随着更低电压标准的引进,不同电源电压逻辑器件间的接口问题会在很长一段时间内存在。

本文讨论的是使用 TTL 和 CMOS 的 3V 和 5V 系统中逻辑器件间接口的基本概念和电路实例。理解了这些概念可避免不同电压的逻辑器件接口时出现的问题和保证所设计的电路数据传输的可靠性。

2 逻辑电平不同,接口时出现的问题

在混合电压系统中,不同电源电压的逻辑器件相互接口时会存在以下 3 个主要问题:加到输入和输出引脚上允许的最大电压的限制问题;两个电源间电流的互串问题;必须满足的输入转换门限电平问题。

器件对加到输入脚或输出脚的电压通常是有限制的。这些引脚有二极管或分离元件接到 V_{CC} 。如果接入的电压过高,则电流将会通过二极管或分离元件流向电源。例如 3V 器件的输入端接上 5V 信号,则 5V 电源将会向 3V 电源充电。持续的电流将会损坏二极管和电路元件。

在等待或掉电方式时,3V 电源降落到 0V,大电流将流通到地,这使总线上的高电压被下拉到地,这些情况将引起数据丢失和元件损坏。必须注意的是:不管是在 3V 的工作状态或是 0V 的等待状态都不允许电流流向 V_{CC} 。

另外用 5V 的器件来驱动 3V 的器件有很多不同情况,同样 TTL 和 CMOS 间的转换电平也存在不同情况。驱动器必须满足接收器的输入转换电平,并要有足够的容限和保证不损坏电路元件。

以上问题在详细地分析一些具体电路后便会很清楚。

3 可用 5V 容限输入的 3V 逻辑器件

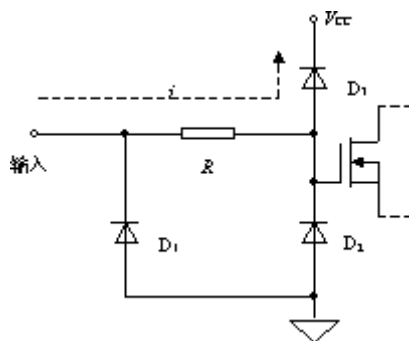
3V 的逻辑器件可以有 5V 输入容限的器件是 LVC、LVT、ALVT、LCX、LVX、LPT 和 FCT3 等系列。此外,还有不带总线保持输入的飞利浦 ALVC 器件也是 5V 容限。

3.1 ESD 保护电路

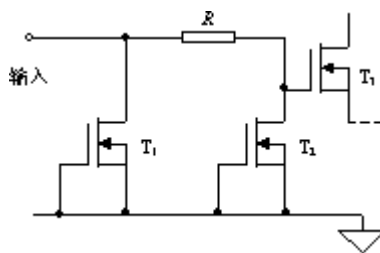
为了说清楚为什么 3V 器件可以有 5V 的输入容限，首先介绍逻辑电路输入端的静电放电（ESD）保护电路的工作原理。

实际上数字电路的所有输入端都有一个静电放电（ESD）保护电路，如图 1（a）所示。传统的 CMOS 电路通过接地的二极管 D_1 、 D_2 对负向高电压限幅而实现保护，正向高电压则由二极管 D_3 钳位。这种电路的缺点是为了防止电流流向 V_{CC} 电源，最大的输入电压被限制在 $V_{CC}+0.5V$ 。对 V_{CC} 为 3V 的器件来说，当输入端直接与大多数 5V 器件输出端接口时允许的输入电压会太低。大多数 5V 系统加到输入端的电压可达 3.6V 以上。

有些 3V 系统电路可以使用两个 MOS 场效应管或晶体管 T_1 、 T_2 代替图 1（a）中的 D_1 、 D_2 二极管，如图 1（b）所示。 T_1 、 T_2 的作用相当于快速齐纳二极管对高电压限幅。由于去掉了接到 V_{CC} 的二极管 D_3 ，因此最大输入电压不受 V_{CC} 的限制。典型情况下，这种电路的击穿电压在 7~10V 之间，因此可以适合任何 5V 系统的输入电压。



(a) 传统的 ESD 保护电路，输入电压被限制在 $V_{CC}+0.5V$



(b) 改进的 ESD 保护电路，输入电压不受 V_{CC} 限制

图 1 CMOS ESD 保护电路

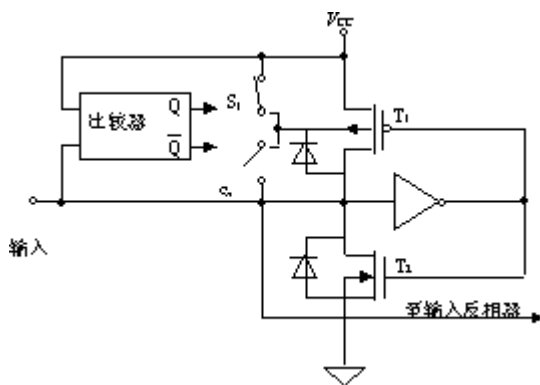
由上分析可知，改进后具有 ESD 保护电路的 3V 系统的输入端可以与 5V 系统的输出端接口。

3.2 总线保持电路

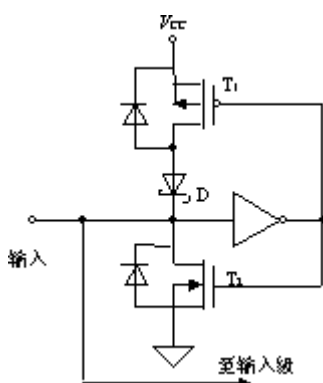
总线保持电路就是有一个 MOS 场效应管用作上拉或下拉器件，在输入端浮空（高阻）的情况下保持输入端处于最后有效的逻辑电平。图 2 (a) 中的电路为一 LVC 器件总线保持电路的例子。在该例子中制造商采取了改进措施而使其输入端具有 5V 的容限。其基本原理如下：P 沟道 MOS 场效应管 T_1 具有一个内在的寄生二极管，它连接在漏极和衬底之间，通常源极与衬底是连在一起的，这就限制了输入电压不能高于 $V_{cc}+0.5V$ 。现在的措施是用常闭接点 S_1 将源极与衬底相连，当输入端电压比 V_{cc} 高 0.5V 时，比较器使 S_2 闭合， S_1 断开，输入端电流不会通过二极管流向 V_{cc} 而使输入具有 5V 的容限。

图 2 (b) 是 LVT 和 ALVT 器件总线保持电路的例子。这种电路用了一个串联的肖特基二极管 D ，这样就消除了从输入到 V_{cc} 的电流通路，从而可以承受 5V 输入电压。

对于 3V 的总线保持 LVC、LVT 和 ALVT 系列器件可以承受 5V 的输入电压。但对于 3V 的 ALVC、VCX 等系列器件则不能，它们的输入电压被限制在 $V_{cc}+0.5V$ 。



(a) 在 LVC 总线保持电路中，当输入电压上升超过 V_{cc} 时，比较器使 S_1 开路，消除了至 V_{cc} 的电流通路



(b) LVT 和 ALVT 器件，反向偏置的肖特基二极管断开了到 V_{cc} 的电流通路

图 2 具有总线保持电路的输入端

下面讨论输出端的情况。图 3 是用于 3V CMOS 器件的输出电路的简化形式。当输出端电压高于 V_{cc} 0.5V（二极管压降）时，P 沟道 MOS 场效应管 T_1 的内部二极管会形成

一条从输出端到 V_{CC} 的电流通路。所以这种电路在与 5V 器件相接时需要加保护电路。

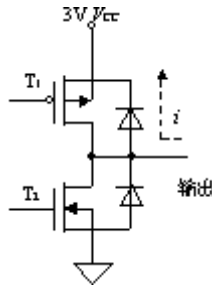


图 3 简化的 CMOS 输出级

图 4 是一种带保护电路的 CMOS 器件输出电路。当输出端电压高于 V_{CC} 时，比较器使 S_1 开路， S_2 闭合，使电流通路消失，这样在三态方式时就能与 5V 器件相接。

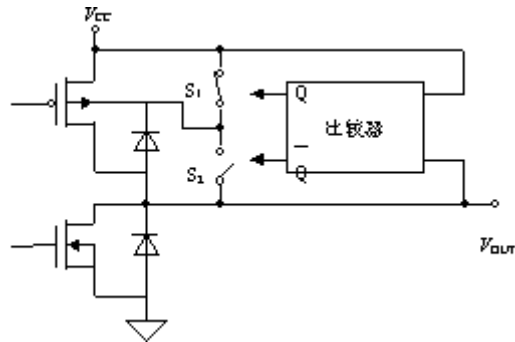


图 4 带保护电路的 CMOS 输出端

3.3 biCMOS 输出电路

LVT 和 ALVT 器件的 biCMOS 输出电路如图 5 所示。它用双极 NPN 晶体管和 CMOS 场效应管来获得输出电压摆幅达到电源电压的要求。电流不会通过 NPN 双极晶体管 T_1 回流到 V_{CC} ，但在 P 沟道 MOS 场效应管中的内在二极管仍然会形成一条从输出端到 V_{CC} 的电流通路（为了简化，图 5 中没有画出该二极管）。因此这种电路不能接高于 V_{CC} 的电压。

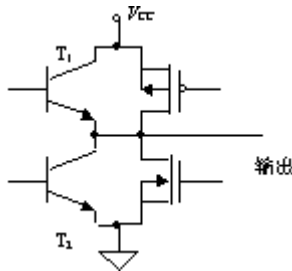


图 5 biCMOS 输出电路

对图 5 电路所加的保护电路，如图 6 所示。增加了反向偏置的肖特基二极管 D_1 ，用以防止电流从输出端流到 V_{CC} 。为了简化，图中没有画出双极晶体管。图 6 中的输出端与 5V 驱动器共用一条总线。在三态方式时，电路可以得到保护。当出现总线争夺即两个驱动器都以高电平驱动总线时，比较器将 P 沟道 MOS 场效应管 T_1 断开。当 3V 器件处于等待方式而 3V 电源为 0 时，比较器和肖特基二极管 D_1 可以起保护作用。

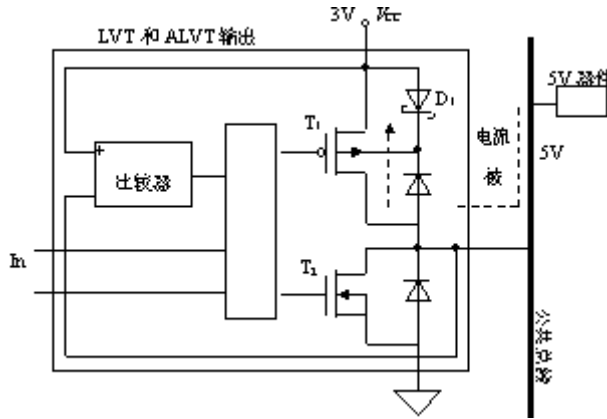


图 6 用比较器和反向偏置的肖特基二极管

保护 3V 器件的输出端

4 3V、5V 混合系统中不同电平器件接口的 4 种情况

为了保证在混合电压系统中数据交换的可靠性，必须满足输入转换电平的要求，但又不能超过输入电压的限度。图 7 就是各种转换电平的例子：

TTL 电平 输入高电平 V_{IH} 2V 以上；

输入低电平 V_{IL} 0.8V 以下。

CMOS 电平 V_{IH} 为 $0.7 \times V_{CC}$ 以上；

V_{IL} 为 $0.3 \times V_{CC}$ 以下。

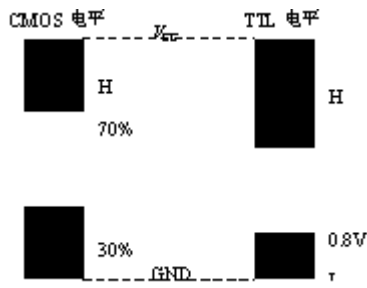


图 7 TTL 及 CMOS 器件的转换电平

例如 V_{CC} 为 $5V \pm 0.5V$ 的系统, CMOS 的输入电压 V_{IH} 至少是 $3.85V$, 而 V_{IL} 必须小于 $1.35V$ 。

在 $3V/5V$ 混合系统的设计中, 必须讨论以下 4 种信号电平的配置:

- 5V TTL 输出驱动 3V TTL 输入;
- 3V 输出驱动 5V TTL 输入;
- 5V CMOS 输出驱动 3V TTL 输入;
- 3V 输出驱动 5V CMOS 输入。

(1) 通常, 5V TTL 器件可以驱动 3V TTL 输入, 因为典型双极晶体管的输出并不能达到电源电压幅度。当一个 5V 器件的输出为高电平时, 内部压降限制了输出电压。典型情况是 $V_{CC} - 2V_{BE}$, 即约 $3.6V$ 。这样工作通常不会引起 5V 电源的电流流向 3V 电源。但是, 因为驱动器结构会有所不同, 因此必须控制驱动器的输出不宜超过 $3.6V$ 以防万一。

(2) 用 3V 器件驱动 5V TTL 的输入端应当是没有困难的。不管是 CMOS 或 biCMOS 器件, 3V 器件实际上能输出 3V 摆幅的电压。对 5V TTL 输入的高电平 2V 门限是容易满足的。

(3) 当用 5V CMOS 器件来驱动 3V TTL 输入时, 必须小心选择。要选用的 3V 接收器件应具有 5V 的容限。

(4) 前面曾谈到 3V 输出可以驱动 5V TTL 器件输入, 但要注意对 5V CMOS 器件的输入来说情况却大不一样。应该记住 3V 输出是不能可靠地驱动 5V CMOS 输入的。在最坏的情况下, 当 $V_{CC}=5.5V$ 时所要求的 V_{IH} 至少是 $3.85V$, 而 3V 器件是不能达到的。

5 两种电平移位器件

上面讨论了不同电平器件接口的 4 种情况, 那么对于第 4 种情况该怎么办? 这里介绍两种电平移位器件可以解决类似问题。

(1) 双电源电平移位器 74LVC4245

74LVC4245 是一种双电源的电平移位器, 如图 8 所示。5V 端用 5V 电源作为 V_{CCA} , 而 3V 端则用 3V 作为 V_{CCB} 。它的功能类似于常用的收发器 74LVC245, 所不同的是用两个电源而不是一个电源。

74LVC4245 的电平移位在其内部进行。双电源能保证两边端口的输出摆幅都能达到满电源幅值, 并且有很好的噪声抑制性能。因此该器件用来驱动 5V CMOS 器件的输入是很理想的。它的缺点是增加了功耗。

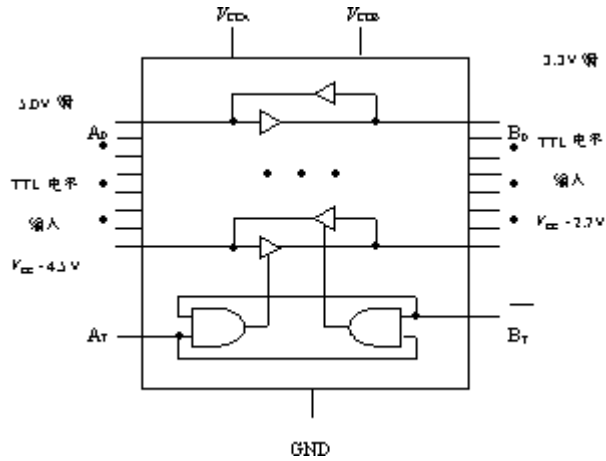


图 8 74LVC4245 电平移位器

(2) 74LVC07

较为简单的一种电平移位器件是 74LVC07。它使用一个漏极开路缓冲器去驱动 5V CMOS 器件的输入，如图 9 所示。它的输出端由一个上拉电阻 R 接到 5V 电源。

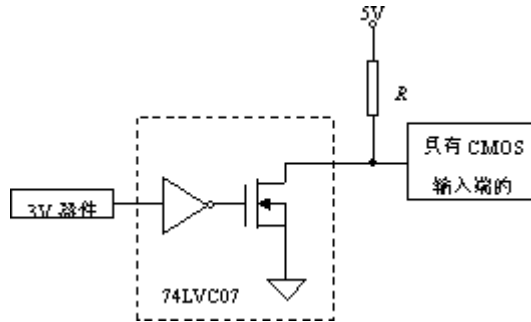


图 9 74LVC07 电平移位器

6 结论

5V 器件能和 3V 甚至更低电压的器件共存于一个系统中。这种情况已经存在并将存在相当长的时间。在设计这种系统时要分析其中逻辑器件的接口问题。其关键是理解和运用以上讨论的基本概念以保证所设计的电路在不同电压器件间数据传输的可靠性。